

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 9 月 8 日(08.09.2017)

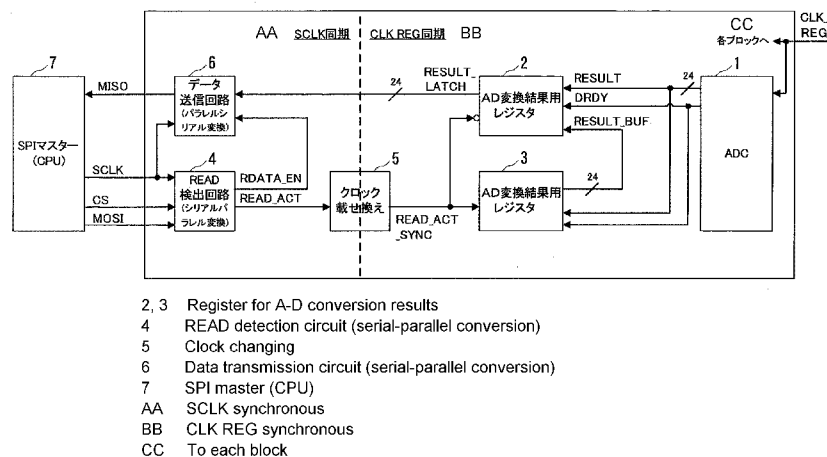


(10) 国際公開番号
WO 2017/150491 A1

- (51) 国際特許分類:
G06F 3/05 (2006.01) *G06F 15/78* (2006.01)
- (21) 国際出願番号: PCT/JP2017/007642
- (22) 国際出願日: 2017 年 2 月 28 日(28.02.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-040667 2016 年 3 月 3 日(03.03.2016) JP
- (71) 出願人: アズビル株式会社 (AZBIL CORPORATION) [JP/JP]; 〒1006419 東京都千代田区丸の内 2 丁目 7 番 3 号 Tokyo (JP).
- (72) 発明者: 栗林 英毅 (KURIBAYASHI, Hideki); 〒1006419 東京都千代田区丸の内 2 丁目 7 番 3 号 アズビル株式会社内 Tokyo (JP). 平山 博文 (HIRAYAMA, Hirofumi); 〒1006419 東京都千代田区丸の内 2 丁目 7 番 3 号 アズビル株式会社内 Tokyo (JP).
- (74) 代理人: 山川 茂樹, 外 (YAMAKAWA, Shigeki et al.); 〒1006104 東京都千代田区永田町 2 丁目 1 番 1 号 山王パークタワー 4 階 山川国際特許事務所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: A-D CONVERSION RESULT READOUT CIRCUIT

(54) 発明の名称: A D 変換結果読出回路



(57) Abstract: An A-D conversion result readout circuit provided with: a READ detection circuit (4) for activating a detection signal READ_ACT when the high-order bits of a command from an SPI master (7) are received and it is determined that the command is a read command, and activating a transmission enable signal RDATA_EN when the entire command is received and it is confirmed that the command is a read command; a clock-changing circuit (5) for outputting an internal register value alteration disable signal READ_ACT_SYNC in response to the signal READ_ACT; a register (2) for A-D conversion results for capturing an A-D conversion result when a data preparation complete signal DRDY from an A-D converter (1) is active and the signal READ_ACT_SYNC is inactive; and a data transmission circuit (6) for transmitting the A-D conversion result to the SPI master (7) when the signal RDATA_EN is active. According to the present invention, the timing design load of a designer can be lightened. Also, performance requirements for the SPI master (7) can be relieved.

(57) 要約:

[続葉有]

WO 2017/150491 A1



AD変換結果読出回路は、SPIマスター（7）からのコマンドの上位ビットを受け取って読み出しコマンドと判定したときに検出信号READ_ACTを有効とし、コマンドを全て受け取って読み出しコマンドと確定したときに送信許可信号RDATA_ENを有効とするREAD検出回路（4）と、信号READ_ACTに応じて内部レジスタ値変更禁止信号READ_ACT_SYNCを出力するクロック載せ換え回路（5）と、AD変換器（1）からのデータ準備完了信号DRDYが有効であり、信号READ_ACT_SYNCが無効であるときに、AD変換結果を取り込むAD変換結果用レジスタ（2）と、信号RDATA_ENが有効であるときにAD変換結果をSPIマスター（7）へ送信するデータ送信回路（6）を備える。本発明によれば、設計者のタイミング設計の負担を軽減することができる。また、SPIマスター（7）に要求される性能を緩和することができる。

明 細 書

発明の名称： A D 変換結果読出回路

技術分野

[0001] 本発明は、A D 変換器からA D 変換結果を読み出すA D 変換結果読出回路に関する。

背景技術

[0002] 従来一般的な $\Delta\Sigma$ 型A D 変換器において、C P U (C e n t r a l P r o c e s s i n g U n i t) などからS P I (S e r i a l P e r i p h e r a l I n t e r f a c e) によってA D 変換結果を読み出す時には、変換状態を示すD R D Y 信号を監視して、D R D Y 信号の立ち下がりを検出してから次の変換完了までの期間にA D 変換結果を読み出すように、S P I マスターを設計しなければならない（非特許文献1、非特許文献2 参照）。

[0003] このような制約が設けられているのは、もしもD R D Y 信号の立ち下がりを検出してから他の処理が原因でS P I マスターの変換結果読み出しのタイミングが遅れてしまうと、次のA D 変換結果の更新とS P I マスターからの読み出しがぶつかってしまい、読み出したA D 変換結果が不定値になってしまうからである。さらに、A D 変換結果が不定値となったことを判定・確認する方法がA D 変換器に用意されていない。そのため、A D 変換結果を読み出す際は絶対にタイミングの遅れが許されず、外部装置であるS P I マスターを構成するC P U の設計者は極めて厳密な時間管理を行わなければならなかった。

先行技術文献

非特許文献

[0004] 非特許文献1：“温度センサ向け24ビット A/Dコンバータ ADS1248”，日本テキサス・インスツルメンツ株式会社，2011年，<<http://www.tij.co.jp/jp/lit/ds/symlink/ads1248.pdf>>

非特許文献2：“20 μ s セトリング、250kSPSの24ビット Σ - Δ ADC AD7176-2”，アナログ・デバイセズ株式会社，2012年，
<http://www.analog.com/media/jp/technical-documentation/data-sheets/AD7176-2_jp.pdf>

発明の概要

発明が解決しようとする課題

[0005] 以上のように、従来は、AD変換結果を読み出すSPIマスターなどの外部装置を設計する設計者は、厳密な時間管理を行わなければならなかった。そのため、設計者にとっては、タイミング設計の負担が大きかった。また、外部装置には処理能力に余裕のあるCPUを選択せざるを得なかった。

[0006] 本発明は、上記課題を解決するためになされたもので、設計者のタイミング設計の負担を軽減することを目的とする。また、外部装置を構成するCPUに要求される性能を緩和することができるAD変換結果読出回路を提供することを目的とする。

課題を解決するための手段

[0007] 本発明のAD変換結果読出回路は、AD変換器のAD変換結果の送信先となる外部装置からのコマンドの上位ビットを受け取って読み出しコマンドと判定したときに検出信号を有効とし、前記外部装置からのコマンドを全て受け取って読み出しコマンドと確定したときに送信許可信号を有効とする検出回路と、前記外部装置のクロックと同期した前記検出信号に応じて、前記AD変換器のクロックと同期した内部レジスタ値変更禁止信号を出力するクロック載せ換え回路と、前記AD変換器からのデータ準備完了信号が有効であり、かつ前記内部レジスタ値変更禁止信号が無効であるときに、前記AD変換器のAD変換結果を取り込む第1のAD変換結果用レジスタと、前記送信許可信号が有効であるときに、前記第1のAD変換結果用レジスタからAD変換結果を読み出して前記外部装置へ送信するデータ送信回路とを備えることを特徴とする。

発明の効果

[0008] 本発明によれば、検出回路とクロック載せ換え回路と第1のAD変換結果用レジスタとデータ送信回路とを設けることによって、外部装置に対して特別な制約を与えることなくAD変換結果を外部装置に送信することが可能となるので、設計者のタイミング設計の負担を軽減することができる。また、外部装置を構成するCPUに要求される性能を緩和することができる。

図面の簡単な説明

[0009] [図1]図1は、本発明の第1の実施の形態に係るAD変換結果読出回路の構成を示すブロック図である。

[図2]図2は、本発明の第1の実施の形態に係るAD変換結果読出回路のREAD検出回路の動作を説明するフローチャートである。

[図3]図3は、本発明の第1の実施の形態に係るAD変換結果読出回路の各部の動作を説明するタイミングチャートである。

[図4]図4は、本発明の第1の実施の形態に係るAD変換結果読出回路のクロック載せ換え回路の構成例を示すブロック図である。

[図5]図5は、メタステーブル状態を防ぐためのタイミング関係を説明するタイミングチャートである。

[図6]図6は、メタステーブル状態を防ぐためのタイミング関係を説明するタイミングチャートである。

[図7]図7は、従来のAD変換結果読出回路においてAD変換器側のクロックの周波数を高くした場合の動作を示すタイミングチャートである。

[図8]図8は、本発明の第2の実施の形態に係るAD変換結果読出回路の各部の動作を説明するタイミングチャートである。

[図9]図9は、本発明の第3の実施の形態に係るAD変換結果読出回路の構成を示すブロック図である。

発明を実施するための形態

[0010] [第1の実施の形態]

以下、本発明の実施の形態について図面を参照して説明する。

図1は本発明の第1の実施の形態に係るAD変換結果読出回路の構成を示すブロック図である。本実施の形態のAD変換結果読出回路は、それぞれAD変換器（以下、ADC）1のAD変換結果を一時的に格納するAD変換結果用レジスタ2、3と、外部装置であるSPIマスター7からのコマンドの上位ビットを受け取って、これを読み出しコマンドと判定したときに検出信号を有効とし、SPIマスター7からのコマンドを全て受け取って読み出しコマンドと確定したときに送信許可信号を有効とするREAD検出回路4と、SPIマスター7のクロックと同期した検出信号に応じて、ADC1のクロックと同期した内部レジスタ値変更禁止信号を出力するクロック載せ換え回路5と、送信許可信号が有効であるときに、AD変換結果用レジスタ2からAD変換結果を読み出してSPIマスター7へ送信するデータ送信回路6とから構成される。

[0011] なお、第1の実施の形態に係るAD変換結果読出回路は、二つのAD変換結果用レジスタ2、3を備えているが、本発明においては、いずれか1つを設ければよく、AD変換結果用レジスタを2つ設けることは必須の構成要件ではない。

[0012] 次にAD変換結果読出回路の動作について、初めに1つのAD変換結果用レジスタ2のみを使った動作の例を図2、図3を用いて説明する。図2はREAD検出回路4の動作を説明するフローチャート、図3はAD変換結果読出回路の各部の動作を説明するタイミングチャートである。

[0013] 本実施の形態では、ADC1のクロックをCLK__REG、CPUからなるSPIマスター7のクロックをSCLKとする。図1に示したAD変換結果読出回路の構成のうち、AD変換結果用レジスタ2、3とクロック載せ換え回路5とはCLK__REGに同期して動作し、READ検出回路4とクロック載せ換え回路5とデータ送信回路6とはSCLKに同期して動作する。

[0014] 図3において、CSはチップセレクト信号、MOSI（Master Out Slave In）およびMISO（Master In Slave Out）はSPIマスター7の信号線、SCLK__INVはクロックSCLKの反転信号、READ__ACTは読み

出しコマンドの検出信号、`RDATA__EN`はAD変換結果の送信許可信号、`READ__ACT__SYNC`は内部レジスタ値変更禁止信号、`DRDY`はADC1のデータ準備完了信号、`RESULT`はADC1から出力されるAD変換結果、`RESULT__BUF`はAD変換結果用レジスタ3に格納されたAD変換結果、`RESULT__LATCH`はAD変換結果用レジスタ2に格納されたAD変換結果をそれぞれ表す。

[0015] まず、CPUからなるSPIマスター7から信号線MOSIを介してコマンドが送出されると、`READ`検出回路4は、コマンドの上位3ビットを受け取った時点で（図2のステップS1）、このコマンドの上位3ビットが`RDATA*コマンド`の上位3ビット、すなわちAD変換結果の読み出しコマンドの上位3ビットと一致するかどうかを判定する（図2のステップS2）。図3の例では、C7～C5がコマンドの上位3ビットで、時刻t1の時点で判定を行っている。上位3ビットで判定を行う理由については後述する。

[0016] `READ`検出回路4は、SPIマスター7からのコマンドの上位3ビットが読み出しコマンドの上位3ビットと一致する場合（ステップS2においてY）には、検出信号`READ__ACT`を“1”（有効）に設定する（図2のステップS3）。

[0017] さらに、`READ`検出回路4は、SPIマスター7からコマンドの下位5ビットを受け取って8ビットのコマンドを全て受け取ると（図2のステップS4）、この8ビットのコマンドが`RDATA*コマンド`、すなわちAD変換結果の読み出しコマンドと一致するかどうかを判定する（図2のステップS5）。図3の例では、C4～C0がコマンドの下位5ビットである。

[0018] `READ`検出回路4は、SPIマスター7からの8ビットのコマンドが読み出しコマンドと一致する場合（ステップS5においてY）、検出信号`READ__ACT`を“1”のままとし（図2のステップS6）、送信許可信号`RDATA__EN`を1パルス発行する。

[0019] データ送信回路6は、送信許可信号`RDATA__EN`が1パルス発行されると、AD変換結果用レジスタ2から、AD変換結果を8ビット分読み出し

て（図2のステップS7）、この8ビット分のAD変換結果を送信データとして信号線MISOを介してSPIマスター7へシリアル送信する（図2のステップS8）。図3の例では、時刻t3の送信許可信号RDATA_ENに応じてD0～D7の8ビット分のAD変換結果が送信データとしてSPIマスター7へ送信される。

[0020] 次に、READ検出回路4は、コマンドに対応した数のデータの送信、例えばAD変換結果の送信が完了したかどうかを判定し（図2のステップS9）、送信し終わっていない場合には（ステップS9の判定結果が“N”）、ステップS7に戻って送信許可信号RDATA_ENを再び1パルス発行する。READ検出回路4が送信許可信号RDATA_ENを1パルス発行すると、データ送信回路6は、AD変換結果用レジスタ2からAD変換結果をさらに8ビット分読み出してSPIマスター7へシリアル送信する（図2のステップS8）。図3の例では、時刻t4の送信許可信号RDATA_ENに応じてD8～D15の8ビット分のAD変換結果が送信データとしてSPIマスター7へ送信される。

[0021] こうして、コマンドに対応した数のデータの送信、すなわちAD変換結果の送信が完了するまでステップS7、S8の処理が繰り返し実行される。本実施の形態では、SPIマスター7からの読み出しコマンドに応じて送るAD変換結果を24ビットとする。したがって、送信許可信号RDATA_ENが3回発行され、D0～D23の24ビットのデータを送信し終えた時点でステップS9の判定結果が“Y”となる（時刻t5）。

[0022] データの送信が完了してステップS9の判定結果が“Y”となると、READ検出回路4は、検出信号READ_ACTを“0”（無効）にする（図2のステップS10）。

なお、READ検出回路4は、検出信号READ_ACTを“1”（有効）とした後に、外部装置からのコマンドを全て受け取って読み出しコマンドでないと判定したときには、検出信号READ_ACTを“0”（無効）としてもよい。これは、ステップS2の判定においてSPIマスター7からの

コマンドの上位3ビットが読み出しコマンドの上位3ビットと一致したとしても、判定を誤っている可能性があるからである。したがって、SPIマスター7からのコマンドの上位3ビットが読み出しコマンドの上位3ビットと一致して検出信号READ__ACTを“1”（有効）に設定した（図2のステップS3）後、ステップS5において8ビットのコマンドを全て解析した結果、SPIマスター7からの8ビットのコマンドが読み出しコマンドと一致しなかった場合には（図2のステップS5において“N”）、検出信号READ__ACTを“0”にして、ステップS2，S3で下した判定結果を取り消す。

[0023] 次に、図3を参照して、ADC1のクロックCLK__REGに同期して動作する構成について説明する。

まず、ADC1から出力されるデータ準備完了信号DRDYが“1”（無効）から“0”（有効）に立ち下がり、ADC1のデータ準備が完了したことが通知されると、AD変換結果用レジスタ2は、このときの内部レジスタ値変更禁止信号READ__ACT__SYNCが“0”（無効）で、読み出しコマンドが検出されていないことを示しているため、ADC1からのAD変換結果RESULTを取り込む。上記のとおり、AD変換結果RESULTは24ビットである。取り込まれたAD変換結果RESULTは、AD変換結果用レジスタ2に記憶され、AD変換結果用レジスタ2の出力RESULT__LATCHが更新される。図3の例では、RESULT__LATCHが、古い変換結果を示す“OLD”から、新たに取り込んだ変換結果を示す“NEW”へと更新されることが示されている。

[0024] 一方、クロック載せ換え回路5は、READ検出回路4から出力される検出信号READ__ACTに応じて、ADC1のクロックCLK__REGと同期した内部レジスタ値変更禁止信号READ__ACT__SYNCを生成する。

図4はクロック載せ換え回路5の構成例を示すブロック図である。クロック載せ換え回路5は、2つのフリップフロップ50，51によって構成される

。図4に示すように、フリップフロップ51は、フリップフロップ50とカスケードに接続され、これら2つのフリップフロップ50、51は、ADC1のクロックCLK_REGによって駆動される。

[0025] 図4に示すように、1ビットの信号に対するクロック載せ換え処理は、受信側のクロックで2段受けする手法がよく用いられる。このような手法を用いた場合、内部レジスタ値変更禁止信号READ_ACT_SYNCは、検出信号READ_ACTに対して最大でCLK_REGの周期の2倍の時間遅れることになる。図3の例では、時刻t1で検出信号READ_ACTが“1”（有効）になった後に、時刻t2で内部レジスタ値変更禁止信号READ_ACT_SYNCが“1”（有効）になる。また、時刻t5で検出信号READ_ACTが“0”（無効）になった後に、時刻t6で内部レジスタ値変更禁止信号READ_ACT_SYNCが“0”（無効）になる。この時刻t1とt2の時間差および時刻t5とt6の時間差が、それぞれ図4に示すクロック載せ換え回路5による遅れである。

[0026] 仮にSPIマスター7がADC1の変換周期を考慮せずに変換結果を読み出した場合、データが破壊されて正しいデータを読み出せないことがある。データが破壊されてしまう理由としては、SPIマスター7のクロックSCLKとADC1のクロックCLK_REGの関係は非同期であるため、異なるクロックに基づいてデータの受け渡しを行う際に偶然この2つのクロックの立ち上がりエッジが近づいてしまうと、フリップフロップのセットアップ／ホールドタイミングが満たせなくなるからである。この現象は「メタステーブル」と呼ばれている。メタステーブルについては、例えば文献「“コラム：非同期クロックと検証手法－2”」，株式会社アルティマ，＜<http://www.altima.jp/products/software/mentor/fv/column/cdc-2.html>＞」で説明されている。

[0027] 図5および図6は、このメタステーブルを防止してクロックを載せ換えるタイミングを説明するタイミングチャートである。図5はクロック載せ換え時間が短くなる場合（検出信号READ_ACTの立ち上がり直後にクロック

ク C L K _ R E G が立ち上がる場合)を示し、図 6 はクロック載せ換え時間が長くなる場合(クロック C L K _ R E G の立ち上がり直後に検出信号 R E A D _ A C T が立ち上がる場合)を示している。

[0028] メタステーブルを防ぐためには、S P I マスター 7 への A D 変換結果の送信タイミングよりも前に内部レジスタ値変更禁止信号 R E A D _ A C T _ S Y N C を “ 1 ” (有効)とし、A D 変換結果の送信中にレジスタ値が変化しないように制御する必要がある。すなわち、図 5 および図 6 においては $T1 > T2$ としなければならない。ここで、 $T1$ は検出信号 R E A D _ A C T が “ 1 ” になってから送信許可信号 R D A T A _ E N が “ 1 ” (有効)になるまでの時間、 $T2$ はクロック載せ換えに要する時間である。

[0029] つまり、検出信号 R E A D _ A C T の判定実施サイクルを N とすると、次の式 (1) が成り立つようなタイミングで検出信号 R E A D _ A C T の判定を行う必要がある。

$$S C L K \text{ の周期} \times (8 - N) > C L K _ R E G \text{ の周期} \times 2 \cdots (1)$$

ここで、コマンドは 8 ビットなので、 N の最大値は 8 である。

[0030] S P I マスター 7 のクロック S C L K と A D C 1 のクロック C L K _ R E G の周波数の関係が、例えば、 $S C L K : C L K _ R E G = 1 : 10$ であれば、S P I マスター 7 からのコマンド (8 ビット) を全て受け付けた後に検出信号 R E A D _ A C T の判定を行ったとしても、S P I マスター 7 に対して特別な制約を与えることなく A D 変換結果を S P I マスター 7 に対して送信することが可能である。

[0031] 図 7 は、従来の A D 変換結果読出回路においてクロック C L K _ R E G の周波数を十分に高くした場合の動作を示している。この図 7 の例では、 $C7 \sim C0$ の 8 ビットのコマンドを全て読んだ後で検出信号 R E A D _ A C T を “ 1 ” にしている。このように、クロック C L K _ R E G を十分に速くすれば、検出信号 R E A D _ A C T を先読みで “ 1 ” にする必要がなくなる。しかし、クロック C L K _ R E G が高速になるため、消費電力が増大するという問題がある。

[0032] 一方、本実施の形態のように $SCLK$ と CLK_REG の周波数の関係が、 $SCLK : CLK_REG = 2 : 1$ の場合、クロック載せ換えに要する時間 $T2$ を考慮すると、単純にコマンド 8 ビット全てを受け取ってから検出信号 $READ_ACT$ の判定を行ってはいは変換結果の送信タイミングに間に合わない。そこで、本実施の形態では、8 ビットのコマンド全てを受け取る前に先行して検出信号 $READ_ACT$ の判定を行っている。本実施の形態のように、クロック $SCLK$ の最大周波数がクロック CLK_REG の周波数の 2 倍であるとする、式 (1) より $N < 4$ が成り立つことが必要となる。したがって、本実施の形態では、 $N = 3$ とした。以上が、図 2 のステップ $S2$ においてコマンドの上位 3 ビットで判定を行う理由である。

[0033] 8 ビットのコマンド全てを受け取る前に先行して検出信号 $READ_ACT$ の判定を行うことにより、送信許可信号 $RDATA_EN$ が “1” (有効) になるときは必ず内部レジスタ値変更禁止信号 $READ_ACT_SYNC$ が “1” (有効) になっているので、AD 変換結果の送信タイミング (図 3 の例では $t3$, $t4$) で AD 変換結果用レジスタ 2 の出力 $RESULT_LATCH$ が変化することはない。つまり、メタステーブルは発生しない。

[0034] 以上の構成により、本実施の形態では、SPI マスター 7 に対して特別な制約を与えることなく AD 変換の結果を SPI マスター 7 に送信することが可能となるので、設計者のタイミング設計の負担を軽減することができ、SPI マスター 7 (CPU) に要求される性能を緩和することができる。

また、本実施の形態では、送信許可信号 $RDATA_EN$ が “1” になるタイミングで AD 変換結果用レジスタ 2 の出力 $RESULT_LATCH$ を絶対に変化させないようにすることにより、AD 変換の結果が不定値になることを防ぐことができ、ADC 1 のクロック CLK_REG の周波数を上げることなく、AD 変換の結果を保護することが可能となる。

なお、本実施の形態では、上位複数ビット、具体的には上位 3 ビットでステップ $S2$ の判定を行なっているが、これに限るものではなく、最上位ビットのみでステップ $S2$ の判定を行なう場合も有り得る。

[0035] [第2の実施の形態]

次に、本発明の第2の実施の形態について説明する。

第2の実施の形態に係るAD変換結果読出回路は、第1の実施の形態において使用したAD変換結果用レジスタ2に加えて、さらにAD変換結果用レジスタ3を使用するものである。より具体的には、第1のAD変換結果用レジスタ2に加えて、さらに、ADC1からのデータ準備完了信号が有効であり、かつ内部レジスタ値変更禁止信号READ__ACT__SYNCが有効であるときに、ADC1のAD変換結果を取り込む第2のAD変換結果用レジスタ3を備え、第1のAD変換結果用レジスタ2は、内部レジスタ値変更禁止信号READ__ACT__SYNCが無効になったときに、第2のAD変換結果用レジスタ3の出力を取り込むことを特徴とするものである。

本実施の形態においても、AD変換結果読出回路の構成は第1の実施の形態と同様であるので、図1の符号を用いて説明する。図8は本実施の形態のAD変換結果読出回路の各部の動作を説明するタイミングチャートである。

[0036] READ検出回路4とクロック載せ換え回路5とデータ送信回路6の動作は第1の実施の形態で説明したとおりである。

第1の実施の形態で説明したとおり、AD変換結果用レジスタ2は、ADC1から出力されるデータ準備完了信号DRDYが“1”（無効）から“0”（有効）に立ち下がり、かつ内部レジスタ値変更禁止信号READ__ACT__SYNCが“0”（無効）であれば、ADC1のAD変換結果RESULTを取り込む。その結果、AD変換結果用レジスタ2の出力RESULT__LATCHが更新される。

[0037] しかし、第2の実施の形態では、データ準備完了信号DRDYが“1”から“0”に立ち下がったときに、既に内部レジスタ値変更禁止信号READ__ACT__SYNCが“1”（有効）になっているため、第1のAD変換結果用レジスタ2は、ADC1のAD変換結果RESULTを取り込むことはできない。したがって、第1のAD変換結果用レジスタ2の出力RESULT__LATCHの更新は不可となる。つまり、第1、第2の実施の形態にお

いて内部レジスタ値変更禁止信号READ__ACT__SYNCが“1”（有効）になっている区間は内部レジスタ値変更禁止区間である。

[0038] そこで、第2の実施の形態では、第2のAD変換結果用レジスタ3を使用する。つまり、第2のAD変換結果用レジスタ3は、ADC1から出力されるデータ準備完了信号DRDYが“1”（無効）から“0”（有効）に立ち下がり、かつ内部レジスタ値変更禁止信号READ__ACT__SYNCが“1”（有効）であれば、ADC1のAD変換結果RESULTを取り込む。その結果、第2のAD変換結果用レジスタ3の出力RESULT__BUFが更新される。図8の例によれば、RESULT__BUFが、新たに取り込んだ変換結果を示す“NEW”へと更新されることが分かる。

[0039] 内部レジスタ値変更禁止信号READ__ACT__SYNCが“1”（有効）から“0”（無効）になると、第1のAD変換結果用レジスタ2は、第2のAD変換結果用レジスタ3の出力RESULT__BUFを取り込む（時刻t7）。こうして、第1のAD変換結果用レジスタ2の出力RESULT__LATCHが更新される。図8の例では、RESULT__LATCHが、古い変換結果を示す“OLD”から、新たに取り込んだ変換結果を示す“NEW”へと更新されることが分かる。

その他の構成は第1の実施の形態で説明したとおりである。

[0040] 第1の実施の形態では、ADC1から出力されるデータ準備完了信号DRDYが“1”から“0”に立ち下がったときに、既に内部レジスタ値変更禁止信号READ__ACT__SYNCが“1”になっている状況では、第1のAD変換結果用レジスタ2がADC1のAD変換結果を取り込むことができないので、AD変換結果の取りこぼしが発生する可能性がある。これに対して、第2の実施の形態では、第2のAD変換結果用レジスタ3を設けることによって、第1のAD変換結果用レジスタ2がAD変換結果を取り込むことができない状況では、第2のAD変換結果用レジスタ3がAD変換結果を取り込むようになっているので、AD変換結果の取りこぼしの発生を回避することができる。

[0041] [第3の実施の形態]

次に、本発明の第3の実施の形態について説明する。図9は、第3の実施の形態に係るAD変換結果読出回路の構成を示すブロック図である。図9において、図1に示した第1および第2の実施の形態に係るAD変換結果読出回路と同一の構成には同一の符号を付してある。

第3の実施の形態に係るAD変換結果読出回路は、AD変換結果用レジスタ2、3と、READ検出回路4aと、クロック載せ換え回路5と、データ送信回路6aと、識別データ用レジスタ8、9とから構成される。

より具体的には、第3の実施の形態に係るAD変換結果読出回路は、第1または第2の実施の形態に係るAD変換結果読出回路の構成に加え、さらに、ADC1からのデータ準備完了信号DRDYが有効であり、かつ内部レジスタ値変更禁止信号READ__ACT__SYNCが“0”（無効）であるときに、AD変換結果に対応付けられた識別データをADC1から取り込む第1の識別データ用レジスタ8を備えており、データ送信回路6aは、送信許可信号RDATA__ENが“1”（有効）であるときに、第1のAD変換結果用レジスタ2からAD変換結果を読み出して外部装置へ送信すると共に、第1の識別データ用レジスタ8から識別データを読み出して外部装置へ送信する。

また、第3の実施の形態に係るAD変換結果読出回路は、さらに、ADC1からのデータ準備完了信号DRDYが有効であり、かつ内部レジスタ値変更禁止信号READ__ACT__SYNCが“1”（有効）であるときに、識別データを取り込む第2の識別データ用レジスタ9を備え、第1の識別データ用レジスタ8は、内部レジスタ値変更禁止信号READ__ACT__SYNCが“0”（無効）になったときに、第2の識別データ用レジスタ9の出力を取り込むようにしてもよい。

[0042] 第3の実施の形態において、ADC1は、AD変換結果RESULTに加えて、そのAD変換結果RESULTに対応付けられた識別データDIDを出力する。

また、READ検出回路4aは、AD変換結果を24ビット分送信し終えた後、例えば8ビットの識別データDIDの送信のために送信許可信号RDATA__ENを1パルス発行する（図2のステップS7）。データ送信回路6aは、送信許可信号RDATA__ENに応じて、識別データ用レジスタ8から識別データDIDを読み出してSPIマスター7へシリアル送信する（図2のステップS8）。

[0043] こうして、第3の実施の形態では、24ビットのAD変換結果に加えて8ビットの識別データDID、すなわち計32ビットのデータの送信が完了するまで、図2のステップS7およびS8の処理を繰り返し実行することになる。図3、図8の例で言えば、D0～D23の24ビットのデータを送信し終えた後に、例えば8ビットの識別データDIDを送信することになる。READ検出回路4aのその他の動作は、第1および第2の実施の形態におけるREAD検出回路4と同じである。

[0044] 次に、識別データ用レジスタ8、9の動作について説明する。

識別データ用レジスタ8は、ADC1から出力されるデータ準備完了信号DRDYが“1”（無効）から“0”（有効）に立ち下がり、かつ内部レジスタ値変更禁止信号READ__ACT__SYNCが“0”（無効）であれば、ADC1から出力された識別データDIDを取り込む。こうして、識別データ用レジスタ8の出力DID__LATCHが更新される。

[0045] しかし、AD変換結果用レジスタ2と同様に、識別データ用レジスタ8は、ADC1から出力されるデータ準備完了信号DRDYが“1”から“0”に立ち下がったときに、既に内部レジスタ値変更禁止信号READ__ACT__SYNCが“1”（有効）になっている場合には識別データDIDを取り込むことはできない。

[0046] 一方、識別データ用レジスタ9は、ADC1から出力されるデータ準備完了信号DRDYが“1”から“0”に立ち下がり、かつ内部レジスタ値変更禁止信号READ__ACT__SYNCが“1”であれば、ADC1からの識別データDIDを取り込む。こうして、識別データ用レジスタ9の出力DID__LATCHが更新される。

D__B U Fが更新される。

また、識別データ用レジスタ8は、内部レジスタ値変更禁止信号R E A D __A C T __S Y N Cが“1”から“0”になったときに、識別データ用レジスタ9の出力D I D __B U Fを取り込む。

[0047] このように、識別データ用レジスタ8は識別データD I DについてA D変換結果用レジスタ2と同様の動作を行い、識別データ用レジスタ9は第2のA D変換結果用レジスタ3と同様の動作を行う。

[0048] 次に、識別データD I Dについて詳細に説明する。識別データD I Dの生成手法としては、例えば以下の4つを例示することができる。

[0049] 第1の例は、A D変換処理の実行回数に基づくデータを識別データD I Dとする手法である。例えば、識別データは、A D C 1によるA D変換処理の実行回数を示すデータである。具体的には、A D C 1内でA D変換処理の実行回数をカウントし、そのカウント値を識別データD I Dとすればよい。このように、A D変換処理の実行回数を識別データD I Dとして記録することにより、あるタイミングで実行されたA D変換処理によるA D変換結果とその前後のタイミングで実行されたA D変換処理によるA D変換結果とを識別することが可能となる。

[0050] 第2の例は、A D変換処理の実行時刻に基づくデータ、例えば、A D C 1によってA D変換処理が実行された時刻を示すデータを識別データD I Dとする手法である。具体的には、A D C 1は、A D変換処理の実行時刻（タイムスタンプ）を識別データD I Dとすればよい。

[0051] A D変換処理の実行時刻を用いる具体的な手法として、例えば以下の2つを例示することができる。一つは、A D C 1の内部または外部にリアルタイムクロックを設ける手法である。もう一つは、リアルタイムクロックの代わりに、例えば電源投入時を時刻0として一定周期毎にインクリメントするカウンタをA D C 1の内部または外部に設ける手法である。

[0052] 上記の2つの手法のいずれによっても、あるタイミングで実行されたA D変換処理によるA D変換結果とその前後のタイミングで実行されたA D変換

処理によるAD変換結果とを識別することが可能となる。更に、上述したリアルタイムクロックを用いる手法によれば、AD変換処理が実行された正確な時刻が記録できる。一方、上述したリアルタイムクロックを用いない手法によれば、回路規模の増大を抑えることができる。

[0053] 第3の例は、AD変換処理が実行される毎に論理レベルが反転する1ビットのデータを識別データDIDとする手法である。すなわち、識別データDIDは、ADC1によってAD変換処理が実行される毎に論理レベルが反転する1ビットのデータである。この手法によれば、あるタイミングで実行されたAD変換処理によるAD変換結果とその前後のタイミングで実行されたAD変換処理によるAD変換結果とを識別することが可能となる。また、識別データDIDを1ビットとするため、必要なハードウェアリソースを少なくすることができ、回路規模の増大を抑えることができる。

[0054] 第4の例は、フリーランカウンタのカウント値に基づくデータを識別データDIDとする手法である。例えば、8ビットのフリーランカウンタによって、AD変換処理の実行処理とは無関係に連続して入力されるパルスのカウントし、そのカウント値を識別データDIDとしても良い。これによれば、ビット幅の大きなカウンタは必要ないので、回路規模の増大を抑えることができる。なお、識別データDIDとして記憶するデータは、フリーランカウンタのカウント値（数値）そのものでなくてもよく、例えばA～Z等のような順番のわかるアルファベット（キャラクターコード）であってもよい。

[0055] 以上、第3の実施の形態によれば、AD変換結果毎に識別データを付与し、AD変換結果と識別データとをセットで出力するので、AD変換結果を受信したSPIマスター7側で、取得したAD変換結果の連続性が保たれているか否かを判断することが可能となる。

また、第3の実施の形態によれば、第1の識別データ用レジスタ8を設け、データ送信回路6aがREAD検出回路4aからの送信許可信号RDAT_A__ENが有効であるときに、第1の識別データ用レジスタ8から識別データを読み出して外部装置へ送信することにより、AD変換結果の重複取得や

A/D変換結果の取りこぼしの有無を外部装置側で判断することが可能となる。

さらに、第2の識別データ用レジスタ9を設けることにより、識別データの取りこぼしの発生を回避することが可能となる。

[0056] 例えば、取得したA/D変換結果に対応する識別データとその直前に取得したA/D変換結果に対応する識別データとを比較することによって、同じA/D変換周期のA/D変換結果の重複取得やA/D変換結果の取りこぼしの有無、すなわち、取得したA/D変換結果の連続性が保たれているか否かを、SPIマスター7側で判断することが可能となる。

[0057] なお、第3の実施の形態では、A/D変換結果用レジスタ2, 3を両方用いる場合について説明しているが、第1の実施の形態で説明したとおり、A/D変換結果用レジスタ2のみを用いるようにしてもよい。上述したとおり、第1の実施の形態ではA/D変換結果の取りこぼしが発生する可能性があるが、第2および第3の実施の形態によれば、このような取りこぼしの有無をSPIマスター7側で判断することが可能となる。

産業上の利用可能性

[0058] 本発明は、A/D変換器の変換周期を考慮せずにA/D変換結果を読み出す技術に適用することができる。

符号の説明

[0059] 1…A/D変換器、2, 3…A/D変換結果用レジスタ、4, 4a…READ検出回路、5…クロック載せ換え回路、6, 6a…データ送信回路、7…SPIマスター、8, 9…識別データ用レジスタ、50, 51…フリップフロップ。

請求の範囲

[請求項1] A D変換器のA D変換結果の送信先となる外部装置からのコマンドの上位ビットを受け取って前記コマンドが読み出しコマンドであると判定したときに前記外部装置のクロックと同期した検出信号を有効とし、前記外部装置からの前記コマンドを全て受け取って前記コマンドが読み出しコマンドであると確定したときに送信許可信号を有効とする検出回路と、

 前記検出信号に応じて、前記A D変換器のクロックと同期した内部レジスタ値変更禁止信号を出力するクロック載せ換え回路と、

 前記A D変換器からのデータ準備完了信号が有効であり、かつ前記内部レジスタ値変更禁止信号が無効であるときに、前記A D変換器のA D変換結果を取り込む第1のA D変換結果用レジスタと、

 前記送信許可信号が有効であるときに、前記第1のA D変換結果用レジスタからA D変換結果を読み出して前記外部装置へ送信するデータ送信回路とを備えることを特徴とするA D変換結果読出回路。

[請求項2] 請求項1記載のA D変換結果読出回路において、

 さらに、前記A D変換器からのデータ準備完了信号が有効であり、かつ前記内部レジスタ値変更禁止信号が有効であるときに、前記A D変換器のA D変換結果を取り込む第2のA D変換結果用レジスタを備え、

 前記第1のA D変換結果用レジスタは、前記内部レジスタ値変更禁止信号が無効になったときに、前記第2のA D変換結果用レジスタの出力を取り込むことを特徴とするA D変換結果読出回路。

[請求項3] 請求項1または2記載のA D変換結果読出回路において、

 さらに、前記A D変換器からのデータ準備完了信号が有効であり、かつ前記内部レジスタ値変更禁止信号が無効であるときに、前記A D変換結果に対応付けられた識別データを前記A D変換器から取り込む第1の識別データ用レジスタを備え、

前記データ送信回路は、前記送信許可信号が有効であるときに、前記第1のAD変換結果用レジスタからAD変換結果を読み出して前記外部装置へ送信すると共に、前記第1の識別データ用レジスタから識別データを読み出して前記外部装置へ送信することを特徴とするAD変換結果読出回路。

[請求項4]

請求項3記載のAD変換結果読出回路において、

さらに、前記AD変換器からのデータ準備完了信号が有効であり、かつ前記内部レジスタ値変更禁止信号が有効であるときに、前記識別データを取り込む第2の識別データ用レジスタを備え、

前記第1の識別データ用レジスタは、前記内部レジスタ値変更禁止信号が無効になったときに、前記第2の識別データ用レジスタの出力を取り込むことを特徴とするAD変換結果読出回路。

[請求項5]

請求項1乃至4のいずれか1項に記載のAD変換結果読出回路において、

前記検出回路は、前記検出信号を有効とした後に、前記外部装置からのコマンドを全て受け取って読み出しコマンドでないと判定したときに、前記検出信号を無効とすることを特徴とするAD変換結果読出回路。

[請求項6]

請求項1乃至5のいずれか1項に記載のAD変換結果読出回路において、

前記識別データは、前記AD変換器によるAD変換処理の実行回数を示すデータであることを特徴とするAD変換結果読出回路。

[請求項7]

請求項1乃至5のいずれか1項に記載のAD変換結果読出回路において、

前記識別データは、前記AD変換器によってAD変換処理が実行された時刻を示すデータであることを特徴とするAD変換結果読出回路。

[請求項8]

請求項1乃至5のいずれか1項に記載のAD変換結果読出回路にお

いて、

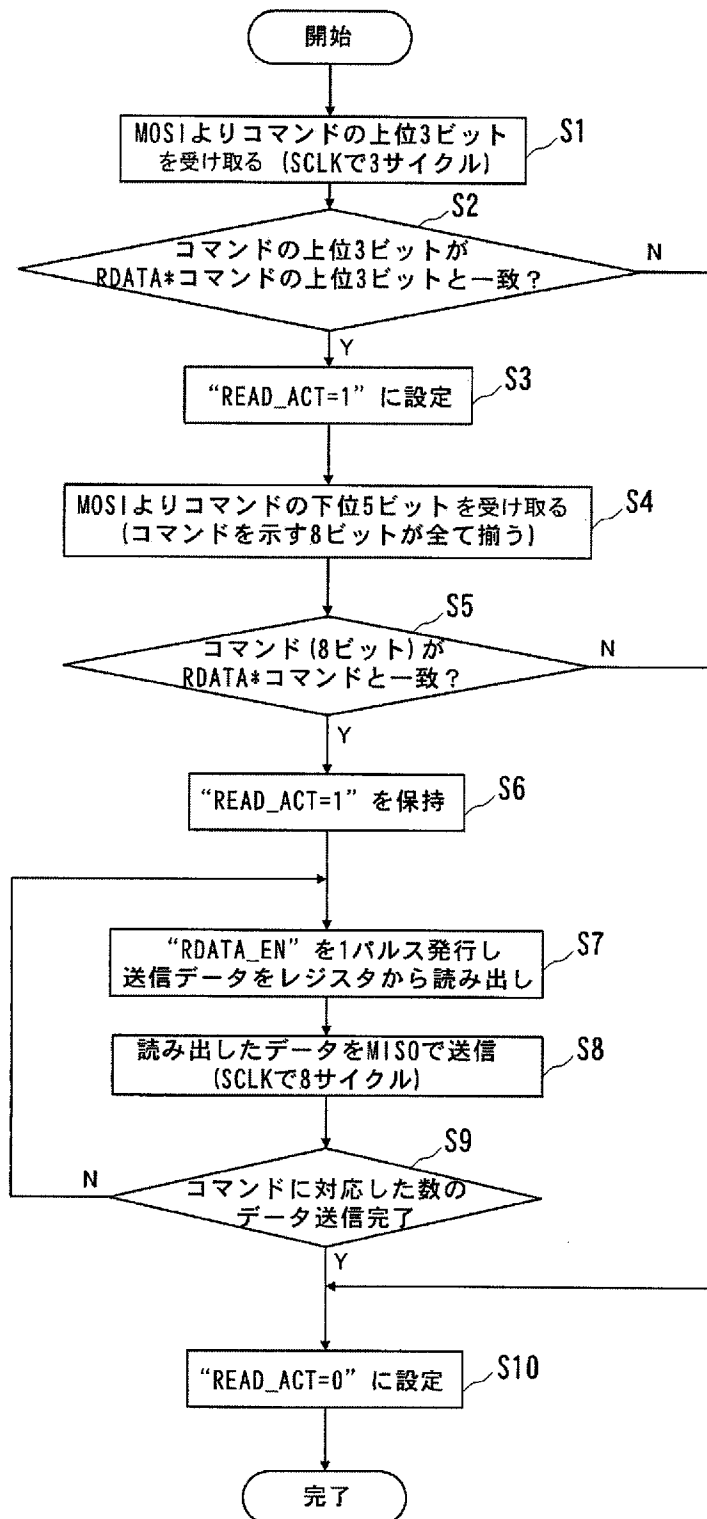
前記識別データは、前記A/D変換器によってA/D変換処理が実行される毎に論理レベルが反転する1ビットのデータであることを特徴とするA/D変換結果読出回路。

[請求項9]

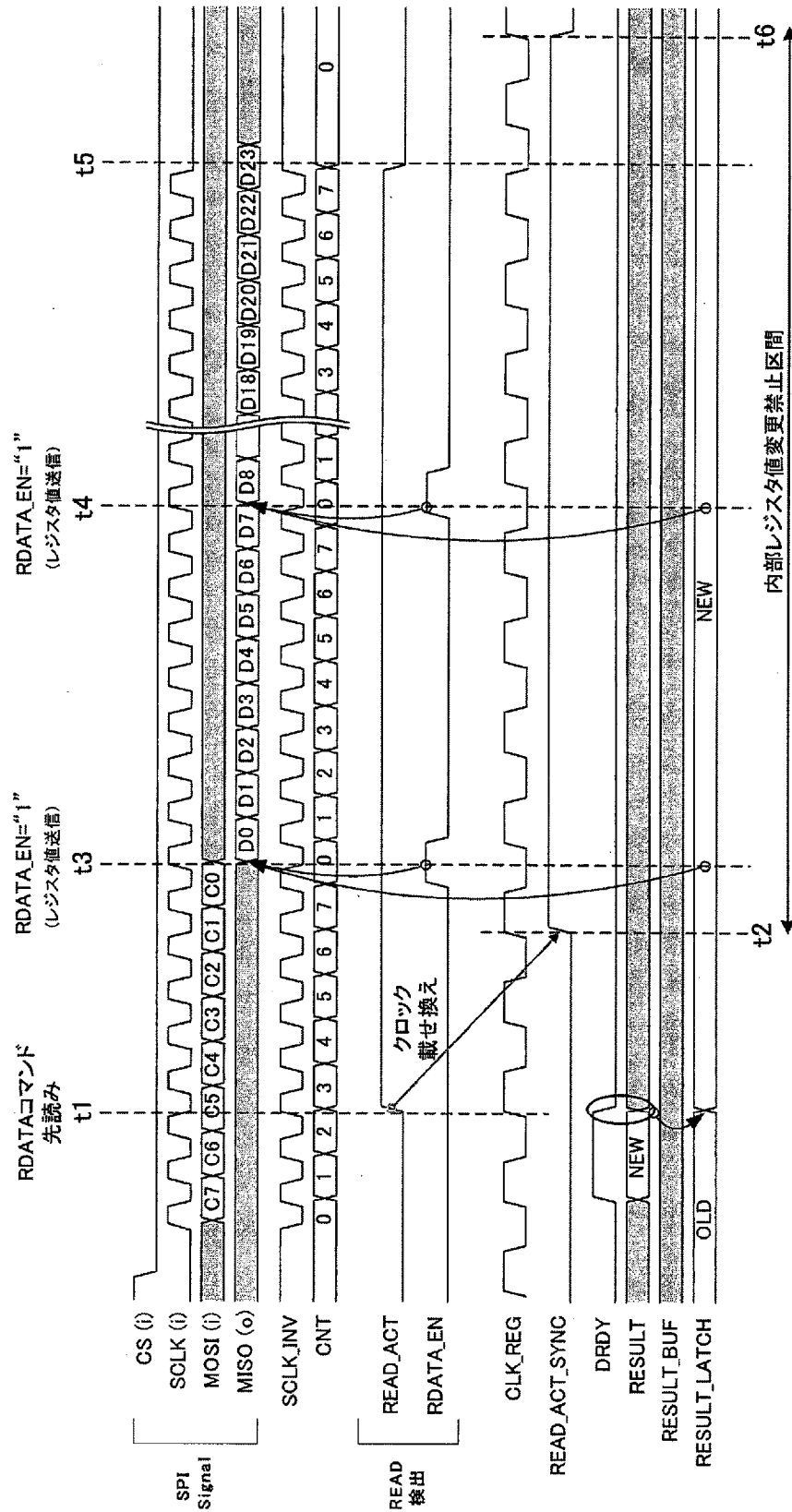
請求項1乃至5のいずれか1項に記載のA/D変換結果読出回路において、

前記識別データは、フリーランカウンタのカウント値に基づくデータであることを特徴とするA/D変換結果読出回路。

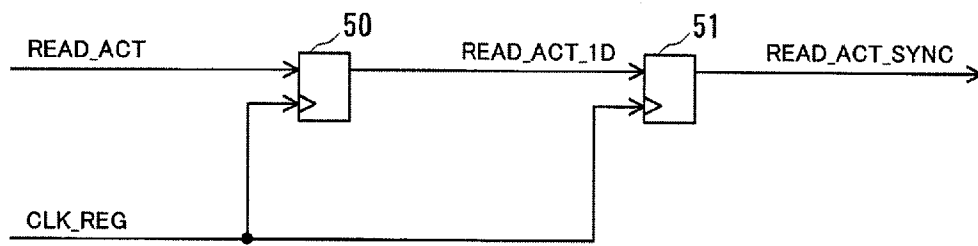
[図2]



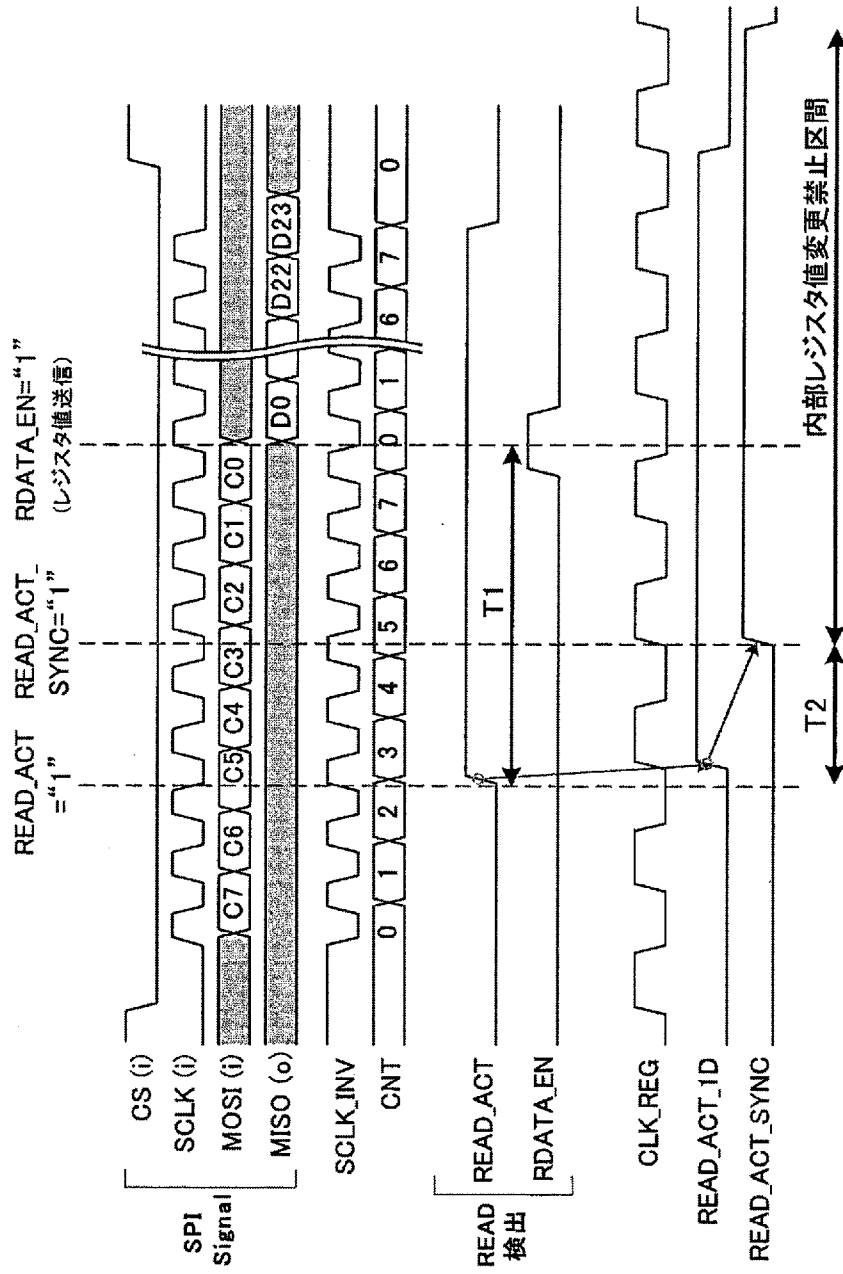
[図3]



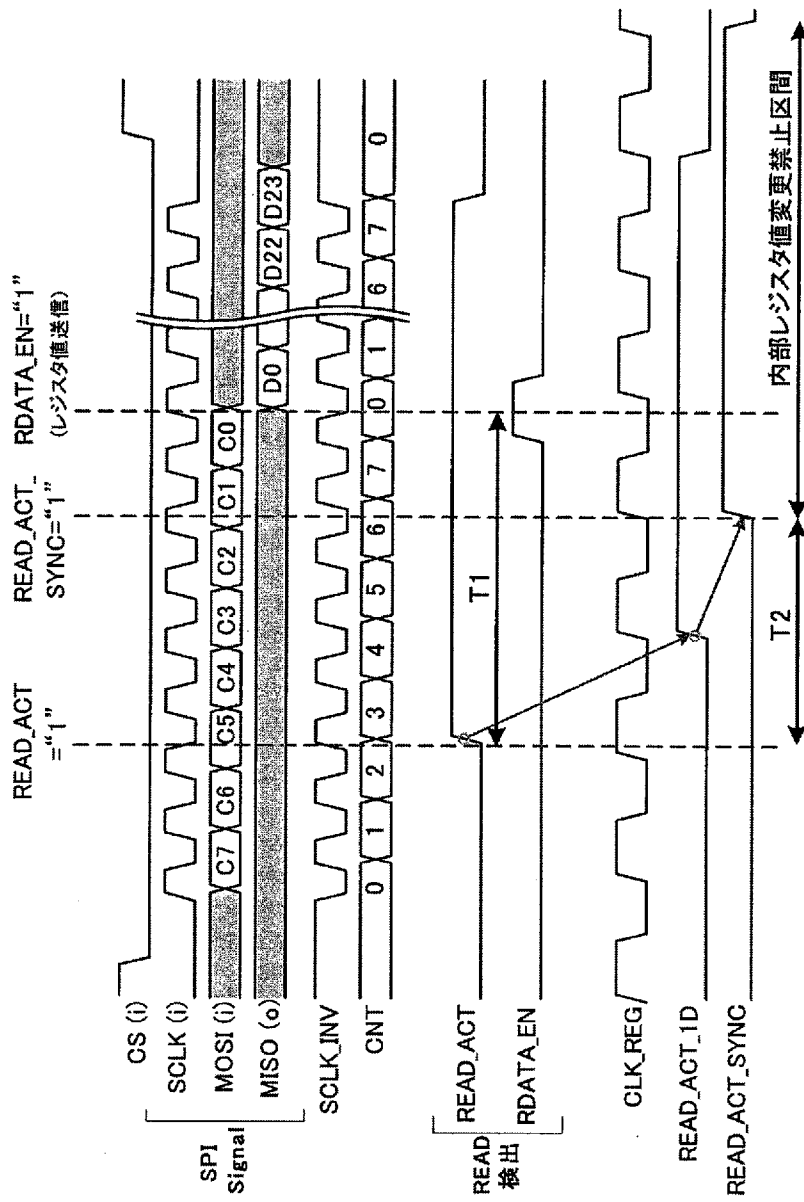
[図4]



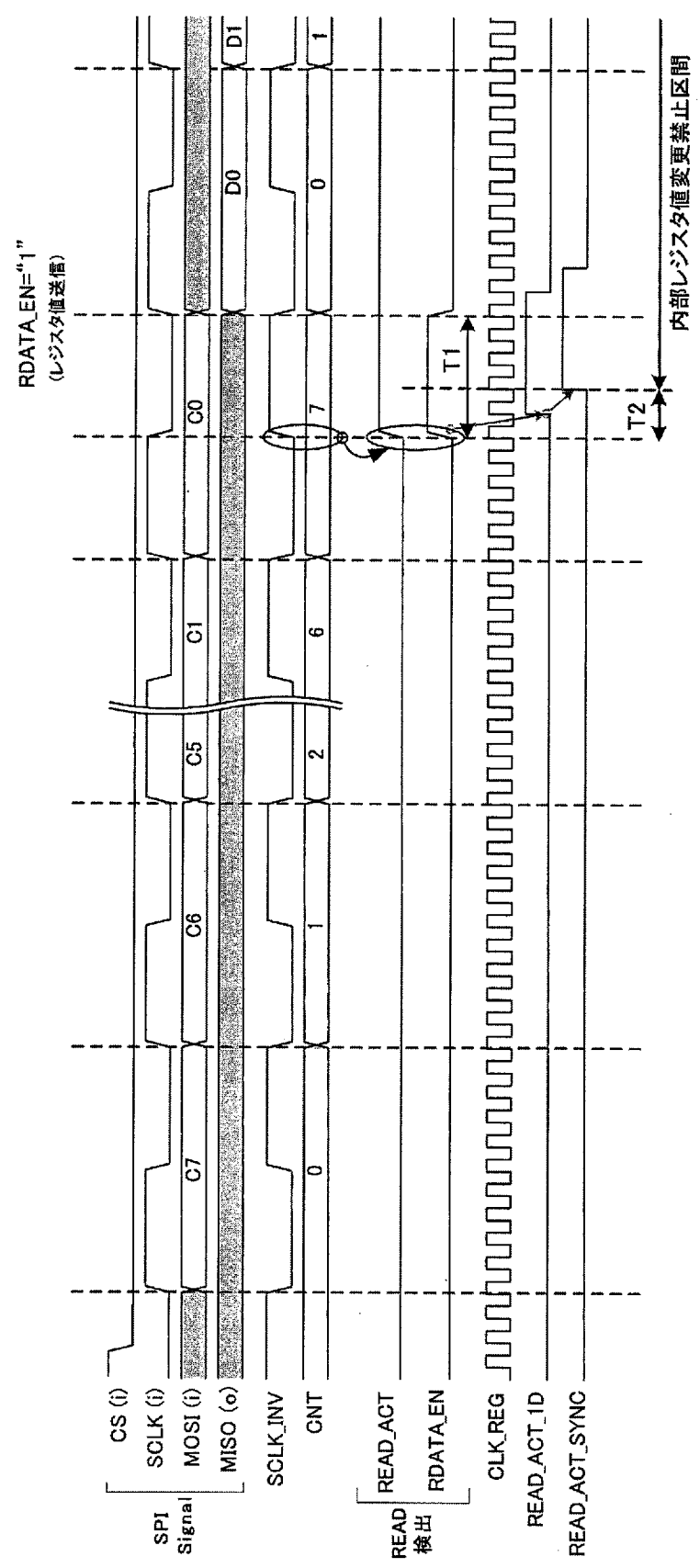
[図5]



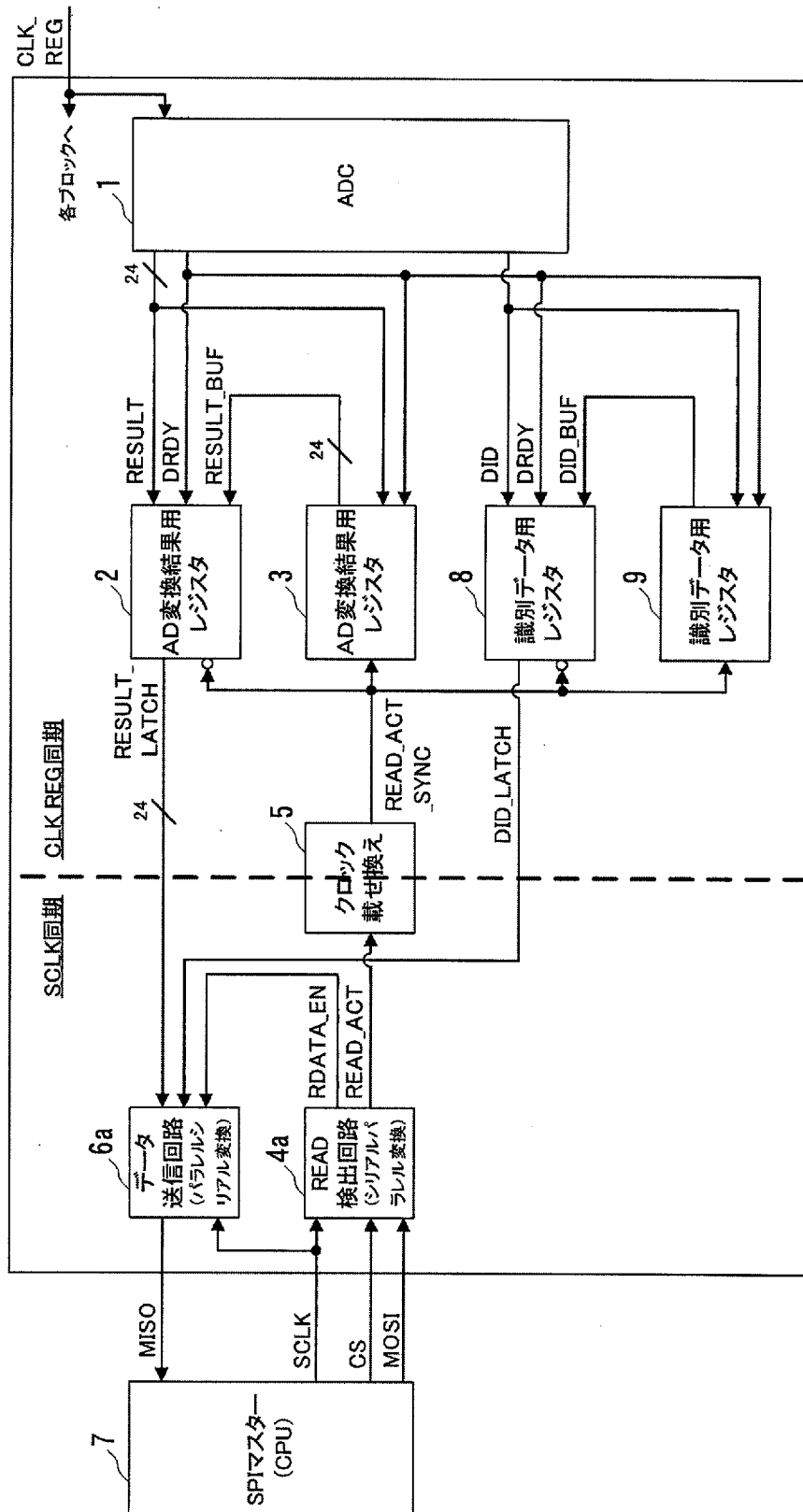
[図6]



[図7]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/007642

A. CLASSIFICATION OF SUBJECT MATTER

G06F3/05(2006.01)i, G06F15/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F3/05, G06F15/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-132418 A (Renesas Electronics Corp.), 17 July 2014 (17.07.2014), paragraphs [0113] to [0117]; fig. 23, 24 & US 2014/0191796 A1 paragraphs [0181] to [0185]; fig. 23, 24	1-9
A	JP 2008-28912 A (Denso Corp.), 07 February 2008 (07.02.2008), paragraphs [0052] to [0062]; fig. 7 (Family: none)	1-9
A	WO 2016/024483 A1 (Azbil Corp.), 18 February 2016 (18.02.2016), paragraphs [0020] to [0056]; fig. 1 to 4 & JP 2016-40647 A	1-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 April 2017 (10.04.17)

Date of mailing of the international search report
18 April 2017 (18.04.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G06F3/05(2006.01)i, G06F15/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G06F3/05, G06F15/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-132418 A（ルネサスエレクトロニクス株式会社） 2014.07.17, 段落0113-0117, 図23, 24 & US 2014/0191796 A1, 段落0181-0185, 図23, 24	1-9
A	JP 2008-28912 A（株式会社デンソー）2008.02.07, 段落0052-0062, 図7（ファミリーなし）	1-9
A	WO 2016/024483 A1（アズビル株式会社）2016.02.18, 段落0020-0056, 図1-4 & JP 2016-40647 A	1-9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

10.04.2017

国際調査報告の発送日

18.04.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

佐賀野 秀一

5U

5878

電話番号 03-3581-1101 内線 3565