



Patent dodatkowy
do patentu: _____

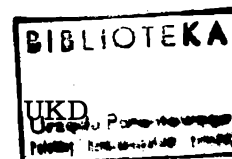
Zgłoszono: 20. XII. 1966 (P 118 069)

Pierwszeństwo: 24. XII. 1965 Holandia

Opublikowano: 10. IX. 1968

Kl. 21 a¹, 35/12

MKP H 04 n 5/04



Właściciel patentu: N. V. Philips' Gloeilampenfabrieken Eindhoven
(Holandia)

Urządzenie do synchronizacji oscylatora

1

Przedmiotem wynalazku jest urządzenie do synchronizacji oscylatora składające się ze źródła napięcia zasilającego połączonego szeregowo z układem wygładzającym, oporności obciążenia i dyskryminatora fazy zaopatrzonego przynajmniej w jeden element wzmacniający, przy czym szeregowo połączenie oscylatora z układem wygładzającym jest przyłączone do zacisków źródła napięcia zasilającego, zaś do dyskryminatora fazy są doprowadzane impulsy synchronizujące i sygnał porównawczy otrzymywany z oscylatora, natomiast do oscylatora są doprowadzane impulsy powstające na oporności obciążenia przeznaczone do bezpośredniej synchronizacji, jak również doprowadzane jest do tegoż oscylatora napięcie stałe jako napięcie regulacyjne wytwarzane w układzie wygładzającym w stanie synchronizmu.

Urządzenie tego rodzaju jest znane, w szczególności z fig. 10 patentu brytyjskiego 927.602. Impulsy synchronizujące do bezpośredniej synchronizacji oscylatora czerpane są także i w tym známym układzie z dyskryminatora fazy, przy czym dyskryminator fazy dostarcza także napięcia regulacyjne do pośredniej synchronizacji oscylatora. W celu tłumienia, używanych do synchronizacji pośredniej, impulsów synchronizujących, znany układ jest wyposażony w osobny tłumik oraz w drugi dyskryminator fazy do sterowania tego tłumika.

Celem wynalazku jest uzyskanie tłumienia impulsów

2

sów synchronizujących w stanie synchronizmu bez konieczności stosowania dodatkowych elementów w układzie.

Istota wynalazku polega na tym, że wartości oporności obciążenia napięcia zasilającego i wystęrowania, w wyniku doprowadzonych do dyskryminatora fazy sygnałów, są tak dobrane, że element wzmacniający pozostaje zawsze wystęrowany do charakterystyki granicznej, przy czym stała czasu układu wygładzającego jest duża w stosunku do czasu trwania impulsu synchronizującego natomiast jest mała albo równa okresowi dudnień wytwarzanych na oporności obciążenia w stanie braku synchronizmu.

Wynalazek jest bliżej objaśniony na przykładzie wykonania przedstawionym na rysunku, na którym fig. 1 przedstawia schemat ideowy dyskryminatora fazy, fig. 2 przedstawia charakterystykę I_c-V_c tranzystora zaś fig. 3 przedstawia szczegółowy schemat układu według wynalazku.

Połączone szeregowo tranzystory 1 i 2 (fig. 1) tworzą część składową dyskryminatora fazy. Sygnał porównawczy 3, zdejmowany z sygnału oscylatora, jest doprowadzony do tranzystora 1 przez kondensator 4 i opornik 5. Wierzchołki sygnału porównawczego 3 ulegają spłaszczeniu w następstwie, płynącego przez tranzystor 1, prądu bazy, tak że do bazy tranzystora 1 doprowadzony zostaje ostatecznie sygnał 6.

Sygnał telewizyjny synchronizacji jest doprowa-

dzony do zacisków 7 i 8. W przykładzie wykonania według fig. 1 został przedstawiony dyskryminator fazy do synchronizacji oscylatora półobrazu 9 w odbiorniku telewizyjnym. W celu wydzielenia, do synchronizacji oscylatora 9, impulsów synchronizacji półobrazu z ogólnego sygnału synchronizacji, sygnał ten jest doprowadzony przez zaciski 7 i 8 do integratora złożonego z opornika 10 i kondensatora 11. Scałkowane impulsy synchronizacji półobrazu zostają doprowadzone do bazy tranzystora 2 przez kondensator sprzęgający 12 i opornik szeregowy 13. Dzielnik napięcia złożony z oporników 14 i 15 służy wyłącznie do dobrania właściwego punktu pracy tranzystora 2.

Impulsy 16 sygnału synchronizacji półobrazu, doprowadzone do bazy tranzystora 2, pokrywają się częściowo ze spłaszczonymi częściami 17 sygnału porównawczego 6. Ponieważ tranzystor 2 obcina częściowo sygnał 16, przeto powstają na oporności obciążenia 18 w obwodzie kolektora tranzystora 2 impulsy 19, których czas trwania jest zależny od stopnia, w jakim impulsy półobrazu 16 pokrywają się ze spłaszczonymi częściami 17 sygnału 6. Oznacza to, że impulsy 19 mają zmienny czas trwania zależny od różnicy fazy pomiędzy sygnałem synchronizacji półobrazu i sygnałem oscylatora.

W obwodzie kolektora tranzystora 2 jest umieszczony układ wygładzający 20 złożony z kondensatora 21 i opornika 22. Stała czasu układu 30 jest duża w stosunku do czasu trwania impulsu synchronizacji półobrazu. Rząd wielkości stałej czasu układu 20 jest jednak równy okresowi dudnień powstających przy braku synchronizacji. Jak wiadomo, częstotliwość sygnału synchronizacji półobrazu odpowiada, w stanie synchronizmu, częstotliwości sygnału oscylatora. Impulsy 19 będą zatem miały, w stanie synchronizmu, czas trwania okresu odpowiadający sygnałowi synchronizacji półobrazu. Ponieważ stała czasu układu 20 jest duża w stosunku do czasu trwania impulsu synchronizacji półobrazu, przeto kondensator 21, który rozładowuje się nieznacznie w odstępie czasu dzielącym dwa impulsy, z powodu dużej stałej czasu, będzie ładowany przez impulsy 19.

Na kondensatorze 21 powstaje w ten sposób napięcie stałe odpowiadające średniej wartości sygnału 19. Ponieważ jak wyżej była mowa, czas trwania impulsów 19 jest zależny od różnicy fazy pomiędzy sygnałami 6 i 16, przeto w układzie 20 powstaje, w stanie synchronizmu, napięcie stałe zależne od różnicy fazy pomiędzy sygnałami 6 i 16. Różnica fazy, o której mowa, zależy znowu od początkowej różnicy częstotliwości pomiędzy sygnałem 16 i częstotliwością własną oscylatora przy braku synchronizacji. Otrzymane w układzie 20 napięcie stałe zostaje doprowadzone przez opornik 23, w celu pośredniej synchronizacji, do oscylatora 9, z którego zacisku wyjściowego 24 odprowadza się sygnał sterujący do stopnia końcowego półobrazu.

Wytworzone na oporniku 18 impulsy 19 doprowadza się także do oscylatora 9, w celu bezpośredniej synchronizacji. Ponieważ jednak musi być zapewniona różnica fazy pomiędzy sygnałem synchronizacji i sygnałem oscylatora, przeto jest

konieczne, aby impulsy 19, w przybliżeniu prostokątne, poddać najpierw całkowaniu za pomocą opornika 25 i kondensatora 26, po czym dopiero doprowadzić je przez kondensator sprzęgający 27 do oscylatora 9.

Jak zostało wspomniane w patencie brytyjskim 927 602, jest pożądane, aby impulsy 19 były tłumione w stanie synchronizmu. Uzyskuje się w tym przypadku nie tylko tłumienie potrzebnych do synchronizacji impulsów 19 lecz także osłabienie ewentualnych impulsów zakłócających, które mogą wywierać niekorzystny wpływ na synchronizację bezpośrednią. Ponieważ oprócz tego częstotliwość sygnału oscylatora, w stanie synchronizmu, w wyniku synchronizacji bezpośredniej, równa jest w przybliżeniu częstotliwości sygnału synchronizacji półobrazu, przeto wystarczająca jest względnie mała amplituda impulsów 19. Współpraca pomiędzy dyskryminatorem fazy i synchronizacją bezpośrednią zależna jest dalej od amplitudy scałkowanych impulsów synchronizacji półobrazu. Im większa jest amplituda scałkowanych impulsów o tyle mniejsza jest różnica fazy pomiędzy sygnałem oscylatora i impulsami półobrazu (zjawisko to zostało omówione wyczerpująco we wspomnianym patencie brytyjskim 927.602). Stwarza to trudność tego rodzaju, że dyskryminator fazy przy pozostawionych bez zmiany warunkach, będzie dostarczał mniejsze napięcie regulacyjne niż w przypadku większej wartości wspomnianej różnicy fazy. Oprócz tego dyskryminator fazy wymaga bardziej krytycznego nastawienia i staje się bardziej podatny na zakłócenia. Wspomniana różnica fazy staje się większa przy mniejszej amplitudzie impulsów 19, tak że mniejsza amplituda nie tylko, że wystarcza lecz jest pożądana.

Przy braku synchronizacji natomiast może wystąpić duża różnica częstotliwości pomiędzy sygnałem synchronizacji półobrazu 16 i sygnałem oscylatora. Staje się wówczas konieczne przejście na pracę z dużą amplitudą impulsów 19, ponieważ wychwyt oscylatora jest możliwy przy dużych impulsach. Pod pojęciem wychwyty rozumie się tu doprowadzenie oscylatora do synchronizmu z sygnałem synchronizacji półobrazu, przez synchronizację bezpośrednią. Im większa jest amplituda impulsów 19 o tyle większa może być różnica częstotliwości pomiędzy sygnałem oscylatora i wystarczającym jeszcze do wychwyty sygnałem synchronizacji. W układzie według fig. 1 jest możliwe uzyskanie takiego faktu, aby impulsy 19 miały małą amplitudę w synchronizmie zaś dużą amplitudę przy braku synchronizmu. W tym celu należy odpowiednio dobrać wartości poszczególnych elementów układu.

Przytoczone wyżej rozumowanie można wytłumaczyć w następujący sposób. Jak już powiedziano, układ 20 ma stałą czasu, która w stosunku do czasu trwania okresu dudnienia powstającego przy braku synchronizmu, na oporniku 18 jest mała lub ma ten sam rząd wielkości. Nie każdy impuls 16 sygnału synchronizacji półobrazu, przy tego rodzaju braku synchronizmu, pokrywa się z płaską częścią 17 sygnału porównawczego 6. Przy braku synchronizmu, impuls półobrazu 16

pokrywa się tylko w pewnych określonych chwilach z płaską częścią 17. Tylko w tych chwilach może płynąć prąd przez opornik 18. Inaczej mówiąc, prąd płynący przez opornik 18 ma częstotliwość odpowiadającą różnicy częstotliwości pomiędzy sygnałem 6 i sygnałem 16 co oznacza, że prąd ten stanowi sygnał dudnień o częstotliwości tych dudnień. Ta częstotliwość dudnień jest bardzo mała. Ponieważ czas trwania impulsów sygnału 19 nie zmienia się praktycznie także przy sygnale dudnień, oznacza to, że średnia wartość sygnału dudnień jest o wiele mniejsza od średniej wartości sygnału 19 dla stanu synchronizmu. Tym samym napięcie na układzie 20 będzie wiele razy mniejsze przy braku synchronizmu niż przy synchronizmie. W przykładzie wykonania, napięcie na układzie 20 wynosi w stanie synchronizmu np. 5 V przy napięciu zasilającym $V_c = 10$ V. Napięcie to waha się w zależności od różnicy fazy pomiędzy sygnałem 6 i 16 w granicach około 4,5 do 5,5 V. Przy braku synchronizmu natomiast, napięcie na układzie 20 wynosi zaledwie 0,5 V, co oznacza, że napięcie to w porównaniu do poprzednio wspomnianych 5 V może być prawie do pominięcia. Jak widać, napięcie na końcu opornika 18, dołączonym do układu 20, waha się od około 10 V do około 5 V względem punktu uziemienia.

Przytoczone wyżej rozważanie zostanie jeszcze bliżej objaśnione w oparciu o rysunek. Na fig. 2 jest przedstawiona charakterystyka $I_c - V_c$ tranzystora 2. Przyjęto założenie, że tranzystor 1 w chwili, w której występują spłaszczone części 17, jest bliski stanu nasycenia, tak że spadek napięcia na tym tranzystorze w wspomnianej chwili jest do pominięcia. W takim przypadku wystarcza ograniczenie rozważań tylko do tranzystora 2. Jeżeli ten przypadek nie ma miejsca, wówczas należy odjąć od łącznego napięcia występującego pomiędzy punktem połączenia opornika 18 z kondensatorem 21 i punktem uziemienia, spadek napięcia na tranzystorze 1 podczas występowania spłaszczonych części 17, po czym rozważania dotyczące tranzystora 2 przebiegają w taki sam sposób. Napięcie V_{co} przedstawia na fig. 2 napięcie na wspomnianym końcu opornika 18 w stanie braku synchronizmu. Dla omawianego przykładu $V_{co} = 10$ V. Napięcie V_{cl} przedstawia natomiast napięcie na wspomnianym końcu opornika 18 w stanie synchronizmu. W omawianym przykładzie $V_{cl} = 5$ V. Obciążenie jakie stanowi opornik 18 przedstawia na fig. 2 linia 28 dla stanu braku synchronizmu, względnie linia 29 dla stanu synchronizmu. Doprowadzone impulsy półobrazu 16 i wzmocniony przez tranzystor 1 sygnał porównawczy 6, powodują razem wysterowanie tranzystora 2 w granicach $I_{b1} - I_{bo}$. Z fig. 2 wynika, że przy wspomnianym rodzaju wysterowania oraz przy właściwym wyborze wartości opornika 18 otrzymuje się zawsze pewność, że tranzystor 2 zostanie wysterowany do swej charakterystyki granicznej 30 niezależnie od napięcia zasilającego. Oznacza to, że tranzystor 2 będzie zawsze wysterowany do nasycenia zarówno w stanie synchronizmu jak i przy braku synchronizmu. Ponieważ brakowi synchronizmu odpowiada krzywa obciążenia 28, przeto zostanie

wytworzony impuls 19' o znacznie większej amplitudzie niż amplituda impulsu 19'' powstającego na oporniku 18 w stanie synchronizmu, gdyż stanowi synchronizmu odpowiada krzywa obciążenia 29. Dzieje się to tak dlatego, że w wyniku zmieniającego się napięcia na wspomnianym końcu opornika 18 pozorne napięcie zasilające tranzystor 2 zostaje przesunięte z wartości V_{co} do wartości V_{cl} . Jak to zostało pokazane na fig. 2, różnica pomiędzy amplitudami 19' i 19'' jest znaczna. Różnica ta może być jeszcze zaakcentowana przez to, że steruje się nie pomiędzy wartościami I_{b1} i I_{bo} lecz pomiędzy wartościami I_{b2} i I_{bo} . Tym samym ograniczona zostaje amplituda impulsu występującego w stanie braku synchronizmu jednakże amplituda sygnału występującego w synchronizmie zmniejsza się jeszcze więcej. W ten sposób można uzyskać jeszcze większą różnicę pomiędzy impulsami 19' i 19'' niż przy pełnym wysterowaniu pomiędzy wartościami I_{b1} i I_{bo} jak to zostało na pokazane fig. 2. Można to osiągnąć również przez wybór mniejszej wartości stosunku pomiędzy opornikiem 18 i opornikiem 22 niż to zostało założone dla fig. 2. W tym ostatnim przypadku można otrzymać średnią wartość występującego na układzie 20 napięcia regulacyjnego, w stanie synchronizmu, w granicach 8 do 9 V, przy pozostawieniu bez zmiany wartości napięcia zasilającego $V_c = 10$ V. Krzywa obciążenia 29, na fig. 2, przesunie się dalej w lewo a tym samym można będzie otrzymać jeszcze mniejszą amplitudę impulsów 19''.

Punktem wyjściowym dla przykładu wykonania według fig. 1 było stwierdzenie, że oscylator 9 stanowi oscylator półobrazu. Jest jednakże oczywiste, że omawiany układ znajdzie także zastosowanie dla przypadku, w którym oscylator 9 stanowi oscylator linii. Oscylator 9 może być w tym przypadku także oscylatorem sinusoidalnym, ponieważ oscylator sinusoidalny nadaje się również do synchronizacji bezpośredniej i pośredniej. W tym przypadku jednakże synchronizacja pośrednia przez opornik 23 będzie odgrywać większą rolę, zaś synchronizacja bezpośrednia za pomocą impulsów 19 będzie odgrywać mniejszą rolę. Należy się zatem starać, aby tłumienie impulsów 19 było bardzo silne. Jest także zbędne dla tego przypadku, aby sygnał porównawczy, doprowadzany przez kondensator 4, miał kształt 3 jak to jest pokazane na fig. 1. Sygnał doprowadzany przez kondensator 4 może być sygnałem złożonym z regularnych impulsów, przy czym impulsy te mogą lecz nie muszą pokrywać się w czasie z impulsami doprowadzanymi do bazy tranzystora 2. Nie konieczne jest także łączenie zawsze w szereg dwóch tranzystorów 1 i 2. Możliwe jest natomiast dodawanie sygnału porównawczego i sygnału synchronizacyjnego i doprowadzanie tej sumy sygnałów przez dwa oporniki bezpośrednio do bazy tranzystora 2. Odpada w tym przypadku tranzystor 1 a emiter tranzystora 2 dołączony zostaje bezpośrednio do punktu uziemienia.

Wynalazek można stosować zarówno w układzie lampowym jak i tranzystorowym. Dla pentody można również wykreślić charakterystykę

I_c-V_c odpowiadającą charakterystyce I_c-V_c podanej na fig. 2. Różnica polega jedynie na tym, że wartość napięcia V_c , przy której osiągnięta jest charakterystyka graniczna wynosi dla tranzystora około 0,5 V podczas gdy wartość ta dla pentody wynosi w zależności od typu, 30 do 50 V.

Na fig. 3 jest przedstawiony szczegółowy schemat układu według wynalazku. Wprowadzone oznaczenia odpowiadają oznaczeniom użytym na fig. 1.

W układzie według fig. 3, oscylator 9 jest wykonany jako oscylator relaksacyjny typu samodławowego. W tym celu doprowadza się sygnał z zacisku 24' przez kondensator 31 do stopnia końcowego 32, z którego zacisku wyjściowego 33 odprowadza się sygnał porównawczy 3. Sygnał ten zostaje doprowadzony przewodem 34 przez opornik 35 do kondensatora 4 jak również przewodem 36 do stopnia usprawniającego 36'. W układzie 37 złożonym z opornika i kondensatora wydzielone zostają z sygnału porównawczego 3 impulsy 38, których zadaniem jest okresowe zwalnianie tranzystora 39 w stopniu usprawniającym 36'. Do bazy tranzystora 39 jest doprowadzone z układu wygładzającego 20, przez opornik 23, niezbędne do pośredniej synchronizacji napięcie regulacyjne, jak również potrzebne do bezpośredniej synchronizacji całkowane impulsy 19, przez kondensator 27. W przeciwieństwie do układu z fig. 1, zacisk ujemny źródła zasilającego dyskryminator fazy jest uziemiony, co jest w zasadzie obojętne dla działania układu. Poza tym układ według fig. 3 działa analogicznie jak układ według fig. 1.

W specjalnym przykładzie wykonania, w którym oscylator 9 pracuje jako oscylator półobrazu w odbiorniku telewizyjnym z kineskopem o średnicy ekranu 28 cm i kącie odchylenia 90°, wartość opornika 18 wynosi około 330Ω i odpowiada stałej czasu układu 20 1,5 sekundy. Napięcie zasilania $V_c = 10$ V, wartość opornika 22 równa 56 kΩ.

Zastrzeżenia patentowe

1. Urządzenie do synchronizacji oscylatora składającego się ze źródła napięcia zasilającego połączonego szeregowo z układem wygładzającym, oporności obciążenia i dyskryminatora fazy zaopatrzonego przynajmniej w jeden element wzmacniający, przy czym szeregowo połączenie oscylatora z układem wygładzającym jest przyłączone do zacisków źródła zasilającego, zaś do dyskryminatora fazy są doprowadzane impulsy synchronizujące i sygnał porównawczy otrzymywany z oscylatora natomiast do oscylatora są doprowadzane impulsy, powstające na oporności obciążenia do bezpośredniej synchronizacji, jak również doprowadzone jest do tegoż oscylatora napięcie regulacyjne wytwarzane w układzie wygładzającym w stanie synchronizmu, **znamienny tym**, że wartości oporności obciążenia, napięcia zasilającego i wysterowania, w wyniku doprowadzonych do dyskryminatora fazy sygnałów, są tak dobrane, że element wzmacniający pozostaje zawsze wysterowany do charakterystyki granicznej, przy czym stała układu wygładzającego jest duża w stosunku do czasu trwania impulsu synchronizującego, natomiast jest mała albo równa okresowi dudnień wytwarzanych na oporności obciążenia w stanie braku synchronizmu.
2. Urządzenie według zastrz. 1, w którym oscylator stanowi oscylator relaksacyjny dostarczający sygnał sterujący do stopnia półobrazu w odbiorniku telewizyjnym, **znamiennie tym**, że dyskryminator fazy jest zaopatrzony w dwa tranzystory połączone szeregowo, przy czym do bazy pierwszego tranzystora jest doprowadzony sygnał porównawczy a do bazy drugiego tranzystora jest doprowadzony sygnał synchronizacyjny półobrazu z odbieranego sygnału telewizyjnego i przy czym w obwód kolektora drugiego tranzystora jest włączony opornik obciążenia o wartości 330Ω jak również układ wygładzający o stałej czasu równej około 1,5 sekundy a napięcie zasilające wynosi około 10 V.

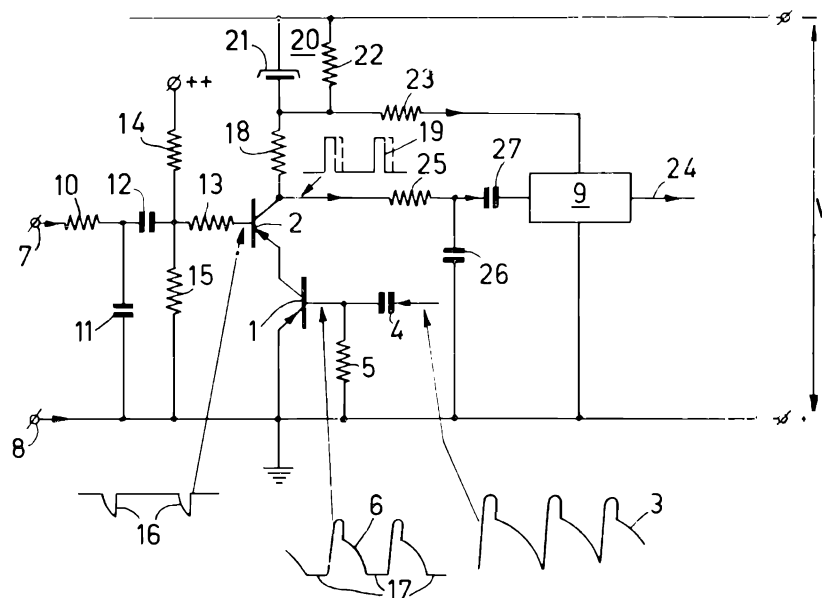


FIG.1

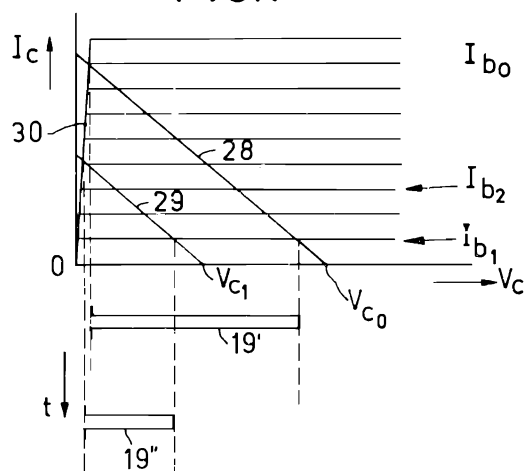


FIG.2

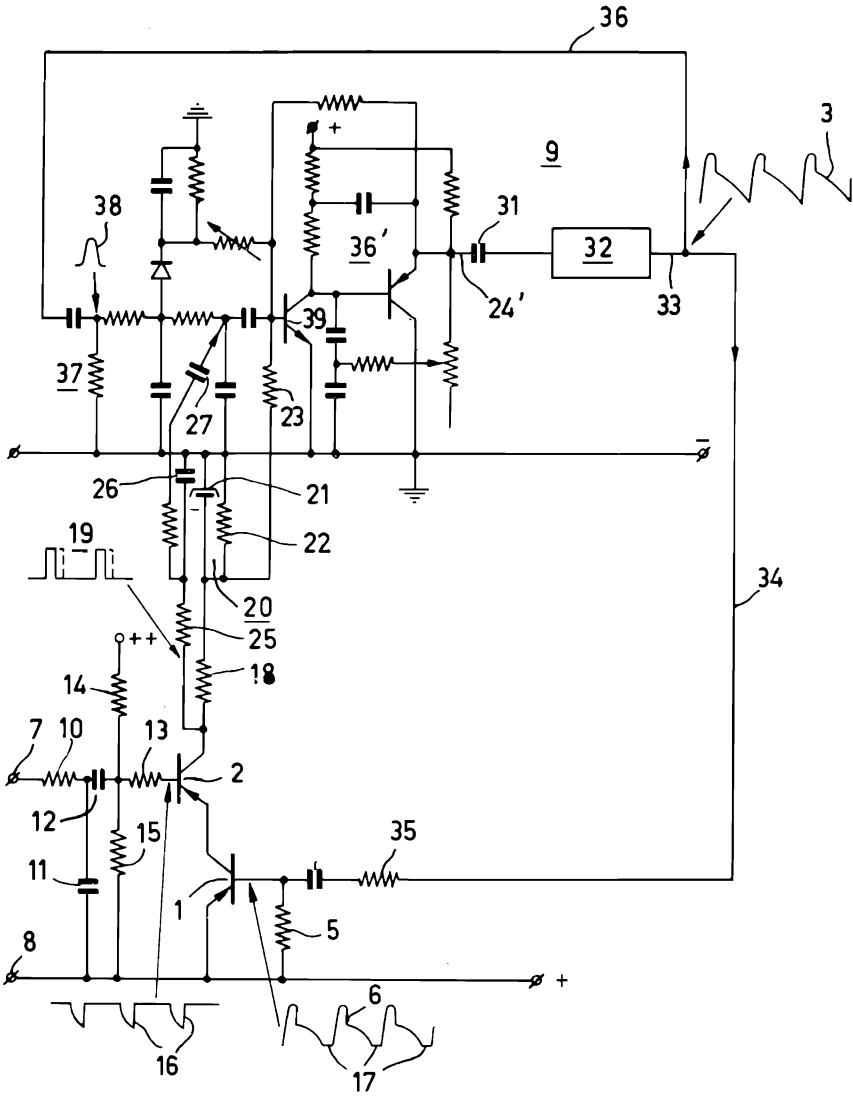


FIG.3