

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号  
特開2014-96696  
(P2014-96696A)

(43) 公開日 平成26年5月22日 (2014.5.22)

(51) Int.Cl.	F I	テーマコード (参考)
H O 3 F 3/68 (2006.01)	H O 3 F 3/68 B	5 J 5 0 0
H O 3 F 1/22 (2006.01)	H O 3 F 1/22	
H O 3 F 3/24 (2006.01)	H O 3 F 3/24	

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号	特願2012-247144 (P2012-247144)	(71) 出願人	000006013
(22) 出願日	平成24年11月9日 (2012.11.9)		三菱電機株式会社
			東京都千代田区丸の内二丁目7番3号
		(74) 代理人	100082175
			弁理士 高田 守
		(74) 代理人	100106150
			弁理士 高橋 英樹
		(74) 代理人	100148057
			弁理士 久野 淑己
		(72) 発明者	宮下 美代
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
		(72) 発明者	山本 和也
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内

最終頁に続く

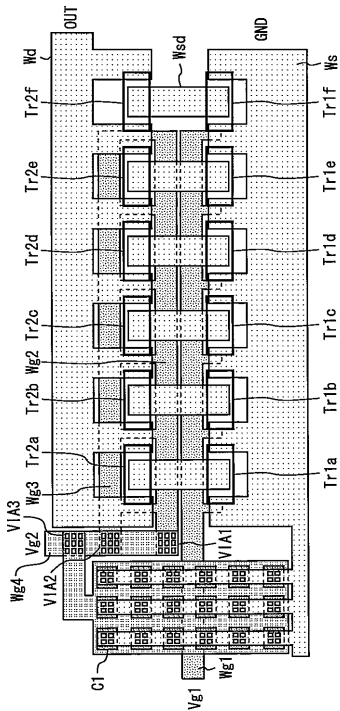
(54) 【発明の名称】 カスコードアンプ

(57) 【要約】

【課題】配線抵抗に起因する出力電力の低下を抑制することができるカスコードアンプを得る。

【解決手段】トランジスタTr1a~Tr1fがトランジスタTr2a~Tr2fにそれぞれカスコード接続されている。配線Wg1がトランジスタTr1a~Tr1fのゲートに順に接続されている。並列に接続された配線Wg2, Wg3がトランジスタTr2a~Tr2fのゲートに順に接続されている。容量C1が配線Wg2の一端と接地点との間に接続されている。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

複数の第 1 トランジスタと、  
前記複数の第 1 トランジスタにそれぞれカスコード接続された複数の第 2 トランジスタと、  
前記複数の第 1 トランジスタの制御端子に順に接続された第 1 の配線と、  
前記複数の第 2 トランジスタの制御端子に順に接続された第 2 の配線と、  
前記第 2 の配線の一端と接地点との間に接続された容量とを備え、  
前記第 2 の配線は並列に接続された 2 本以上の配線を有することを特徴とするカスコードアンプ。

10

**【請求項 2】**

前記第 1 の配線は並列に接続された 2 本以上の配線を有することを特徴とする請求項 1 に記載のカスコードアンプ。

**【請求項 3】**

複数の第 1 トランジスタと、  
前記複数の第 1 トランジスタにそれぞれカスコード接続された複数の第 2 トランジスタと、  
前記複数の第 1 トランジスタの制御端子に順に接続された第 1 の配線と、  
前記複数の第 2 トランジスタの制御端子に順に接続された第 2 の配線と、  
前記第 2 の配線の一端と接地点との間に接続された第 1 容量と、  
前記第 2 の配線の他端と接地点との間に接続された第 2 容量とを備えることを特徴とするカスコードアンプ。

20

**【請求項 4】**

複数の第 1 トランジスタと、  
前記複数の第 1 トランジスタにそれぞれカスコード接続された複数の第 2 トランジスタと、  
前記複数の第 1 トランジスタの制御端子に順に接続された第 1 の配線と、  
前記複数の第 2 トランジスタの制御端子に順に接続された第 2 の配線と、  
前記複数の第 2 トランジスタの前記制御端子と接地点との間にそれぞれ接続された複数の容量とを備えることを特徴とするカスコードアンプ。

30

**【請求項 5】**

前記カスコードアンプは差動アンプであることを特徴とする請求項 4 に記載のカスコードアンプ。

**【請求項 6】**

前記複数の第 1 トランジスタ及び前記複数の第 2 トランジスタは  $n$  チャネル MOS トランジスタであることを特徴とする請求項 1 ~ 5 の何れか 1 項に記載のカスコードアンプ。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、主に携帯電話等の移動体通信機器に用いられるカスコードアンプに関する。

40

**【背景技術】****【0002】**

現在、CDMAをはじめとする携帯電話用電力増幅器において低コスト化を実現する 1 つの手段として、CMOS プロセスを用いたカスコードアンプの開発が活発になってきている（例えば、特許文献 1 参照）。

**【0003】**

図 16 は、カスコードアンプの基本構成を示す回路図である。点線枠内がカスコードアンプであり、それ以外は電力増幅器を構成するために必要な回路素子である。トランジスタ  $Tr_1$ 、 $Tr_2$  は  $n$  チャネル MOS トランジスタであり、カスコード接続されている。カスコード接続されたトランジスタを用いた増幅器をカスコードアンプと呼ぶ。

50

## 【 0 0 0 4 】

トランジスタ  $T r 1$  のゲートが入力整合回路を介して R F 入力信号端子  $I N$  に接続され、かつゲートバイアス端子  $V g 1$  に接続されている。トランジスタ  $T r 1$  のソースは接地されている。即ち、トランジスタ  $T r 1$  はソース接地トランジスタである。

## 【 0 0 0 5 】

トランジスタ  $T r 2$  のゲートが容量  $C 1$  を介して接地され、かつゲートバイアス端子  $V g 2$  に接続されている。即ち、トランジスタ  $T r 2$  はゲート接地トランジスタである。トランジスタ  $T r 2$  のソースがトランジスタ  $T r 1$  のドレインに接続されている。トランジスタ  $T r 2$  のドレインは線路  $L 1$  を介してカスコードアンプのドレイン電源端子  $V d$  に接続され、かつ出力整合回路を介して R F 出力信号端子  $O U T$  に接続されている。線路  $L 1$  は特定の電気長を有しインダクタとして作用する。

10

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 6 】

【 特許文献 1 】 特開平 5 - 2 5 9 7 6 5 号公報

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 7 】

電力増幅器を構成するカスコードアンプのトランジスタは、ゲート幅が大きく、複数のセルに分割される。この場合、各セルのゲート接地トランジスタのゲートはゲート配線により接続され、そのゲート配線の一端と接地点の間に容量が接続される。しかし、ゲート配線の配線抵抗がゲート幅（トランジスタサイズ）の拡大と共に大きくなるため、ゲート幅を拡大しても出力電力が増加しないという問題があった。

20

## 【 0 0 0 8 】

本発明は、上述のような課題を解決するためになされたもので、その目的は配線抵抗に起因する出力電力の低下を抑制することができるカスコードアンプを得るものである。

## 【 課題を解決するための手段 】

## 【 0 0 0 9 】

本発明に係るカスコードアンプは、複数の第 1 トランジスタと、前記複数の第 1 トランジスタにそれぞれカスコード接続された複数の第 2 トランジスタと、前記複数の第 2 トランジスタの制御端子に順に接続された配線と、前記配線の一端と接地点との間に接続された容量とを備え、前記配線は並列に接続された 2 本以上の配線を有することを特徴とする。

30

## 【 発明の効果 】

## 【 0 0 1 0 】

本発明により、配線抵抗に起因する出力電力の低下を抑制することができる。

## 【 図面の簡単な説明 】

## 【 0 0 1 1 】

【 図 1 】 本発明の実施の形態 1 に係るカスコードアンプを示す上面図である。

【 図 2 】 本発明の実施の形態 1 に係るカスコードアンプを示す回路図である。

40

【 図 3 】 比較例 1 に係るカスコードアンプを示す上面図である。

【 図 4 】 比較例 1 に係るカスコードアンプを示す回路図である。

【 図 5 】 比較例 1 に係るカスコードアンプの配線抵抗と電力利得の関係を示す図である。

【 図 6 】 比較例 1 に係るカスコードアンプの配線抵抗と出力電力の関係を示す図である。

【 図 7 】 比較例 2 に係るカスコードアンプを示す回路図である。

【 図 8 】 配線抵抗が無視できる理想状態での比較例 2 に係るカスコードアンプの入力電力と出力電力の関係を示す図である。

【 図 9 】 配線抵抗を考慮した場合の比較例 2 に係るカスコードアンプの入力電力と出力電力の関係を示す図である。

【 図 1 0 】 本発明の実施の形態 2 に係るカスコードアンプを示す上面図である。

50

【図 1 1】本発明の実施の形態 2 に係るカスコードアンプを示す回路図である。

【図 1 2】本発明の実施の形態 3 に係るカスコードアンプを示す上面図である。

【図 1 3】本発明の実施の形態 3 に係るカスコードアンプを示す回路図である。

【図 1 4】本発明の実施の形態 4 に係るカスコードアンプを示す回路図である。

【図 1 5】比較例 3 に係るカスコードアンプを示す回路図である。

【図 1 6】カスコードアンプの基本構成を示す回路図である。

【発明を実施するための形態】

【0012】

本発明の実施の形態に係るカスコードアンプについて図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。

10

【0013】

実施の形態 1 .

図 1 は、本発明の実施の形態 1 に係るカスコードアンプを示す上面図である。図 2 は、本発明の実施の形態 1 に係るカスコードアンプを示す回路図である。トランジスタ  $Tr1a \sim Tr1f$  がトランジスタ  $Tr2a \sim Tr2f$  にそれぞれカスコード接続されている。これらのトランジスタは  $n$  チャンネル MOS トランジスタである。

【0014】

配線  $Wg1$  が  $Tr1a \sim Tr1f$  のゲートに順に接続されている。配線  $Wg2$  ,  $Wg3$  が  $Tr2a \sim Tr2f$  のゲートに順に接続されている。配線  $Wg2$  ,  $Wg3$  は互いに並列に接続されている。容量  $C1$  が配線  $Wg2$  ,  $Wg3$  の一端と  $GND$  との間に接続されている。

20

【0015】

$Tr1a \sim Tr1f$  のソースが配線  $Ws$  を介して  $GND$  に接続されている。 $Tr1a \sim Tr1f$  のドレインが配線  $Wsd$  を介してそれぞれ  $Tr2a \sim Tr2f$  のソースに接続されている。 $Tr2a \sim Tr2f$  のドレインが配線  $Wd$  を介して RF 出力信号端子  $OUT$  に接続されている。

【0016】

配線  $Wg2$  はビア  $VIA1$  ,  $VIA3$  及び配線  $Wg4$  を介して  $Vg2$  端子に接続され、配線  $Wg3$  はビア  $VIA2$  ,  $VIA3$  及び配線  $Wg4$  を介して  $Vg2$  端子に接続されている。なお、ビア  $VIA1 \sim VIA3$  は LSI プロセスの多層配線プロセスで上層配線と下層配線間を接続するためのビアである。

30

【0017】

配線  $Wg1$  は各トランジスタのゲート間で配線抵抗  $Rg1a \sim Rg1f$  を有する。配線  $Wg2$  は各トランジスタのゲート間で配線抵抗  $Rg2a \sim Rg2f$  を有する。配線  $Wg3$  は各トランジスタのゲート間で配線抵抗  $Rg3a \sim Rg3f$  を有する。抵抗  $Rc1$  は  $Vg2$  端子から容量  $C1$  までの配線抵抗と容量  $C1$  自身の寄生抵抗の合計である。抵抗  $Rg1a$  は  $Vg1$  端子から  $Tr1a$  のゲートまでの配線抵抗である。抵抗  $Rg2a$  は  $Vg2$  端子から  $Tr2a$  のゲートまでの配線抵抗とビア  $VIA1$  ,  $VIA3$  のコンタクト抵抗の合計である。抵抗  $Rg3a$  は  $Vg2$  端子から  $Tr2a$  のゲートまでの配線抵抗とビア  $VIA2$  ,  $VIA3$  のコンタクト抵抗の合計である。

40

【0018】

続いて、本実施の形態の効果と比較例 1 , 2 と比較して説明する。図 3 は、比較例 1 に係るカスコードアンプを示す上面図である。図 4 は、比較例 1 に係るカスコードアンプを示す回路図である。比較例 1 では、実施の形態 1 の配線  $Wg3$  が無く、配線  $Wg2$  だけが  $Tr2a \sim Tr2f$  のゲートに順に接続されている。

【0019】

図 5 は、比較例 1 に係るカスコードアンプの配線抵抗と電力利得の関係を示す図である。配線  $Wg2$  の配線抵抗が大きくなると電力利得が低下すると共に、出力電力の最大値が低下することが分かる。

【0020】

50

図 6 は、比較例 1 に係るカスコードアンプの配線抵抗と出力電力の関係を示す図である。トランジスタセルが 6 個の場合の方が 3 個の場合よりも出力電力が小さくなることが分かる。即ち、比較例 1 では、ゲート幅（トランジスタサイズ）を大きくしても、むしろ出力電力が小さくなってしまう。

【 0 0 2 1 】

図 7 は、比較例 2 に係るカスコードアンプを示す回路図である。この回路は、比較例 1 の回路に、カスコードアンプ全体から出力される電力をモニタする電力計 P M 0 と、カスコードアンプの各セルから出力される電力をモニタする電力計 P M 1 ~ P M 6 とを追加したものである。

【 0 0 2 2 】

図 8 は、配線抵抗が無視できる理想状態での比較例 2 に係るカスコードアンプの入力電力と出力電力の関係を示す図である。電力計 P M 1 ~ 6 でモニタされる電力は同じである。

【 0 0 2 3 】

図 9 は、配線抵抗を考慮した場合の比較例 2 に係るカスコードアンプの入力電力と出力電力の関係を示す図である。電力計 P M 1 ~ 6 でモニタされる電力は異なり、カスコードアンプの各セルが不均一動作している。

【 0 0 2 4 】

このように比較例 1 , 2 では、配線 W g 2 の配線抵抗が無視できる理想状態ではゲート幅が大きいほど出力電力が大きくなるが、配線抵抗を考慮するとゲート幅が大きいほど出力電力が小さくなるという問題がある。例えば T r 2 a と T r 2 f についてゲートと容量 C 1 との間の配線抵抗を比較した場合、T r 2 f の方が T r 2 a より  $R g 2 b + R g 2 c + R g 2 d + R g 2 e + R g 2 f$  だけ抵抗値が高くなる。このため、T r 1 f と T r 2 f とで構成されるカスコードアンプの電力利得が低下し、かつ取り出しうる最大出力電力が低下する。

【 0 0 2 5 】

これに対して、本実施の形態では、2 本の配線 W g 2 , W g 3 が T r 2 a ~ T r 2 f のゲートに並列に接続されている。これにより配線抵抗を半分にすることができ、ゲート幅が大きなカスコードアンプでも配線抵抗に起因する出力電力の低下を抑制することができる。また、ゲート間での配線抵抗の差が小さくなるため、カスコードアンプの各セル間の不均一動作も抑制することができる。

【 0 0 2 6 】

なお、本実施の形態では 2 本の配線 W g 2 , W g 3 が T r 2 a ~ T r 2 f のゲートに並列に接続されているが、これに限らず 2 本以上の配線を T r 2 a ~ T r 2 f のゲートに並列に接続することにより効果を得ることができる。

【 0 0 2 7 】

また、T r 1 a ~ T r 1 f のゲートに接続された配線 W g 1 の配線抵抗によっても、各トランジスタのゲートに入力される電力に差が生じ不均一動作の原因となりうる。そこで、同様に、2 本以上の配線を T r 1 a ~ T r 1 f のゲートに並列に接続することにより、入力電力の差異が小さくなり不均一動作を抑制することができる。

【 0 0 2 8 】

実施の形態 2 .

図 1 0 は、本発明の実施の形態 2 に係るカスコードアンプを示す上面図である。図 1 1 は、本発明の実施の形態 2 に係るカスコードアンプを示す回路図である。実施の形態 1 とは異なり、第 1 容量 C 1 a が配線 W g 2 の一端と接地点との間に接続され、第 2 容量 C 1 b が配線 W g 2 の他端と接地点との間に接続されている。抵抗 R c 1 a は V g 2 端子と第 1 容量 C 1 a との間の配線とピアホールの寄生抵抗の合計であり、抵抗 R c 1 b は T r 2 f のゲートと第 2 容量 C 1 b との間の配線とピアホールの寄生抵抗の合計である。

【 0 0 2 9 】

本実施の形態では R F 接地用の容量を 2 個に分割することにより、容量 1 個あたりの寄

10

20

30

40

50

生抵抗を低減できる。そして、配線  $W g 2$  の両端に容量  $C 1 a$  ,  $C 1 b$  を配置することにより、レイアウト中心付近の  $T r 2 c$  と容量  $C 1 a$  又は  $C 1 b$  との間の配線抵抗を比較例 1 の  $T r 2 f$  と容量  $C 1$  との間の配線抵抗の半分にすることができる。このため、配線抵抗に起因する出力電力の低下を抑制することができる。また、ゲート間での配線抵抗の差が小さくなるため、カスコードアンプの各セル間の不均一動作も抑制することができる。

#### 【 0 0 3 0 】

実施の形態 3 .

図 1 2 は、本発明の実施の形態 3 に係るカスコードアンプを示す上面図である。図 1 3 は、本発明の実施の形態 3 に係るカスコードアンプを示す回路図である。実施の形態 1 とは異なり、容量  $C 1 a \sim C 1 f$  が  $T r 2 a \sim T r 2 f$  のゲートと  $G N D$  との間にそれぞれ接続されている。配線  $W g 5 a \sim W g 5 f$  が  $T r 2 a \sim T r 2 f$  のゲートと容量  $C 1 a \sim C 1 f$  をそれぞれ接続する。抵抗  $R c 1 a \sim R c 1 f$  はそれぞれ配線  $W g 5 a \sim W g 5 f$  の寄生抵抗とビアホール寄生抵抗の合計である。

10

#### 【 0 0 3 1 】

本実施の形態では接地容量をセル毎に 6 個に分割することにより、容量 1 個あたりのレイアウト面積が小さくなって配線抵抗を低減できる。そして、ゲートと接地容量を接続する配線が複数本となるため配線抵抗を小さくすることができる。このため、配線抵抗に起因する出力電力の低下を抑制することができる。さらに、トランジスタセルごとに接地容量を設けることにより、ランジスタ間を接続する配線  $W g 2$  の配線抵抗  $R g 2 b \sim R g 2 f$  の影響が無視できるため、カスコードアンプの各セル間の不均一動作も抑制することができる。

20

#### 【 0 0 3 2 】

実施の形態 4 .

図 1 4 は、本発明の実施の形態 4 に係るカスコードアンプを示す回路図である。このカスコードアンプは差動アンプである。トランジスタ  $T r 1 a$  ,  $T r 1 b$  とトランジスタ  $T r 2 a$  ,  $T r 2 b$  のカスコードアンプとトランジスタ  $T r 3 a$  ,  $T r 3 b$  とトランジスタ  $T r 4 a$  ,  $T r 4 b$  のカスコードアンプが差動ペアを形成している。容量  $C 2 a$  ,  $C 2 b$  ,  $C 4 a$  ,  $C 4 b$  がそれぞれ  $T r 2 a$  ,  $T r 2 b$  ,  $T r 4 a$  ,  $T r 4 b$  のゲートと  $G N D$  との間にそれぞれ接続されている。

30

#### 【 0 0 3 3 】

本実施の形態の効果と比較例 3 と比較して説明する。図 1 5 は、比較例 3 に係るカスコードアンプを示す回路図である。比較例 3 では、 $T r 2 a$  ,  $T r 2 b$  ,  $T r 4 a$  ,  $T r 4 b$  のゲートの接続点  $n 1$  と接地点との間に接地容量として 1 つの容量  $C 1$  が接続されている。しかし、ゲート幅 (トランジスタサイズ) の拡大と共に配線抵抗  $R c 1$  ,  $R g 2 a$  ,  $R g 2 b$  ,  $R g 4 a$  ,  $R g 4 b$  の影響が大きくなるため、接地容量を大きくしなければ仮想接地を実現できない。

#### 【 0 0 3 4 】

これに対して、本実施の形態では接地容量をセル毎に 4 個に分割することにより、容量 1 個あたりのレイアウト面積が小さくなって配線抵抗を低減できる。そして、ゲートと接地容量を接続する配線が複数本となるため配線抵抗を小さくすることができる。このため、比較的小さな接地容量で差動アンプのゲートの接続点  $n 1$  での仮想接地を実現することができる。

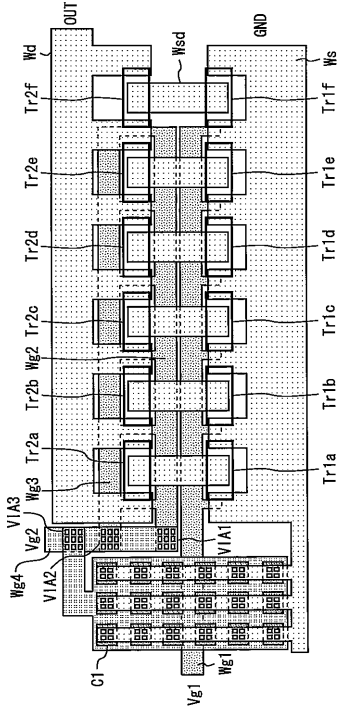
40

#### 【 符号の説明 】

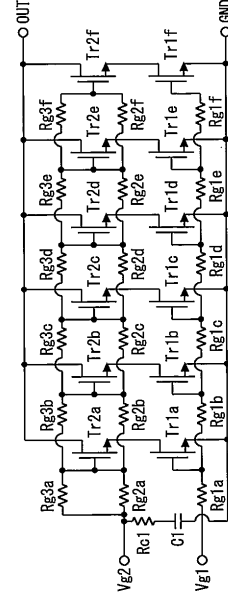
#### 【 0 0 3 5 】

$C 1$  ,  $C 1 a$  ,  $C 1 b$  ,  $C 1 a \sim C 1 f$     容量  
 $T r 1 a \sim T r 1 f$     トランジスタ (第 1 トランジスタ)  
 $T r 2 a \sim T r 2 f$     トランジスタ (第 2 トランジスタ)  
 $W g 1$  ,  $W g 2$  ,  $W g 3$     配線

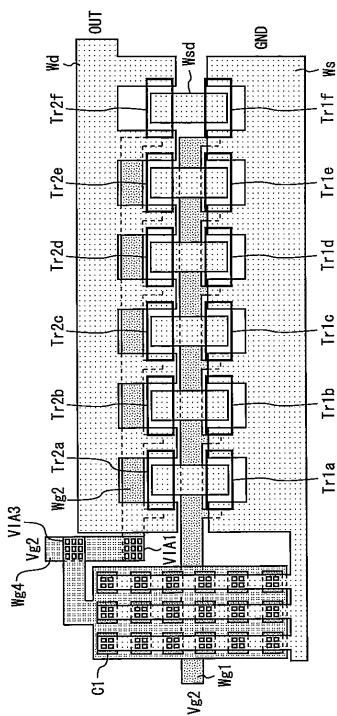
【図 1】



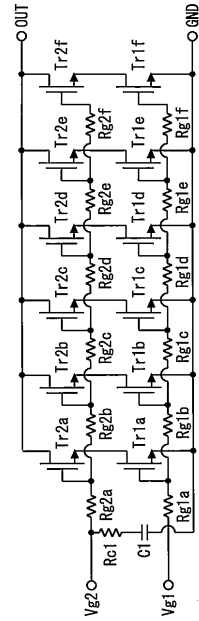
【図 2】



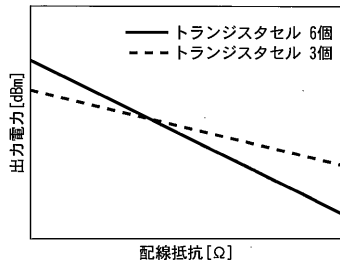
【図 3】



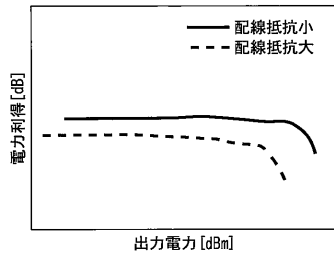
【図 4】



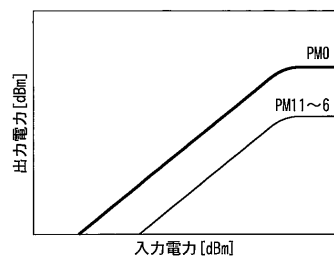
【図 5】



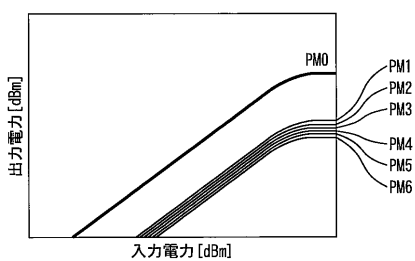
【図 6】



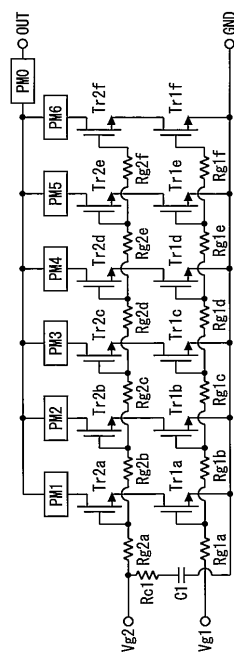
【図 8】



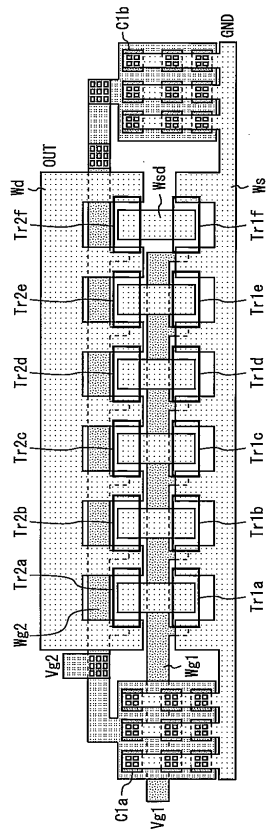
【図 9】



【図 7】

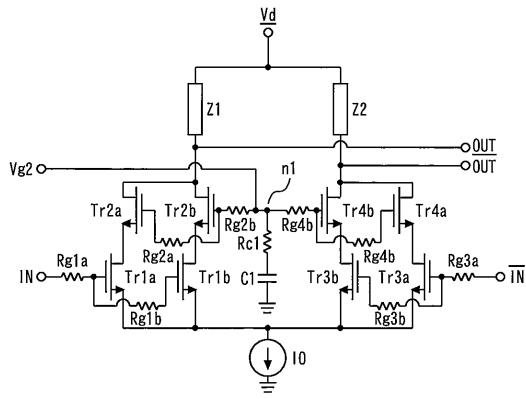


【図 10】

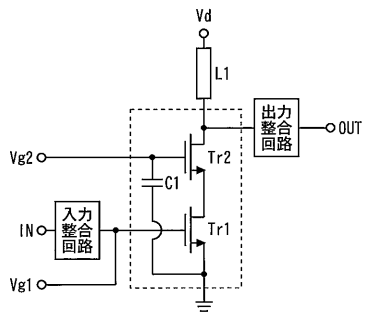




【図 15】



【図 16】



---

フロントページの続き

- (72)発明者 北林 文政  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 間木 傑  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 福田 絵理  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 嘉藤 勝也  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

F ターム(参考) 5J500 AA01 AA04 AA13 AA21 AA41 AC15 AC16 AC35 AF11 AF15  
AF16 AH10 AH25 AH29 AK66 AM17 AM19 AQ04 AS14 AT01  
AT02