



(10) **DE 10 2019 123 780 B4 2024.06.13**

(12) **Patentschrift**

(21) Aktenzeichen: **10 2019 123 780.7**
(22) Anmeldetag: **05.09.2019**
(43) Offenlegungstag: **25.06.2020**
(45) Veröffentlichungstag
der Patenterteilung: **13.06.2024**

(51) Int Cl.: **H01L 21/50 (2006.01)**
H01L 23/498 (2006.01)
H01L 23/31 (2006.01)
H01L 23/50 (2006.01)
H01L 21/78 (2006.01)
H01L 25/065 (2023.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
10-2018-0164907 19.12.2018 KR

(73) Patentinhaber:
**Samsung Electronics Co., Ltd., Suwon-si,
Gyeonggi-do, KR**

(74) Vertreter:
**KUHNEN & WACKER Patent- und
Rechtsanwaltsbüro PartG mbB, 85354 Freising,
DE**

(72) Erfinder:
**Lee, Tae-Young, Suwon-si, Gyeonggi-do, KR;
Kwak, Dongok, Suwon-si, Gyeonggi-do, KR; Kim,
Boseong, Suwon-si, Gyeonggi-do, KR; Song,
Sang Sub, Suwon-si, Gyeonggi-do, KR; Oh,
Joonyoung, Suwon-si, Gyeonggi-do, KR**

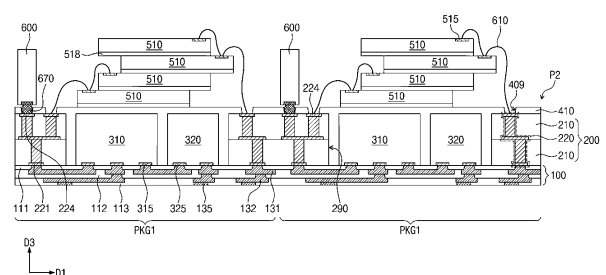
(56) Ermittelter Stand der Technik:

DE 101 28 271 C1
US 2018 / 0 026 022 A1

(54) Bezeichnung: **VERFAHREN ZUM HERSTELLEN EINES HALBLEITER-PACKAGE UND HALBLEITER-PACKAGE**

(57) Hauptanspruch: Verfahren zum Herstellen eines Halbleiter-Package, wobei das Verfahren umfasst:

Herstellen eines Panel-Packages, wobei das Panel-Package ein Umverteilungssubstrat, ein Verbindungssubstrat auf dem Umverteilungssubstrat und eine Mehrzahl unterer Halbleiterchips auf dem Umverteilungssubstrat aufweist;
Zersägen des Panel-Packages, um eine Mehrzahl von Package-Streifen zu bilden, die voneinander getrennt sind, wobei jeder von den Package-Streifen einen abgesägten Abschnitt des Umverteilungssubstrats, mindestens zwei von den unteren Halbleiterchips und einen abgesägten Abschnitt des Verbindungssubstrats aufweist; und
Bereitstellen einer Mehrzahl oberer Halbleiterchips auf einem von den Package-Streifen und elektrisches Verbinden der oberen Halbleiterchips mit dem abgesägten Abschnitt des Verbindungssubstrats des einen von den Package-Streifen.



Beschreibung**HINTERGRUND**

[0001] Die vorliegenden erfinderischen Ideen betreffen ein Halbleiter-Package, und genauer ein Verfahren zum Herstellen eines Halbleiter-Package, das ein Umverteilungssubstrat aufweist.

[0002] Es werden Halbleiter-Packages entwickelt und bereitgestellt, um Chips mit integrierten Schaltungen zur Verwendung in elektronischen Produkten zu implementieren. Halbleiter-Packages werden in der Regel so gestaltet, dass ein Halbleiterchip auf einer gedruckten Schaltung montiert wird und Bonddrähte oder Kontakthöcker verwendet werden, um den Halbleiterchip elektrisch mit der gedruckten Schaltung zu verbinden. Da ein Bedarf an kleineren und kompakteren elektronischen Produkten besteht, ist es notwendig, die Größe von Halbleiter-Packages zu verringern.

[0003] Die US 2018 / 0 026 022 A1 betrifft ein Festkörperlaufwerkspaket mit reduzierter Größe und ein Herstellungsverfahren dafür.

[0004] Die DE 101 28 271 C1 betrifft ein Verfahren zur Herstellung von Dioden und insbesondere ein Verfahren für die Massenproduktion von Flachdioden.

KURZFASSUNG

[0005] Ausführungsformen der erfinderischen Ideen geben ein Halbleiter-Package von kompakter Größe und ein Verfahren zu dessen Herstellung an.

[0006] Ausführungsformen der erfinderischen Ideen geben ein Verfahren zum Herstellen eines Halbleiter-Package an, das beinhaltet: Herstellen eines Panel-Package, wobei das Panel-Package ein Umverteilungssubstrat, ein Verbindungssubstrat auf dem Umverteilungssubstrat und eine Mehrzahl unterer Halbleiterchips auf dem Umverteilungssubstrat aufweist; Zersägen das Panel-Package, um eine Mehrzahl von Package-Streifen, die voneinander getrennt sind, zu bilden, wobei jeder von den Package-Streifen einen abgesägten Abschnitt des Umverteilungssubstrats, mindestens zwei von den unteren Halbleiterchips und einen abgesägten Abschnitt des Verbindungssubstrats aufweist; und Bereitstellen einer Mehrzahl von Halbleiterchips auf einem von den Package-Streifen und elektrisches Verbinden der oberen Halbleiterchips mit dem abgesägten Abschnitt des Verbindungssubstrats des einen von den Package-Streifen.

[0007] Ausführungsformen der erfinderischen Ideen geben ferner ein Verfahren zum Herstellen eines Halbleiter-Package an, das beinhaltet: Herstellen

eines Package-Streifens, wobei der Package-Streifen ein Umverteilungssubstrat, ein Verbindungssubstrat auf dem Umverteilungssubstrat, eine Mehrzahl unterer Halbleiterchips, die auf dem Umverteilungssubstrat montiert sind, und eine untere Formmasseschicht, welche die unteren Halbleiterchips bedeckt, aufweist; Platzieren einer Mehrzahl oberer Halbleiterchips auf dem Package-Streifen, wobei mindestens zwei von den oberen Halbleiterchips lateral voneinander beabstandet sind; und Ausbilden einer Mehrzahl von Anschlussverbindungen, die direkt mit den oberen Halbleiterchips und dem Verbindungssubstrat verbunden sind.

[0008] Ausführungsformen der erfinderischen Idee betreffen ferner ein Verfahren zum Herstellen eines Halbleiter-Package, das beinhaltet: Ausbilden eines vorläufigen Package; Montieren einer Mehrzahl oberer Halbleiterchips auf dem vorläufigen Package, wobei mindestens zwei von den oberen Halbleiterchips lateral voneinander beabstandet sind; und Durchführen eines Sägeprozesses an dem vorläufigen Package, um separate Packages bereitzustellen. Das Ausbilden des vorläufigen Package beinhaltet das Bereitstellen eines Verbindungssubstrats auf einem provisorischen Substrat; das Bereitstellen einer Mehrzahl unterer Halbleiterchips auf dem provisorischen Substrat: das Entfernen des provisorischen Substrats, um untere Oberflächen der unteren Halbleiterchips und eine untere Oberfläche des Verbindungssubstrats freizulegen; und das Ausbilden eines Umverteilungssubstrats an den unteren Oberflächen der unteren Halbleiterchips und der unteren Oberfläche des Verbindungssubstrats, die durch das Entfernen des provisorischen Substrats freigelegt wurden.

[0009] Ausführungsformen der erfinderischen Ideen geben außerdem ein Halbleiter-Package an, das aufweist: ein Umverteilungssubstrat, ein Verbindungssubstrat mit mindestens einem unteren Halbleiterchip auf dem Umverteilungssubstrat; eine untere Formmasseschicht, die das Verbindungssubstrat und obere und seitliche Oberflächen des mindestens einen unteren Halbleiterchips abdeckt, wobei das Verbindungssubstrat mindestens eine leitende Struktur aufweist, die durch sie hindurch angeordnet ist, wobei die mindestens eine leitende Struktur mindestens ein oberes Pad an einer oberen Oberfläche des Verbindungssubstrats aufweist, das durch die untere Formmasseschicht freigelassen wird; eine Mehrzahl oberer Halbleiterchips auf der unteren Formmasseschicht; eine Mehrzahl erster Anschlussverbindungen, die direkt mit Chip-Pads der oberen Halbleiterchips und dem mindestens einen Pad der mindestens einen leitenden Struktur gekoppelt sind; und eine obere Formmasseschicht, welche die oberen Halbleiterchips abdeckt und die untere Formmasseschicht direkt berührt.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0010] Ausführungsformen der erfinderischen Ideen werden nachstehend ausführlich unter Bezugnahme auf die beigefügten Zeichnungen beschrieben.

Fig. 1 stellt ein vereinfachtes Blockdiagramm dar, das ein Halbleiter-Package gemäß Ausführungsformen der erfinderischen Ideen zeigt.

Fig. 2A stellt eine Draufsicht dar, die ein Panel-Package aus Package-Streifen gemäß Ausführungsformen der erfinderischen Idee zeigt.

Fig. 2B stellt eine Querschnittsansicht entlang einer Linie I-II von **Fig. 2A** dar, die ein Verfahren zum Herstellen eines Panel-Package gemäß Ausführungsformen der erfinderischen Ideen zeigt.

Fig. 2C stellt eine vergrößerte Ansicht dar, die einen Abschnitt A von **Fig. 2B** zeigt.

Fig. 2D und **2E** stellen ferner Querschnittsansichten entlang einer Linie I-II von **Fig. 2A** dar, die ein Verfahren zum Herstellen eines Panel-Package gemäß Ausführungsformen der erfinderischen Ideen zeigen.

Fig. 2F stellt eine Draufsicht dar, die abgetrennte Package-Streifen aus dem Panel-Package gemäß Ausführungsformen der erfinderischen Idee zeigt.

Fig. 2G stellt eine Querschnittsansicht entlang einer Linie I'-II' von **Fig. 2F** dar.

Fig. 3A, 3B und **3C** stellen Querschnittsansichten dar, die ein Verfahren zum Herstellen eines Umverteilungssubstrats gemäß einer Ausführungsform der erfinderischen Ideen zeigen.

Fig. 4A stellt eine Draufsicht dar, die ein streifenförmiges Package gemäß Ausführungsformen der erfinderischen Ideen zeigt.

Fig. 4B und **4C** stellen Querschnittsansichten entlang einer Linie IV-V von **Fig. 4A** dar, die ein Verfahren zum Herstellen eines Halbleiter-Package gemäß Ausführungsformen der erfinderischen Ideen zeigt.

Fig. 4D stellt eine Draufsicht dar, die abgetrennte Halbleiter-Packages gemäß Ausführungsformen der erfinderischen Ideen zeigt.

Fig. 4E stellt eine Querschnittsansicht entlang einer Linie IV'-V' von **Fig. 4D** dar.

Fig. 5A, 5B und **5C** stellen Draufsichten dar, die Öffnungen gemäß Ausführungsformen der erfinderischen Ideen zeigen.

Fig. 5D stellt eine Querschnittsansicht dar, die ein Verfahren zum Herstellen erster Anschlussverbindungen gemäß Ausführungsformen der erfinderischen Ideen zeigt.

Fig. 6A, 6B und **6C** stellen Querschnittsansichten dar, die Halbleiter-Packages gemäß Ausführungsformen der erfinderischen Ideen zeigen.

Fig. 6D stellt ein vereinfachtes Blockdiagramm dar, das ein Halbleiter-Package gemäß Ausführungsformen der erfinderischen Ideen zeigt.

Fig. 6E, 6F, 6G, 6H und **6I** stellen Querschnittsansichten dar, die Halbleiter-Packages gemäß Ausführungsformen der erfinderischen Ideen zeigen.

Fig. 7A, 7B, 7C und **7D** stellen Querschnittsansichten dar, die ein Verfahren zum Herstellen eines Halbleiter-Package gemäß manchen Ausführungsbeispielen der vorliegenden erfinderischen Ideen zeigen.

AUSFÜHRLICHE BESCHREIBUNG VON AUSFÜHRUNGSFORMEN

[0011] Ein Halbleiter-Package und Herstellungsverfahren gemäß Ausführungsformen der erfinderischen Ideen werden im Folgenden beschrieben. Gleiche Bezugszahlen können in der gesamten Beschreibung gleiche Elemente angeben.

[0012] Wie es auf dem Gebiet der erfinderischen Ideen üblich ist, können Ausführungsformen anhand von Blöcken beschrieben und dargestellt werden, die eine beschriebene Funktion oder Funktionen ausführen. Diese Blöcke, die hierin als Einheiten oder Module oder dergleichen bezeichnet werden können, sind physisch durch analoge und/oder digitale Schaltungen wie etwa Logikgatter, integrierte Schaltungen, Mikroprozessoren, Mikrocontroller, Speicherschaltungen, passive elektronische Komponenten, aktive elektronische Komponenten, optische Komponenten, verkabelte Schaltkreise und dergleichen implementiert und können optional durch Firmware und/oder Hardware angetrieben werden. Die Schaltungen können beispielsweise in einem oder mehreren Halbleiterchips oder auf Substratträgern wie etwa Leiterschaltungsplatten und dergleichen verkörpert werden. Die Schaltungen, die einen Block bilden, können durch zweckgebundene Hardware oder durch einen Prozessor (z.B. einen oder mehrere programmierte Mikroprozessoren und zugehörige Schaltungen) oder durch eine Kombination aus zweckgebundener Hardware, um manche Funktionen des Blocks durchzuführen, und einem Prozessor, um andere Funktionen des Blocks durchzuführen, implementiert werden. Jeder Block der Ausführungsformen kann physisch in zwei oder mehr interagierende und voneinander abgegrenzte Blöcke getrennt werden, ohne vom Bereich der erfinderischen Ideen abzuweichen. Ebenso können die Blöcke der Ausführungsformen physisch zu mehreren komplexen Blöcken kombiniert werden, ohne vom Bereich der erfinderischen Ideen abzuweichen.

[0013] Fig. 1 stellt ein vereinfachtes Blockdiagramm dar, das ein Halbleiter-Package gemäß Ausführungsformen der erfinderischen Ideen zeigt.

[0014] Wie in Fig. 1 gezeigt ist, kann das Halbleiter-Package ein Solid-State-Drive-Package 1000 sein. Das Solid-State-Drive-Package 1000 kann Daten als Reaktion auf Lese-/Schreibanforderungen von einem Host 2000 speichern oder lesen. Der Host 2000 kann eine externe elektronische Vorrichtung sein. Das gezeigte Solid-State-Drive-Package 1000 weist eine Steuerung 1, eine Eingabe/Ausgabe(I/O)-Schnittstelle 2, eine Speichervorrichtung (einen Speicher) 3 und eine Pufferspeichervorrichtung (einen Puffer) 4 auf. In manchen Ausführungsformen kann das Solid-State-Drive-Package 1000 zusätzliche Komponenten aufweisen.

[0015] Die Steuerung 1 kann eine Solid-State-Drive (SSD)-Steuerung sein. Die Steuerung 1 kann über die Eingabe/Ausgabe-Schnittstelle 2 Signale mit dem Host 2000 austauschen. Die Signale zwischen der Steuerung 1 und dem Host 2000 können Befehl, Adresse, Daten und so weiter beinhalten. Als Reaktion auf den Befehl vom Host 2000 kann die Steuerung 1 Daten in die Speichervorrichtung 3 schreiben oder daraus lesen, was im Folgenden beschrieben wird.

[0016] Die Eingabe/Ausgabe-Schnittstelle 2 stellt eine physische Verbindung zwischen dem Host 2000 und dem Solid-State-Drive-Package 1000 bereit. Zum Beispiel kann die Eingabe/Ausgabe-Schnittstelle 2, kompatibel mit dem Busformat des Host 2000, gemäß irgendeinem von einer Reihe verschiedener Kommunikationsprotokolle konfiguriert sein, wie beispielsweise USB (Universal Serial Bus), PCI (Peripheral Component Interconnection) Express, SATA (Serial AT Attachment), PATA (Parallel AT Attachment) oder dergleichen.

[0017] Die Speichervorrichtung 3 kann eine nicht-flüchtige Speichervorrichtung sein. Wie gezeigt, kann eine Mehrzahl von Speichervorrichtungen 3 enthalten sein. Die Speichervorrichtungen 3 können NAND-Flash-Speicher mit großer Kapazität und der Fähigkeit zur schnellen Speicherung sein. In manchen Ausführungsformen können die Speichervorrichtungen 3 beispielsweise Phase Change Random Access Memory (PRAM), Magnetic Random Access Memory (MRAM), Resistive Random Access Memory (ReRAM), Ferromagnetic Random Access Memory (FRAM), NOR-Flash-Memory oder dergleichen sein.

[0018] Die Pufferspeichervorrichtung 4 kann Daten, die zwischen der Steuerung 1 und den Speichervorrichtungen 3 ausgetauscht werden, und Daten, die zwischen der Steuerung 1 und dem Host 2000 ausgetauscht werden, zwischenspeichern. Außerdem

kann die Pufferspeichervorrichtung 4 auch verwendet werden, um Software anzusteuern, um die Speichervorrichtungen 3 effektiv zu verwalten. Die Pufferspeichervorrichtung 4 kann einen Speicher mit wahlfreiem Zugriff, wie etwa DRAM oder SRAM umfassen. In manchen Ausführungsformen kann die Pufferspeichervorrichtung 4 ein nicht-flüchtiger Speicher wie beispielsweise ein Flash-Speicher, PRAM, MRAM, ReRAM, FRAM oder dergleichen sein.

[0019] Fig. 2A stellt eine Draufsicht dar, die eine Panel-Package aus Package-Streifen gemäß Ausführungsformen der erfinderischen Idee zeigt. Fig. 2B, 2D und 2E stellen ferner Querschnittsansichten entlang einer Linie I-II von Fig. 2A dar, die ein Verfahren zum Herstellen einer Panel-Package gemäß Ausführungsformen der erfinderischen Ideen zeigen. Fig. 2C stellt eine vergrößerte Ansicht dar, die einen Abschnitt A von Fig. 2B zeigt.

[0020] Fig. 2F stellt eine Draufsicht dar, die getrennte Package-Streifen aus der Panel-Package gemäß Ausführungsformen der erfinderischen Idee zeigt. Fig. 2G stellt eine Querschnittsansicht entlang einer Linie I'-II' von Fig. 2F dar.

[0021] Wie in Fig. 2A, 2B und 2C gezeigt ist, wird ein provisorisches Substrat 900 bereitgestellt, an dem ein Verbindungssubstrat 200 und untere Halbleiterchips 310 und 320 angeordnet werden. Das Verbindungssubstrat 200 kann ein Substrat auf Panel-Ebene sein. Zum Beispiel kann eine gedruckte Leiterplatte (printed circuit board, PCB) als Verbindungssubstrat 200 verwendet werden. Durch das Verbindungssubstrat 200 hindurch verlaufen Löcher 290. Zum Beispiel können die Löcher 290 durch eine obere Oberfläche und eine untere Oberfläche 200b des Verbindungssubstrats 200 hindurch gehen.

[0022] Jedes Verbindungssubstrat 200 weist Basisschichten 210 und leitende Strukturen 220 auf. Die Basisschichten 210 können aufeinander gestapelt sein. Die Basisschichten 210 können ein dielektrisches Material aufweisen. Die leitenden Strukturen 220 können in den Basisschichten 210 ausgebildet sein. Wie in Fig. 2C dargestellt ist, kann die leitende Struktur 220 ein unteres Pad 221, eine Verbindungsleitungsstruktur 222, Durchkontaktierungen 223 und ein oberes Pad 224 aufweisen. In manchen Ausführungsformen kann eine Mehrzahl von den unteren Pads 221 an der unteren Oberfläche 200b des Verbindungssubstrats 200 freiliegen. Die untere Oberfläche 200b des Verbindungssubstrats 200 kann einer unteren Oberfläche einer untersten von den Basisschichten 210 entsprechen. Die Durchkontaktierungen 223 können durch mindestens eine von den Basisschichten 210 hindurchgehen. Die Verbindungsleitungsstruktur 222 ist zwischen den Basisschichten 210 angeordnet und mit den Durchkontak-

tierungen 223 gekoppelt. Das obere Pad 224 kann an der oberen Oberfläche des Verbindungssubstrats 200 freiliegen und mit mindestens einer von den Durchkontaktierungen 223 gekoppelt sein. Die obere Oberfläche des Verbindungssubstrats 200 kann einer oberen Oberfläche einer obersten von den Basisschichten 210 entsprechen. Das obere Pad 224 kann über die Verbindungsleitungsstruktur 222 und die Durchkontaktierungen 223 elektrisch mit dem unteren Pad 221 verbunden sein. In dieser Konfiguration können eine Anordnung und ein Abstand des oberen Pads 224 frei gestaltet werden, ohne durch die Anordnung und/oder den Abstand des unteren Pads 221 beschränkt zu sein. Zum Beispiel muss das obere Pad 224 nicht in (oder entlang) einer dritten Richtung D3 am unteren Pad 221 ausgerichtet sein. In dieser Beschreibung kann die dritte Richtung D3 so definiert werden, dass sie eine Richtung meint, die senkrecht ist zu der Ebene, entlang derer die untere Oberfläche 200b des Verbindungssubstrats 200 angeordnet ist, und die erste und die zweite Richtung D1 und D2 können so definiert werden, dass sie Richtungen bezeichnen, die sich parallel zur unteren Oberfläche 200b des Verbindungssubstrats 200 erstrecken. Wie gezeigt, schneidet die erste Richtung D1 die zweite Richtung D2. In dieser Beschreibung kann der Ausdruck „vertikal ausgerichtet an“ die Bedeutung „ausgerichtet in der dritten Richtung D3“ haben. Es kann eine Mehrzahl oberer Pads 224 bereitgestellt sein. Die Anzahl der unteren Pads 221 kann von der Anzahl der oberen Pads 224, die elektrisch mit den unteren Pads 221 verbunden sind, verschieden sein. In dieser Beschreibung kann der Ausdruck „elektrisch verbunden mit dem Verbindungssubstrat 200“ die Bedeutung „elektrisch verbunden mit der leitenden Struktur 220“ haben.

[0023] Die unteren Halbleiterchips 310 und 320 sind am provisorischen Substrat 900 bereitgestellt. Die unteren Halbleiterchips 310 und 320 können erste untere Halbleiterchips 310 und zweite untere Halbleiterchips 320 einschließen. Die ersten unteren Halbleiterchips 310 sind in entsprechenden Löchern 290 des Verbindungssubstrats 200 bereitgestellt. Jeder von den ersten unteren Halbleiterchips 310 kann von einer inneren Seitenwand des Verbindungssubstrats 200 beabstandet sein. Jeder von den ersten unteren Halbleiterchips 310 kann als die Steuerung 1 dienen, die unter Bezugnahme auf **Fig. 1** beschrieben wurde. Jeder von den ersten unteren Halbleiterchips 310 kann integrierte Schaltungen (nicht gezeigt) und Chip-Pads 315, die elektrisch mit den integrierten Schaltungen verbunden sind, aufweisen. Die integrierten Schaltungen können beispielsweise Transistoren, Logikschaltungen, Speicherschaltungen oder eine Kombination davon einschließen. Die Chip-Pads 315 können an einer unteren Oberfläche von jedem der ersten unteren Halbleiterchips 310 freiliegen. Die Chip-Pads 315 können Metall, wie beispielsweise Aluminium, auf-

weisen. In dieser Beschreibung kann der Ausdruck „gekoppelt an einen Halbleiterchip“ die Bedeutung „über Chip-Pads eines Halbleiterchips an integrierte Schaltungen in dem Halbleiterchip gekoppelt“ haben. Die Chip-Pads 315 der ersten unteren Halbleiterchips 310 sind dem provisorischen Substrat 900 zugewandt.

[0024] Wie gezeigt, sind die zweiten unteren Halbleiterchips 320 innerhalb von Löchern 290 angeordnet und können lateral beabstandet von den ersten unteren Halbleiterchips 310 angeordnet sein. Jeder von den zweiten unteren Halbleiterchips 320 kann integrierte Schaltungen (nicht gezeigt) und Chip-Pads 325, die elektrisch mit den integrierten Schaltungen verbunden sind, aufweisen. Die integrierten Schaltungen können Transistoren einschließen und können Speicherschaltungen sein. Die Chip-Pads 325 können an unteren Oberflächen der zweiten unteren Halbleiterchips 320 freiliegen. Die Chip-Pads 325 können Metall, wie beispielsweise Aluminium, aufweisen. Die zweiten unteren Halbleiterchips 320 können andere Arten von Halbleiterchips als die ersten unteren Halbleiterchips 310 sein. Zum Beispiel kann jeder von den zweiten unteren Halbleiterchips 320 einen Speicherchip, wie etwa einen flüchtigen Speicherchip, einschließen und kann als Pufferspeichervorrichtung 4 dienen, wie sie unter Bezugnahme auf **Fig. 1** beschrieben wurde. Die zweiten unteren Halbleiterchips 320 können andere Größen und Formen aufweisen als die ersten unteren Halbleiterchips 310.

[0025] Die zweiten unteren Halbleiterchips 320 können gleich wie die ersten unteren Halbleiterchips 310 bereitgestellt werden. Zum Beispiel können die zweiten unteren Halbleiterchips 320 auf dem provisorischen Substrat 900 bereitgestellt werden, und Chip-Pads 325 der zweiten unteren Halbleiterchips 320 sind dem provisorischen Substrat 900 zugewandt. Die ersten und die zweiten unteren Halbleiterchips 310 und 320 können bereitgestellt werden bevor oder nachdem das Verbindungssubstrat 200 auf dem provisorischen Substrat 900 platziert wird.

[0026] Eine untere Formmasseschicht 410 wird auf dem provisorischen Substrat 900 ausgebildet und deckt die Mehrzahl erster unterer Halbleiterchips 310, die Mehrzahl zweiter unterer Halbleiterchips 320 und das Verbindungssubstrat 200 ab. Zum Beispiel kann die untere Formmasseschicht 410 obere und untere Oberflächen der ersten unteren Halbleiterchips 310, obere und untere Oberflächen der zweiten unteren Halbleiterchips 320 und die obere Oberfläche des Verbindungssubstrats 200 abdecken. In manchen Ausführungsformen kann die untere Formmasseschicht 410, anders als in **Fig. 2B** gezeigt, beispielsweise so ausgebildet werden, dass sie die oberen Oberflächen der ersten unteren Halbleiterchips 310 und die oberen Oberflä-

chen der zweiten unteren Halbleiterchips 320 freilässt. In einem solchen Fall kann die untere Formmasseschicht 410 Lücken zwischen dem Verbindungssubstrat 200 und den ersten unteren Halbleiterchips 310, Lücken zwischen dem Verbindungssubstrat 200 und den zweiten unteren Halbleiterchips 320 und Lücken zwischen den einander benachbarten ersten und zweiten unteren Halbleiterchips 310 und 320 füllen. Die untere Formmasseschicht 410 kann beispielsweise ein dielektrisches Polymer aufweisen. Die untere Formmasseschicht 410 kann beispielsweise eine Epoxid-Gießharzverbindung (EMC) oder ein photostrukturierbares dielektrisches (PID-)Polymer aufweisen.

[0027] Auch wenn dies nicht gezeigt ist, kann ferner eine Trägerhaftmittelschicht zwischen dem provisorischen Substrat 900 und den ersten unteren Halbleiterchips 310, zwischen dem provisorischen Substrat 900 und den zweiten unteren Halbleiterchips 320 und zwischen dem provisorischen Substrat 900 und dem Verbindungssubstrat 200 angeordnet sein. Das provisorische Substrat 900 wird entfernt, um die unteren Oberflächen der ersten und der zweiten unteren Halbleiterchips 310 und 320 und die untere Oberfläche 200b des Verbindungssubstrats 200 freizulegen. Wenn das provisorische Substrat 900 entfernt wird, kann auch die Trägerhaftmittelschicht entfernt werden.

[0028] Nachdem das provisorische Substrat 900 entfernt wurde, wird, wie in **Fig. 2A** und **2D** gezeigt, ein Umverteilungssubstrat 100 auf den freiliegenden unteren Oberflächen der ersten und der zweiten unteren Halbleiterchips 310 und 320 und auf der freiliegenden unteren Oberfläche 200b des Verbindungssubstrats 200 ausgebildet. Das Ausbilden des Umverteilungssubstrats 100 kann das Ausbilden einer ersten, einer zweiten und einer dritten dielektrischen Schicht 111, 112 und 113, das Ausbilden einer ersten Umverteilungsstruktur 131 und das Ausbilden einer zweiten Umverteilungsstruktur 132 einschließen. Das Ausbilden des Umverteilungssubstrats 100 wird weiter unten ausführlicher beschrieben.

[0029] **Fig. 3A**, **3B** und **3C** stellen vergrößerte Ansichten eines Querschnitts B dar, der in **Fig. 2D** abgebildet ist, und zeigen ein Verfahren zum Herstellen eines Umverteilungssubstrats gemäß Ausführungsformen der erfinderischen Ideen. Um die Erklärung kurz zu halten, wird unter Bezugnahme auf **Fig. 3A** bis **3C** im Folgenden ein Beispiel beschrieben, das einen einzelnen ersten unteren Halbleiterchip 310 und einen einzelnen zweiten unteren Halbleiterchip 320 aufweist, auch wenn das Umverteilungssubstrat 100 auf Panel-Ebene (d.h. entlang des gesamten Panels) hergestellt werden kann. Bei der Beschreibung der Ausführungsform unter Bezugnahme auf **Fig. 3A** bis **3C** wird auch auf **Fig. 2A** Bezug genommen.

[0030] Wie in **Fig. 2D** und **3A** gezeigt ist, werden Beschichtungs- und Strukturierungsprozesse durchgeführt, um eine erste dielektrische Schicht 111 auszubilden, welche die freiliegende untere Oberfläche des ersten unteren Halbleiterchips 310, die freiliegende untere Oberfläche des zweiten unteren Halbleiterchips 320 und die freiliegende untere Oberfläche 200b des Verbindungssubstrats 200 abdeckt. Die erste dielektrische Schicht 111 kann die untere Oberfläche des ersten unteren Halbleiterchips 310, die untere Oberfläche des zweiten unteren Halbleiterchips 320 und die untere Oberfläche 200b des Verbindungssubstrats 200 physisch berühren. Die erste dielektrische Schicht 111 kann beispielsweise ein photostrukturierbares dielektrisches (PID-)Polymer sein. Das photostrukturierbare dielektrische Polymer kann beispielsweise eines oder mehrere von einem lichtempfindlichen Lötstopplack, einem Polybenzoxazol, einem phenolischen Polymer und einem Benzocyclobutenpolymer einschließen. Die erste dielektrische Schicht 111 wird strukturiert, um erste Durchkontaktierungslöcher 119 darin auszubilden. Die erste dielektrische Schicht 111 kann durch Belichtungs- und Entwicklungsprozesse strukturiert werden. Die ersten Durchkontaktierungslöcher 119 gehen durch die erste dielektrische Schicht 111 hindurch und legen die Chip-Pads 315 des ersten unteren Halbleiterchips 310, die Chip-Pads 325 des zweiten unteren Halbleiterchips 320 und die unteren Pads 221 des Verbindungssubstrats 200 frei.

[0031] Wie in **Fig. 2D** und **3B** gezeigt ist, werden erste Umverteilungsstrukturen 131 an einer unteren Oberfläche der ersten dielektrischen Schicht 111 und in den ersten Durchkontaktierungslöchern 119 ausgebildet. Die Ausbildung der ersten Umverteilungsstrukturen 131 kann das Ausbilden einer Keimstruktur (nicht gezeigt) in den ersten Durchkontaktierungslöchern 119 und auf der unteren Oberfläche der ersten dielektrischen Schicht 111 und dann das Ausbilden einer leitenden Schicht (nicht gezeigt) anhand eines Galvanikprozesses unter Verwendung der Keimstruktur beinhalten. Die Keimstruktur und die leitende Schicht können strukturiert werden, um die Umverteilungsstrukturen 131 auszubilden. Die ersten Umverteilungsstrukturen 131 können Metall, wie beispielsweise Kupfer einschließen. Die ersten Umverteilungsstrukturen 131 können erste Durchkontaktierungsabschnitte 131V und erste Leitungsabschnitte 131W einschließen. Die ersten Durchkontaktierungsabschnitte 131V werden in entsprechenden ersten Durchkontaktierungslöchern 119 bereitgestellt. Die ersten Durchkontaktierungsabschnitte 131V werden mit den Chip-Pads 315 der ersten unteren Halbleiterchips 310, den Chip-Pads 325 der zweiten unteren Halbleiterchips 320 und den unteren Pads 221 des Verbindungssubstrats 200 gekoppelt. Die ersten Leitungsabschnitte 131W werden an der unteren Oberfläche der ersten dielektrischen Schicht 111 ausgebildet.

Die ersten Leitungsabschnitte 131W werden elektrisch mit den ersten Durchkontaktierungsabschnitten 131V verbunden. Die ersten Leitungsabschnitte 131W und die ersten Durchkontaktierungsabschnitte 131V können anhand ein und desselben Prozesses ausgebildet werden.

[0032] Wie in **Fig. 2D** und **3C** gezeigt ist, werden eine zweite dielektrische Schicht 112, zweite Umverteilungsstrukturen 132, eine dritte dielektrische Schicht 113 und leitende Pads 135 auf der unteren Oberfläche der ersten dielektrischen Schicht 111 ausgebildet. Ein Beschichtungsprozess kann an der unteren Oberfläche der ersten dielektrischen Schicht 111 durchgeführt werden, um die zweite dielektrische Schicht 112 auszubilden. Die zweite dielektrische Schicht 112 kann die ersten Umverteilungsstrukturen 131 abdecken. Die zweite dielektrische Schicht 112 kann ein photostrukturierbares dielektrisches Polymer einschließen. Belichtungs- und Entwicklungsprozesse können durchgeführt werden, so dass die zweite dielektrische Schicht 112 strukturiert werden kann, um zweite Durchkontaktierungslöcher 129 darin auszubilden. Die zweiten Umverteilungsstrukturen 132 können auf einer unteren Oberfläche der zweiten dielektrischen Schicht 112 ausgebildet werden. Die zweiten Umverteilungsstrukturen 132 können sich in die zweiten Durchkontaktierungslöcher 129 der zweiten dielektrischen Schicht 112 hinein erstrecken und eine elektrische Verbindung zwischen den ersten Umverteilungsstrukturen 131 aufweisen. Die Ausbildung der zweiten Umverteilungsstrukturen 132 kann das Ausbilden einer Keimstruktur in den zweiten Durchkontaktierungslöchern 129 und auf der unteren Oberfläche der zweiten dielektrischen Schicht 112, das Ausbilden einer leitenden Schicht anhand eines Galvanikprozesses unter Verwendung der Keimstruktur und das Strukturieren der Keimstruktur und der leitenden Schicht einschließen. Die zweiten Umverteilungsstrukturen 132 können zweite Durchkontaktierungsabschnitte 132V und zweite Leitungsabschnitte 132W einschließen. Die zweiten Durchkontaktierungsabschnitte 132V werden in den zweiten Durchkontaktierungslöchern 129 bereitgestellt. Die zweiten Leitungsabschnitte 132W werden an der unteren Oberfläche der zweiten dielektrischen Schicht 112 angeordnet und mit mindestens einem der zweiten Durchkontaktierungsabschnitte 132V gekoppelt. Die zweiten Umverteilungsstrukturen 132 können Kupfer aufweisen, sind aber nicht darauf beschränkt.

[0033] Ein Beschichtungsprozess kann durchgeführt werden, um eine dritte dielektrische Schicht 113 an der unteren Oberfläche der zweiten dielektrischen Schicht 112 auszubilden, und somit kann die dritte dielektrische Schicht 113 die zweiten Umverteilungsstrukturen 132 bedecken. Die dritte dielektrische Schicht 113 kann ein photostrukturierbares dielektrisches Polymer einschließen. Belichtungs-

und Entwicklungsprozesse können durchgeführt werden, so dass die dritte dielektrische Schicht 113 strukturiert werden kann, um dritte Pad-Löcher 139 darin auszubilden. Die Pad-Löcher 139 können zumindest Abschnitte von unteren Oberflächen der zweiten Umverteilungsstrukturen 132 freilegen. Die dritte dielektrische Schicht 113 kann als Passivierungsschicht dienen.

[0034] Die leitenden Pads 135 werden in den Pad-Löchern 139 ausgebildet und decken die freiliegenden unteren Oberflächen der zweiten Umverteilungsstrukturen 132 ab. Die leitenden Pads 135 können über die zweiten Umverteilungsstrukturen 132 elektrisch mit den ersten Umverteilungsstrukturen 131 verbunden werden. Mindestens eines von den leitenden Pads 135 könnte in der dritten Richtung D3 nicht am ersten Durchkontaktierungsabschnitt 131V der ersten Umverteilungsstruktur 131, die mit dem mindestens einen leitenden Pad 135 verbunden ist, ausgerichtet sein. Die leitenden Pads 135 können Metall, wie beispielsweise Aluminium, aufweisen. Das Umverteilungssubstrat 100 kann daher anhand der oben beschriebenen Prozesse hergestellt werden. Das Umverteilungssubstrat 100 kann die erste, die zweite und die dritte dielektrische Schicht 111, 112 und 113, die erste und die zweite Umverteilungsstruktur 131 und 132 und die leitenden Pads 135 aufweisen.

[0035] Die Umverteilungsstruktur 100 kann die unteren Halbleiterchips 310 und 320 elektrisch mit dem Verbindungssubstrat 200 verbinden. In dieser Beschreibung kann der Ausdruck „elektrisch verbunden mit dem Umverteilungssubstrat 100“ die Bedeutung „elektrisch verbunden mit mindestens einer von den Umverteilungsstrukturen 131 und 132“ haben. Zum Beispiel kann mindestens eines von den Chip-Pads 315 des ersten unteren Halbleiterchips 310 über das Umverteilungssubstrat 100 mit mindestens einem von den Chip-Pads 325 des zweiten unteren Halbleiterchips 320 verbunden werden. Mindestens eines von den Chip-Pads 315 des ersten unteren Halbleiterchips 310 kann über das Umverteilungssubstrat 100 elektrisch mit mindestens einem von den unteren Pads 221 des Verbindungssubstrats 200 verbunden werden. Mindestens eines von den Chip-Pads 325 des zweiten unteren Halbleiterchips 320 kann über das Umverteilungssubstrat 100 mit mindestens einem von den unteren Pads 221 des Verbindungssubstrats 200 verbunden werden.

[0036] Die Anzahl der dielektrischen Schichten 111, 112 und 113 und die Anzahl der Umverteilungsstrukturen 131 und 132 können auf verschiedene Weise geändert werden. Zum Beispiel kann das Umverteilungssubstrat 100 ferner dritte Umverteilungsstrukturen und eine vierte dielektrische Schicht zwischen der dritten dielektrischen Schicht 113 und den leitenden Pads 135 aufweisen. Als weiteres Beispiel könn-

ten weder die zweiten Umverteilungsstrukturen 132 noch die zweite dielektrische Schicht 112 ausgebildet werden. Wie in **Fig. 2D** gezeigt ist, kann das Umverteilungssubstrat 100 auf Panel-Ebene ausgebildet werden.

[0037] Wie in **Fig. 2A** und **2E** gezeigt ist, können in der unteren Formmasseschicht 410 Öffnungen 409 ausgebildet werden, die entsprechend die oberen Pads 224 des Verbindungssubstrats 200 freilegen. Zum Beispiel können die oberen Pads 224 eine Metallschicht und eine Passivierungsschicht aufweisen, die gestapelt sind, und die Passivierungsschicht kann Nickel (Ni) und/oder Gold (Au) einschließen. Die Passivierungsschicht kann eine Mehrschicht sein. Die Passivierungsschicht kann eine Korrosion der oberen Pads 224 verhindern. Durch die oben genannten Prozesse kann am Ende ein Panel-Package P1 hergestellt werden. Das Panel-Package P1 kann ein Package sein, das auf einer Panel-Ebene gefertigt worden ist. Das Panel-Package P1 kann eine Mehrzahl von Package-Streifen P2, die miteinander verbunden sind, aufweisen. Die Package-Streifen P2 können durch erste Sägelinien SL1 definiert werden. In dieser Beschreibung können die ersten Sägelinien SL1 imaginäre Linien oder virtuelle Linien sein. Das Panel-Package P1 kann einem ersten vorläufigen Package entsprechen, das für die Herstellung von Halbleiter-Packages PKG1 verwendet wird, die weiter unten beschrieben werden.

[0038] Wie in **Fig. 2F** und **2G** gezeigt, kann ein erster Sägeprozess an dem Panel-Package P1 durchgeführt werden. Der erste Sägeprozess kann das Sägen der unteren Formmasseschicht 410, des Verbindungssubstrats 200 und des Umverteilungssubstrats 100 einschließen, um abgetrennte Umverteilungssubstrate 100, abgetrennte untere Formmasseschichten 410 und abgetrennte Verbindungssubstrate 200 zu bilden. Am Ende können die Package-Streifen P2 voneinander getrennt sein. Jeder von den Package-Streifen P2 kann ein entsprechendes von den abgetrennten Umverteilungssubstraten 100, mindestens zwei entsprechende von den ersten unteren Halbleiterchips 310, mindestens zwei entsprechende von den zweiten unteren Halbleiterchips 320, ein entsprechendes von den abgetrennten Verbindungssubstraten 200 und eine entsprechende von den abgetrennten unteren Formmasseschichten 410 aufweisen. Zum Beispiel kann jeder von den Package-Streifen P2 einen abgesägten Abschnitt des Umverteilungssubstrats 100, mindestens zwei von den ersten unteren Halbleiterchips 310 und den zweiten unteren Halbleiterchips 320 und einen abgesägten Abschnitt des Verbindungssubstrats 200 aufweisen. Jeder von den Package-Streifen P2 kann einem zweiten vorläufigen Package entsprechen, das für die Herstellung von Halbleiter-Packages PKG1 verwendet wird, die weiter unten beschrieben werden. Der Kürze halber wird im Fol-

genden ein einzelnes streifenförmiges Package P2 dargestellt und beschrieben.

[0039] **Fig. 4A** stellt eine Draufsicht dar, die ein streifenförmiges Package gemäß manchen Ausführungsformen der erfinderischen Ideen zeigt. **Fig. 4B** und **4C** stellen Querschnittsansichten entlang einer Linie IV-V von **Fig. 4A** dar, die ein Verfahren zum Herstellen eines Halbleiter-Package gemäß Ausführungsformen der erfinderischen Ideen zeigt. **Fig. 4D** stellt eine Draufsicht dar, die abgetrennte Halbleiter-Packages gemäß Ausführungsformen der erfinderischen Ideen zeigt. **Fig. 4E** stellt eine Querschnittsansicht entlang einer Linie IV'-V' von **Fig. 4D** dar.

[0040] Wie in **Fig. 4A** und **4B** gezeigt ist, sind erste obere Halbleiterchips 510 an dem in **Fig. 4A** gezeigten Package-Streifen P2 bereitgestellt. Das heißt, **Fig. 4A** zeigt den Package-Streifen P2 vor der Weiterverarbeitung zu einem Halbleiter-Package. Zum Beispiel können die ersten oberen Halbleiterchips 510 auf der unteren Formmasseschicht 410 bereitgestellt werden. Mindestens zwei von den ersten oberen Halbleiterchips 510 können jeweils mit einem Abstand voneinander angeordnet werden. Die mindestens zwei ersten oberen Halbleiterchips 510 können einen entsprechenden ersten unteren Halbleiterchip 310 oder einen entsprechenden zweiten unteren Halbleiterchip 320 vertikal überlappen. In bestimmten Ausführungsformen können die ersten oberen Halbleiterchips 510 gestapelt werden, um Chip-Stapel zu bilden. Die Chip-Stapel können lateral voneinander beabstandet angeordnet werden. Jeder von den Chip-Stapeln kann eine Mehrzahl von den ersten oberen Halbleiterchips 510 aufweisen und die Löcher 290 des Verbindungssubstrats 200 vertikal überlappen. Jeder von den ersten oberen Halbleiterchips 510 kann als die Speichervorrichtung 3 dienen, die unter Bezugnahme auf **Fig. 1** beschrieben wurde. Zum Beispiel können die ersten oberen Halbleiterchips 510 nicht-flüchtige Speicherchips, wie etwa NAND-Flash-Speicherchips einschließen. Die ersten oberen Halbleiterchips 510 können die gleiche Art von Halbleiterchip sein und dafür ausgelegt sein, die gleiche Funktion durchzuführen. Die ersten oberen Halbleiterchips 510 können die gleiche Größe und Speicherkapazität aufweisen, aber Ausführungsformen der erfinderischen Idee sind nicht darauf beschränkt, dass die ersten oberen Halbleiterchips 510 die gleiche Größe und Speicherkapazität aufweisen.

[0041] Haftmittelstrukturen 518 können ferner auf unteren Oberflächen der ersten oberen Halbleiterchips 510 bereitgestellt werden. Zum Beispiel können die Haftmittelstrukturen 518 zwischen den ersten oberen Halbleiterchips 510 und zwischen der unteren Formmasseschicht 410 und einem untersten oberen Halbleiterchip 510 bereitgestellt werden. Die

Haftmittelstrukturen 518 können ein dielektrisches Polymer einschließen.

[0042] Erste Anschlussverbindungen 610 werden so ausgebildet, dass sie eine Verbindung mit dem Verbindungssubstrat 200 und entsprechenden ersten oberen Halbleiterchips 510 haben. Zum Beispiel kann jede der ersten Anschlussverbindungen 610 ein entsprechendes oberes Pad 224 und eines der Chip-Pads 515 der ersten oberen Halbleiterchips 510 direkt kontaktieren. Daher können die ersten oberen Halbleiterchips 510 über die leitende Struktur 220 und das Umverteilungssubstrat 100 mit den ersten unteren Halbleiterchips 310 oder den zweiten unteren Halbleiterchips 320 gekoppelt werden. Die ersten Anschlussverbindungen 610 können Bonddrähte einschließen. Die ersten Anschlussverbindungen 610 können Metall, wie beispielsweise Gold, einschließen.

[0043] Passive Vorrichtungen 600 können auf dem Verbindungssubstrat 200 bereitgestellt werden. Die passiven Vorrichtungen 600 werden mit Abständen von den ersten oberen Halbleiterchips 510 angeordnet. Die passiven Vorrichtungen 600 können über leitende Anschlüsse 670 mit der leitenden Struktur 220 gekoppelt werden. Die leitenden Anschlüsse 670 werden zwischen den oberen Pads 224 und den passiven Vorrichtungen 600 ausgebildet und können Lotperlen, Kontakthöcker oder -säulen einschließen. Die leitenden Anschlüsse 670 können die oberen Pads 224 direkt kontaktieren. In der Draufsicht sind die oberen Pads 224, die mit den leitenden Anschlüssen 670 verbunden sind, von den oberen Pads 224, die mit den ersten Anschlussverbindungen 610 verbunden sind, beabstandet. Als weiteres Beispiel können die leitenden Anschlüsse 670 Bonddrähte einschließen und können an oberen Oberflächen der passiven Vorrichtungen 600 bereitgestellt sein. Die passiven Vorrichtungen 600 können über die leitenden Anschlüsse 670 mit der leitenden Struktur 220 und dem Umverteilungssubstrat 100 gekoppelt werden. Somit können die passiven Vorrichtungen 600 elektrisch mit den ersten unteren Halbleiterchips 310, den zweiten unteren Halbleiterchips 320 oder den ersten oberen Halbleiterchips 510 gekoppelt werden. Die passiven Vorrichtungen 600 können beispielsweise einen oder mehrere von einem Induktor, einem Kondensator und einem Widerstand einschließen. Als weiteres Beispiel sind in Ausführungsformen der erfinderischen Ideen keine passiven Vorrichtungen 600 bereitgestellt.

[0044] Wie in **Fig. 4A** und **4C** gezeigt ist, ist am Package-Streifen P2 eine obere Formmasseschicht 420 ausgebildet, um die ersten oberen Halbleiterchips 510 abzudecken.

[0045] Zum Beispiel kann die obere Formmasseschicht 420 auf der unteren Formmasseschicht 410

bereitgestellt werden, um die ersten oberen Halbleiterchips 510 und die ersten Anschlussverbindungen 610 zu verkapseln. Die obere Formmasseschicht 420 kann die passiven Vorrichtungen 600 abdecken. Die obere Formmasseschicht 420 kann ein dielektrisches Polymer, wie etwa eine Gießharzverbindung auf Epoxidbasis, einschließen.

[0046] Anhand der oben beschriebenen Prozesse kann der Package-Streifen P2 auf einer Streifen-ebene in eine Mehrzahl von Halbleiter-Packages PKG1 umgewandelt werden. Die Halbleiter-Packages PKG1 können miteinander verbunden sein. Die Halbleiter-Packages PKG1 können durch zweite Sägelinien SL2 definiert werden. In dieser Beschreibung können die zweiten Sägelinien SL2 imaginäre Linien oder virtuelle Linien sein.

[0047] In bestimmten Ausführungsformen kann die obere Formmasseschicht 420 die untere Formmasseschicht 410 direkt physisch berühren. Die ersten Anschlussverbindungen 610 können die Chip-Pads 515 der ersten oberen Halbleiterchips 510 und die oberen Pads 224 direkt kontaktieren. Zwischen der unteren Formmasseschicht 410 und den ersten oberen Halbleiterchips 510 ist weder ein Package-Substrat, noch eine Umverteilungsschicht noch ein Lücke bereitgestellt. Eine Lücke, wie sie hier genannt wird, kann einen hohlen Raum angeben oder darstellen, der mit Luft oder dergleichen gefüllt ist. Das Halbleiter-Package PKG1 kann somit vom kompakter Größe sein. Zum Beispiel kann das Halbleiter-Package PKG1 eine verringerte Höhe aufweisen.

[0048] Externe Anschlüsse 170 können an einer unteren Oberfläche des Umverteilungssubstrats 100 ausgebildet werden. Die externen Anschlüsse 170 können an entsprechenden freiliegenden unteren Oberflächen der leitenden Pads 135 ausgebildet werden. Bestimmte von den externen Anschlüssen 170 können über die Umverteilungsstrukturen 131 und 132 elektrisch mit den ersten und den zweiten unteren Halbleiterchips 310 und 320 verbunden werden. Andere von den externen Anschlüssen 170 können über die Umverteilungsstrukturen 131 und 132 und die leitende Struktur 220 elektrisch mit den ersten oberen Halbleiterchips 510 verbunden werden. Die externen Anschlüsse 170 können ein leitendes Material, wie etwa Metall, einschließen. Die externen Anschlüsse 170 können eines oder mehrere von einer Lotkugel, einer Kontaktsäule und einem Kontakthöcker einschließen. Die Halbleiter-Packages PKG1 können aufgefächerte Halbleiter-Packages sein. Zum Beispiel könnte mindestens einer von den externen Anschlüssen 170 von jedem Halbleiter-Package PKG1 die ersten und zweiten unteren Halbleiterchips 310 und 320 in der dritten Richtung nicht überlappen. Der mindestens eine externe Anschluss 170 kann in der Draufsicht das Verbindungssubstrat 200 überlappen.

[0049] Wie in **Fig. 4D** und **4E** gezeigt ist, kann ein zweiter Sägeprozess am Package-Streifens P2 und an der oberen Formmasseschicht 420 durchgeführt werden. Man beachte, dass **Fig. 4D** eine Draufsicht auf die Halbleiter-Packages PKG1 ohne die obere Formmasseschicht 420, die ersten oberen Halbleiterchips 510, die passive Vorrichtung 600, die ersten Anschlussverbindungen 610 und die leitenden Anschlüsse 670 zeigt, um die Zeichnungen zu vereinfachen. Im zweiten Sägeprozess können beispielsweise die obere Formmasseschicht 420, die untere Formmasseschicht 410, das Verbindungssubstrat 200 und das Umverteilungssubstrat 100 entlang der zweiten Sägelinien SL2 gesägt werden, mit dem Ergebnis, dass Packages voneinander getrennt werden können. Die Packages können die Halbleiter-Packages PKG1 sein. Jedes Halbleiter-Package PKG1 kann gesägte Komponenten aufweisen, beispielsweise das Umverteilungssubstrat 100, die untere Formmasseschicht 410, das Verbindungssubstrat 200, die obere Formmasseschicht 420, die passive Vorrichtung 600, den ersten unteren Halbleiterchip 310, den zweiten unteren Halbleiterchip 320 und die ersten oberen Halbleiterchips 510. Im Unterschied zu dem, was in **Fig. 4E** gezeigt ist, weisen in manchen Ausführungsformen der erfinderischen Ideen die Halbleiter-Packages PKG1 keine passive Vorrichtung 600 auf.

[0050] In manchen Ausführungsformen ist die Herstellung der Halbleiter-Packages PKG1 vereinfacht, weil die ersten oberen Halbleiterchips 510, die ersten Anschlussverbindungen 610 und die obere Formmasseschicht 420 auf einer Streifenebene bereitgestellt/ausgebildet werden und dann der zweite Sägeprozess die Halbleiter-Packages PKG1 trennt, wie in **Fig. 4A** bis **4C** gezeigt ist.

[0051] Im Folgenden wird die Ausbildung der Öffnungen 409 in der unteren Formmasseschicht 410 ausführlich beschrieben.

[0052] **Fig. 5A** stellt eine vergrößerte Draufsicht auf den in **Fig. 2A** dargestellten Abschnitt III dar und zeigt Öffnungen gemäß Ausführungsformen der erfinderischen Ideen.

[0053] Wie in **Fig. 2A**, **2E** und **5A** dargestellt ist, können die Öffnungen 409 anhand eines Bohrprozesses, beispielsweise eines Laserbohrprozesses ausgebildet werden. Ein Laserstrahl kann die untere Formmasseschicht 410 so strukturieren, dass die Öffnungen 409 nacheinander durch die untere Formmasseschicht 410 hindurch ausgebildet werden können. Die Öffnungen 409 legen entsprechende obere Pads 224 des Verbindungssubstrats 200 frei. Falls jedoch die Basisschichten (siehe 210 von **Fig. 2E**) des Verbindungssubstrats 200 dem Laserstrahl ausgesetzt werden, können die Basisschichten 210 beschädigt werden.

[0054] Somit kann in Ausführungsformen der erfinderischen Idee jede der Öffnungen 409 eine plane Fläche aufweisen, die kleiner ist als die plane Fläche des einen entsprechenden von den oberen Pads 224, so dass die Basisschichten 210 in den Öffnungen 409 nicht freigelegt werden. Das heißt, in **Fig. 5A** werden die oberen Pads 224 durch (durchgehende) Öffnungen 409 freigelegt, so dass äußere Umfangsflächen der oberen Pads 224 so angeordnet werden, dass sie von der unteren Formmasseschicht 410 abgedeckt werden. Zum Beispiel weist in den Ausführungsformen der erfinderischen Ideen jede von den Öffnungen 409 eine Breite W2 auf, die höchstens so groß ist wie die Breite W1 eines entsprechenden einen von den oberen Pads 224. Jede von den Öffnungen 409 weist eine Länge L2 auf, die höchstens so groß ist wie die Länge L1 eines entsprechenden einen von den oberen Pads 224. In diesem Fall gibt die Breite einer bestimmten Komponente einen maximalen Abstand der bestimmten Komponente in der ersten Richtung D1 an, und die Länge der bestimmten Komponente gibt einen Abstand der bestimmten Komponente in der zweiten Richtung D2 an.

[0055] **Fig. 5B** stellt eine vergrößerte Draufsicht auf einen Ausschnitt III dar, der in **Fig. 2A** abgebildet ist, und zeigt Öffnungen gemäß anderen Ausführungsformen der erfinderischen Ideen. **Fig. 5C** stellt eine vergrößerte Draufsicht auf Ausschnitt III dar, der in **Fig. 2A** abgebildet ist, und zeigt Öffnungen gemäß noch anderen Ausführungsformen der erfinderischen Ideen. **Fig. 5D** stellt eine Querschnittsansicht entlang einer Linie IV-V von **Fig. 4A** dar und zeigt ein Verfahren zum Herstellen erster Anschlussverbindungen (z.B. 610) gemäß Ausführungsformen der erfinderischen Ideen.

[0056] Wie in **Fig. 2E**, **5B** und **5C** gezeigt ist, können die Öffnungen 409 anhand eines Photolithographieprozesses ausgebildet werden, in dem die untere Formmasseschicht 410 strukturiert wird. In diesem Fall kann die untere Formmasseschicht 410 ein photostrukturierbares dielektrisches Polymer einschließen. Das photostrukturierbare dielektrische Polymer kann beispielsweise eines oder mehrere von einem lichtempfindlichen Lötstopplack, einem Polybenzoxazol, einem phenolischen Polymer und einem Benzocyclobutenpolymer einschließen. Zum Beispiel kann die untere Formmasseschicht 410 das gleiche Material aufweisen wie die mindestens eine von den dielektrischen Schichten 111, 112 und 113 des Umverteilungssubstrats 100, aber die erfinderischen Ideen sind nicht darauf beschränkt.

[0057] Belichtungs- und Entwicklungsprozesse können durchgeführt werden, um die untere Formmasseschicht 410 zu strukturieren. Der Belichtungsprozess kann das Bereitstellen einer Photomaske auf der unteren Formmasseschicht 410 und das Belich-

ten von Abschnitten der unteren Formmasseschicht 410, die von der Photomaske freigelassen werden, beinhalten. Der Entwicklungsprozess kann das Verwenden einer Entwicklungslösung zum Entfernen entweder der freiliegenden oder der nicht-freiliegenden Abschnitte der unteren Formmasseschicht 410 und zum Zurücklassen der anderen, freiliegenden oder nicht-freiliegenden, Abschnitte der unteren Formmasseschicht 410 beinhalten. Somit können die Öffnungen 409 in der unteren Formmasseschicht 410 ausgebildet werden. In bestimmten Ausführungsformen werden die Öffnungen 409 durch Belichtungs- und Entwicklungsprozesse (beispielsweise im Gegensatz zu Laserbohrprozessen) ausgebildet, und daher kann eine Beschädigung der Basisschichten 210 verhindert werden, obwohl die Öffnungen 409 die oberste Basisschicht freilegen (siehe 210 von **Fig. 2E**). Demgemäß können eine Größe und eine plane Form der Öffnungen 409 frei entworfen werden. Zum Beispiel kann eine der Öffnungen 409 eine obere Oberfläche der obersten Basisschicht 210 und eine Mehrzahl der oberen Pads 224 freilegen. Wie in **Fig. 5B** gezeigt ist, weist die eine von den Öffnungen 409 eine Breite $W2'$ auf, die mindestens so groß ist wie die Breite $W1$ des oberen Pad 224. Wie ebenfalls in **Fig. 5B** zu sehen ist, kann die Öffnung 409 eine Länge $L2'$ aufweisen, die geringer ist als die Länge $L1$ des oberen Pad 224. Alternativ dazu kann in einer weiteren Ausführungsform der erfinderschen Ideen, wie in **Fig. 5C** gezeigt, die Öffnung 409 eine Länge $L2''$ aufweisen, die mindestens so groß ist wie die Länge $L1$ des oberen Pad 224. Auch wenn dies nicht eigens gezeigt ist, kann eine Mehrzahl der Öffnungen 409 gleiche oder unterschiedliche Formen aufweisen. Die Breite $W1$, die Länge $L1$ und ein Abstand von jedem oberen Pad 224 können somit frei entworfen werden, ohne dass die Größe und die Anordnung der Öffnungen 409 eine Beschränkung darstellen. Somit kann ein Bereich, der für die Anordnung der oberen Pads 224 benötigt wird, reduziert werden, wodurch ein Halbleiter-Package verkleinert wird. In bestimmten Ausführungsformen können die oberen Pads 224 so ausgebildet werden, dass sie eine geringe Größe und einen engen Abstand aufweisen.

[0058] Da die untere Formmasseschicht 410 durch Belichtungs- und Entwicklungsprozesse strukturiert wird, kann darüber hinaus eine Mehrzahl der Öffnungen 409 anhand eines einzigen Prozesses ausgebildet werden. Zum Beispiel können die Öffnungen 409 im Wesentlichen gleichzeitig ausgebildet werden. Infolgedessen kann es möglich sein, die Zeit zu verkürzen, die für die Ausbildung der Öffnungen 409 benötigt wird, und die Herstellung eines Halbleiter-Package zu vereinfachen.

[0059] Ferner kann eine Ausrichtungsnase 260 an der oberen Oberfläche der obersten Basisschicht 210 bereitgestellt werden. Die Ausrichtungsnase

260 kann Informationen über Positionen bereitstellen, wo die ersten oberen Halbleiterchips 510 angeordnet werden sollen, wenn die ersten oberen Halbleiterchips 510 platziert werden wie in **Fig. 4B** und **5D** gezeigt. Alternativ dazu kann die Ausrichtungsnase 260 Informationen über Positionen bereitstellen, wo die ersten oberen Pads 224 angeordnet werden, wenn die ersten Anschlussverbindungen 610 ausgebildet werden, wie in **Fig. 4B** und **5D** gezeigt. Als noch weitere Alternative kann die Ausrichtungsnase 260 Informationen über Positionen der passiven Vorrichtungen 600 bereitstellen, wenn sie platziert werden wie in **Fig. 4B** gezeigt. Zum Beispiel können die Ausrichtungsnase 260 und die oberen Pads 224 anhand eines einzigen Prozesses ausgebildet werden, und die Ausrichtungsnase 260 kann im Wesentlichen genauso dick sein wie die oberen Pads 224. Die Ausrichtungsnase 260 kann ein leitendes Material, wie etwa Metall, einschließen. Die Ausrichtungsnase 260 kann eine andere Form aufweisen als die oberen Pads 224. Die Ausrichtungsnase 260 kann eine plane Fläche aufweisen, die anders ist als die der oberen Pads 224.

[0060] Wenn die untere Formmasseschicht 410 strukturiert wird, kann ferner in bestimmten Ausführungsformen, wie in **Fig. 5B** gezeigt, eine Ausrichtungsöffnung 469 in der unteren Formmasseschicht 410 ausgebildet werden und kann die Ausrichtungsnase 260 freilegen. Die Ausrichtungsöffnung 469 kann eine plane Form aufweisen, die anders ist als die der Öffnungen 409. In bestimmten Ausführungsformen wird die untere Formmasseschicht 410 anhand eines Photolithographieprozesses strukturiert, und daher können die Ausrichtungsöffnungen 469 und die Öffnungen 409 anhand eines einzigen Prozesses ausgebildet werden, auch wenn die Ausrichtungsöffnung 469 eine andere Form aufweist als die Öffnungen 409.

[0061] Da die Ausrichtungsöffnung 469 durch einen Photolithographieprozess ausgebildet wird, kann außerdem eine Beschädigung der obersten Basisschicht 210 auch dann vermieden werden, wenn die oberste Basisschicht 210 freiliegt. Die Ausrichtungsöffnung 469 kann die Ausrichtungsnase 260 freilegen und kann auch die oberste Basisschicht 210 freilegen. Die Ausrichtungsöffnung 469 kann somit eine plane Form aufweisen, die anders ist als die der Ausrichtungsnase 260. In bestimmten Ausführungsformen weist die Ausrichtungsnase 260 zwar eine relativ komplexe Form auf, aber die Ausrichtungsöffnung 469 kann frei ausgebildet werden, ohne von der Form der Ausrichtungsnase 260 beschränkt zu sein. Daher kann die Ausbildung der Ausrichtungsöffnung 469 vereinfacht sein.

[0062] Wie in **Fig. 5C** gezeigt ist, kann eine der Öffnungen 409 die oberen Pads 224 und die Ausrichtungsnase 260 freilegen. In diesem Fall kann die

Ausbildung der Ausrichtungsöffnung 469 weggelassen werden. Eine plane Anordnung der Ausrichtungsnahe 260 kann auf verschiedene Weise geändert werden, und die Ausbildung der Ausrichtungsöffnung 469 und die plane Form der Öffnungen 409 können auf Basis der Zweckmäßigkeit von Anordnungen und Prozessen für die Ausrichtungsnahe 260 angepasst werden.

[0063] Fig. 5D stellt eine Querschnittsansicht entlang einer Linie IV-V von Fig. 4A dar und zeigt ein Verfahren zum Herstellen erster Anschlussverbindungen gemäß Ausführungsformen der erfindnerischen Ideen. Um die Erklärung kurz zu halten, wird unter Bezugnahme auf Fig. 5D im Folgenden ein Beispiel beschrieben, das eine einzige Öffnung und einen einzigen ersten oberen Halbleiterchip einschließt.

[0064] Wie in Fig. 5B, 5C und 5D gezeigt ist, wird ein Bonddrahtapparat 5000 verwendet, um die ersten Anschlussverbindungen 610 auszubilden. Der Bonddrahtapparat 5000 weist eine Spitze 5100 auf. Die Spitze 5100 weist eine Kapillare auf, die leitendes Material abgibt. Der Bonddrahtapparat 5000 kann so angetrieben oder betätigt werden, dass die Spitze 5100 beispielsweise die Chip-Pads 515 der ersten oberen Halbleiterchips 510 und die oberen Pads 224 nacheinander berührt, um somit die ersten Anschlussverbindungen 610 auszubilden. Die ersten Anschlussverbindungen 610 können Bonddrähte sein. Falls die Breite W2 der Öffnung 409 jedoch kleiner ist als eine Breite W3 der Spitze 5100 oder falls die Länge L2' oder L2" der Öffnung 409 kleiner ist als eine Länge der Spitze 5100, dann können die ersten Anschlussverbindungen 610 die oberen Pads 224 möglicherweise nicht zufriedenstellend kontaktieren. Falls die Spitze 5100 die untere Formmasseschicht 410 physisch berührt, können andererseits die Spitze 5100 und/oder die untere Formmasseschicht 410 beschädigt werden. In bestimmten Ausführungsformen der erfindnerischen Ideen ist die Breite W2' der Öffnung 409 größer als die Breite W3 der Spitze 5100 und/oder die Länge L2' oder L2" der Öffnung 409 ist größer als die Länge der Spitze 5100. Infolgedessen können in Ausführungsformen der erfindnerischen Ideen die ersten Anschlussverbindungen 610 zufriedenstellend ausgebildet werden, und eine Beschädigung der unteren Formmasseschicht 410 und/oder der Spitze 5100 kann verhindert werden, während die ersten Anschlussverbindungen 610 ausgebildet werden.

[0065] Um die Zeichnungen zu vereinfachen, sind in Figuren außer Fig. 5B bis 5D die Öffnungen 409 so dargestellt, dass sie die oberen Pads 224 freilegen. Jedoch kann mindestens eine von den Öffnungen 409 in den Figuren außer Fig. 5B bis 5D mindestens zwei von den oberen Pads 224 freilegen.

[0066] Fig. 6A stellt eine Querschnittsansicht dar, die ein Halbleiter-Package gemäß Ausführungsformen der erfindnerischen Ideen zeigt. Unter Bezugnahme auf Fig. 6A bis 6I wird im Folgenden ein Beispiel beschrieben, das ein einziges Loch aufweist.

[0067] Wie in Fig. 6A gezeigt ist, kann ein Halbleiter-Package PKG2 anhand im Wesentlichen des gleichen Verfahrens wie es unter Bezugnahme auf Fig. 2A bis 4E beschrieben wurde, hergestellt werden. Das heißt, das Halbleiter-Package PKG2 in Fig. 6A kann im Wesentlichen das gleiche sein wie das Halbleiter-Package PKG1, das beispielsweise in Fig. 4E gezeigt ist, außer dass das Halbleiter-Package PKG2 von Fig. 6A keinen zweiten unteren Halbleiterchip 320 aufweist. Um der Kürze willen werden Aspekte der Herstellung und der Konfiguration des Halbleiter-Package PKG2, die denen des Halbleiter-Package PKG1 ähnlich sind, weggelassen.

[0068] Fig. 6B stellt eine Querschnittsansicht dar, die ein Halbleiter-Package gemäß Ausführungsformen der erfindnerischen Ideen zeigt.

[0069] Wie in Fig. 6B gezeigt ist, weist ein Halbleiter-Package PKG3 ein Umverteilungssubstrat 100, einen ersten unteren Halbleiterchip 310, ein Verbindungssubstrat 200, eine untere Formmasseschicht 410, erste Anschlussverbindungen 610, eine obere Formmasseschicht 420 und obere Halbleiterchips 510 und 322 auf. Im Gegensatz zu der Ausführungsform, die oben unter Bezugnahme auf Fig. 4E beschrieben wurde, ist der zweite untere Halbleiterchip 320 nicht im Loch 290 des Verbindungssubstrats 200 in Fig. 6B bereitgestellt.

[0070] Die oberen Halbleiterchips 510 und 322 schließen einen ersten oberen Halbleiterchip 510 und einen zweiten oberen Halbleiterchip 322 ein. Der erste obere Halbleiterchip 510 kann die flüchtige Speichervorrichtung 3 sein, die unter Bezugnahme auf Fig. 1 beschrieben wurde. Der erste obere Halbleiterchip 510 kann im Wesentlichen der gleiche sein wie der, der unter Bezugnahme auf Fig. 4A bis 4E beschrieben wurde. Zum Beispiel kann der erste obere Halbleiterchip 510 eine Mehrzahl erster oberer Halbleiterchips 510, die gestapelt sind, einschließen. Die ersten Anschlussverbindungen 610 berühren Chip-Pads 515 der ersten oberen Halbleiterchips 510 und obere Pads 224 direkt. Die ersten oberen Halbleiterchips 510 können entsprechend über die ersten Anschlussverbindungen 610 mit den oberen Pads 224 des Verbindungssubstrats 200 gekoppelt werden. Haftmittelstrukturen 518 können auf unteren Oberflächen der ersten oberen Halbleiterchips 510 bereitgestellt werden. Ein unterster von den ersten oberen Halbleiterchips 510 ist in einer dritten Richtung D3 von der unteren Formmasseschicht 410 beabstandet.

[0071] Der zweite obere Halbleiterchip 322 ist zwischen der unteren Formmasseschicht 410 und dem untersten ersten oberen Halbleiterchip 510 angeordnet. Der zweite obere Halbleiterchip 322 kann als Mehrzahl zweiter oberer Halbleiterchips 322 bereitgestellt werden. Die Mehrzahl zweiter oberer Halbleiterchips 322 kann lateral voneinander beabstandet angeordnet werden. Die zweiten oberen Halbleiterchips 322 können die gleiche Größe und Form aufweisen. Zweite Anschlussverbindungen 620 sind so bereitgestellt, dass sie Chip-Pads 326 an den oberen Oberflächen der zweiten oberen Halbleiterchips 322 und entsprechende obere Pads 224 verbinden. Somit können die zweiten oberen Halbleiterchips 322 über eine leitende Struktur 220 elektrisch mit den ersten oberen Halbleiterchips 510, dem ersten unteren Halbleiterchip 310 oder externen Anschlüssen 170 verbunden werden. Die zweiten Anschlussverbindungen 620 können Bonddrähte sein. Die oberen Pads 224, die mit den zweiten oberen Halbleiterchips 322 verbunden sind, können von den oberen Pads 224, die mit den ersten oberen Halbleiterchips 510 verbunden sind, beabstandet sein.

[0072] In bestimmten Ausführungsformen können die Chip-Pads 326 der zweiten oberen Halbleiterchips 322 an einer unteren Oberfläche der zweiten oberen Halbleiterchips 322 bereitgestellt werden, und die zweiten Anschlussverbindungen 620 können zwischen der unteren Oberfläche des zweiten oberen Halbleiterchips 322 und den oberen Pads 224 angeordnet werden. In diesem Fall können die zweiten Anschlussverbindungen 620 Lotperlen, Kontakthöcker oder -säulen statt Bonddrähte aufweisen.

[0073] Die zweiten oberen Halbleiterchips 322 können von anderer Art sein als die ersten oberen Halbleiterchips 510. Zum Beispiel kann jeder von den zweiten oberen Halbleiterchips 322 einen flüchtigen Speicherchip, wie etwa einen DRAM, einschließen und kann als Pufferspeichervorrichtung 4 dienen, wie sie unter Bezugnahme auf **Fig. 1** beschrieben wurde. Die zweiten oberen Halbleiterchips 322 können andere Größen und Formen aufweisen als die ersten oberen Halbleiterchips 510. Die zweiten oberen Halbleiterchips 322 werden vor den ersten oberen Halbleiterchips 510 bereitgestellt oder angeordnet. Haftmittelschichten 328 können ferner zwischen den zweiten oberen Halbleiterchips 322 und der untersten Formmasseschicht 410 angeordnet werden. Die Haftmittelschichten 328 können ein dielektrisches Polymer einschließen.

[0074] Die obere Formmasseschicht 420 wird auf der unteren Formmasseschicht 410 ausgebildet und deckt die ersten oberen Halbleiterchips 510 und die zweiten oberen Halbleiterchips 322 ab. Die obere Formmasseschicht 420 kann die untere Formmasseschicht 410 direkt berühren. Die obere Formmasse-

schicht 420 kann die ersten und die zweiten Anschlussverbindungen 610 und 620 einkapseln.

[0075] Falls es in bestimmten Ausführungsformen schwierig ist, Halbleiterchips wie etwa die zweiten oberen Halbleiterchips 322 in den Löchern 290 des Verbindungssubstrats 200 bereitzustellen, können die Halbleiterchips wie etwa die zweiten oberen Halbleiterchips 322 an der unteren Formmasseschicht 410 bereitgestellt werden. Infolgedessen wird die Herstellung des Halbleiter-Package PKG3 vereinfacht.

[0076] **Fig. 6C** stellt eine Querschnittsansicht dar, die ein Halbleiter-Package gemäß Ausführungsformen der erfinderischen Ideen zeigt.

[0077] Wie in **Fig. 6C** gezeigt ist, weist ein Halbleiter-Package PKG4 ein Umverteilungssubstrat 100, einen ersten unteren Halbleiterchip 310, ein Verbindungssubstrat 200, eine untere Formmasseschicht 410, erste obere Halbleiterchips 510, Anschlussverbindungen 610A und 610B und eine obere Formmasseschicht 420 auf. Das Halbleiter-Package PKG4 kann anhand im Wesentlichen des gleichen Verfahrens wie es hinsichtlich **Fig. 2A** bis **4E** beschrieben wurde, hergestellt werden. Die ersten oberen Halbleiterchips 510 können gestapelt werden, um einen Chip-Stapel zu bilden. Um der Kürze willen werden Aspekte der Herstellung und der Konfiguration des Halbleiter-Package PKG4, die denen des Halbleiter-Package PKG1 ähnlich sind, weggelassen.

[0078] Der erste obere Halbleiterchip 510 weist Chip-Pads 515 an seiner unteren Oberfläche auf. Durch die ersten oberen Halbleiterchips 510 hindurch verlaufen Durchkontaktierungen 570. Die Durchkontaktierungen 570 sind elektrisch mit internen integrierten Schaltungen und Chip-Pads 515 entsprechender erster oberer Halbleiterchips 510 verbunden.

[0079] Die Anschlussverbindungen 610A und 610B schließen untere Anschlussverbindungen 610A und obere Anschlussverbindungen 610B ein. Die unteren Anschlussverbindungen 610A sind zwischen einem untersten ersten oberen Halbleiterchip 510 und dem Verbindungssubstrat 200 bereitgestellt und sind direkt mit oberen Pads 224 und den Chip-Pads 515 des untersten ersten oberen Halbleiterchips 510 gekoppelt. Die oberen Anschlussverbindungen 610B sind zwischen zwei einander benachbarten ersten oberen Halbleiterchips 510 bereitgestellt und sind elektrisch mit den ersten oberen Halbleiterchips 510 verbunden. Die ersten oberen Halbleiterchips 510 am untersten ersten oberen Halbleiterchip 510 sind über die oberen Anschlussverbindungen 610B, die Durchkontaktierungen 570 und die unteren Anschlussverbindungen 610A elektrisch mit den oberen Pads 224 verbunden. Jeder von den unteren

und oberen Anschlussverbindungen 610A und 610B kann eine Lotperle, einen Kontakthöcker oder eine Kontaktsäule einschließen. Die unteren und oberen Anschlussverbindungen 610A und 610B können ein leitendes Material wie etwa ein Metall aufweisen. Ein oberster von den ersten oberen Halbleiterchips 510 weist keine Durchkontaktierung auf, wie in **Fig. 6C** gezeigt ist, aber die erfinderischen Ideen sind nicht darauf beschränkt, und in anderen Ausführungsformen kann der oberste von den ersten oberen Halbleiterchips 510 eine Durchkontaktierung aufweisen.

[0080] In Figuren außer **Fig. 6C** können die ersten Anschlussverbindungen 610 in die unteren und oberen Anschlussverbindungen 610A und 610B geändert werden, wie in **Fig. 6C** gezeigt ist. In solchen Fällen können die ersten oberen Halbleiterchips 510 die Durchkontaktierungen 570 aufweisen.

[0081] **Fig. 6D** stellt eine vereinfachte elektrische Verbindung eines Halbleiter-Package gemäß Ausführungsformen der erfinderischen Ideen dar. **Fig. 6E** stellt eine Querschnittsansicht dar, die ein Halbleiter-Package gemäß Ausführungsformen der erfinderischen Ideen zeigt.

[0082] Wie in **Fig. 6D** gezeigt ist, schließt ein Halbleiter-Package (z.B. PKG5 von **Fig. 6E**) ein erstes Package 1001 und ein zweites Package 1002 ein. Das erste Package 1001 kann im Wesentlichen das gleiche sein wie das oben hinsichtlich **Fig. 1** beschriebene Solid-State-Drive-Package 1000. Das erste Package 1001 kann Daten als Reaktion auf Lese-/Schreibanforderungen von einem ersten Host (Host 1) 2001 speichern oder lesen. Der erste Host 2001 kann eine externe elektronische Vorrichtung sein. Das erste Package 1001 weist eine erste Steuerung (Steuerung 1) 1', eine erste Eingabe/Ausgabe-Schnittstelle (I/O-Schnittstelle 1) 2', eine erste Speichervorrichtung (Speicher 1) 3' und eine Pufferspeichervorrichtung (nicht gezeigt) auf. Die erste Steuerung 1', die erste Eingabe/Ausgabe-Schnittstelle 2', die erste Speichervorrichtung 3' und die erste Pufferspeichervorrichtung können jeweils der Steuerung 1, der Eingabe/Ausgabe-Schnittstelle 2, der Speichervorrichtung 3 und der Pufferspeichervorrichtung 4, die hinsichtlich **Fig. 1** beschrieben wurden, gleich sein. Das erste Package 1001 kann erste obere Halbleiterchips 510A und einen in **Fig. 6E** oder **6F** gezeigten dritten oberen Halbleiterchip 530, der weiter unten beschrieben wird, aufweisen.

[0083] Das zweite Package 1002 kann ein Datenbankspeicher-Package sein. Das zweite Package 1002 kann Daten als Reaktion auf Lese-/Schreibanforderungen von einem zweiten Host (Host 2) 2002 speichern oder lesen. Der zweite Host 2002 kann eine externe elektronische Vorrichtung sein. Der zweite Host 2002 kann vom ersten Host 2001 ver-

schieden sein. Zum Beispiel kann das zweite Package 1002 so konfiguriert sein, dass es separat vom ersten Package 1001 funktioniert. Das zweite Package 1002 weist eine zweite Eingabe/Ausgabe-Schnittstelle (I/O-Schnittstelle 2) 2A, eine zweite Steuerung (Steuerung 2) 1A und eine zweite Speichervorrichtung (Speicher 2) 3A auf. Die zweite Steuerung 1A kann über die zweite Eingabe/Ausgabe-Schnittstelle 2A Signale mit dem Host 2002 austauschen. Die Signale zwischen der zweiten Steuerung 1A und dem zweiten Host 2002 können Befehle, Adressen, Daten und so weiter beinhalten. Als Reaktion auf den Befehl vom zweiten Host 2002 kann die zweite Steuerung 1A Daten in die zweite Speichervorrichtung 3A schreiben oder daraus auslesen, was im Folgenden beschrieben wird.

[0084] Die zweite Eingabe/Ausgabe-Schnittstelle 2A stellt eine physische Verbindung zwischen dem zweiten Host 2002 und dem zweiten Package 1002 bereit. Zum Beispiel kann sich die zweite Eingabe/Ausgabe-Schnittstelle 2A als Reaktion auf ein Busformat des zweiten Host 2002 mit dem zweiten Package 1002 verbinden. Das Busformat des zweiten Host 2002 kann beispielsweise USB, PCI Express, SATA, PATA oder dergleichen einschließen.

[0085] Die zweite Speichervorrichtung 3A kann eine nicht-flüchtige Speichervorrichtung sein. Die zweite Speichervorrichtung 3A kann ein NAND-Flash-Speicher mit großer Kapazität und der Fähigkeit zur schnellen Speicherung sein. In bestimmten Ausführungsformen kann die zweite Speichervorrichtung 3A beispielsweise Phase Change Random Access Memory (PRAM), Magnetic Random Access Memory (MRAM), Resistive Random Access Memory (ReRAM), Ferromagnetic Random Access Memory (FRAM), NOR-Flash-Memory oder dergleichen sein. Das zweite Package 1002 kann einen ersten unteren Halbleiterchip 310A und einen in **Fig. 6E** oder **6F** gezeigten dritten unteren Halbleiterchip 330, der weiter unten beschrieben wird, aufweisen.

[0086] Wie in **Fig. 6E** gezeigt ist, weist ein Halbleiter-Package PKG5 ein Umverteilungssubstrat 100, untere Halbleiterchips 310A und 330, ein Verbindungssubstrat 200, eine untere Formmasseschicht 410, obere Halbleiterchips 510A und 530, erste und dritte Anschlussverbindungen 610 und 630 und eine obere Formmasseschicht 420 auf.

[0087] Die oberen Halbleiterchips 510A und 530 können einen ersten oberen Halbleiterchip 510A und einen dritten oberen Halbleiterchip 530 einschließen. Die oberen Halbleiterchips 510A und 530 können Vorrichtungen des ersten Package 1001 sein, das in **Fig. 6D** gezeigt ist. Zum Beispiel kann jeder von den ersten oberen Halbleiterchips 510A als die erste Speichervorrichtung 3' von **Fig. 6D** dienen und einen nicht-flüchtigen Speicherchip, wie

etwa einen NAND-Flash-Speicherchip, einschließen. Der dritte obere Halbleiterchip 530 kann als die erste Steuerung 1' von **Fig. 6D** dienen und einen Logik-Chip einschließen.

[0088] Die Anordnung, die Art der Bereitstellung und die elektrische Verbindung der ersten oberen Halbleiterchips 510A können im Wesentlichen die gleichen sein wie diejenigen der ersten oberen Halbleiterchips 510, die mit Bezug auf **Fig. 4B** beschrieben wurden. Die ersten oberen Halbleitervorrichtung 510A können über die ersten Anschlussverbindungen 610 und das Verbindungssubstrat 200 elektrisch mit dem Umverteilungssubstrat 100 verbunden werden.

[0089] Der dritte obere Halbleiterchip 530 kann lateral beabstandet von den ersten oberen Halbleiterchips 510A angeordnet sein. Der dritte obere Halbleiterchip 530 kann von anderer Art sein als die ersten oberen Halbleiterchips 510A. Die dritten Anschlussverbindungen 630 sind zwischen dem dritten oberen Halbleiterchip 530 und dem Verbindungssubstrat 200 bereitgestellt. Die dritten Anschlussverbindungen 630 können Lotperlen, Kontaktsäulen und/oder -höcker einschließen. Die dritten Anschlussverbindungen 630 können Chip-Pads 535 des dritten oberen Halbleiterchips 530 und obere Pads 224 direkt berühren. Die oberen Pads 224, die mit den dritten Anschlussverbindungen 630 verbunden sind, sind von den oberen Pads 224, die mit den ersten Anschlussverbindungen 610 verbunden sind, beabstandet und elektrisch getrennt. Der dritte obere Halbleiterchip 530 kann über das Verbindungssubstrat 200 und das Umverteilungssubstrat 100 elektrisch mit dem ersten oberen Halbleiterchip 510A und externen Anschlüssen 170 verbunden werden. Der dritte obere Halbleiterchip 530 kann auch über das Umverteilungssubstrat 100 mit einem der unteren Halbleiterchips 310A und 330 verbunden werden.

[0090] Die unteren Halbleiterchips 310A und 330 können einen ersten unteren Halbleiterchip 310A und einen dritten unteren Halbleiterchip 330 einschließen. Der erste untere Halbleiterchip 310A kann im Wesentlichen anhand des gleichen Verfahrens montiert werden wie es verwendet wird, um die ersten unteren Halbleiterchips 310 zu montieren, was mit Bezug auf **Fig. 2B** und **2C** beschrieben wurde.

[0091] Der dritte untere Halbleiterchip 330 ist in einem Loch 290 des Verbindungssubstrats 200 bereitgestellt. Der dritte untere Halbleiterchip 330 kann lateral beabstandet vom ersten unteren Halbleiterchips 310A angeordnet sein. Das Montieren des dritten unteren Halbleiterchips 330 kann im Wesentlichen gleich sein wie beim zweiten unteren Halbleiterchip 320, was mit Bezug auf **Fig. 2B** und **2C**

beschrieben wurde. Zum Beispiel können die dritten unteren Halbleiterchips 330 auf dem provisorischen Substrat 900 bereitgestellt werden, wie etwa in **Fig. 2B** und **2C** dargestellt, und Chip-Pads 335 der dritten unteren Halbleiterchips 330 können dem provisorischen Substrat 900 zugewandt sein. Danach kann das provisorische Substrat 900 entfernt werden, um eine untere Oberfläche des dritten unteren Halbleiterchips 330 freizulegen. Das Umverteilungssubstrat 100 kann an der freiliegenden unteren Oberfläche des dritten unteren Halbleiterchips 330 ausgebildet werden. Jedoch können die Funktion und die Aufgabe des dritten unteren Halbleiterchips 330 von denen des zweiten unteren Halbleiterchips 320, die mit Bezug auf **Fig. 2B** und **2C** beschrieben wurden, verschieden sein.

[0092] Der erste untere Halbleiterchip 310A und der dritte untere Halbleiterchip 330 können so konfiguriert sein, dass sie Schaltungen aufweisen, die separat von den oberen Halbleiterchips 510A und 530 arbeiten. In bestimmten Ausführungsformen können der erste untere Halbleiterchip 310A und der dritte untere Halbleiterchip 330 Vorrichtungen des in **Fig. 6D** gezeigten zweiten Package 1002 sein. Zum Beispiel kann der erste untere Halbleiterchip 310A als zweite Steuerung 1A des zweiten Package 1002 dienen, das in **Fig. 6D** gezeigt ist, und einen Logik-Chip einschließen. Der dritte untere Halbleiterchip 330 kann als zweite Speichervorrichtungen 3A des zweiten Package 1002 dienen, das in **Fig. 6D** gezeigt ist, und kann einen nicht-flüchtiger Speicherchip, wie etwa einen NAND-Flash-Speicherchip, einschließen.

[0093] Wie in **Fig. 6D** und **6E** zusammen gezeigt ist, dient das zweite Package 1002 von **Fig. 6D** als Datenbankspeicher-Package, und daher kann es notwendig sein, dass das zweite Package 1002 bei hohen Geschwindigkeiten arbeitet. In bestimmten Ausführungsformen kann der erste untere Halbleiterchip 310A über das Umverteilungssubstrat 100 mit dem dritten unteren Halbleiterchip 330 gekoppelt sein. Daher kann ein reduzierter elektrischer Weg zwischen dem ersten unteren Halbleiterchip 310A und dem dritten unteren Halbleiterchip 330 bereitgestellt sein. Zum Beispiel kann ein reduzierter elektrischer Weg zwischen der zweiten Steuerung 1A und der zweiten Speichervorrichtung 3A eingerichtet werden. Infolgedessen weist das zweite Package 1002 eine erhöhte Betriebsgeschwindigkeit auf.

[0094] Da das zweite Package 1002 ein Datenbankspeicher-Package einschließt, kann die zweite Speichervorrichtung 3A eine große Bandbreite aufweisen. Je größer die Bandbreite einer Speichervorrichtung ist, desto größer ist die Zahl von Eingabe/Ausgabe-Anschlüssen in einem zugehörigen Halbleiterchip. Die Zahl der Eingabe/Ausgabe-Anschlüsse in der zweiten Speichervorrichtung 3A kann größer sein als die der Eingabe/Ausgabe-

Anschlüsse in der ersten Speichervorrichtung 3'. Die Eingabe/Ausgabe-Anschlüsse können Chip-Pads entsprechen. Die Zahl der Chip-Pads 335 im dritten unteren Halbleiterchip 330 kann größer sein als die der Chip-Pads 515 in den ersten oberen Halbleiterchips 510A.

[0095] Das Umverteilungssubstrat 100 weist Umverteilungsstrukturen 131 und 132 auf, die mit einem geringen Abstand ausgebildet sind. Auch wenn der dritte untere Halbleiterchip 330 eine große Zahl der Chip-Pads 335 aufweist, kann der dritte untere Halbleiterchip 330 mit dem ersten unteren Halbleiterchip 310A zufriedenstellend elektrisch verbunden werden, ohne die Dicke des Substrats 100 übermäßig zu vergrößern.

[0096] Fig. 6F stellt eine Querschnittsansicht dar, die ein Halbleiter-Package gemäß Ausführungsformen der erfinderischen Ideen zeigt.

[0097] Wie in Fig. 6F gezeigt ist, weist ein Halbleiter-Package PKG5 ein Umverteilungssubstrat 100, untere Halbleiterchips 310A und 330, ein Verbindungssubstrat 200, eine untere Formmasseschicht 410, obere Halbleiterchips 510A und 530, Anschlussverbindungen 610 und 630 und eine obere Formmasseschicht 420 auf. Die unteren Halbleiterchips 310A und 330 und die oberen Halbleiterchips 510A und 530 können denen, die mit Bezug auf Fig. 6D und 6E beschrieben wurden, im Wesentlichen gleich sein. Zum Beispiel kann der dritte untere Halbleiterchip 330 als die zweite Speichervorrichtung 3A des zweiten Package 1002 dienen, das in Fig. 6D gezeigt ist. Im Gegensatz zu der Ausführungsform, die mit Bezug auf Fig. 6E beschrieben wurde, weist Fig. 6F eine Mehrzahl dritter unterer Halbleiterchips 330 auf.

[0098] Die dritten unteren Halbleiterchips 330 können gestapelt werden, um einen Chip-Stapel zu bilden. Ein dritter unterster Halbleiterchip 330 weist Chip-Pads 335 auf, die direkt mit einer ersten Umverteilungsstruktur 131 gekoppelt sind. Die dritten unteren Halbleiterchips 330 können Durchkontaktierungen 370 aufweisen. Die Durchkontaktierungen 370 können elektrisch mit internen integrierten Schaltungen und Chip-Pads 335 der entsprechenden dritten unteren Halbleiterchips 330 verbunden sein. Ein oberster dritter unterer Halbleiterchip 330 muss keine Durchkontaktierungen aufweisen. Leitende Anschlüsse 375 sind zwischen den dritten unteren Halbleiterchips 330 angeordnet und elektrisch mit diesen verbunden. Die leitenden Anschlüsse 375 können Lotperlen, Kontakthöcker und/oder -säulen einschließen.

[0099] Fig. 6G stellt eine Querschnittsansicht dar, die ein Halbleiter-Package gemäß Ausführungsformen der erfinderischen Ideen zeigt.

[0100] Wie in Fig. 6G gezeigt ist, weist ein Halbleiter-Package PKG6 ein Umverteilungssubstrat 100, untere Halbleiterchips 310 und 320, ein Verbindungssubstrat 200, eine untere und eine obere Formmasseschicht 410 und 420, obere Halbleiterchips 510, erste Anschlussverbindungen 610 und eine obere Umverteilungsschicht 700 auf.

[0101] Die obere Umverteilungsschicht 700 ist an einer oberen Oberfläche der unteren Formmasseschicht 410 bereitgestellt. Die obere Umverteilungsschicht 700 weist eine erste und eine zweite dielektrische Schicht 711 und 712 und erste und zweite obere Umverteilungsstrukturen 731 und 732 auf.

[0102] Nachdem die Öffnungen 409 ausgebildet wurden wie mit Bezug auf Fig. 2E beschrieben, werden leitende Elemente 705 in den Öffnungen 409 ausgebildet. Die erste obere dielektrische Schicht 711 wird an der oberen Oberfläche der unteren Formmasseschicht 410 ausgebildet. Danach werden die ersten oberen Umverteilungsstrukturen 731, die zweite obere dielektrische Schicht 712, die zweiten oberen Umverteilungsstrukturen 732 und obere leitende Pads 735 nacheinander auf der ersten oberen dielektrischen Schicht 711 ausgebildet. Die erste und die zweite obere dielektrische Schicht 711 und 712 können anhand eines Verfahrens ausgebildet werden, das dem gleich oder ähnlich ist, das für die Ausbildung der ersten, der zweiten und der dritten dielektrischen Schicht 111, 112 und 113 weiter oben beschrieben wurde. Zum Beispiel kann jede von den oberen dielektrischen Schichten 711 und 712 dadurch ausgebildet werden, dass ein Beschichtungsprozess durchgeführt wird, in dem ein photostrukturierbares dielektrisches Polymer als Überzug aufgebracht wird und dann auf dem als Überzug aufgetragenen photostrukturierbaren dielektrischen Polymer ein Strukturierungsprozess durchgeführt wird, der Belichtungs- und Entwicklungsprozesse einschließt.

[0103] Die ersten oberen Umverteilungsstrukturen 731 können an einer unteren Oberfläche der ersten dielektrischen Schicht 711 ausgebildet werden. Die ersten oberen Umverteilungsstrukturen 731 können sich in die erste obere dielektrische Schicht 711 hinein erstrecken und eine Verbindung mit den leitenden Elementen 705 aufweisen. Die zweiten oberen Umverteilungsstrukturen 732 sind in der zweiten oberen dielektrischen Schicht 712 bereitgestellt. Anders als in Fig. 6G gezeigt, können sich die zweiten oberen Umverteilungsstrukturen 732 in manchen Ausführungsformen weiter bis auf eine obere Oberfläche der zweiten oberen dielektrischen Schicht 712 erstrecken. Die oberen leitenden Pads 735 können auf der zweiten oberen dielektrischen Schicht 712 ausgebildet und mit den zweiten oberen Umverteilungsstrukturen 732 gekoppelt werden. Die ersten und zweiten oberen Umverteilungsstrukturen 731

und 732 können anhand eines Verfahrens ausgebildet werden, das dem ähnlich ist, das für die Ausbildung der ersten und zweiten Umverteilungsstrukturen 131 und 132 verwendet wird, das weiter oben beschrieben wurde.

[0104] Die Anzahl der oberen leitenden Pads 735 kann von der der oberen Pads 224 verschieden sein. Die oberen leitenden Pads 735 können anders angeordnet werden als die oberen Pads 224. Zum Beispiel kann es sein, dass eines von den oberen leitenden Pads 735 in einer dritten Richtung D3 nicht am oberen Pad 224 ausgerichtet ist, das elektrisch mit dem einen von den oberen leitenden Pads 735 verbunden ist. Die ersten Anschlussverbindungen 610 und ein leitender Verbinder 670 können korrespondierend mit den oberen leitenden Pads 735 gekoppelt werden. In bestimmten Ausführungsformen wird die obere Umverteilungsschicht 700 bereitgestellt, und daher kann ein Freiheitsgrad bei der Anordnung der ersten Anschlussverbindungen 610 und der leitenden Verbinder 670 erhöht werden. Demgemäß kann ein erhöhter Freiheitsgrad bei der Platzierung einer passiven Vorrichtung 600 und der ersten oberen Halbleiterchips 510 verwirklicht werden. Sowohl die Anzahl der oberen dielektrischen Schichten 711 und 712 als auch die Anzahl der Umverteilungsstrukturen 731 und 732 können auf verschiedene Weise geändert werden.

[0105] Fig. 6H stellt eine Querschnittsansicht dar, die ein Halbleiter-Package gemäß Ausführungsformen der erfinderischen Ideen zeigt.

[0106] Wie in Fig. 6H gezeigt ist, weist ein Halbleiter-Package PKG7 ein Umverteilungssubstrat 100, erste und zweite untere Halbleiterchips 310 und 320, ein Verbindungssubstrat 200, eine untere Formmasseschicht 410, erste obere Halbleiterchips 510, erste Anschlussverbindungen 610 und eine obere Formmasseschicht 420 auf.

[0107] Die untere Formmasseschicht 410 schließt eine erste untere Formmasseschicht 410A und eine zweite untere Formmasseschicht 411 ein. Die erste untere Formmasseschicht 410A kann der unteren Formmasseschicht 410 von Fig. 2A bis 4E im Wesentlichen gleich sein.

[0108] Die zweite untere Formmasseschicht 411 kann auf der ersten unteren Formmasseschicht 410A ausgebildet sein und mit dieser in direktem physischem Kontakt stehen. Die zweite untere Formmasseschicht 411 kann ein Lötstopmaterial aufweisen. Öffnungen 409 können in die erste untere Formmasseschicht 410A und die zweite untere Formmasseschicht 411 hinein verlaufen. Die Öffnungen 409 können anhand eines Bohrprozesses, der mit Bezug auf Fig. 2E und 5A beschrieben wurde, oder anhand eines mit Bezug auf Fig. 2E, 5B und

5C beschriebenen Photolithographieprozesses ausgebildet werden.

[0109] Die obere Formmasseschicht 420 kann in physischem Kontakt mit der zweiten unteren Formmasseschicht 411 stehen. Demgemäß ist keine Lücke zwischen der ersten unteren Formmasseschicht 410A und der zweiten unteren Formmasseschicht 411 und zwischen der oberen Formmasseschicht 420 und der zweiten unteren Formmasseschicht 411 bereitgestellt. Auch wenn die zweite untere Formmasseschicht 411 in den Figuren außer Fig. 6H nicht dargestellt ist, kann eine zweite untere Formmasseschicht wie etwa eine zweite Formmasseschicht 411 in den Ausführungsformen enthalten sein, die mit Bezug auf Figuren außer Fig. 6H beschrieben werden.

[0110] Fig. 6I stellt eine Querschnittsansicht dar, die ein Halbleiter-Package gemäß Ausführungsformen der erfinderischen Ideen zeigt.

[0111] Wie in Fig. 6I gezeigt ist, weist ein Halbleiter-Package PKG8 ein Umverteilungssubstrat 100, untere Halbleiterchips 310 und 320, ein Verbindungssubstrat 200, eine untere Formmasseschicht 410, erste obere Halbleiterchips 510, erste Anschlussverbindungen 610, eine obere Formmasseschicht 420 und eine Schutzschicht 800 auf. Eine von den Umverteilungsstrukturen 131 und 132, beispielsweise eine erste Umverteilungsstruktur 131, liegt auf einer seitlichen Oberfläche des Umverteilungssubstrats 100 frei. Die freiliegende erste Umverteilungsstruktur 131 kann dafür ausgelegt sein, eine Massespannung über externe Anschlüsse 170 zu empfangen.

[0112] Die Schutzschicht 800 kann die seitliche Oberfläche des Umverteilungssubstrats 100, eine äußere seitliche Oberfläche des Verbindungssubstrats 200, eine äußere seitliche Oberfläche der unteren Formmasseschicht 410 und eine obere und eine äußere seitliche Oberfläche der oberen Formmasseschicht 420 abdecken. Die Schutzschicht 800 kann ein leitendes Material, wie etwa Metall, einschließen. Die Schutzschicht 800 steht in Kontakt mit der ersten Umverteilungsstruktur 131, die an der seitlichen Oberfläche des Umverteilungssubstrats 100 freiliegt. Somit kann die Schutzschicht 800 elektrisch geerdet sein. Die Schutzschicht 800 kann das Halbleiter-Package PKG8 gegen elektromagnetische Störaustrahlung (EMI) abschirmen. Kommunikationsoperationen elektrischer Vorrichtungen können aufgrund von Störungen, die durch elektromagnetische Wellen bewirkt werden, welche von anderen elektrischen Vorrichtungen emittiert oder übertragen werden, verschlechtert werden. In Ausführungsformen der erfinderischen Ideen weist das Halbleiter-Package PKG8 die Schutzschicht 800 auf, und daher kann verhindert werden, dass die unteren Halbleiterchips 310 und

320 und die ersten oberen Halbleiterchips 510 Operationen anderer elektronischer Vorrichtungen unterbrechen oder durch Operationen anderer elektronischer Vorrichtungen unterbrochen werden.

[0113] Es kann erforderlich sein, dass die Schutzschicht 800 elektrisch von den ersten Anschlussverbindungen 610 oder vom leitenden Verbinder 670 isoliert wird. Falls die obere Formmasseschicht 420 von der unteren Formmasseschicht 410 beabstandet ist, können die ersten Anschlussverbindungen 610 oder der leitende Verbinder 670 jedoch nach außen hin freiliegen. In diesem Fall kann die Ausbildung der Schutzschicht 800 kompliziert sein. In Ausführungsformen der erfinderischen Ideen steht die obere Formmasseschicht 420 in direktem physischem Kontakt mit einer oberen Oberfläche der unteren Formmasseschicht 410, und die äußere seitliche Oberfläche der oberen Formmasseschicht 420 ist an der äußeren seitlichen Oberfläche der unteren Formmasseschicht 410 und der seitlichen Oberfläche des Verbindungssubstrats 200 ausgerichtet. Somit werden weder die ersten Anschlussverbindungen 610 noch der leitende Verbinder 670 durch die obere Formmasseschicht 420 und die untere Formmasseschicht 410 freigelassen. Daher kann die Ausbildung der Schutzschicht 800 vereinfacht sein. Zum Beispiel können die Schutzschicht 800 auf der oberen Formmasseschicht 420 und die Schutzschicht 800 auf der seitlichen Oberfläche des Verbindungssubstrats 200 anhand eines einzigen Prozesses ausgebildet und ohne ein Hindernis dazwischen miteinander verbunden werden.

[0114] Anders als in **Fig. 6I** gezeigt, kann in anderen Ausführungsformen der erfinderischen Ideen eine Umverteilungsstruktur wie etwa eine zweite Umverteilungsstruktur 132 auf der seitlichen Oberfläche des Umverteilungssubstrats 100 freiliegen. In diesem Fall kann die Schutzschicht 800 mit der zweiten Umverteilungsstruktur 132 in Kontakt stehen und eine Massespannung empfangen.

[0115] In bestimmten Ausführungsformen kann die Schutzschicht 800, die mit Bezug auf **Fig. 6I** beschrieben wurde, ferner im Halbleiter-Package PKG2 von **Fig. 6A**, im Halbleiter-Package PKG3 von **Fig. 6B**, im Halbleiter-Package PKG4 von **Fig. 6C**, im Halbleiter-Package PKG5 von **Fig. 6D** und **6E**, im Halbleiter-Package PKG5' von **Fig. 6F**, im Halbleiter-Package PKG6 von **Fig. 6G**, im Halbleiter-Package PKG7 von **Fig. 6H** und in einem Halbleiter-Package PKG9, das nachstehend unter Bezugnahme auf **Fig. 7D** beschrieben wird, enthalten sein.

[0116] **Fig. 7A** bis **7D** stellen Querschnittsansichten entlang einer Linie I-II von **Fig. 2A** dar und zeigen ein Verfahren zum Herstellen eines Halbleiter-Package

gemäß Ausführungsformen der erfinderischen Ideen.

[0117] Wie in **Fig. 2A** und **7A** gezeigt ist, wird ein Beschichtungsprozess durchgeführt, um eine erste dielektrische Schicht 111 auf einem provisorischen Substrat 900 auszubilden. Belichtungs- und Entwicklungsprozesse können durchgeführt werden, so dass die erste dielektrische Schicht 111 strukturiert wird, um erste Durchkontaktierungslöcher 119 darin auszubilden. Das gleiche Verfahren, das unter Bezugnahme auf **Fig. 3A** beschrieben wurde, kann verwendet werden, um die erste dielektrische Schicht 111 zu beschichten und zu strukturieren. Im Gegensatz zu **Fig. 3A** können die ersten Durchkontaktierungslöcher 119 das provisorische Substrat 900 freilegen.

[0118] Wie in **Fig. 2A** und **7B** gezeigt ist, werden eine erste Umverteilungsstruktur 131, eine zweite dielektrische Schicht 112, eine zweite Umverteilungsstruktur 132, eine dritte dielektrische Schicht 113 und ein leitendes Pad 135 nacheinander auf der ersten dielektrischen Schicht 111 ausgebildet, mit dem Ergebnis, dass ein Umverteilungssubstrat 100 hergestellt werden kann. Die erste Umverteilungsstruktur 131, die zweite dielektrische Schicht 112, die zweite Umverteilungsstruktur 132, die dritte dielektrische Schicht 113 und das leitende Pad 135 können anhand des gleichen Verfahrens ausgebildet werden, wie es mit Bezug auf **Fig. 3B** und **3C** beschrieben wurde. Zum Beispiel kann die erste Umverteilungsstruktur 131 auf der ersten dielektrischen Schicht 111 angeordnet und in den ersten Durchkontaktierungslöchern 119 bereitgestellt werden.

[0119] Wie in **Fig. 2A** und **7C** gezeigt ist, werden erste und zweite untere Halbleiterchips 310 und 320 auf dem Umverteilungssubstrat 100 bereitgestellt, beispielsweise auf der dritten dielektrischen Schicht 113. Die ersten unteren Halbleiterchips 310 werden auf dem Verbinder 371 und 372 verkapseln. Im Unterschied zu dem, was in **Fig. 7C** gezeigt ist, kann in anderen Ausführungsformen ferner eine Unterfüllungsschicht zwischen dem Umverteilungssubstrat 100 und jedem von den ersten und zweiten unteren Halbleiterchips 310 und 320 ausgebildet werden.

[0120] Die untere Formmasseschicht 410 wird strukturiert, um Öffnungen 409 darin auszubilden. Die Öffnungen 409 können anhand des Verfahrens ausgebildet werden, das in Bezug auf **Fig. 5A** beschrieben wurde oder das in Bezug auf **Fig. 5B** und **5C** beschrieben wurde. Das provisorische Substrat 900 kann entfernt werden, um eine untere Oberfläche des Umverteilungssubstrats 100 freizulegen, beispielsweise, um die erste dielektrische Schicht 111 und einen Abschnitt der ersten Umverteilungsstruktur 131 freizulegen. Durch die oben genannten

Prozesse kann ein Panel-Package P1 hergestellt werden.

[0121] Wie mit Bezug auf **Fig. 2E** und **2F** beschrieben wurde, können das Umverteilungssubstrat 100, das Verbindungssubstrat 200 und die untere Formmasseschicht 410 anschließend entlang erster Sägelinien SL1 zersägt werden, um Package-Streifen P2 voneinander zu trennen.

[0122] Wie in **Fig. 4A** bis **4E** und **7D** gezeigt ist, werden die ersten oberen Halbleiterchips 510 auf einer oberen Oberfläche der unteren Formmasseschicht 410 bereitgestellt. Erste Anschlussverbindungen 610 werden so ausgebildet, dass sie entsprechende Chip-Pads 515 der ersten oberen Halbleiterchips 510 und entsprechende obere Pads 224 direkt berühren. Eine obere Formmasseschicht 420 wird auf der oberen Oberfläche der unteren Formmasseschicht 410 ausgebildet und verkapselt die ersten oberen Halbleiterchips 510 und die ersten Anschlussverbindungen 610. Externe Anschlüsse 170 können an entsprechenden freiliegenden unteren Oberflächen der ersten Umverteilungsstrukturen 131 ausgebildet werden. Metall-Pads können ferner zwischen den externen Anschlüssen 170 und den ersten Umverteilungsstrukturen 131 angeordnet werden.

[0123] Die ersten oberen Halbleiterchips 510, die ersten Anschlussverbindungen 610, die obere Formmasseschicht 420 und die externen Anschlüsse 170 können auf einer Streifenebene ausgebildet werden, wie mit Bezug auf **Fig. 4A** bis **4C** beschrieben wurde. Wie mit Bezug auf **Fig. 4D** und **4E** beschrieben wurde, können danach das Umverteilungssubstrat 100, das Verbindungssubstrat 200, die untere Formmasseschicht 410 und die obere Formmasseschicht 420 entlang zweiter Sägelinien SL2 zersägt werden. Daher kann ein Halbleiter-Package PKG9 hergestellt werden wie in **Fig. 7D** gezeigt. Ein Chip-Endergebnis-Prozess kann genutzt werden, um das Halbleiter-Package PKG9 auszubilden.

[0124] Das mit Bezug auf **Fig. 7A** bis **7D** beschriebene Verfahren kann verwendet werden, um das Halbleiter-Package PKG2 von **Fig. 6A**, das Halbleiter-Package PKG3 von **Fig. 6B**, das Halbleiter-Package PKG4 von **Fig. 6C**, das Halbleiter-Package PKG5 von **Fig. 6D** und **6E**, das Halbleiter-Package PKG5' von **Fig. 6F**, das Halbleiter-Package PKG6 von **Fig. 6G**, das Halbleiter-Package PKG7 von **Fig. 6H** und das Halbleiter-Package PKG8 von **Fig. 6I** auszubilden. In solchen Fällen können die dritten Verbinder 270 zwischen dem Verbindungssubstrat 200 und dem Umverteilungssubstrat 100 ausgebildet werden. Die ersten Verbinder 371 können zwischen dem ersten unteren Halbleiterchip 310 und dem Umverteilungssubstrat 100 ausgebildet werden. Die zweiten Verbinder 372 können zwischen

dem zweiten unteren Halbleiterchip 320 und dem Umverteilungssubstrat 100 oder zwischen den dritten unteren Halbleiterchips 330 und dem Umverteilungssubstrat 100 ausgebildet werden.

[0125] Gemäß den erfinderischen Ideen steht eine obere Formmasseschicht in direktem physischen Kontakt mit einer unteren Formmasseschicht. Erste Anschlussverbindungen stehen in direktem Kontakt mit ersten oberen Halbleiterchips und einem Verbindungssubstrat. Demgemäß kann ein Halbleiter-Package von kompakter Größe verwirklicht werden.

[0126] Die Bereitstellung der ersten oberen Halbleiterchips, die Ausbildung der ersten Anschlussverbindungen und die Ausbildung der oberen Formmasseschicht können auf einer Streifenebene durchgeführt werden, und dann können Halbleiter-Packages durch einen Sägeprozess getrennt werden. Infolgedessen kann die Herstellung von Halbleiter-Package vereinfacht werden.

[0127] Die ausführliche Beschreibung der vorliegenden erfinderischen Ideen kann in verschiedenen anderen Kombinationen, Modifikationen und Umgebungen verwendet werden, ohne vom Gegenstand der vorliegenden erfinderischen Ideen abzuweichen.

Patentansprüche

1. Verfahren zum Herstellen eines Halbleiter-Package, wobei das Verfahren umfasst:
Herstellen eines Panel-Packages, wobei das Panel-Package ein Umverteilungssubstrat, ein Verbindungssubstrat auf dem Umverteilungssubstrat und eine Mehrzahl unterer Halbleiterchips auf dem Umverteilungssubstrat aufweist;
Zersägen des Panel-Packages, um eine Mehrzahl von Package-Streifen zu bilden, die voneinander getrennt sind, wobei jeder von den Package-Streifen einen abgesägten Abschnitt des Umverteilungssubstrats, mindestens zwei von den unteren Halbleiterchips und einen abgesägten Abschnitt des Verbindungssubstrats aufweist; und
Bereitstellen einer Mehrzahl oberer Halbleiterchips auf einem von den Package-Streifen und elektrisches Verbinden der oberen Halbleiterchips mit dem abgesägten Abschnitt des Verbindungssubstrats des einen von den Package-Streifen.

2. Verfahren nach Anspruch 1, wobei das elektrische Verbinden der oberen Halbleiterchips mit dem abgesägten Abschnitt des Verbindungssubstrats das Ausbilden einer Mehrzahl erster Anschlussverbindungen umfasst, die direkt mit Chip-Pads der oberen Halbleiterchips und mit oberen Pads des Verbindungssubstrats des einen von den Package-Streifen gekoppelt sind.

3. Verfahren nach Anspruch 1, wobei das Herstellen des Panel-Packages umfasst:
 Bereitstellen des Verbindungssubstrats auf einem provisorischen Substrat, wobei das Verbindungssubstrat eine Mehrzahl von Löchern aufweist;
 Bereitstellen der unteren Halbleiterchips auf dem provisorischen Substrat, wobei die unteren Halbleiterchips in den Löchern des Verbindungssubstrats angeordnet werden;
 Ausbilden einer unteren Formmasseschicht auf dem provisorischen Substrat, um die unteren Halbleiterchips und das Verbindungssubstrat abzudecken; und
 Entfernen des provisorischen Substrats, um untere Oberflächen der unteren Halbleiterchips und eine untere Oberfläche des Verbindungssubstrats freizulegen.

4. Verfahren nach Anspruch 3, wobei das Herstellen des Panel-Packages ferner das Ausbilden des Umverteilungssubstrats auf den unteren Oberflächen der unteren Halbleiterchips und der unteren Oberfläche des Verbindungssubstrats, die durch das Entfernen des provisorischen Substrats freigelegt wurden, umfasst.

5. Verfahren nach Anspruch 3, ferner das Ausbilden einer oberen Formmasseschicht auf dem einen von den Package-Streifen umfassend, um die oberen Halbleiterchips abzudecken, wobei die obere Formmasseschicht die untere Formmasseschicht direkt berührt.

6. Verfahren nach Anspruch 5, ferner das Zersägen des einen von den Package-Streifen und der oberen Formmasseschicht umfassend, um eine Mehrzahl voneinander getrennter Packages auszubilden, nachdem die obere Formmasseschicht ausgebildet wurde.

7. Verfahren nach Anspruch 1, wobei das Verbindungssubstrat aufweist:
 eine Mehrzahl von Basisschichten;
 eine Verbindungsleitungsstruktur zwischen den Basisschichten;
 eine Mehrzahl von Durchkontaktierungen, die in die Basisschichten hinein verlaufen und mit dem Verbindungsleitungsstruktur gekoppelt sind;
 ein oberes Pad, das an einer oberen Oberfläche des Verbindungssubstrats freiliegt und mit mindestens einer von den Durchkontaktierungen gekoppelt ist; und
 ein unteres Pad, das an einer unteren Oberfläche des Verbindungssubstrats freiliegt und mit einer anderen von den Durchkontaktierungen gekoppelt ist.

8. Verfahren nach Anspruch 7, wobei das obere Pad vertikal nicht am unteren Pad ausgerichtet ist.

9. Verfahren nach Anspruch 1, wobei das Herstellen des Panel-Packages umfasst:
 Ausbilden einer Mehrzahl erster Anschlüsse zwischen dem Umverteilungssubstrat und den unteren Halbleiterchips; und
 Ausbilden einer Mehrzahl zweiter Anschlüsse zwischen dem Umverteilungssubstrat und dem Verbindungssubstrat,
 wobei die ersten Anschlüsse Lotperlen, Kontakthöcker oder -säulen aufweisen, und
 wobei die zweiten Anschlüsse Lotperlen, Kontakthöcker oder -säulen aufweisen.

10. Verfahren zum Herstellen eines Halbleiter-Package, wobei das Verfahren umfasst:
 Herstellen eines Package-Streifens, wobei der Package-Streifen ein Umverteilungssubstrat, ein Verbindungssubstrat auf dem Umverteilungssubstrat, eine Mehrzahl unterer Halbleiterchips, die auf dem Umverteilungssubstrat montiert sind, und eine untere Formmasseschicht, welche die unteren Halbleiterchips abdeckt, aufweist;
 Platzieren einer Mehrzahl oberer Halbleiterchips auf dem Package-Streifen, wobei mindestens zwei von den oberen Halbleiterchips lateral voneinander beabstandet sind; und
 Ausbilden einer Mehrzahl von Anschlussverbindungen, die direkt mit den oberen Halbleiterchips und dem Verbindungssubstrat verbunden sind.

11. Verfahren nach Anspruch 10, wobei das Verbindungssubstrat eine Mehrzahl oberer Pads aufweist, die direkt mit den Anschlussverbindungen gekoppelt sind, wobei das Herstellen des Package-Streifens das Ausbilden einer Mehrzahl von Öffnungen in der unteren Formmasseschicht umfasst, um die oberen Pads freizulegen.

12. Verfahren nach Anspruch 11, wobei das Ausbilden der Öffnungen anhand eines Laserbohrprozesses durchgeführt wird, wobei die Öffnungen höchstens so breit sind wie die oberen Pads.

13. Verfahren nach Anspruch 11, wobei das Ausbilden der Öffnungen das Durchführen eines Photolithographieprozesses an der unteren Formmasseschicht umfasst.

14. Verfahren nach Anspruch 11, wobei eine von den Öffnungen zwei oder mehr von den oberen Pads freilegt.

15. Verfahren nach Anspruch 11, ferner das Ausbilden einer oberen Formmasseschicht auf dem Package-Streifen nach dem Ausbilden der Mehrzahl von Anschlussverbindungen umfassend, wobei die obere Formmasseschicht in direktem Kontakt mit einer oberen Oberfläche der unteren Formmasseschicht steht.

16. Verfahren nach Anspruch 10, ferner das Zersägen des Package-Streifens umfassend, um separate Packages bereitzustellen, wobei jedes von den separaten Packages mindestens einen von den unteren Halbleiterchips und mindestens einen von den oberen Halbleiterchips aufweist.

17. Verfahren nach Anspruch 16, ferner das Ausbilden einer Schutzschicht auf mindestens einem von den getrennten Packages umfassend, um die unteren Halbleiterchips abzudecken,

18. Verfahren zum Herstellen eines Halbleiter-Package, wobei das Verfahren umfasst:
 Ausbilden eines vorläufigen Package;
 Montieren einer Mehrzahl oberer Halbleiterchips an dem vorläufigen Package, wobei mindestens zwei von den oberen Halbleiterchips lateral voneinander beabstandet sind; und
 Durchführen eines Sägeprozesses an dem vorläufigen Package, um separate Packages bereitzustellen, wobei das Ausbilden des vorläufigen Package umfasst:
 Bereitstellen eines Verbindungssubstrats auf einem provisorischen Substrat,
 Bereitstellen einer Mehrzahl unterer Halbleiterchips auf dem provisorischen Substrat,
 Entfernen des provisorischen Substrats, um untere Oberflächen der unteren Halbleiterchips und eine untere Oberfläche des Verbindungssubstrats freizulegen, und
 Ausbilden eines Umverteilungssubstrats auf den unteren Oberflächen der unteren Halbleiterchips und der unteren Oberfläche des Verbindungssubstrats, die durch das Entfernen des provisorischen Substrats freigelegt wurden.

19. Verfahren nach Anspruch 18, wobei der Sägeprozess einen zweiten Sägeprozess einschließt, wobei das Ausbilden des vorläufigen Package ferner das Durchführen eines ersten Sägeprozesses an dem Umverteilungssubstrat und dem Verbindungssubstrat einschließt.

20. Verfahren nach Anspruch 19, wobei der zweite Sägeprozess nach dem ersten Sägeprozess durchgeführt wird.

21. Verfahren nach Anspruch 18, wobei jedes von den separaten Packages mindestens einen von den unteren Halbleiterchips und mindestens einen von den oberen Halbleiterchips aufweist.

22. Halbleiter-Package, aufweisend:
 ein Umverteilungssubstrat;
 ein Verbindungssubstrat mit mindestens einem unteren Halbleiterchip auf dem Umverteilungssubstrat;
 eine untere Formmasseschicht, die das Verbin-

dungssubstrat und obere und seitliche Oberflächen des mindestens einen unteren Halbleiterchips abdeckt,
 wobei durch das Verbindungssubstrat mindestens eine leitende Struktur hindurch verläuft, wobei die mindestens eine leitende Struktur obere Pads an einer oberen Oberfläche des Verbindungssubstrats aufweist, die durch die untere Formmasseschicht hindurch freigelegt werden;
 eine Mehrzahl oberer Halbleiterchips auf der unteren Formmasseschicht;
 eine Mehrzahl erster Anschlussverbindungen, die direkt mit Chip-Pads der oberen Halbleiterchips bzw. den oberen Pads der mindestens einen leitenden Struktur gekoppelt sind; und
 eine obere Formmasseschicht, welche die oberen Halbleiterchips abdeckt und die untere Formmasseschicht direkt berührt.

23. Halbleiter-Package nach Anspruch 22, wobei das Umverteilungssubstrat Umverteilungsstrukturen aufweist, die mit Chip-Pads auf einer unteren Oberfläche des mindestens einen unteren Halbleiterchips und mit unteren Pads der mindestens einen leitenden Struktur an einer unteren Oberfläche des Verbindungssubstrats gekoppelt sind.

24. Halbleiter-Package nach Anspruch 22, wobei die ersten Anschlussverbindungen Bonddrähte umfassen.

25. Halbleiter-Package nach Anspruch 22, wobei die Mehrzahl oberer Halbleiterchips einen Stapel aus den oberen Halbleiterchips umfasst.

Es folgen 29 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1

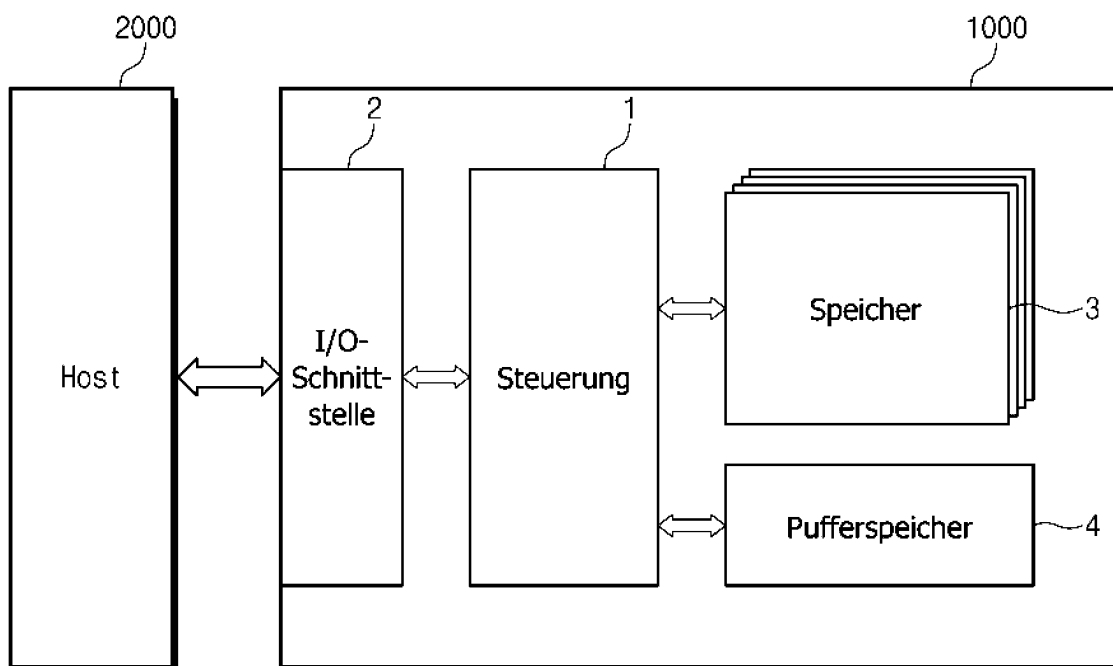


FIG. 2B

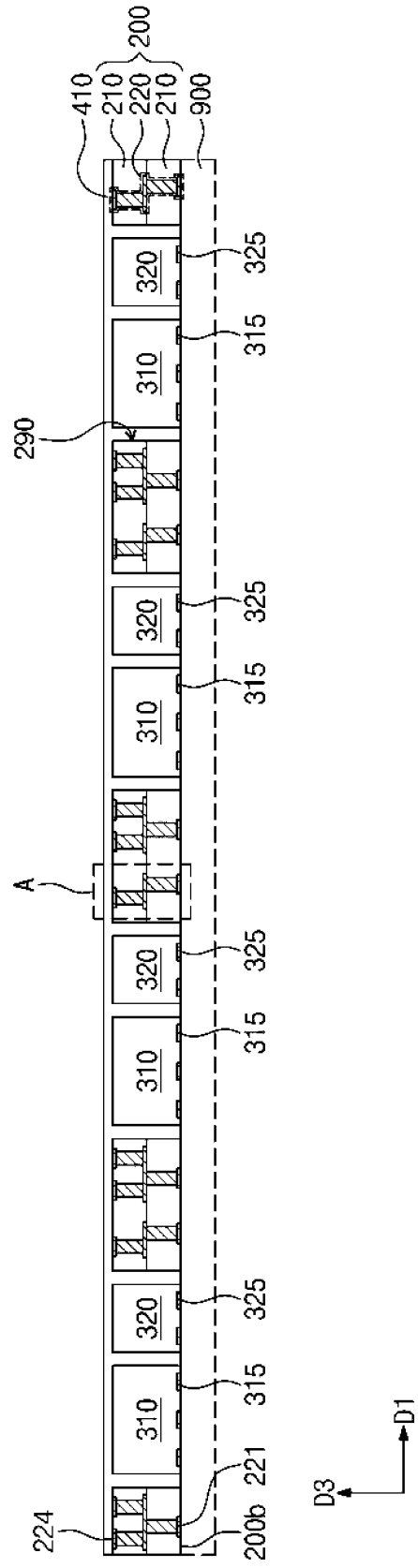


FIG. 2C

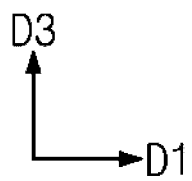
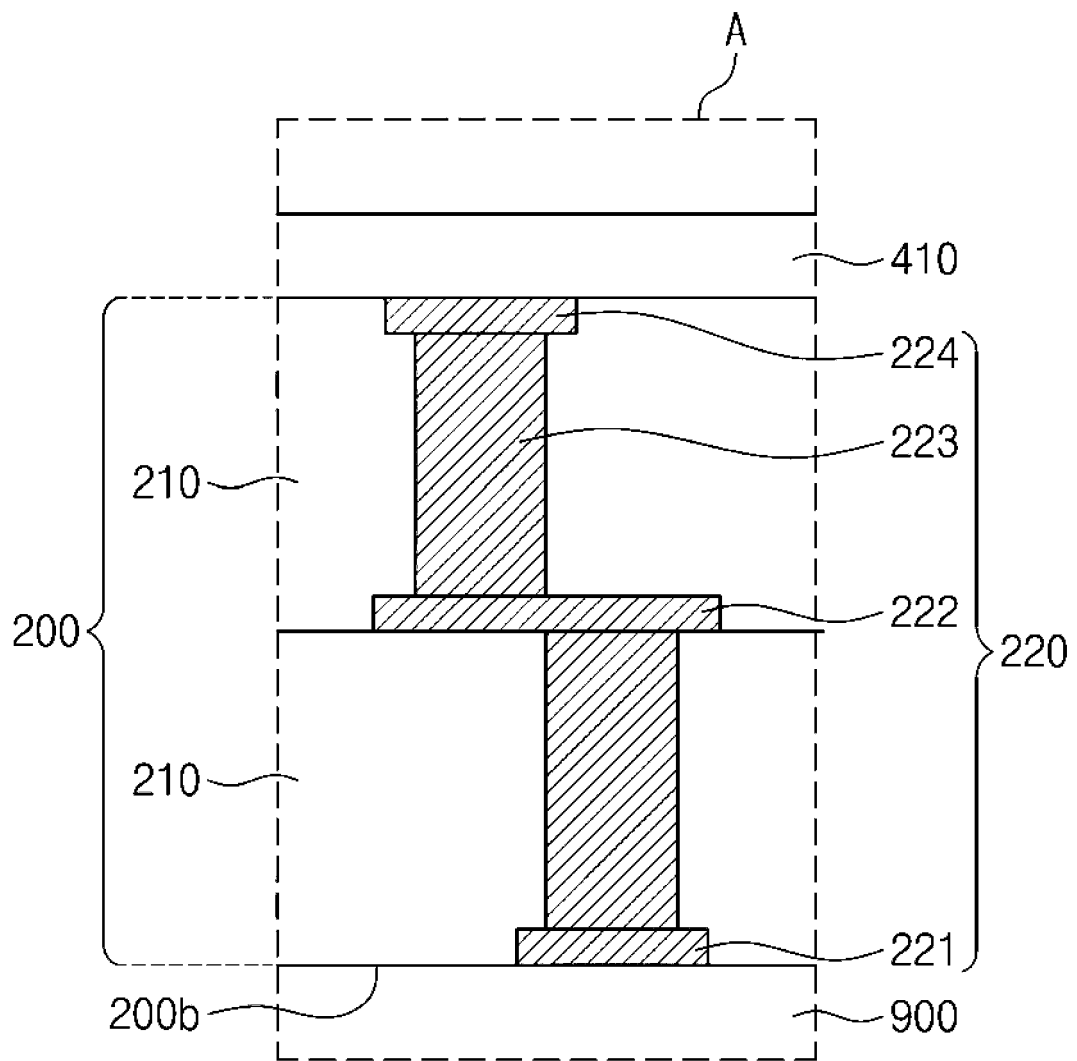


FIG. 2D

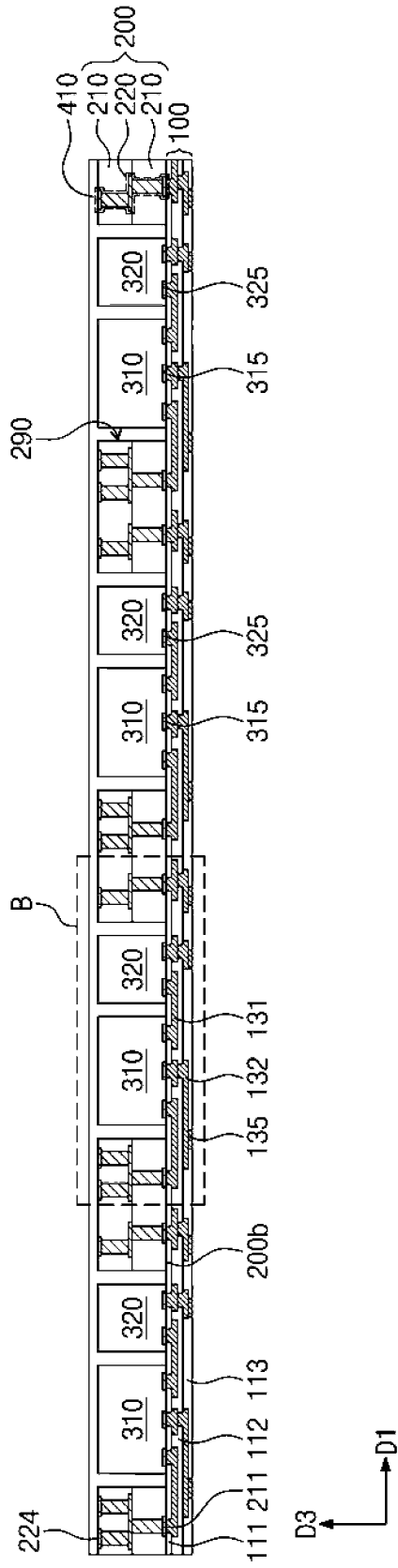


FIG. 2E

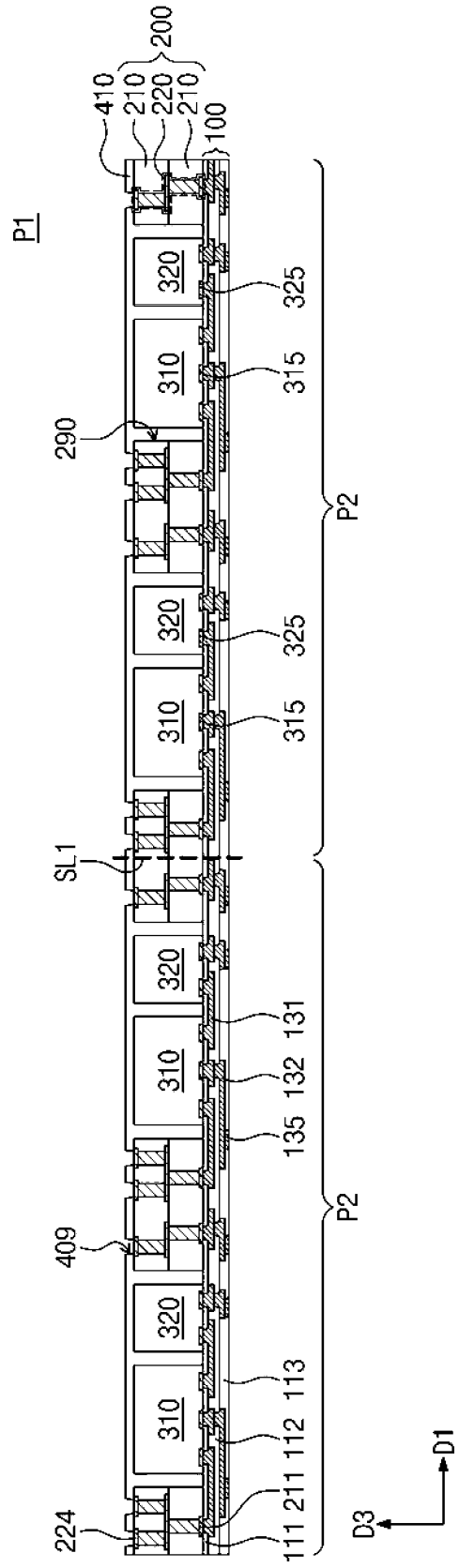


FIG. 2F

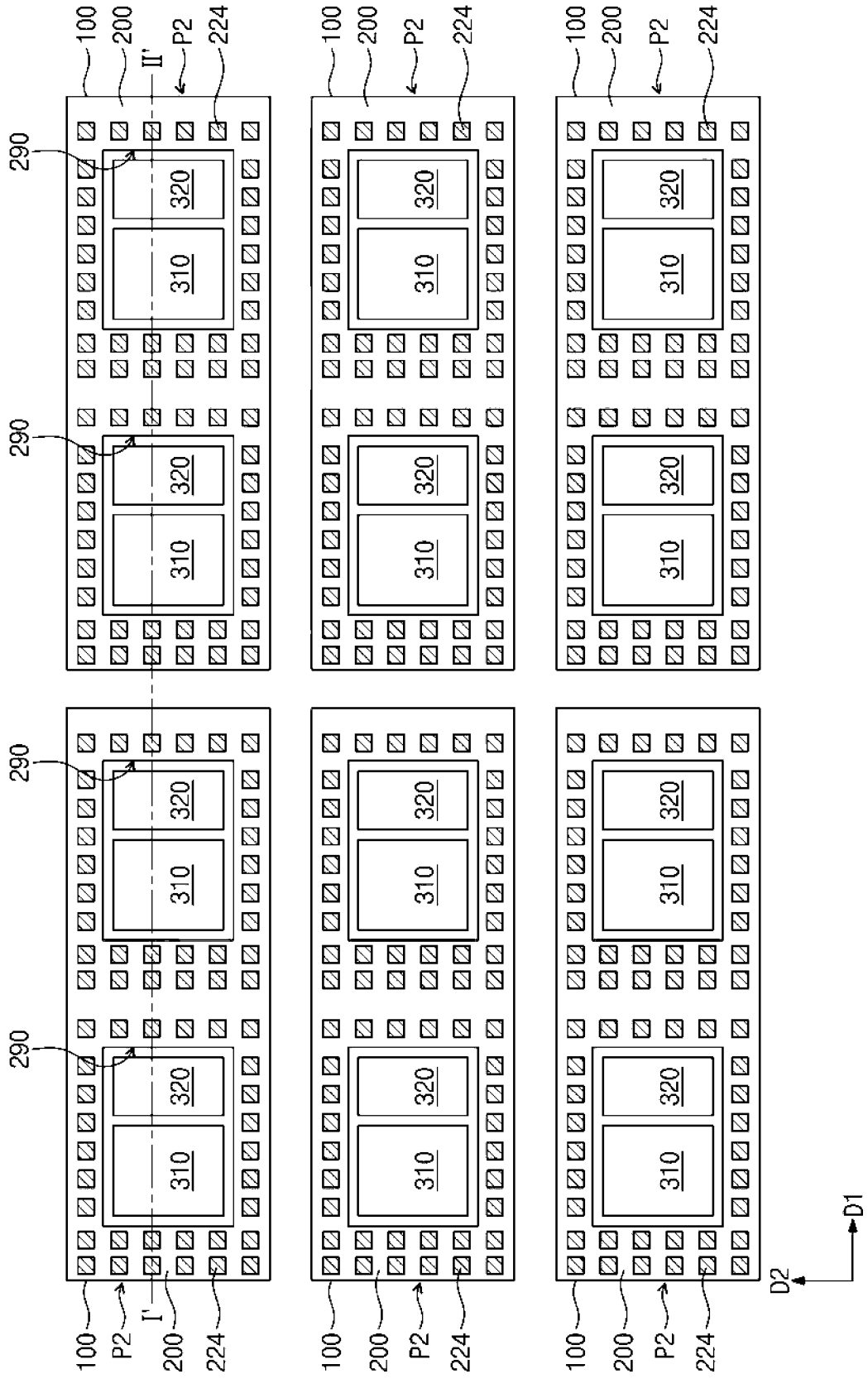


FIG. 2G

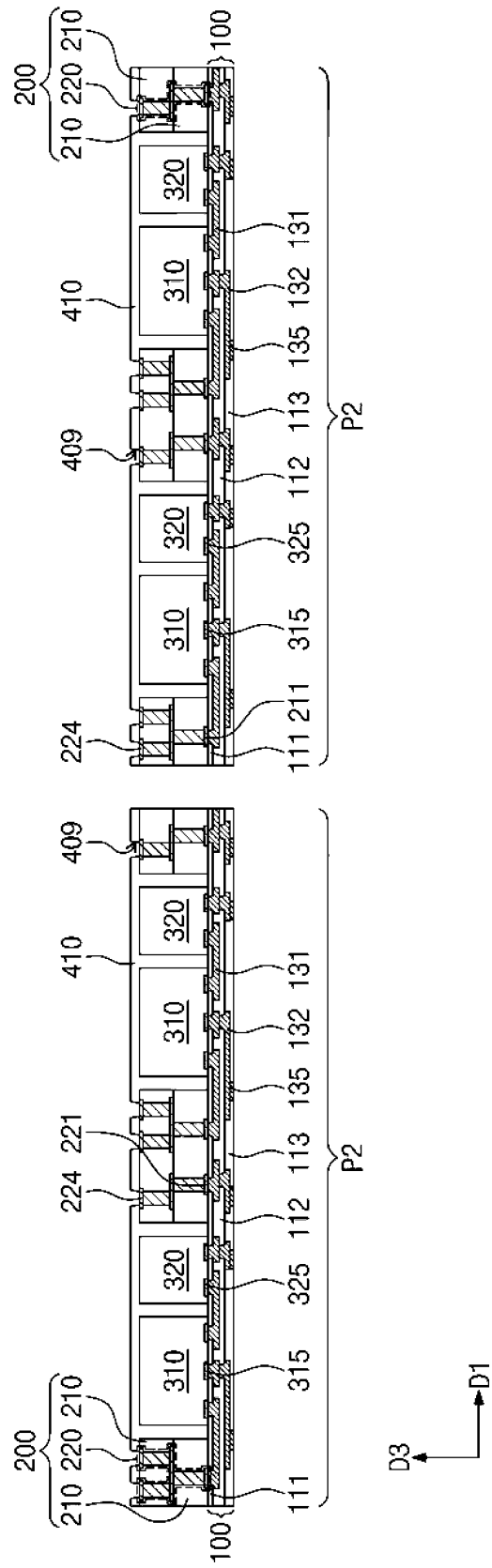


FIG. 3A

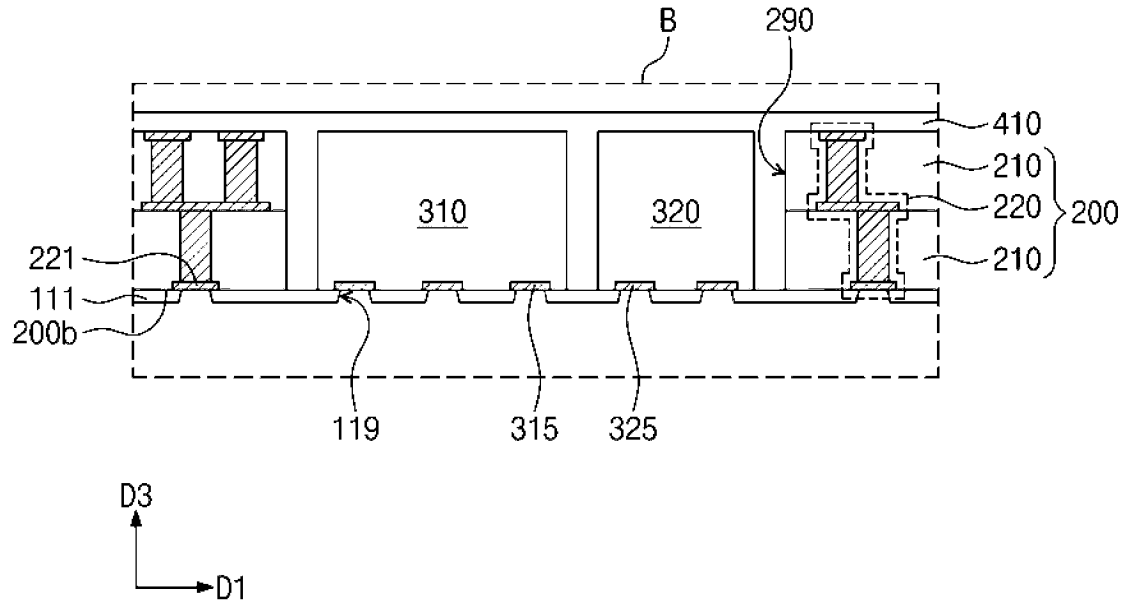


FIG. 3B

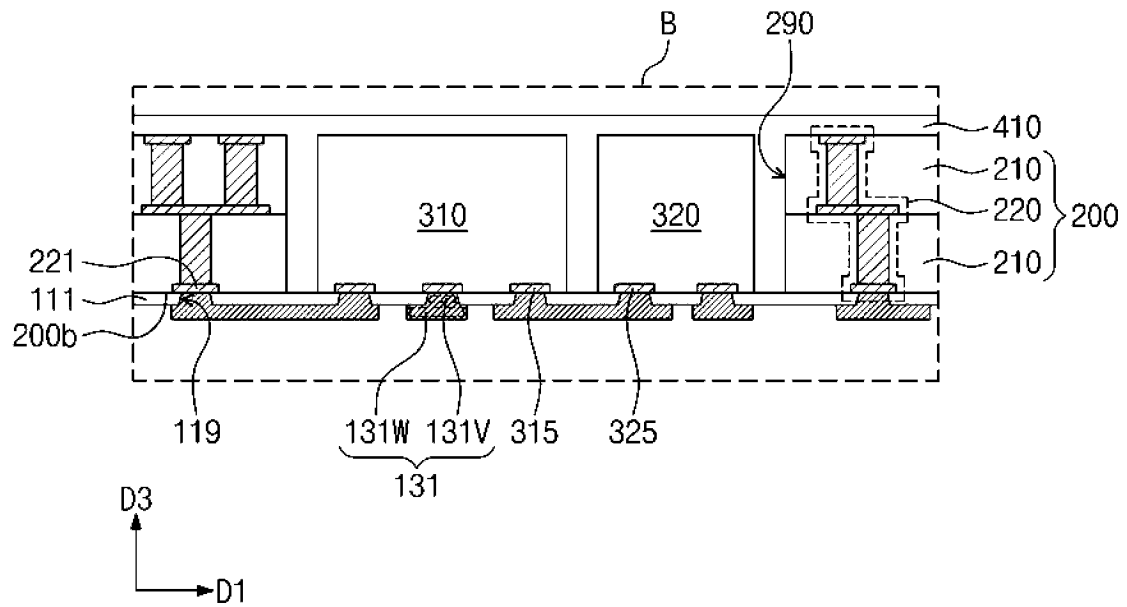


FIG. 3C

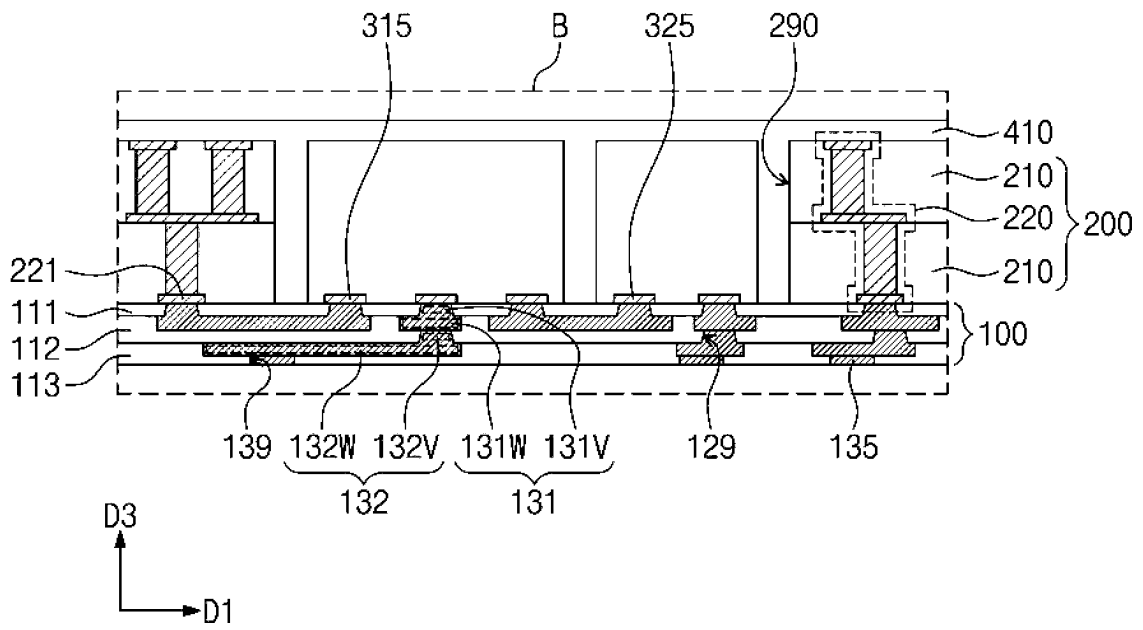


FIG. 4A

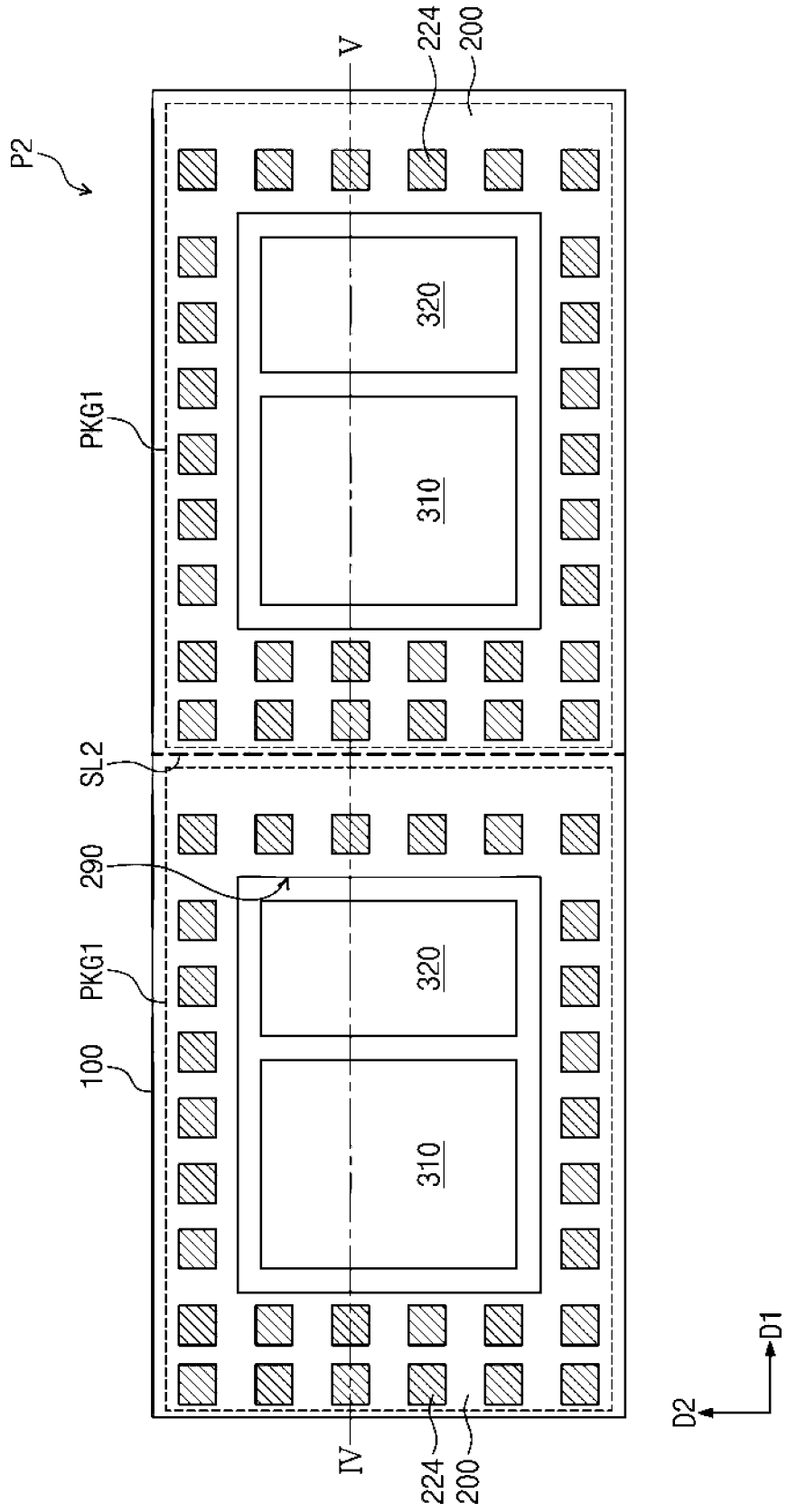


FIG. 4B

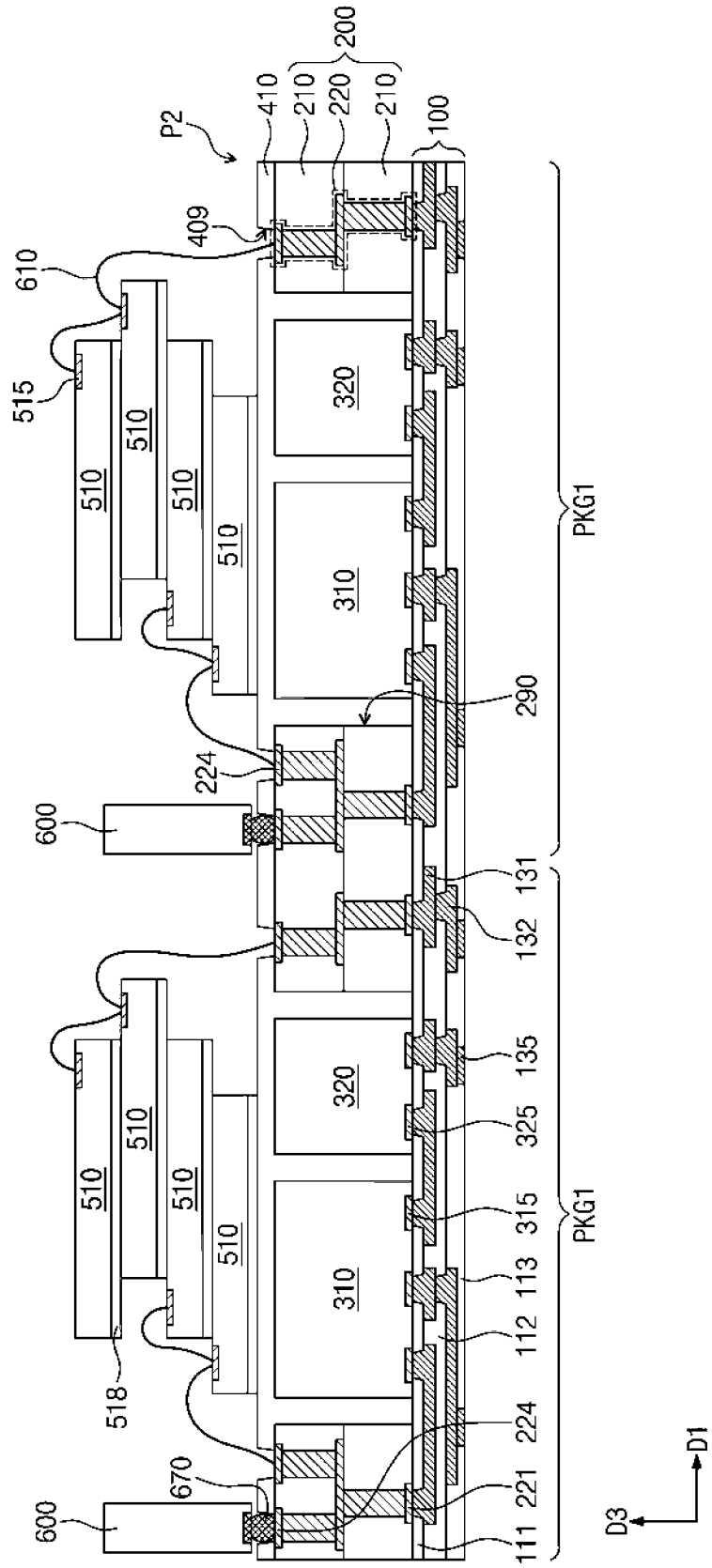


FIG. 4C

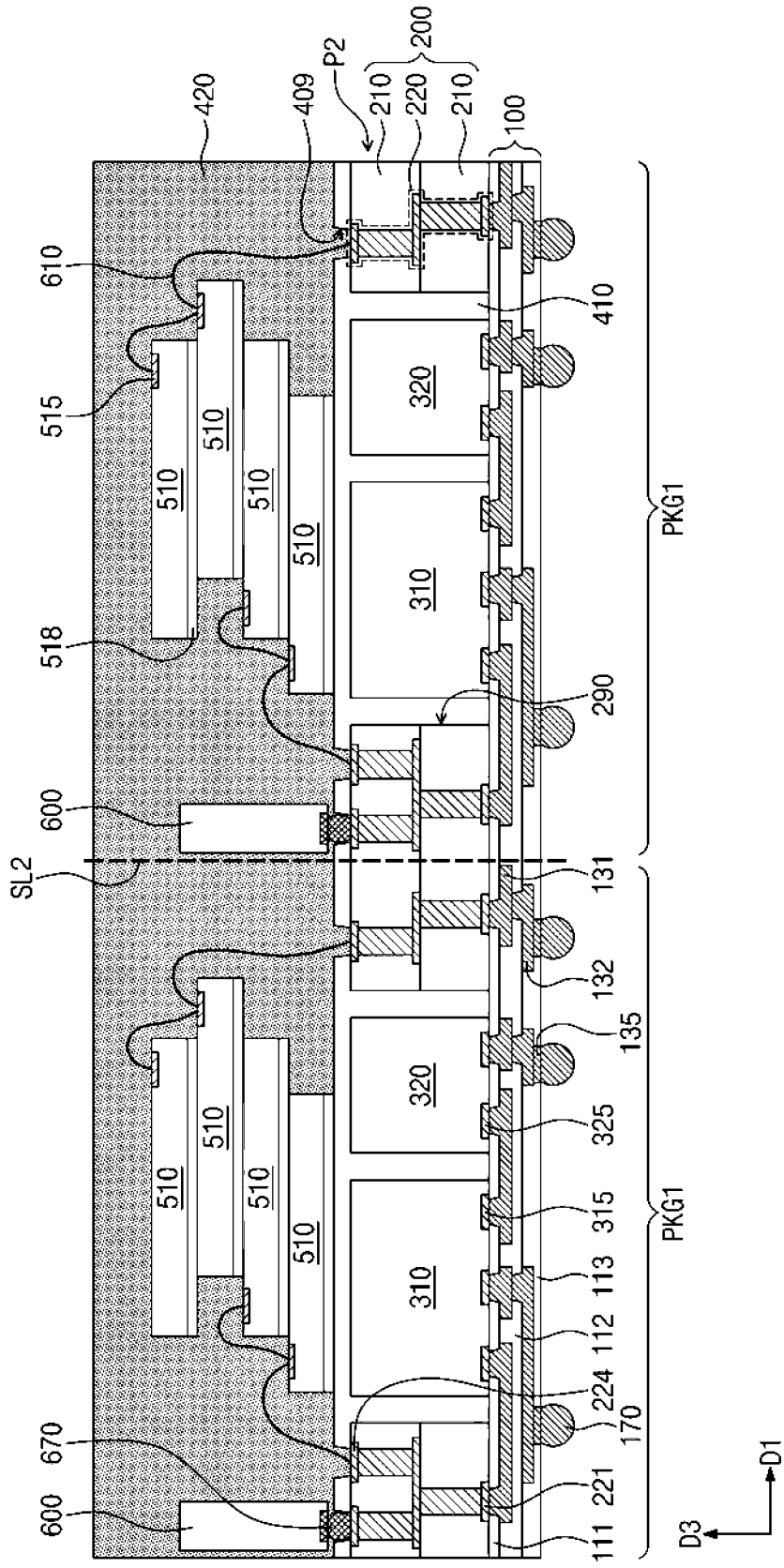


FIG. 4D

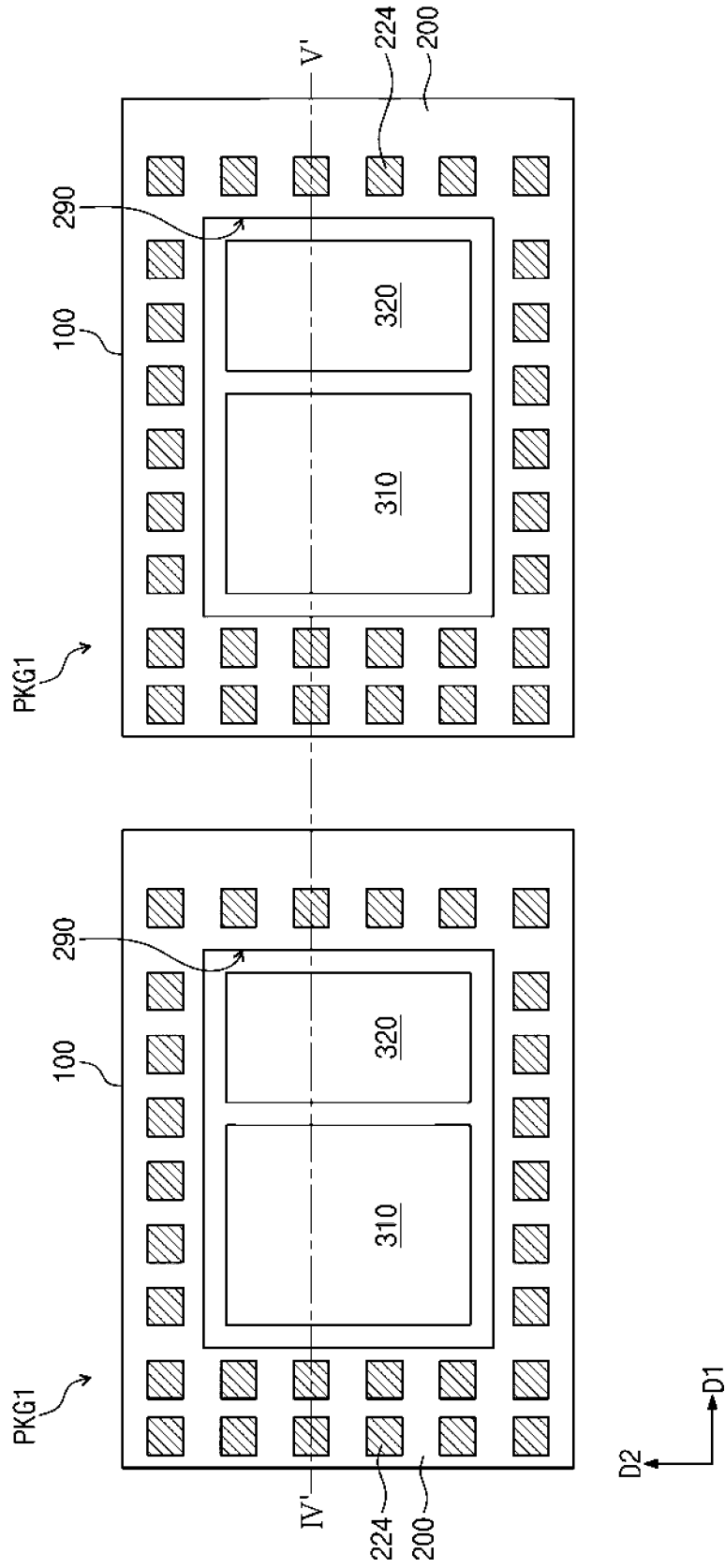


FIG. 4E

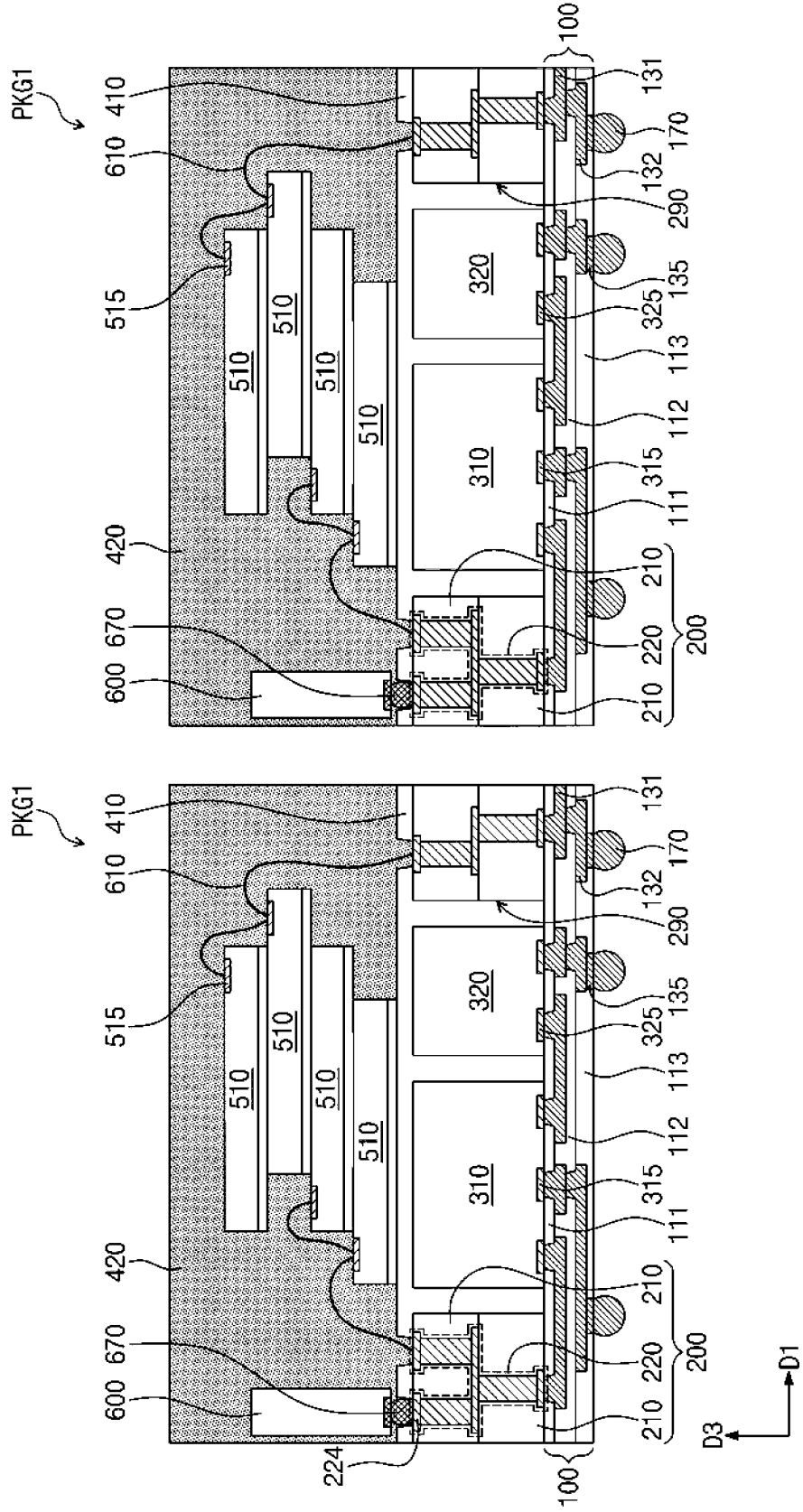


FIG. 5A

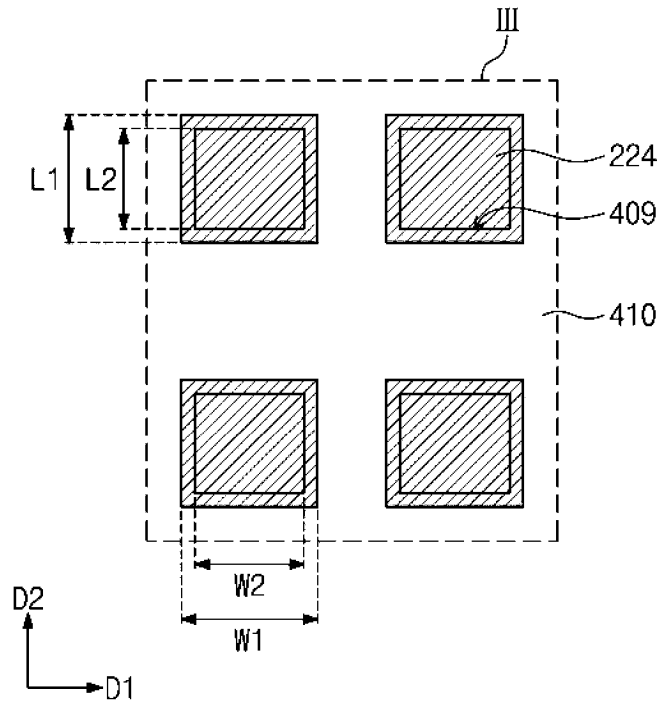


FIG. 5B

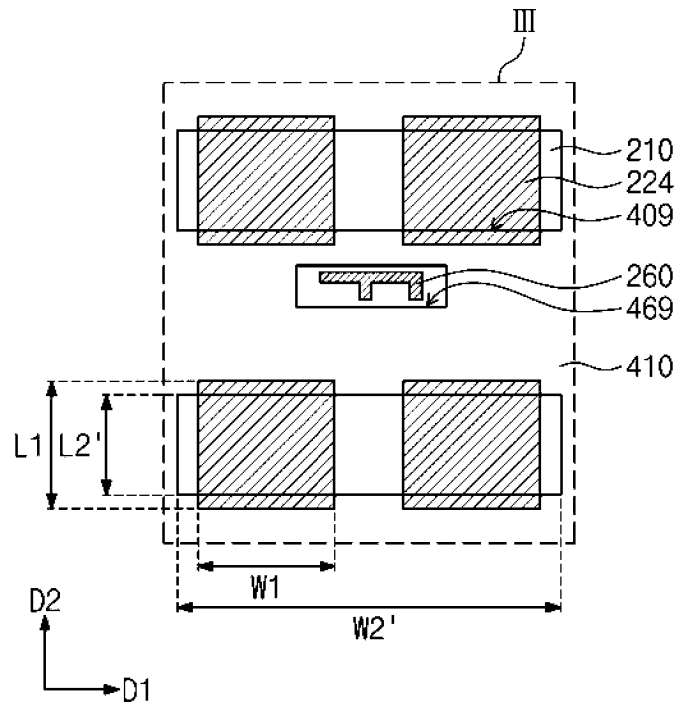


FIG. 5C

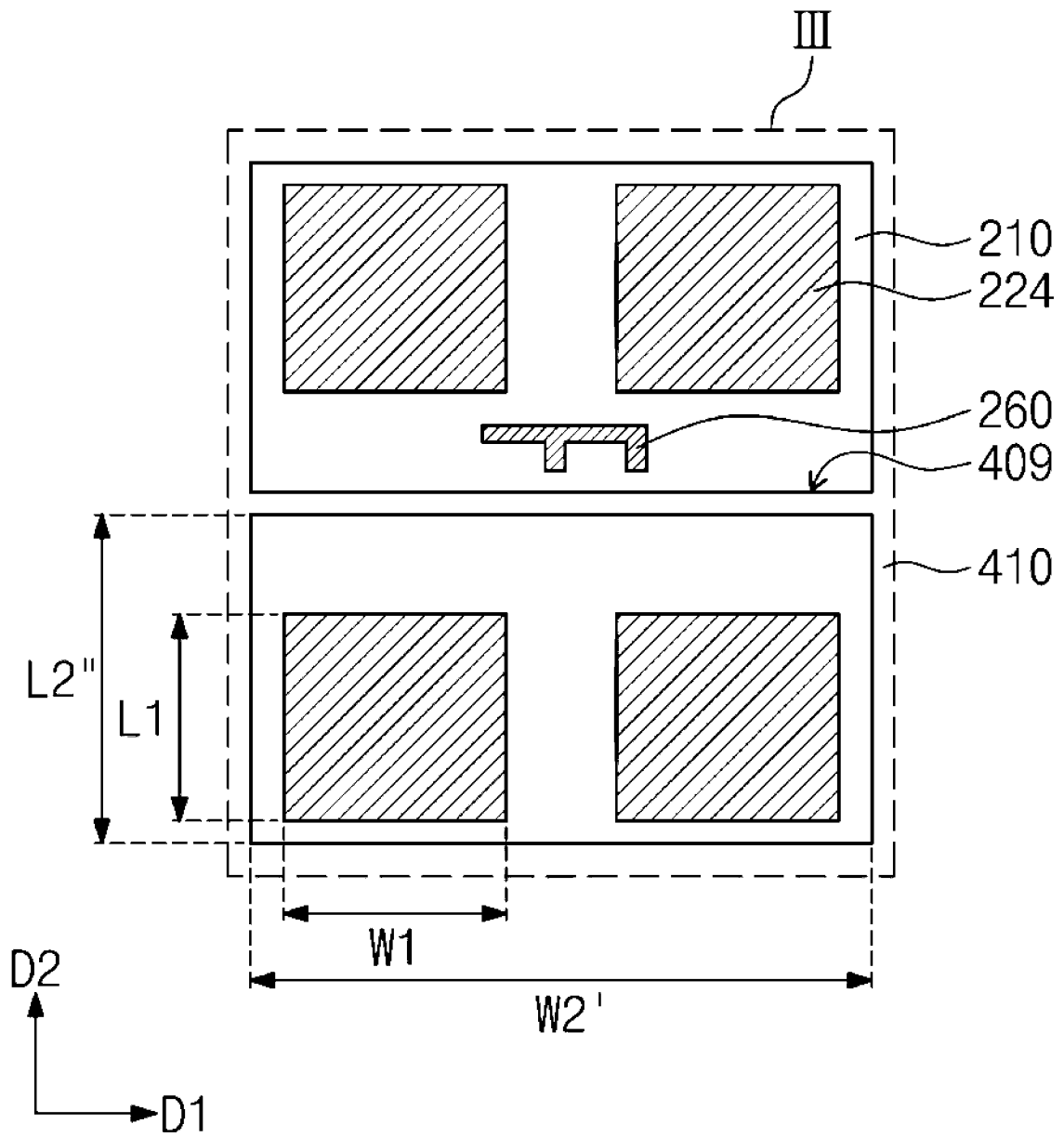


FIG. 5D

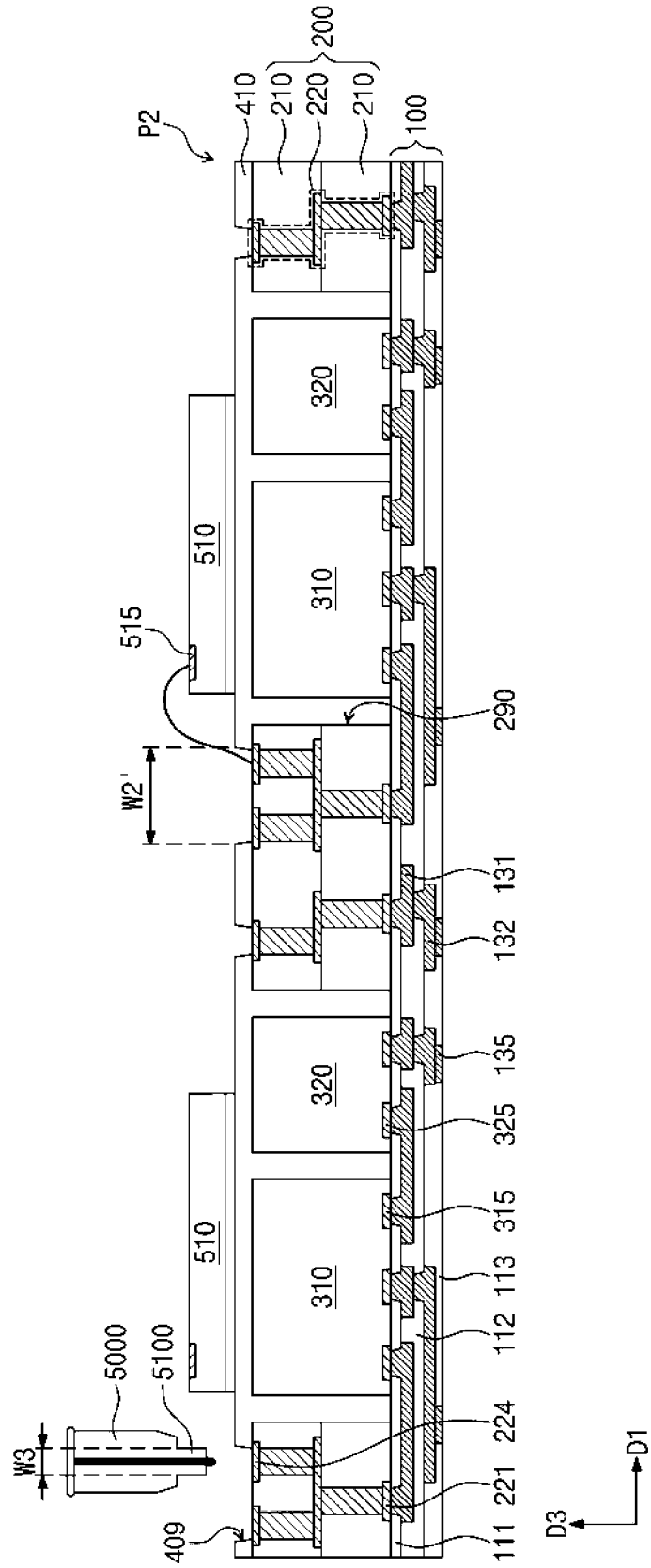


FIG. 6A

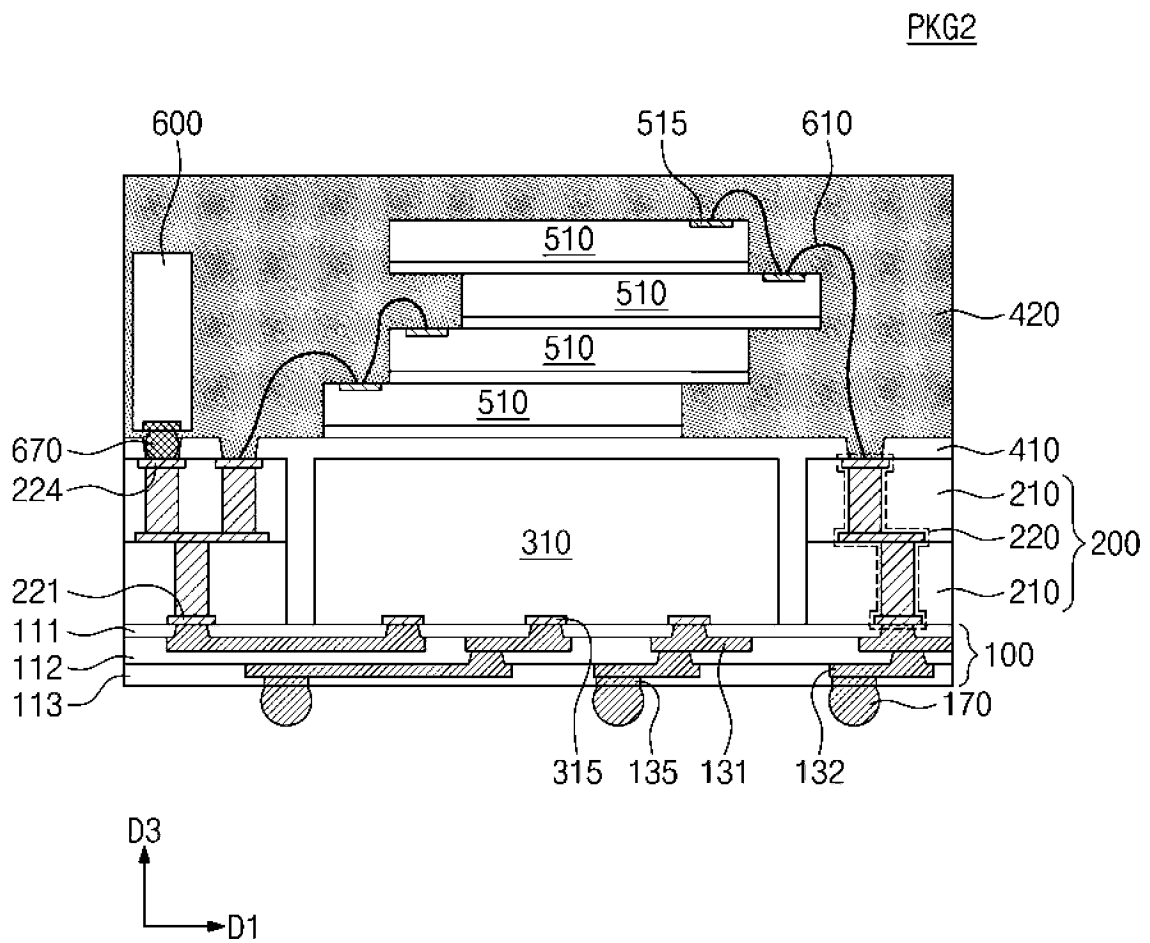


FIG. 6B

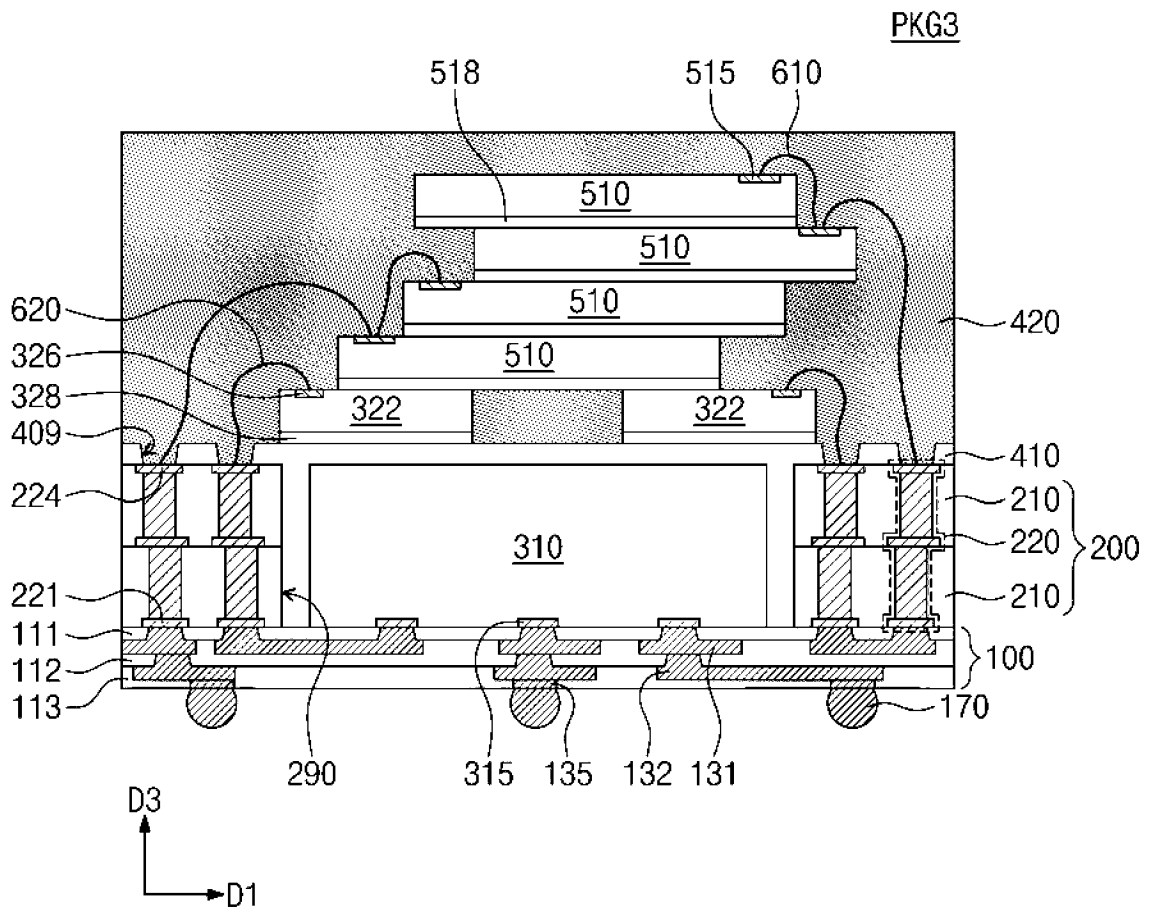


FIG. 6C

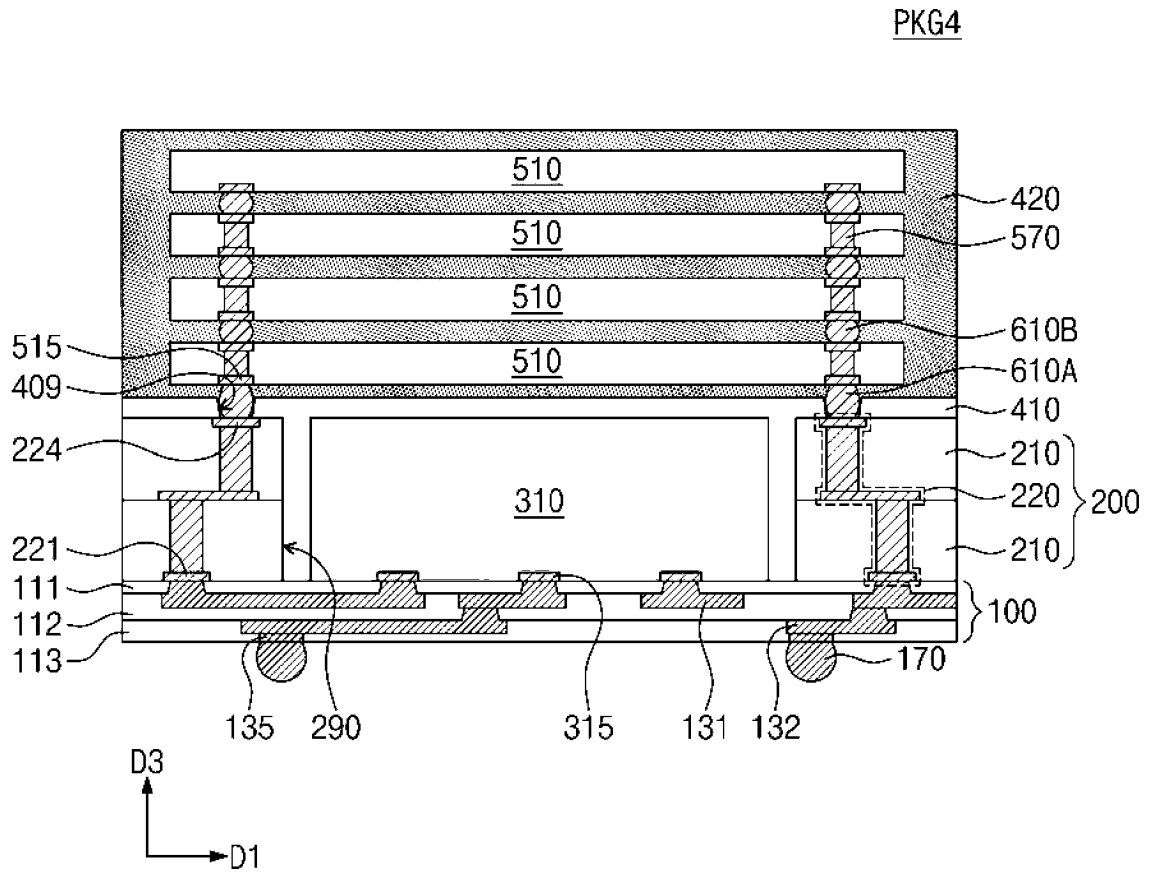


FIG. 6D

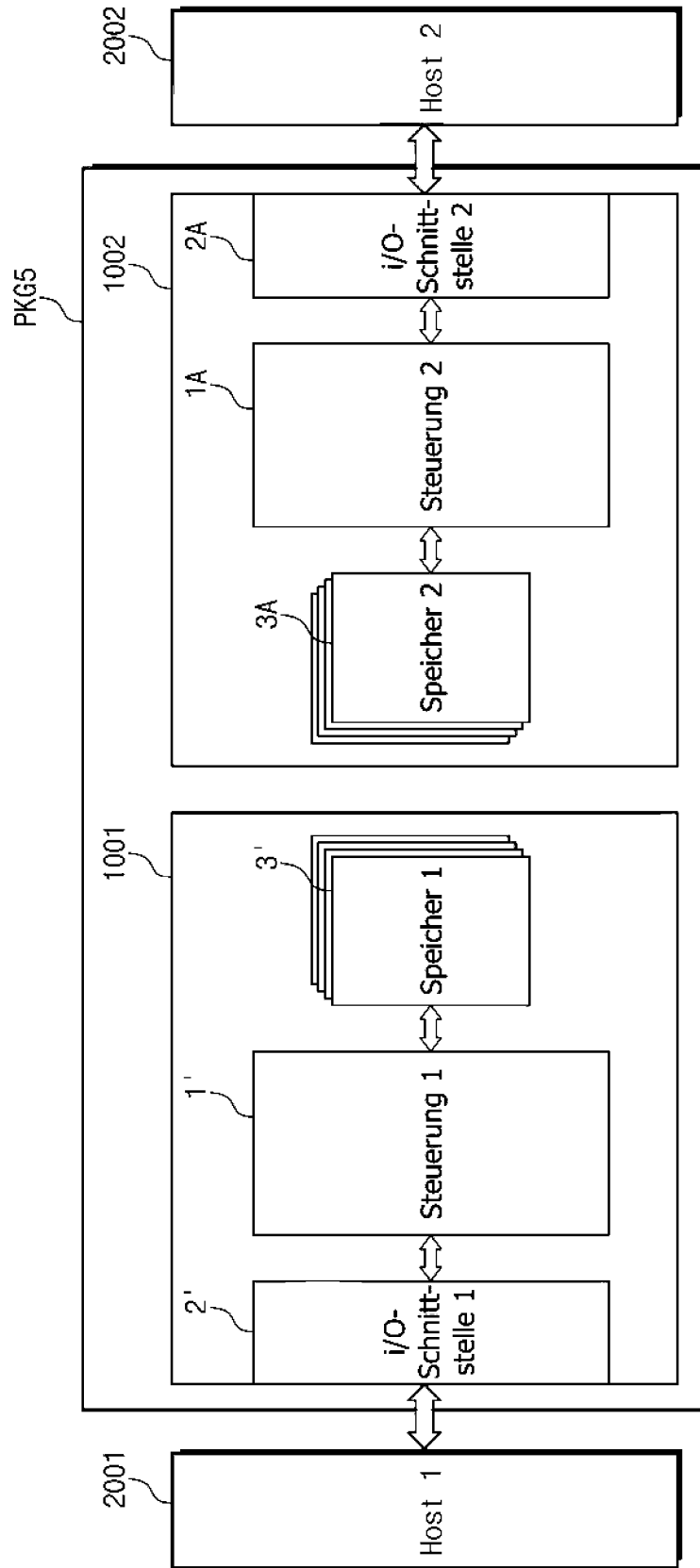


FIG. 6E

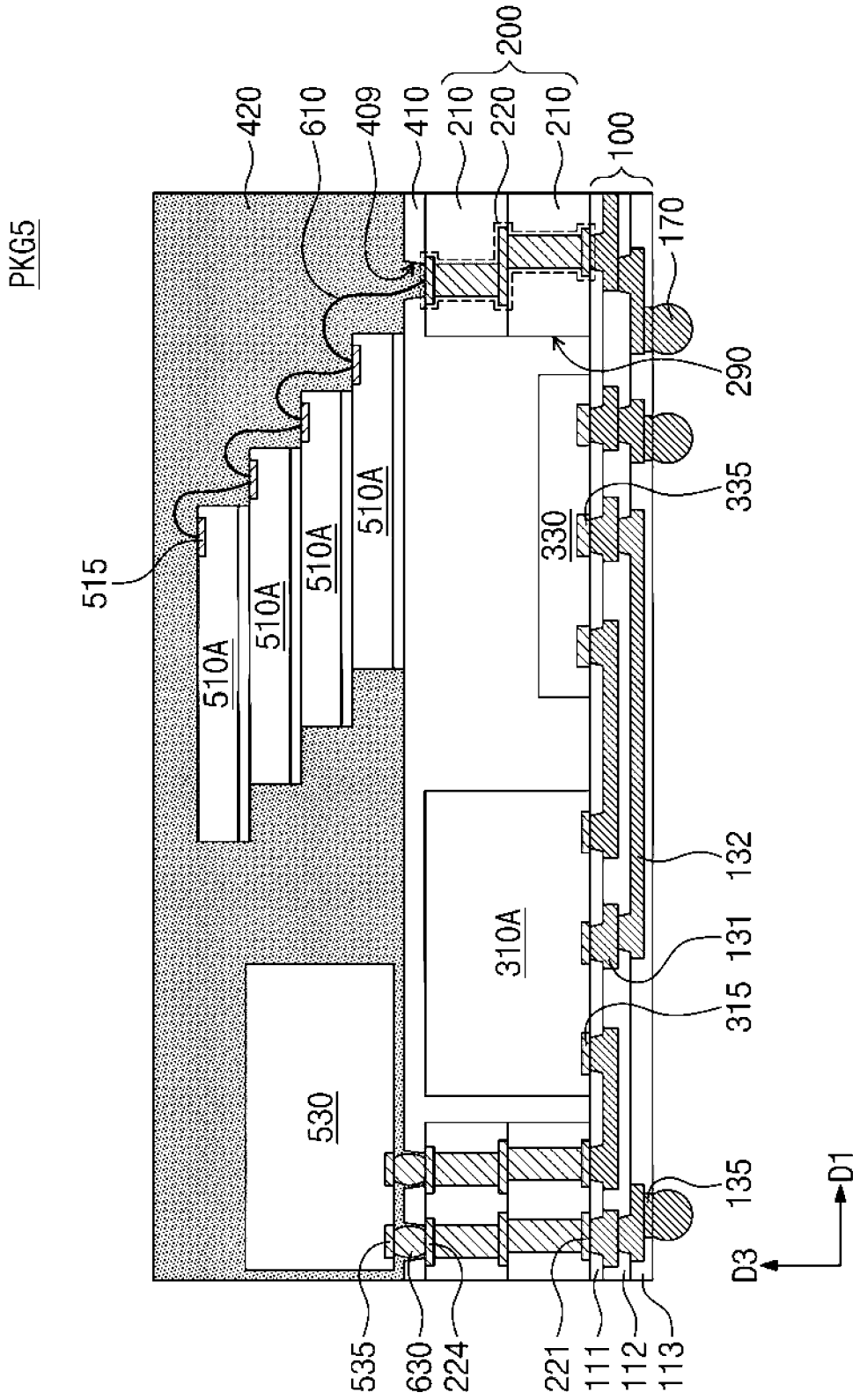


FIG. 6F

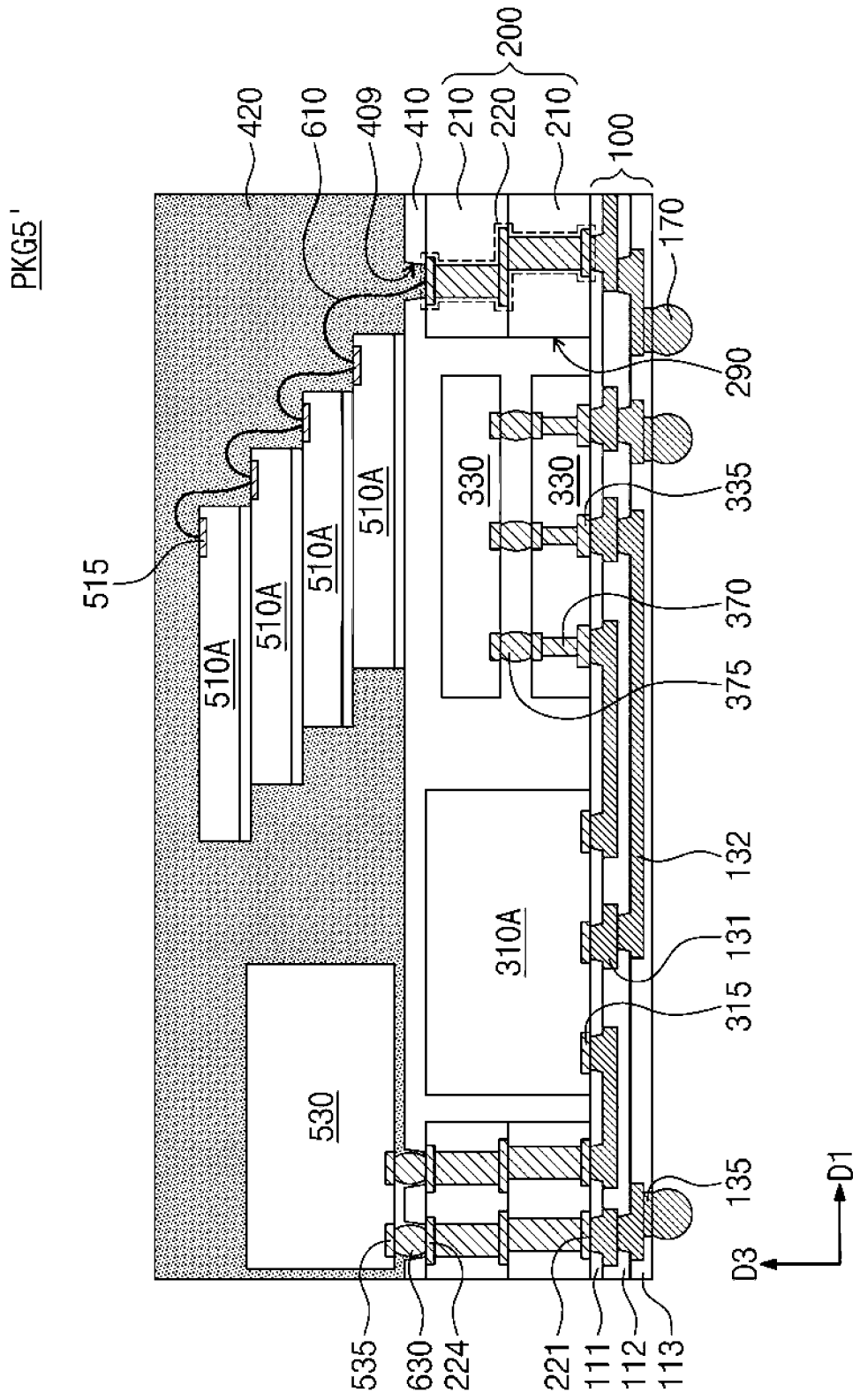


FIG. 6G

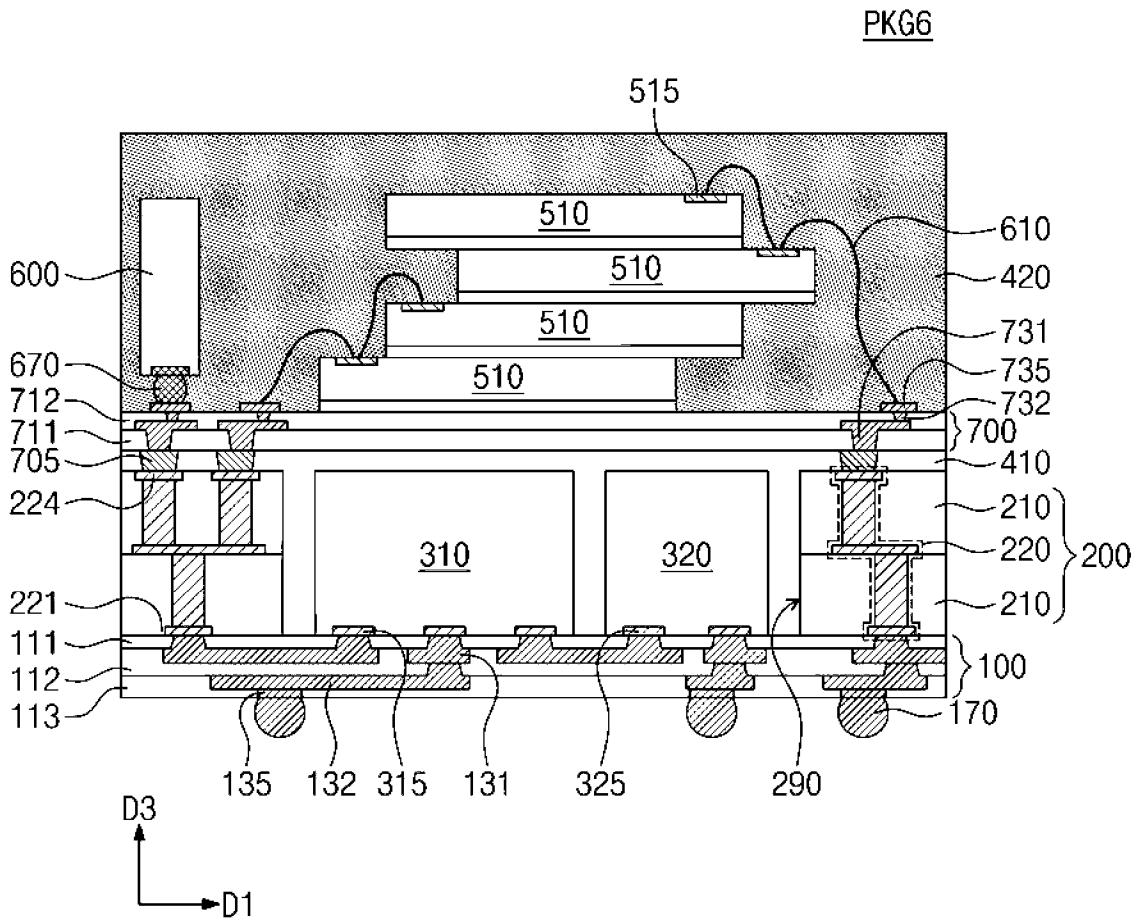


FIG. 6H

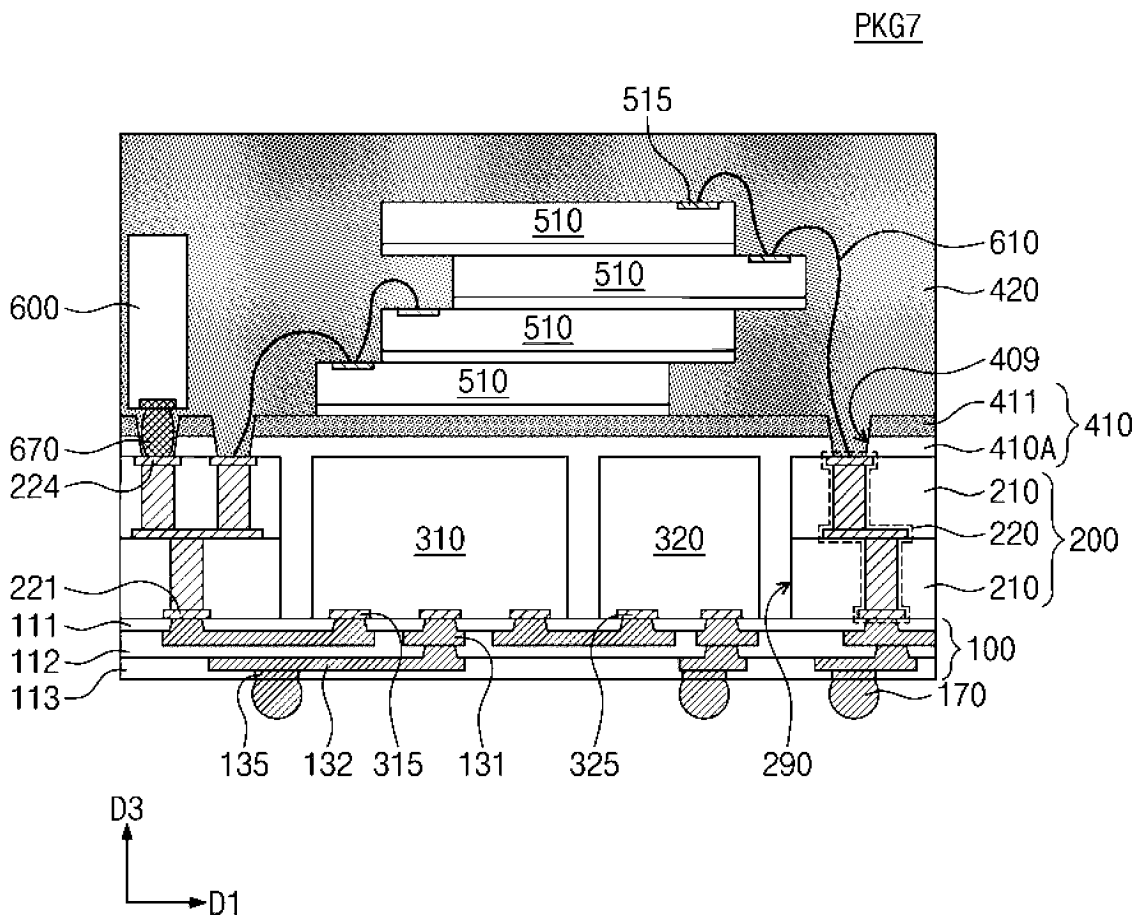


FIG. 6I

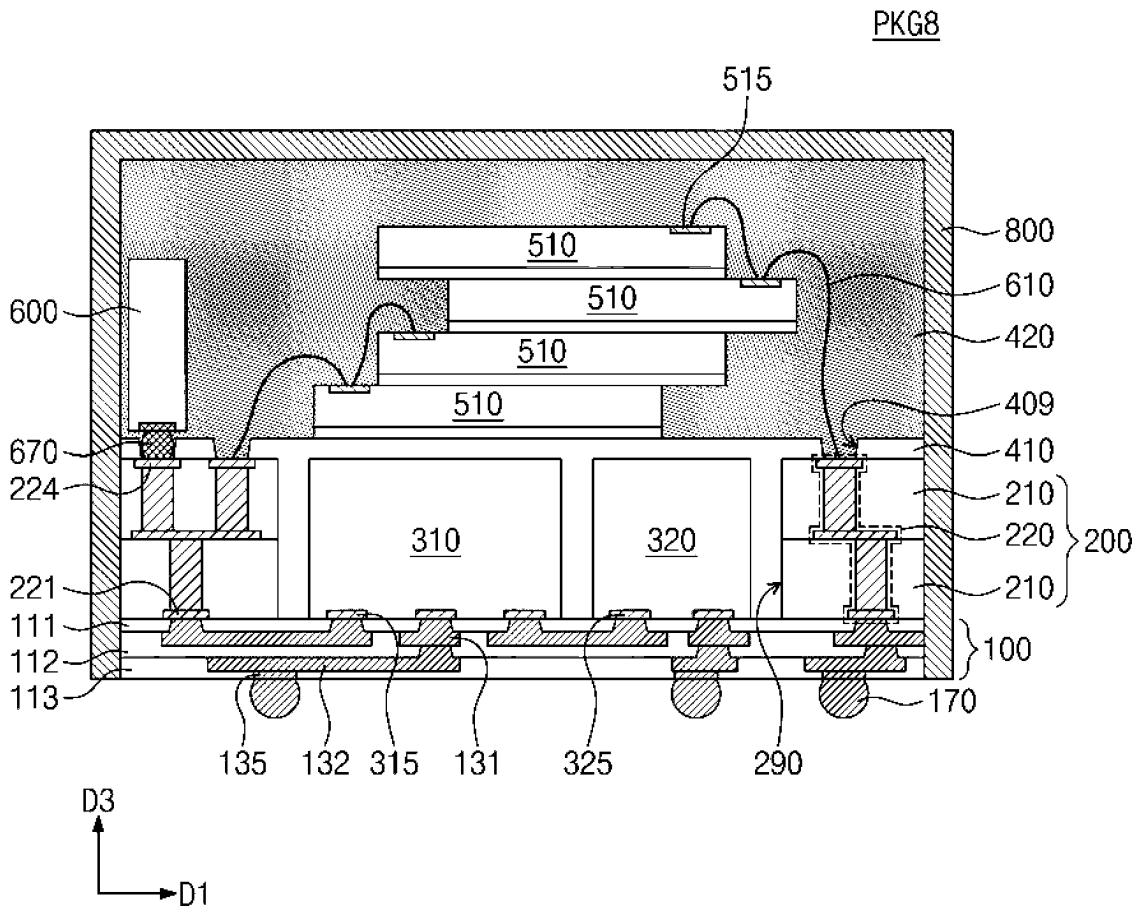


FIG. 7A

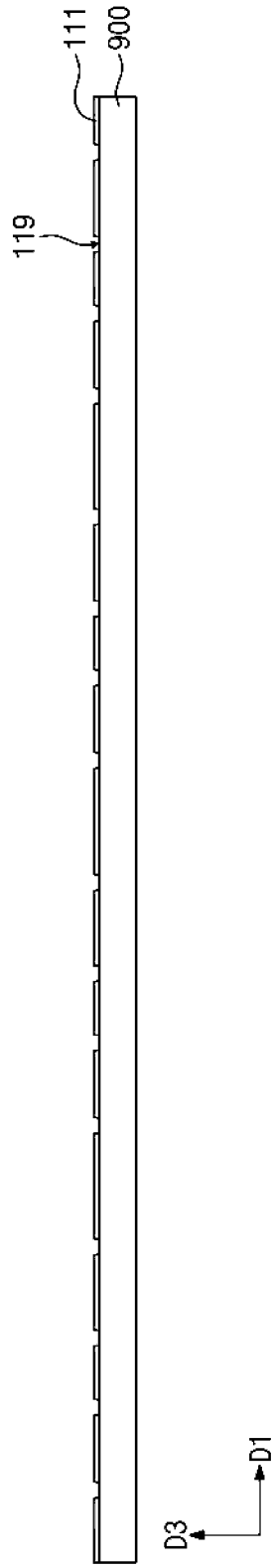


FIG. 7B

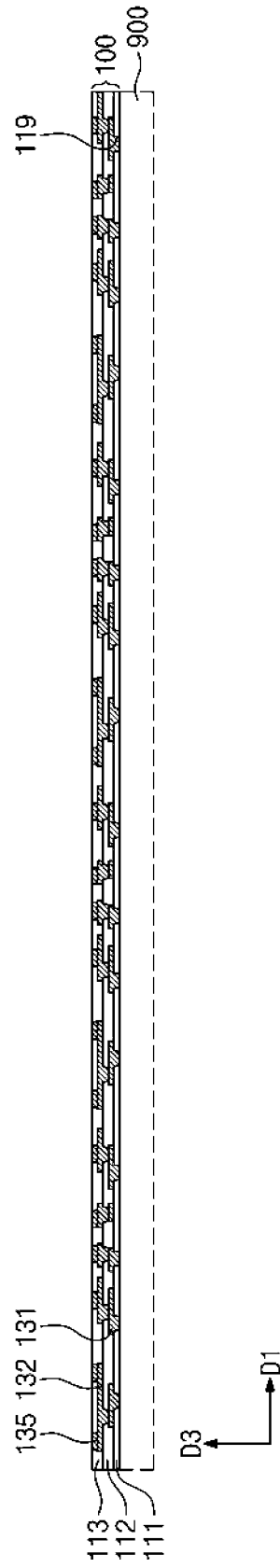


FIG. 7D

