

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-183419

(P2017-183419A)

(43) 公開日 平成29年10月5日(2017.10.5)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 H	
HO 1 L 29/06 (2006.01)	HO 1 L 29/06 3 0 1 D	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 8 H	
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 4 B	
HO 1 L 21/324 (2006.01)	HO 1 L 29/78 6 5 2 J	

審査請求 未請求 請求項の数 11 O L (全 22 頁) 最終頁に続く

(21) 出願番号 特願2016-66392(P2016-66392)  
 (22) 出願日 平成28年3月29日(2016.3.29)

(71) 出願人 000116024  
 ローム株式会社  
 京都府京都市右京区西院溝崎町2-1番地  
 (74) 代理人 110002310  
 特許業務法人あい特許事務所  
 (72) 発明者 久保 佑介  
 京都市右京区西院溝崎町2-1番地 ローム  
 株式会社内

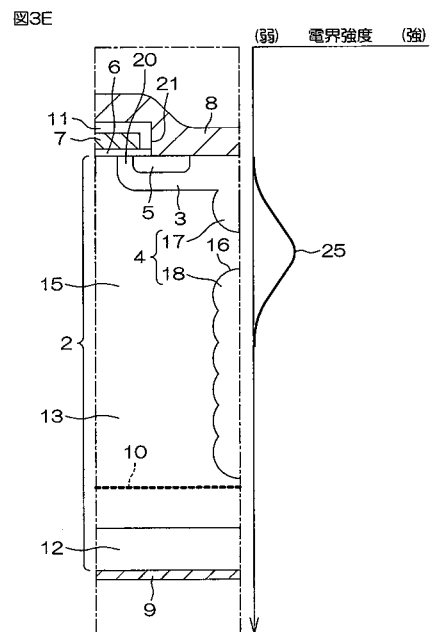
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 耐圧を確保しながら、逆回復時間  $t_{rr}$  を短縮できるスーパージャンクション構造を有する半導体装置を提供する。

【解決手段】 n型半導体層2と、n型半導体層2の表面部に配置されたp型ボディ領域3と、p型ボディ領域3の表面部に配置されたn<sup>+</sup>型ソース領域5と、ゲート絶縁膜6を介してp型ボディ領域3に対向するゲート電極7と、p型ボディ領域3に連なるようにn型半導体層2内に配置されたp型ピラー層4と、n型半導体層2内に配置されたトラップレベル領域10とを含み、p型ピラー層4の深さ方向において、p型ボディ領域3にチャネルが形成されていないオフ状態のときに電界が集中する電界集中部と、トラップレベル領域10とが互いに異なる深さ位置に配置されている、半導体装置を提供する。

【選択図】 図3E



## 【特許請求の範囲】

## 【請求項 1】

裏面側に第 1 導電型のドレイン領域を有する半導体層と、  
 前記半導体層の表面部に配置された第 2 導電型のボディ領域と、  
 前記ボディ領域の表面部に配置された第 1 導電型のソース領域と、  
 前記ボディ領域に対向するゲート電極と、  
 前記ボディ領域と前記ゲート電極との間のゲート絶縁膜と、  
 前記ボディ領域に連なるように前記半導体層内に配置され、前記ボディ領域から前記半導体層の前記裏面に向かって延びた第 2 導電型の第 1 ピラー層と、  
 前記半導体層内に配置され、トラップレベルを形成する荷電粒子を含むトラップレベル領域とを含み、

前記第 1 ピラー層の深さ方向において、前記ボディ領域にチャネルが形成されていないオフ状態のときに電界が集中する電界集中部と、前記トラップレベル領域とが互いに異なる深さ位置に配置されている、半導体装置。

## 【請求項 2】

前記電界集中部は、前記第 1 ピラー層の深さ方向において前記トラップレベル領域から  $10 \mu\text{m}$  以上離れて配置されている、請求項 1 に記載の半導体装置。

## 【請求項 3】

前記電界集中部は、前記第 1 ピラー層の深さ方向において前記トラップレベル領域よりも浅い位置に配置されている、請求項 1 または 2 に記載の半導体装置。

## 【請求項 4】

前記第 1 ピラー層は、その深さ方向途中部に前記半導体層の一部からなる分断領域を介在させることによって上下に分断されており、

前記電界集中部は、前記分断領域に配置されている、請求項 1 ~ 3 のいずれか一項に記載の半導体装置。

## 【請求項 5】

前記第 1 ピラー層は、前記半導体層の表面に沿って配列された複数の前記第 1 ピラー層を含み、

前記半導体層には、前記複数の第 1 ピラー層の間に第 1 導電型の第 2 ピラー層が配置されており、

前記第 1 ピラー層と前記第 2 ピラー層とのチャージバランスが確保されている、請求項 4 に記載の半導体装置。

## 【請求項 6】

前記第 1 ピラー層は、 $2 \mu\text{m} \sim 6 \mu\text{m}$  の幅、および  $3 \times 10^{15} \text{cm}^{-3} \sim 8 \times 10^{15} \text{cm}^{-3}$  の不純物濃度を有し、

前記第 2 ピラー層は、 $2 \mu\text{m} \sim 10 \mu\text{m}$  の幅、および  $1 \times 10^{15} \text{cm}^{-3} \sim 3 \times 10^{15} \text{cm}^{-3}$  の不純物濃度を有している、請求項 5 に記載の半導体装置。

## 【請求項 7】

前記荷電粒子は、プロトン、重水素、 $^3\text{He}^{++}$ 、 $^4\text{He}^{++}$  のいずれかを含む、請求項 1 ~ 6 のいずれか一項に記載の半導体装置。

## 【請求項 8】

前記第 1 ピラー層は、ストライプ状に形成されている、請求項 1 ~ 7 のいずれか一項に記載の半導体装置。

## 【請求項 9】

前記半導体層の前記裏面に選択的に配置された第 2 導電型のコレクタ領域をさらに含む、請求項 1 ~ 8 のいずれか一項に記載の半導体装置。

## 【請求項 10】

前記ゲート電極は、プレーナゲート型のゲート電極を含む、請求項 1 ~ 9 のいずれか一項に記載の半導体装置。

## 【請求項 11】

10

20

30

40

50

前記ゲート電極は、トレンチゲート型のゲート電極を含む、請求項 1 ~ 10 のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スーパージャンクション構造を有する半導体装置に関する。

【背景技術】

【0002】

たとえばインバータ回路や電源回路に使用される素子として、スーパージャンクション型の MOSFET が知られている。

10

たとえば、特許文献 1 は、素子領域および外周領域に配置された第 1 導電型の半導体領域と、素子領域の半導体領域の内部に配置された第 2 導電型の複数の第 1 柱状領域と、外周領域の半導体領域の内部に配置された第 2 導電型の複数の第 2 柱状領域とを備える半導体装置を開示している。第 1 柱状領域および第 2 柱状領域が配置されることによって、半導体領域内に複数の pn 接合が形成される。このように、半導体装置は、第 1 導電型の柱状領域と第 2 導電型の柱状領域とが交互に配置されたスーパージャンクション構造を有している。

【先行技術文献】

【特許文献】

【0003】

20

【特許文献 1】特開 2015 - 70185 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

スーパージャンクション構造の MOSFET において、逆回復時間  $t_{rr}$  (Reverse Recovery Time) を短縮する目的で、基板に荷電粒子を照射することによって形成された結晶欠陥に起因するトラップレベルを形成することがある。

本発明の目的は、耐圧を確保しながら、逆回復時間  $t_{rr}$  を短縮できるスーパージャンクション構造を有する半導体装置を提供することである。

【課題を解決するための手段】

30

【0005】

本発明の一実施形態に係る半導体装置は、裏面側に第 1 導電型のドレイン領域を有する半導体層と、前記半導体層の表面部に配置された第 2 導電型のボディ領域と、前記ボディ領域の表面部に配置された第 1 導電型のソース領域と、前記ボディ領域に対向するゲート電極と、前記ボディ領域と前記ゲート電極との間のゲート絶縁膜と、前記ボディ領域に連なるように前記半導体層内に配置され、前記ボディ領域から前記半導体層の前記裏面に向かって延びた第 2 導電型の第 1 ピラー層と、前記半導体層内に配置され、トラップレベルを形成する荷電粒子を含むトラップレベル領域とを含み、前記第 1 ピラー層の深さ方向において、前記ボディ領域にチャンネルが形成されていないオフ状態のときに電界が集中する電界集中部と、前記トラップレベル領域とが互いに異なる深さ位置に配置されている。

40

【0006】

この構成によれば、半導体装置のソース - ドレイン間の寄生ダイオードがターンオフしたときに、半導体層内のトラップレベル領域においてドレイン領域内を移動するキャリア (電子) がトラップされることによって、デバイス内のキャリアの再結合時間を高速化できるので、逆回復時間  $t_{rr}$  を短縮することができる。また、スーパージャンクション構造が本来的に持つ耐圧向上という特性を生かすこともできる。

【0007】

また、電界集中部がトラップレベル領域と異なる深さ位置に配置されていることで、トラップレベル領域周辺にかかる電界を比較的緩和することもできる。

本発明の一実施形態に係る半導体装置では、前記電界集中部は、前記第 1 ピラー層の深

50

さ方向において前記トラップレベル領域から  $10\ \mu\text{m}$  以上離れて配置されていてもよい。

たとえば、He 照射によって発生する欠陥の分布の広がりがあるため、電界集中部は、当該文献値の  $1/2$  の  $10\ \mu\text{m}$  以上、トラップレベル領域から離れて配置されていることが好ましい。

【0008】

本発明の一実施形態に係る半導体装置では、前記電界集中部は、前記第1ピラー層の深さ方向において前記トラップレベル領域よりも浅い位置に配置されていてもよい。

本発明の一実施形態に係る半導体装置では、前記第1ピラー層は、その深さ方向途中部に前記半導体層の一部からなる分断領域を介在させることによって上下に分断されており、前記電界集中部は、前記分断領域に配置されていてもよい。

10

【0009】

本発明の一実施形態に係る半導体装置では、前記第1ピラー層は、前記半導体層の表面に沿って配列された複数の前記第1ピラー層を含み、前記半導体層には、前記複数の第1ピラー層の間に第1導電型の第2ピラー層が配置されており、前記第1ピラー層と前記第2ピラー層とのチャージバランスが確保されていてもよい。

ここで、チャージバランスとは、スーパージャンクション構造で高耐圧を実現するためには、第1ピラー層と第2ピラー層の電荷(シート濃度)が等しいという前提条件がある。不純物濃度がばらついて電荷が等しくなくなるすなわちチャージアンバランスが発生すると、平坦な電界分布ではなくなり、耐圧が低下してしまう。チャージバランスを確保することで、スーパージャンクション構造が本来的に持つ耐圧向上という特性を生かしながら、上記した逆回復時間  $t_{rr}$  の短縮という効果を達成することができる。

20

【0010】

このようなチャージバランスの確保は、たとえば、n型半導体のエピタキシャル成長時の濃度と、p型ピラー層の濃度とを調節することによって行われる。たとえば、分断領域のn型不純物濃度は他の層に比べて薄いn型不純物濃度を持つように調整される。このようにすることで、ドリフト層(n型半導体層)が完全に空乏化した際、すなわち空乏層がp型ピラー層の下端まで伸びている際に空乏層内のチャージのバランスが取れるように調整される。

【0011】

本発明の一実施形態に係る半導体装置では、前記第1ピラー層は、 $2\ \mu\text{m} \sim 6\ \mu\text{m}$  の幅、および  $3 \times 10^{15}\ \text{cm}^{-3} \sim 8 \times 10^{15}\ \text{cm}^{-3}$  の不純物濃度を有し、前記第2ピラー層は、 $2\ \mu\text{m} \sim 10\ \mu\text{m}$  の幅、および  $1 \times 10^{15}\ \text{cm}^{-3} \sim 3 \times 10^{15}\ \text{cm}^{-3}$  の不純物濃度を有していてもよい。

30

本発明の一実施形態に係る半導体装置では、前記荷電粒子は、プロトン、重水素、 $^3\text{He}^{++}$ 、 $^4\text{He}^{++}$  のいずれかを含んでいてもよい。

【0012】

本発明の一実施形態に係る半導体装置では、前記第1ピラー層は、ストライプ状に形成されていてもよい。

本発明の一実施形態に係る半導体装置は、前記半導体層の前記裏面に選択的に配置された第2導電型のコレクタ領域をさらに含んでいてもよい。

40

この構成によれば、コレクタ領域からドレイン領域に電子もしくは正孔が注入されるので、ドレイン領域で伝導度変調を発生させることができる。その結果、高電流域では、IGBTを動作させたときに描かれる電流波形に沿って電流を上昇させることができる。すなわち、低電流域でのセット効率に優れたMOSFETの特性と、高電圧域において伝導度変調を発生させることができるIGBTの特性とを併せ持つ半導体装置を提供することができる。

【0013】

本発明の一実施形態に係る半導体装置では、前記ゲート電極は、プレーナゲート型のゲート電極を含んでいてもよい。

本発明の一実施形態に係る半導体装置では、前記ゲート電極は、トレンチゲート型のゲ

50

ート電極を含んでいてもよい。

【図面の簡単な説明】

【0014】

【図1】図1は、本発明の一実施形態に係る半導体装置の模式的な平面図である。

【図2】図2は、図1のII-II切断面における断面図である。

【図3A】図3Aは、n型半導体層における電界集中部とトラップレベル領域との位置関係を示す図である。

【図3B】図3Bは、n型半導体層における電界集中部とトラップレベル領域との位置関係を示す図である。

【図3C】図3Cは、n型半導体層における電界集中部とトラップレベル領域との位置関係を示す図である。

【図3D】図3Dは、n型半導体層における電界集中部とトラップレベル領域との位置関係を示す図である。

【図3E】図3Eは、n型半導体層における電界集中部とトラップレベル領域との位置関係を示す図である。

【図3F】図3Fは、n型半導体層における電界集中部とトラップレベル領域との位置関係を示す図である。

【図3G】図3Gは、n型半導体層における電界集中部とトラップレベル領域との位置関係を示す図である。

【図3H】図3Hは、n型半導体層における電界集中部とトラップレベル領域との位置関係を示す図である。

【図4A】図4Aは、図3A～図3Eの条件のときの電流の逆回復特性を示す波形である。

【図4B】図4Bは、図4Aの破線IVBで囲まれた領域の拡大図である。

【図5A】図5Aは、図3A～図3Eの条件のときの電流の逆回復特性を示す波形である。

【図5B】図5Bは、図5Aの破線VBで囲まれた領域の拡大図である。

【図6A】図6Aは、図1および図2の半導体装置の製造工程の一部を示す図である。

【図6B】図6Bは、図6Aの次の工程を示す図である。

【図6C】図6Cは、図6Bの次の工程を示す図である。

【図6D】図6Dは、図6Cの次の工程を示す図である。

【図7】図7は、本発明の他の実施形態に係る半導体装置の模式的な平面図である。

【図8】図8は、図7のVIII-VIII切断面における断面図である。

【図9A】図9Aは、図7および図8の半導体装置の製造工程の一部を示す図である。

【図9B】図9Bは、図9Aの次の工程を示す図である。

【図9C】図9Cは、図9Bの次の工程を示す図である。

【図9D】図9Dは、図9Cの次の工程を示す図である。

【図9E】図9Eは、図9Dの次の工程を示す図である。

【図9F】図9Fは、図9Eの次の工程を示す図である。

【図9G】図9Gは、図9Fの次の工程を示す図である。

【図9H】図9Hは、図9Gの次の工程を示す図である。

【図10】本発明の他の実施形態に係る半導体装置の模式的な断面図である。

【発明を実施するための形態】

【0015】

以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

図1は、本発明の一実施形態に係る半導体装置1の模式的な平面図である。図2は、図1のII-II切断面における断面図である。なお、図1では、説明に必要な構成のみを示しており、たとえばn<sup>+</sup>型ソース領域5、ソース電極8等の図示を省略している。

半導体装置1は、スーパージャンクション構造を有するnチャンネル型MOSFET (Metal Oxide Semiconductor Field Effect Transistor) である。

10

20

30

40

50

## 【0016】

半導体装置1は、n型半導体層2と、p型ボディ領域3と、本発明の第1ピラー層の一例としてのp型ピラー層4と、n<sup>+</sup>型ソース領域5と、ゲート絶縁膜6と、ゲート電極7と、ソース電極8と、ドレイン電極9と、トラップレベル領域10とを含む。ゲート電極7上には、層間絶縁膜11が配置されている。

n型半導体層2は、たとえば、本発明のドレイン領域の一例としてのn<sup>+</sup>型基板12と、当該n<sup>+</sup>型基板12上に半導体結晶を成長させることによって形成されたn<sup>-</sup>型エピタキシャル層13とを含んでいてもよい。

## 【0017】

n<sup>+</sup>型基板12およびn<sup>-</sup>型エピタキシャル層13は、この実施形態ではシリコン(Si)からなる。n<sup>+</sup>型基板12に関して、その厚さは150μm~180μm程度であってもよいし、そのn型不純物濃度は $1 \times 10^{18} \text{ cm}^{-3} \sim 3 \times 10^{18} \text{ cm}^{-3}$ 程度であってもよい。一方、n<sup>-</sup>型エピタキシャル層13に関して、その厚さは50μm~90μm程度であってもよいし、そのn型不純物濃度は $1 \times 10^{15} \text{ cm}^{-3} \sim 2 \times 10^{15} \text{ cm}^{-3}$ 程度であってもよい。なお、n<sup>+</sup>型基板12およびn<sup>-</sup>型エピタキシャル層13に含有されるn型不純物としては、P(リン)、As(ヒ素)、Sb(アンチモン)等を適用できる。

## 【0018】

p型ボディ領域3およびp型ピラー層4は、p型不純物が注入された不純物領域である。より具体的には、n<sup>-</sup>型エピタキシャル層13に対してp型不純物をイオン注入(インプラ)することによって形成された不純物領域であってもよい。p型ボディ領域3およびp型ピラー層4に含有されるp型不純物としては、B(ホウ素)、Al(アルミニウム)、Ga(ガリウム)等を適用できる。

## 【0019】

p型ボディ領域3は、図1に示すように、n<sup>-</sup>型エピタキシャル層13の表面の法線方向から見た平面視(以下、単に「平面視」とする)において周期的に離散配置された複数の領域において、n<sup>-</sup>型エピタキシャル層13の表面部に選択的に形成されている。この実施形態では、複数のp型ボディ領域3は、互いに平行なストライプ状に形成されている。個々のp型ボディ領域3およびその周囲のn<sup>-</sup>型エピタキシャル層13を含む領域は、セル14を形成している。すなわち、この半導体装置1は、図1のレイアウトでは、平面視においてストライプ状に配列された多数(複数)のセル14を有している。

## 【0020】

p型ピラー層4は、平面視において、各セル14のp型ボディ領域3の内方の領域に形成されている。より具体的には、この実施形態では、p型ピラー層4は、平面視において、p型ボディ領域3の幅方向中央の領域においてストライプ状に形成されている。これにより、n<sup>-</sup>型エピタキシャル層13には、p型ピラー層4と共に、隣り合うp型ピラー層4で挟まれたn<sup>-</sup>型エピタキシャル層13の部分からなる本発明の第2ピラー層の一例としてのn<sup>-</sup>型ピラー層15が配置されている。

## 【0021】

より具体的には、p型ピラー層4は、2μm~6μmの幅、および $3 \times 10^{15} \text{ cm}^{-3} \sim 8 \times 10^{15} \text{ cm}^{-3}$ の不純物濃度を有していてもよい。また、n<sup>-</sup>型ピラー層15は、2μm~10μmの幅、および $1 \times 10^{15} \text{ cm}^{-3} \sim 3 \times 10^{15} \text{ cm}^{-3}$ の不純物濃度を有していてもよい。

p型ピラー層4は、p型ボディ領域3に連なるように形成されており、n<sup>-</sup>型エピタキシャル層13において、p型ボディ領域3よりも深い位置までn<sup>+</sup>型基板12に向かって延びている。したがって、p型ピラー層4は、隣り合うp型ボディ領域3との間に連続性を持って配列されている。p型ピラー層4のピッチP<sub>1</sub>は、たとえば、5μm~20μmである。ここで、ピッチP<sub>1</sub>とは、一対のp型ピラー層4およびn<sup>-</sup>型ピラー層15を一つの繰り返し単位とし、当該繰り返し単位のn<sup>-</sup>型エピタキシャル層13の表面に沿う方向の長さのことである。この実施形態では、p型ピラー層4が各p型ボディ領域3の幅方

10

20

30

40

50

向中央に配置されていることから、ピッチ  $P_1$  はセル 14 のピッチ (セルピッチ) に一致している。

【0022】

p 型ピラー層 4 は、その深さ方向途中部に n<sup>-</sup> 型エピタキシャル層 13 の一部からなる分断領域 16 を介在させることによって上下に分断されていてもよい。p 型ピラー層 4 は、分断領域 16 によって隔てられた上側ピラー層 17 および下側ピラー層 18 を含んでいてもよい。

各ピラー層 17, 18 の n<sup>-</sup> 型エピタキシャル層 13 の深さ方向に沿う側面は、当該方向に沿って周期的に起伏した凹凸面となっている。この凹凸の数は、通常、後述する n 型半導体層 23, 24 (図 3A) の段数とほぼ一致するが、図 2 では明瞭化のために前記段数より少ない凹凸を表している。

10

【0023】

上側ピラー層 17 は、p 型ボディ領域 3 と一体をなしていて、p 型ボディ領域 3 と共に n<sup>-</sup> 型エピタキシャル層 13 との界面 (pn 接合面) に寄生ダイオード 19 を形成している。一方、下側ピラー層 18 は、p 型ボディ領域 3 とは分断領域 16 によって分離されていて、電氣的にフローティングされている。

n<sup>+</sup> 型ソース領域 5 は、平面視において各セル 14 の p 型ボディ領域 3 の内方領域に形成されている。n<sup>+</sup> 型ソース領域 5 は、当該領域において、p 型ボディ領域 3 の表面部に選択的に形成されている。n<sup>+</sup> 型ソース領域 5 は、p 型ボディ領域 3 に n 型不純物を選択的にイオン注入することによって形成されてもよい。n 型不純物の例は、前述のとおりである。n<sup>+</sup> 型ソース領域 5 は、p 型ボディ領域 3 の周縁 (p 型ボディ領域 3 と n<sup>-</sup> 型エピタキシャル層 13 との界面) から所定距離だけ内側に位置するように p 型ボディ領域 3 内に形成されている。これにより、n<sup>-</sup> 型エピタキシャル層 13 および p 型ボディ領域 3 等を含む n 型半導体層 2 の表層領域において、n<sup>+</sup> 型ソース領域 5 と n<sup>-</sup> 型エピタキシャル層 13 との間には、p 型ボディ領域 3 の表面部が介在し、この介在している表面部がチャンネル領域 20 を提供する。

20

【0024】

この実施形態では、n<sup>+</sup> 型ソース領域 5 は、平面視ストライプ状に形成されており、p 型ピラー層 4 の側面よりも外側の領域に形成されている。チャンネル領域 20 は、n<sup>+</sup> 型ソース領域 5 の形状に応じて、ストライプ状の形状を有している。

30

ゲート絶縁膜 6 は、たとえば、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、ハフニウム酸化膜、アルミナ膜、タンタル酸化膜等からなってもよい。ゲート絶縁膜 6 は、少なくともチャンネル領域 20 における p 型ボディ領域 3 の表面を覆うように形成されている。この実施形態では、ゲート絶縁膜 6 は、n<sup>+</sup> 型ソース領域 5 の一部、チャンネル領域 20、および n<sup>-</sup> 型エピタキシャル層 13 の表面を覆うように形成されている。より端的には、ゲート絶縁膜 6 は、各セル 14 の p 型ボディ領域 3 の中央領域およびこの領域に連なる n<sup>+</sup> 型ソース領域 5 の内縁領域に開口を有するパターンで形成されている。

【0025】

ゲート電極 7 は、ゲート絶縁膜 6 を介してチャンネル領域 20 に対向するように形成されている。ゲート電極 7 は、たとえば、不純物を注入して低抵抗化したポリシリコンからなってもよい。この実施形態では、ゲート電極 7 は、ゲート絶縁膜 6 とほぼ同じパターンに形成されており、ゲート絶縁膜 6 の表面を覆っている。すなわち、ゲート電極 7 は、n<sup>+</sup> 型ソース領域 5 の一部、チャンネル領域 20、および n<sup>-</sup> 型エピタキシャル層 13 の表面の上方に配置されている。より端的には、ゲート電極 7 は、各セル 14 の p 型ボディ領域 3 の中央領域およびこの領域に連なる n<sup>+</sup> 型ソース領域 5 の内縁領域に開口を有するパターンで形成されている。すなわち、ゲート電極 7 は、複数のセル 14 を共通に制御するように形成されている。これにより、プレーナゲート構造が構成されている。

40

【0026】

層間絶縁膜 11 は、たとえば、シリコン酸化膜、シリコン窒化膜、TEOS (テトラエトキシシラン) 等の絶縁材料からなる。層間絶縁膜 11 は、ゲート電極 7 を覆い、各セル

50

14のp型ボディ領域3の中央領域およびこの領域に連なるn<sup>+</sup>型ソース領域5の内縁領域にコンタクト孔21を有するパターンで形成されている。

ソース電極8は、アルミニウムその他の金属からなる。ソース電極8は、層間絶縁膜11の表面を覆い、かつ各セル14のコンタクト孔21に埋め込まれるように形成されている。これにより、ソース電極8は、n<sup>+</sup>型ソース領域5にオーミック接続されている。したがって、ソース電極8は、複数のセル14に並列に接続されており、複数のセル14に流れる全電流が流れるように構成されている。また、ソース電極8は、コンタクト孔21を介して各セル14のp型ボディ領域3にオーミック接続されており、p型ボディ領域3の電位を安定化する。

【0027】

ドレイン電極9は、アルミニウムその他の金属からなる。ドレイン電極9は、n<sup>+</sup>型基板12の裏面に接するように形成されている。これにより、ドレイン電極9は、複数のセル14に並列に接続されており、複数のセル14に流れる全電流が流れるように構成されている。

ドレイン電極9を高電位側、ソース電極8を低電位側として、ソース電極8およびドレイン電極9の間に直流電源を接続すると、寄生ダイオード19には逆バイアスが与えられる。このとき、ゲート電極7に所定の閾値電圧よりも低い制御電圧が与えられていると、ドレイン-ソース間には電流経路が形成されない。すなわち、半導体装置1は、オフ状態となる。一方、ゲート電極7に閾値電圧以上の制御電圧を与えると、チャンネル領域20の表面に電子が引き寄せられて反転層(チャンネル)が形成される。これにより、n<sup>+</sup>型ソース領域5とn<sup>-</sup>型エピタキシャル層13との間が導通する。すなわち、ソース電極8から、n<sup>+</sup>型ソース領域5、チャンネル領域20の反転層、n<sup>-</sup>型エピタキシャル層13を順に通って、ドレイン電極9に至る電流経路が形成される。すなわち、半導体装置1は、オン状態となる。

【0028】

電動モータ等の誘導性負荷を駆動するインバータ回路に半導体装置1が適用されるとき、ソース電極8がドレイン電極9よりも高電位となって、寄生ダイオード19がオンし、この寄生ダイオード19を通して電流が流れる場合がある。その後、ソース電極8がドレイン電極9よりも低電位となると、寄生ダイオード19は、逆バイアス状態となって、ターンオフする。このターンオフ時には、寄生ダイオード19のpn接合部から空乏層が広がり、p型ボディ領域3およびp型ピラー層4内のキャリア(正孔)がソース電極8側に移動し、n<sup>-</sup>型エピタキシャル層13内のキャリア(電子)がドレイン電極9側へと移動する。

【0029】

このキャリアの移動によって、寄生ダイオード19がオン状態のときとは逆方向への電流が流れる。この電流は、逆回復電流とよばれる。逆回復電流は、一旦増加し、その後減少する。ダイオードの順方向電流が零となってから、逆回復電流の大きさがその最大値の10%にまで減少するまでの時間は逆回復時間と呼ばれる。逆回復電流の変化(dI/dt)が大きいときは、電流が零に収束するまでに振動(リングング)が生じる場合がある。このような逆回復特性は、ハードリカバリと呼ばれ、ノイズや誤動作の原因となる。

【0030】

トラップレベル領域10は、逆回復時間の短縮に寄与する。トラップレベル領域10は、n型半導体層2の裏面側から荷電粒子を照射することによって形成された領域である。トラップレベル領域10には、キャリアをトラップして再結合させることによって消失させる再結合中心が多く存在している。これにより、寄生ダイオード19がターンオフするときにキャリアを速やかに消失させることができるから、逆回復時間および逆回復電流を低減できる。

【0031】

トラップレベル領域10は、n<sup>-</sup>型エピタキシャル層13内において、n<sup>-</sup>型エピタキシャル層13の裏面から予め設定された深さ位置に薄く(たとえば1μm~3μm程度の

10

20

30

40

50

厚さで) 広がるように局所的に形成されている。

トラップレベル領域 10 の形成には、プロトン、重水素、 $^3\text{He}^{++}$ 、 $^4\text{He}^{++}$  等の荷電粒子の照射を適用することができる。なかでも、質量の大きなヘリウム原子核 ( $^3\text{He}^{++}$ 、または  $^4\text{He}^{++}$ ) は、再結合中心の厚さ方向の分布域を狭くことができ、厚さ方向に関して狭い範囲に再結合中心を局所的に分布させることができるので、好ましい。

#### 【0032】

また、この半導体装置 1 では、p 型ピラー層 4 が上下に分断されていて、下側ピラー層 18 は p 型ボディ領域 3 に対して電氣的にフローティングされている。したがって、寄生ダイオード 19 の動作に当該下側ピラー層 18 が寄与しないので、逆回復現象の際の急峻な空乏層の広がり抑制される。これにより、ドレイン電極 9 に向かう空乏層の広がりが抑制され、それによって、寄生ダイオード 19 がターンオフするときに空乏層が広がる速度が抑制される。これにより、逆回復電流の変化速度 ( $di/dt$ ) が小さくなるので、リカバリ特性が改善される。

#### 【0033】

図 3A ~ 図 3H は、それぞれ、n 型半導体層 2 における電界集中部とトラップレベル領域 10 との位置関係を示す図である。

本願発明者は、n 型半導体層 2 における電界集中部とトラップレベル領域 10 との位置関係について、条件をいくつかのパターンに動かしてシミュレーションを行い、どのような条件のときに電界集中部とトラップレベル領域 10 との位置が離れ、または近くなるのかを検証した。つまり、下記の条件等を入力してシミュレーションすることによって、半導体装置を実際に製造したときに電界集中部がどの位置になるか判定することができる。結果を図 3A ~ 図 3H に示す。図 3A ~ 図 3H では、半導体装置 1 の構造 (要部) の横側に、n 型半導体層 2 の深さ方向における電界強度をグラフで示しており、符号 25 は電界強度が集中している電界集中部を示す。図 3A ~ 図 3H の各図の条件は次の通りである。

#### 【0034】

- 図 3A : ピラー分断なし
- 図 3B : ピラー分断なし
- 図 3C : ピラー分断なし
- 図 3D : ピラー分断あり (下から 3 段目)
- 図 3E : ピラー分断あり (下から 7 段目)
- 図 3F : ピラー分断あり (下から 3 段目)
- 図 3G : ピラー分断あり (下から 7 段目)
- 図 3H : ピラー分断あり (下から 7 段目)

図 3A ~ 図 3H の結果、条件を動かすことによって、図 3C、図 3D、図 3E、図 3G および図 3H において、n 型半導体層 2 における電界集中部 25 とトラップレベル領域 10 とを互いに異なる深さ位置に配置することができた。たとえば、図 3D および図 3E では、トラップレベル領域 10 が p 型ピラー層 4 の底部の近傍に配置されている一方、電界集中部 25 は、それぞれ、p 型ピラー層 4 の分断領域 16 の深さ位置に配置されている。また、図 3G および図 3H では、電界集中部 25 が分断領域 16 の深さ位置ではないが、トラップレベル領域 10 よりも浅い位置に配置されていることで、電界集中部 25 とトラップレベル領域 10 とを離すことができている。

#### 【0035】

さらに、図 3A ~ 図 3H のうち、図 3A ~ 図 3E については逆回復特性についても検証した。結果を図 4A、図 4B、図 5A および図 5B に示す。これらの図によれば、電界集中の緩和効果が見込まれた図 3C、図 3D および図 3E のすべてにおいて、トラップレベル領域 10 が形成されていない図 3A の構造に比べて逆回復時間  $t_{rr}$  (図 4A では、3E の  $t_{rr}$  のみ示している) を短縮でき、その他の逆回復特性も改善 (逆回復電流の低減、逆回復電圧の低減、逆回復電流のリングングの低減等) できていることがわかった。すなわち、少なくとも図 3C、図 3D および図 3E の構成であれば、スーパージャンクシヨ

10

20

30

40

50

ン構造の半導体装置 1 の逆回復特性を改善できることが分かった。

【0036】

次に、半導体装置 1 の製造方法について説明する。

図 6 A ~ 図 6 D は、半導体装置 1 の製造方法を工程順に示す図である。

半導体装置 1 を製造するには、たとえば図 6 A に示すように、 $n^+$  型基板 1 2 上に、 $n$  型の初期ベース層 2 2 が形成される。エピタキシャル成長の条件は、たとえば、 $1 \sim 10 \text{ cm} \cdot \text{cm}$ 、厚さ  $5 \mu\text{m} \sim 20 \mu\text{m}$  である。

【0037】

次に、図 6 B に示すように、初期ベース層 2 2 の上に、 $p$  型ピラー層 4 を形成すべき位置に  $p$  型不純物を選択的に注入 ( $B$  イオンを  $50 \text{ keV}$ 、 $5.3 \times 10^{13} \text{ cm}^{-2}$ 、0 10 度で注入) しながら  $1 \sim 10 \text{ cm} / 2 \mu\text{m} \sim 10 \mu\text{m}$  の薄い  $n$  型半導体層 2 3 を形成する工程を繰り返すマルチエピタキシャル成長によって、複数層の  $n$  型半導体層 2 3 を積層させる。その後、 $n$  型半導体層 2 3 と同じ抵抗および厚さ ( $1 \sim 10 \text{ cm} / 2 \mu\text{m} \sim 10 \mu\text{m}$ ) の  $n$  型半導体層 2 4 を、 $p$  型不純物を注入しないで一段成長させる。次に、再び  $n$  型半導体層 2 3 をマルチエピタキシャル成長させる。これにより、複数枚の  $n$  型半導体層 2 3、2 4 と初期ベース層 2 2 とが一体化されて  $n$  型エピタキシャル層 1 3 が形成される。

【0038】

次に、図 3 C に示すように、アニール処理 ( $1000 \sim 1200$ ) を行うことによって、複数層の  $n$  型半導体層 2 3、2 4 の  $p$  型不純物をドライブ拡散させる。これにより、途中で分断された  $p$  型ピラー層 4 が形成される。すなわち、 $n$  型半導体層 2 4 よりも下側の  $n$  型半導体層 2 3 内の  $p$  型不純物が拡散によって下側ピラー層 1 8 を提供し、 $n$  型半導体層 2 4 よりも上側の  $n$  型半導体層 2 3 内の  $p$  型不純物が拡散によって上側ピラー層 1 7 を提供し、これらの間の  $n$  型半導体層 2 4 の位置に分断領域 1 6 を提供する。 20

【0039】

次に、 $n$  型エピタキシャル層 1 3 の表面部に選択的に比較的低いエネルギーで  $p$  型不純物が注入 ( $B$  イオンを  $50 \text{ keV}$ 、 $5.0 \times 10^{15} \text{ cm}^{-2}$ 、7 度で注入) されて、 $p$  型ボディ領域 3 が形成される。また、平面視において  $p$  型ボディ領域 3 内において  $p$  型ボディ領域 3 の外周縁から所定距離だけ内方に後退した位置に外縁部を有する所定幅の環状領域に  $n$  型不純物を選択的に注入 ( $P$  イオンを  $130 \text{ keV}$ 、 $2.0 \times 10^{15} \text{ cm}^{-2}$ 、7 度で注入) され、これにより、 $n^+$  型ソース領域 5 が形成される。 30

【0040】

次に、 $n$  型エピタキシャル層 1 3 および  $p$  型ボディ領域 3 の表面 (半導体結晶の表面) を覆うように、ゲート絶縁膜 6 が形成される。このゲート絶縁膜 6 は、半導体結晶表面の熱酸化によって形成されてもよい。さらに、ゲート絶縁膜 6 上に、ゲート電極 7 が形成される。ゲート電極 7 の形成は、たとえば、不純物を添加して低抵抗化したポリシリコン膜を全表面に形成し、その後、そのポリシリコン膜をフォトリソグラフィによって選択的にエッチングすることによって行ってもよい。このエッチングのときには、ゲート絶縁膜 6 を同時にパターンングして、ゲート電極 7 およびゲート絶縁膜 6 を同一パターンに形成してもよい。さらに、ゲート電極 7 を覆うように、層間絶縁膜 1 1 (たとえば、 $1000$  厚) が形成され、この層間絶縁膜 1 1 に、フォトリソグラフィによって、コンタクト孔 2 1 が形成される。次に、層間絶縁膜 1 1 上に、ソース電極 8 が形成され、必要に応じて、合金化によるオーミック接合形成のための熱処理が行われる。この後、図示しない表面保護膜 (たとえば、 $16000$  厚) が形成され、その表面保護膜に、ソース電極 8 の一部をパッドとして露出させるパッド開口が形成される。 40

【0041】

次に、図 6 D に示すように、 $n$  型半導体層 2 の裏面から、荷電粒子照射が行われる。このときに照射される荷電粒子としては、たとえばプロトン、重水素、 $^3\text{He}^{++}$ 、 $^4\text{He}^{++}$  が用いられる。その後、低温の熱処理 (低温アニール) が行われる。これにより、照射された荷電粒子が活性化する。荷電粒子としてヘリウム原子核 ( $^3\text{He}^{++}$  または  $^4\text{H}$  50

e<sup>+</sup>を選択した場合には、たとえば、320 ~ 380（たとえば350）で30分~120分程度（たとえば60分）の熱処理によって活性化できる。

#### 【0042】

こうして、トラップレベル領域10が形成される。荷電粒子を照射するときのエネルギーを大きくすれば荷電粒子の飛程が長くなるから、n型半導体層2の裏面から遠い位置にトラップレベル領域10が形成され、そのエネルギーを小さくすれば荷電粒子の飛程が短くなるから、n型半導体層2の裏面から近い位置にトラップレベル領域10が形成される。したがって、トラップレベル領域10の配置に応じて、荷電粒子の照射エネルギーが設定される。

#### 【0043】

この後、n<sup>+</sup>型基板12の裏面にドレイン電極9が形成され、必要に応じて、合金化によるオーミック接合形成のための熱処理が行われる。

以上の工程を経て、図1および図2の半導体装置1を得ることができる。

図7は、本発明の他の実施形態に係る半導体装置31の模式的な平面図である。図8は、図7のVIII-VIII切断面における断面図である。図7および図8において、前述の図1および図2に示された各部と対応する部分には同一の参照符号を付して示し、その説明を省略する。

#### 【0044】

半導体装置31は、n<sup>+</sup>型基板12が省略されている点が、前述の半導体装置1と異なっている。より具体的には、半導体装置31は、ドレイン電極9のコンタクトをとるための層として、n<sup>+</sup>型基板12に代えて、本発明のドレイン領域の一例としてのn<sup>+</sup>型コンタクト領域32を有している。

n<sup>+</sup>型コンタクト領域32は、n<sup>-</sup>型エピタキシャル層13の裏面全体にわたって形成されている。n<sup>+</sup>型コンタクト領域32は、p型ピラー層4の底部に対して間隔が空くような深さで形成されている。これにより、p型ピラー層4とn<sup>+</sup>型コンタクト領域32の間には、n<sup>-</sup>型エピタキシャル層13が介在している。

#### 【0045】

また、半導体装置31は、n<sup>+</sup>型コンタクト領域32の裏面部に選択的にp<sup>+</sup>型コレクタ領域33を有している点において、前述の半導体装置1と異なっている。

p<sup>+</sup>型コレクタ領域33は、n<sup>-</sup>型エピタキシャル層13の裏面に選択的に形成され、当該裏面に沿って連続性を持って複数配列されている。この実施形態では、p<sup>+</sup>型コレクタ領域33は、図7にクロスハッチングで明示するように平面視においてp型ピラー層4に平行なストライプ状に形成されている。これにより、n<sup>-</sup>型エピタキシャル層13の裏面には、p<sup>+</sup>型コレクタ領域33と、隣り合うp<sup>+</sup>型コレクタ領域33間のn<sup>+</sup>型コンタクト領域32とがストライプ状に交互に露出することとなる。

#### 【0046】

p<sup>+</sup>型コレクタ領域33のピッチP<sub>2</sub>は、p型ピラー層4のピッチP<sub>1</sub>よりも大きくてもよい。これにより、半導体装置1は、n<sup>-</sup>型エピタキシャル層13の厚さ方向において、p<sup>+</sup>型コレクタ領域33に対向するp型ピラー層4と、p<sup>+</sup>型コレクタ領域33に対向せず、隣り合うp<sup>+</sup>型コレクタ領域33の間のn型部分に対向するp型ピラー層4とを選択的に有することとなる。

#### 【0047】

さらにp<sup>+</sup>型コレクタ領域33の構成について説明を加えると、p<sup>+</sup>型コレクタ領域33の不純物濃度は、 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{22} \text{ cm}^{-3}$ である。また、p<sup>+</sup>型コレクタ領域33は、n<sup>-</sup>型エピタキシャル層13の裏面からn<sup>+</sup>型コンタクト領域32を厚さ方向に貫通してn<sup>-</sup>型エピタキシャル層13に達するように形成されており、n<sup>-</sup>型エピタキシャル層13の裏面から0.2 μm~3 μmの深さを有している。また、p<sup>+</sup>型コレクタ領域33の幅は、5 μm~200 μmである。

#### 【0048】

そして、この半導体装置31によれば、n<sup>-</sup>型エピタキシャル層13の裏面に複数のp

10

20

30

40

50

+型コレクタ領域33が選択的に形成されているので、当該裏面にはn<sup>-</sup>型エピタキシャル層13とp<sup>+</sup>型コレクタ領域33の両方が露出することとなる。これにより、n<sup>-</sup>型エピタキシャル層13の裏面に、当該露出したn<sup>-</sup>型エピタキシャル層13およびp<sup>+</sup>型コレクタ領域33の両方に接するようにドレイン電極9を形成することによって、低電流域でのセット効率に優れるMOSFETの特性と、高電圧域において伝導度変調を発生させることができるIGBTの特性とを併せ持つ半導体装置31を提供することができる。むしろ、前述の半導体装置1と同様の作用効果を実現することもできる。

#### 【0049】

図9A~図9Hは、半導体装置31の製造工程の一部を工程順に示す図である。図9A~図9Hにおいて、前述の図6A~図6Dに示された各部と対応する部分には同一の参照符号を付して示し、その説明を省略する。

10

半導体装置31を製造するには、たとえば図9Aに示すように、基板34上に、n型不純物を注入しながら行うエピタキシャル成長によって、初期ベース層22が形成される。基板34としては、n型シリコン基板を採用することができるが、この基板34は後の工程で除去するものであるため、高品質なものである必要はなく、安価な基板を使用することができる。

#### 【0050】

次に、図9Bに示すように、初期ベース層22の上に、複数層のn型半導体層23、単層のn型半導体層24および複数のn型半導体層23を順にエピタキシャル成長させる。

次に、図9Cに示すように、アニール処理(1000~1200)を行うことによって、複数層のn型半導体層23、24のp型不純物をドライブ拡散させる。これにより、途中で分断されたp型ピラー層4が形成される。次に、前述と同様の方法によって、p型ボディ領域3、n<sup>+</sup>型ソース領域5、ゲート絶縁膜6、ゲート電極7、層間絶縁膜11およびソース電極8が形成される。

20

#### 【0051】

次に、図9Dに示すように、たとえばグラインダを用いて基板34を裏面側から研削する。この研削は、たとえば、基板34を完全に除去してn<sup>-</sup>型エピタキシャル層13の裏面が露出した後、p型ピラー層4の直下のn<sup>-</sup>型エピタキシャル層13が一定の厚さで残るように行ってよい。研削後、n<sup>-</sup>型エピタキシャル層13の裏面をスピンエッチングすることによって裏面を鏡面に仕上げる。

30

#### 【0052】

このように、製造工程の途中までn<sup>-</sup>型エピタキシャル層13が基板34に支持されているので、n<sup>-</sup>型エピタキシャル層13の搬送・ハンドリングを行い易くすることができる。また、基板34の研削に続けてn<sup>-</sup>型エピタキシャル層13の研削を連続して実行することができるので、p型ピラー層4の直下のn<sup>-</sup>型エピタキシャル層13の厚さを簡単に調節することができる。

#### 【0053】

次に、図9Eに示すように、n<sup>-</sup>型エピタキシャル層13の裏面から、荷電粒子照射が行われる。その後、低温の熱処理(低温アニール)が行われる。これにより、照射された荷電粒子が活性化する。こうして、トラップレベル領域10が形成される。

40

次に、図9Fに示すように、n<sup>-</sup>型エピタキシャル層13の裏面へ向かってn型不純物を全面に注入(A<sub>s</sub>イオンを30keV、 $1.0 \times 10^{15} \text{ cm}^{-2}$ 、0度で注入)し、アニール処理することによって、n<sup>+</sup>型コンタクト領域32が形成される。

#### 【0054】

次に、図9Gに示すように、n<sup>-</sup>型エピタキシャル層13の裏面を選択的に露出させるフォトレジスト35が形成される。そして、このフォトレジスト35を介して、まずBイオンを100keV、 $1.0 \times 10^{15} \text{ cm}^{-2}$ 、7度の傾斜角度で注入する。続けて、Bイオンを注入する工程よりも小さなエネルギー、具体的には、30keV、 $1.0 \times 10^{15} \text{ cm}^{-2}$ 、7度(同じ傾斜角度)でBF<sub>2</sub>イオンを注入する。この際、BイオンおよびBF<sub>2</sub>イオンをn<sup>-</sup>型エピタキシャル層13の裏面に対して垂直ではなく、所定の傾斜

50

角度を持たせて斜め注入することによって、イオンが $n^-$ 型エピタキシャル層13の深くまで入っていくチャネリングを防止することができる。この後、フォトレジスト35を、たとえばアッシングによって除去する。

【0055】

次に、図9Hに示すように、 $n^-$ 型エピタキシャル層13をレーザアニール処理することによって、前工程で注入したBイオンおよび $BF_2$ イオンを活性化させる。これにより、 $n^+$ 型コンタクト領域32の一部の導電型が $n$ 型から $p$ 型へと反転して、 $p^+$ 型コレクタ領域33が形成される。

このとき、高温（たとえば1500程度）のアニール処理を実行しないので、ソース電極8の熔融を防止することができる。つまり、ソース電極8などの高温環境下で熔融し易い金属系の部分を、このアニール処理に先立って作製することができる。そのため、 $n^-$ 型エピタキシャル層13の表面側の構造の大部分もしくは全てを、当該アニール処理を行う前に作製することができる。その結果、 $n^-$ 型エピタキシャル層13の表裏面を何度も逆にしなくて済むので、製造効率を向上させることができる。

【0056】

この後、 $n^-$ 型エピタキシャル層13の裏面にドレイン電極9が形成され、必要に応じて、合金化によるオーミック接合形成のための熱処理が行われる。

以上の工程を経て、図7および図8の半導体装置31を得ることができる。

以上、本発明の実施形態について説明したが、本発明は、さらに他の形態で実施することもできる。

【0057】

たとえば、図10に示す半導体装置41のように、トレンチゲート構造を有していてもよい。具体的には、 $n$ 型半導体層2の表面から $n^+$ 型ソース領域5および $p$ 型ボディ領域3を貫通するゲートトレンチ42が形成され、当該ゲートトレンチ42に、ゲート絶縁膜43を介してゲート電極44が充填されたトレンチゲート構造を有していてもよい。

また、半導体装置1, 31, 41の各半導体部分の導電型を反転した構成が採用されてもよい。たとえば、半導体装置1において、 $p$ 型の部分が $n$ 型であり、 $n$ 型の部分が $p$ 型であってもよい。

【0058】

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【符号の説明】

【0059】

- 1 半導体装置
- 2  $n$ 型半導体層
- 3  $p$ 型ボディ領域
- 4  $p$ 型ピラー層
- 5  $n^+$ 型ソース領域
- 6 ゲート絶縁膜
- 7 ゲート電極
- 10 トラップレベル領域
- 12  $n^+$ 型基板
- 13  $n^-$ 型エピタキシャル層
- 15  $n^-$ 型ピラー層
- 16 分断領域
- 25 電界集中部
- 31 半導体装置
- 32  $n^+$ 型コンタクト領域
- 33  $p^+$ 型コレクタ領域
- 41 半導体装置

10

20

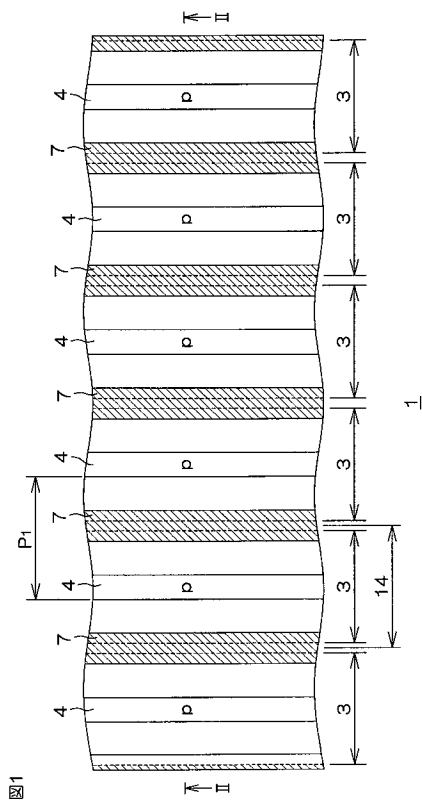
30

40

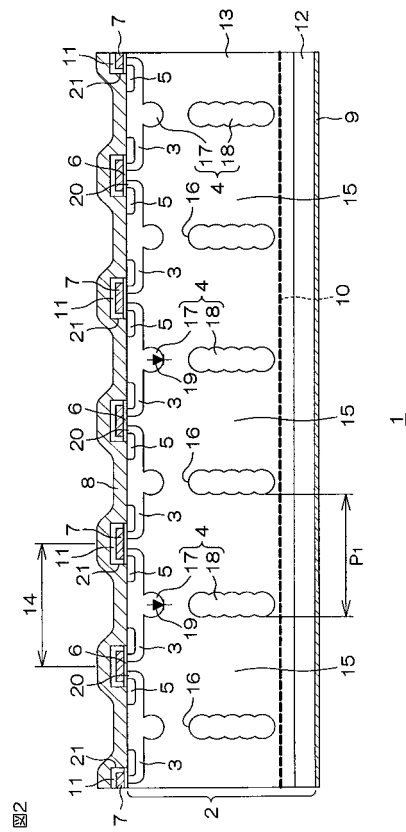
50

- 4 2 ゲートトレンチ
- 4 3 ゲート絶縁膜
- 4 4 ゲート電極

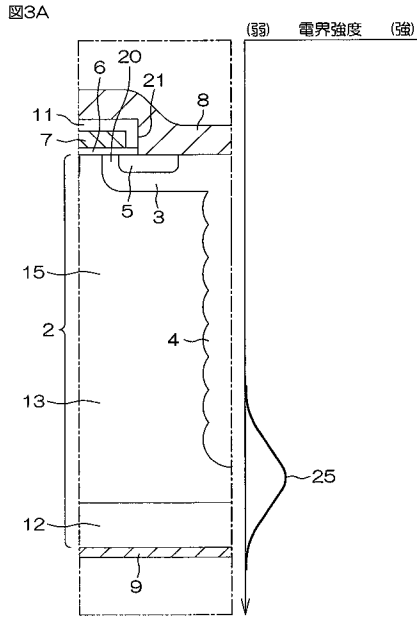
【 図 1 】



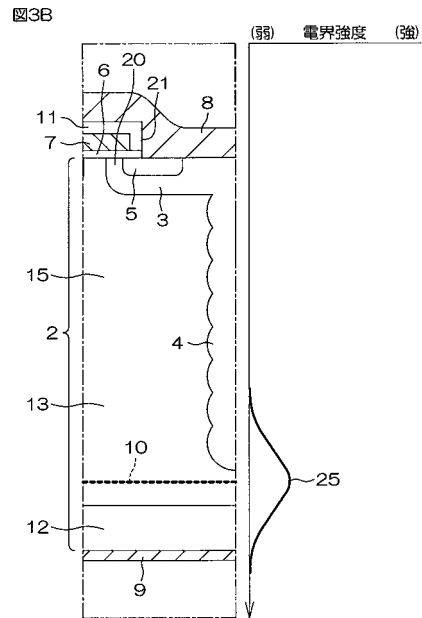
【 図 2 】



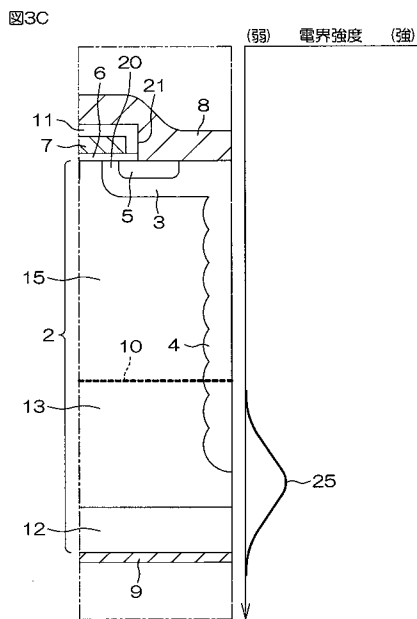
【 図 3 A 】



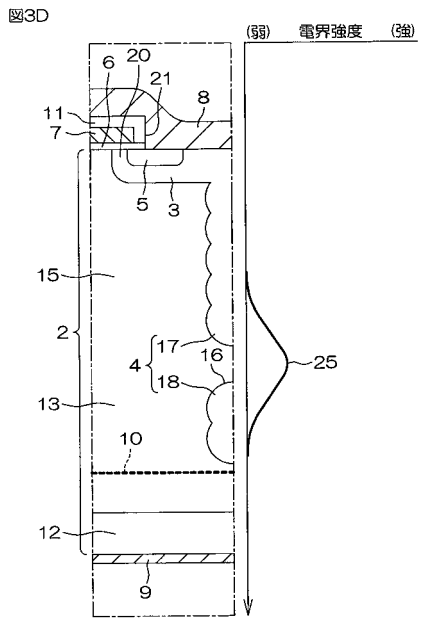
【 図 3 B 】



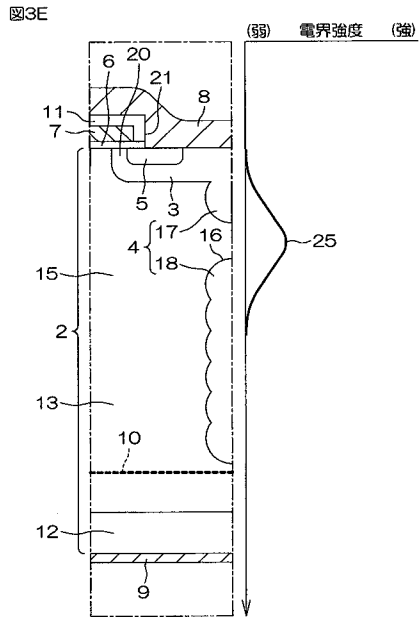
【 図 3 C 】



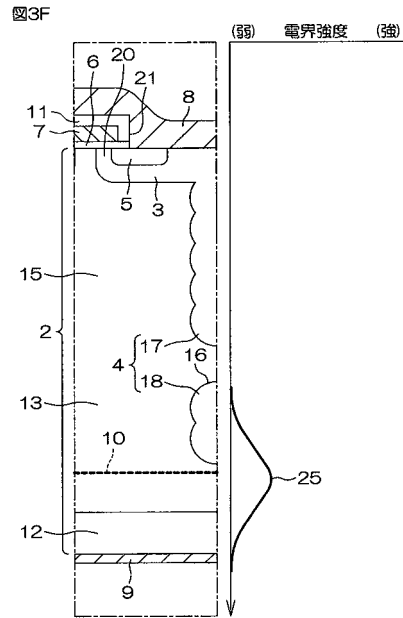
【 図 3 D 】



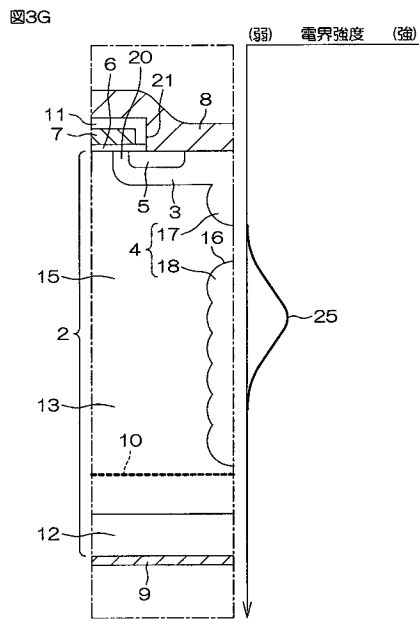
【 図 3 E 】



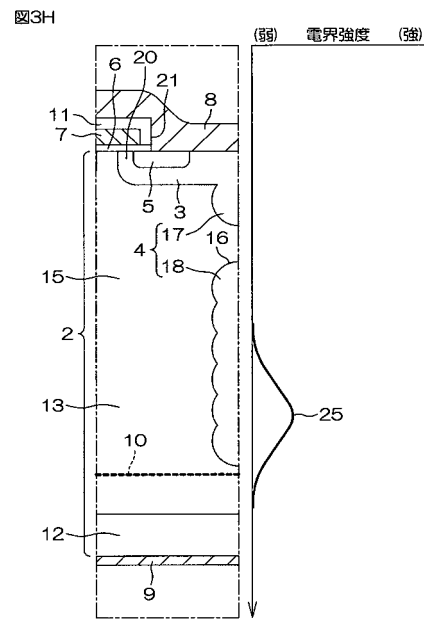
【 図 3 F 】



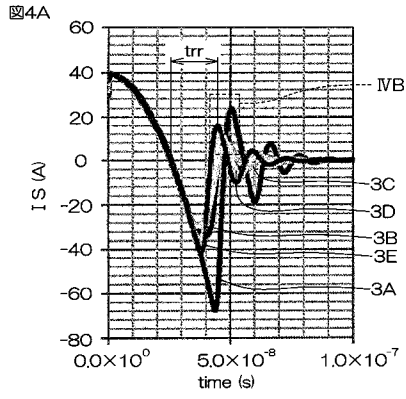
【 図 3 G 】



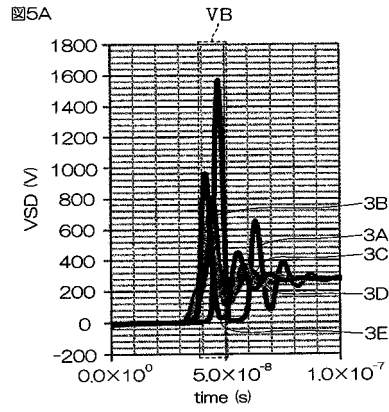
【 図 3 H 】



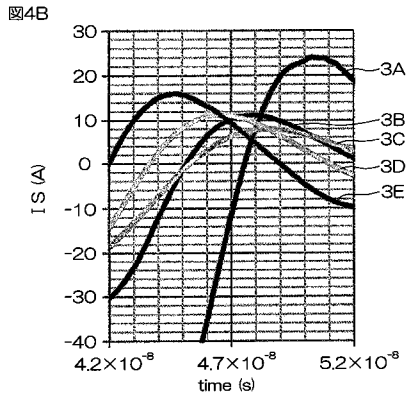
【 図 4 A 】



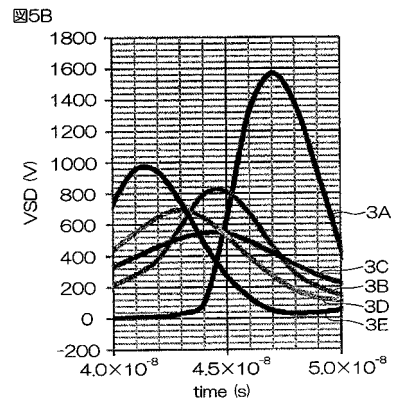
【 図 5 A 】



【 図 4 B 】



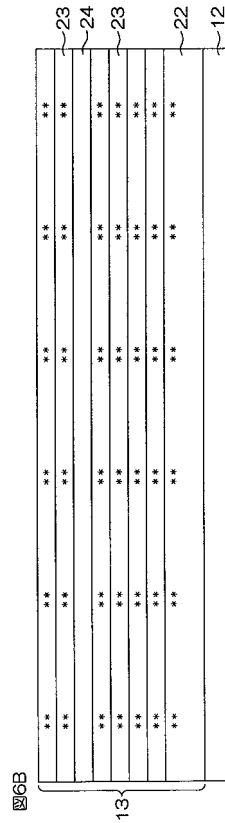
【 図 5 B 】



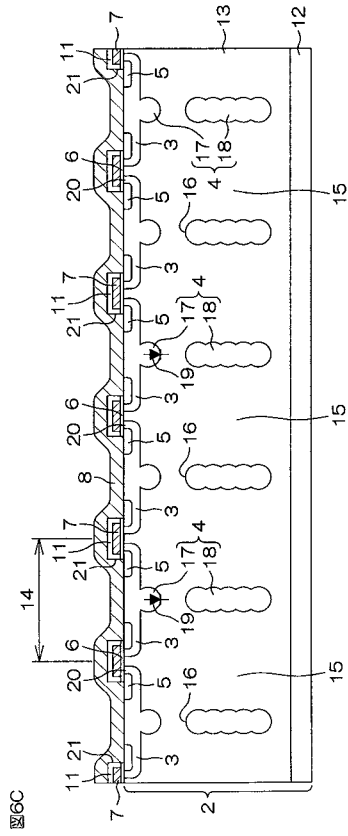
【 図 6 A 】



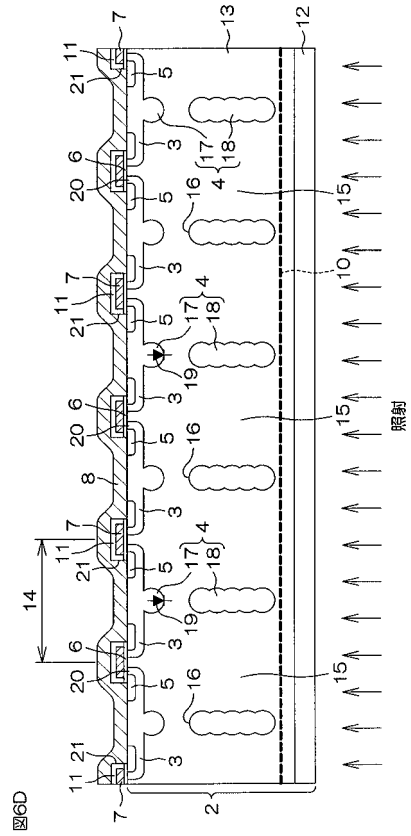
【 図 6 B 】



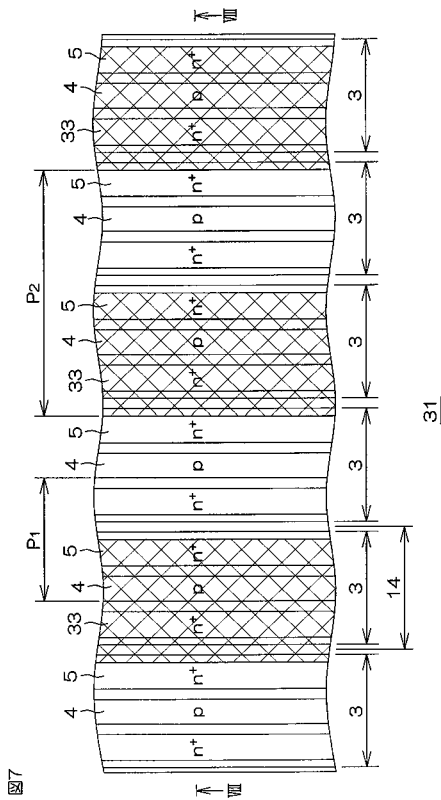
【 図 6 C 】



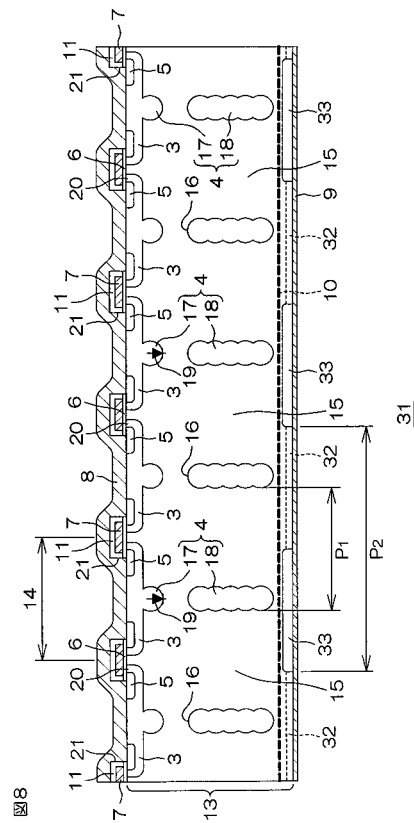
【 図 6 D 】



【 図 7 】



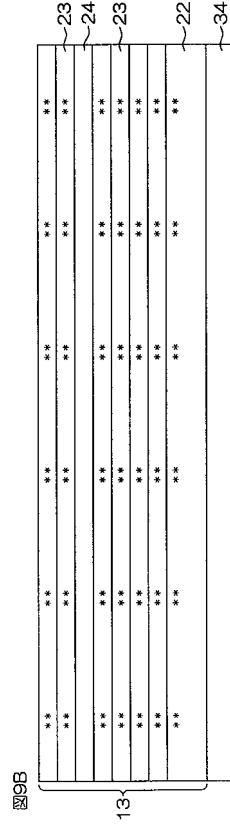
【 図 8 】



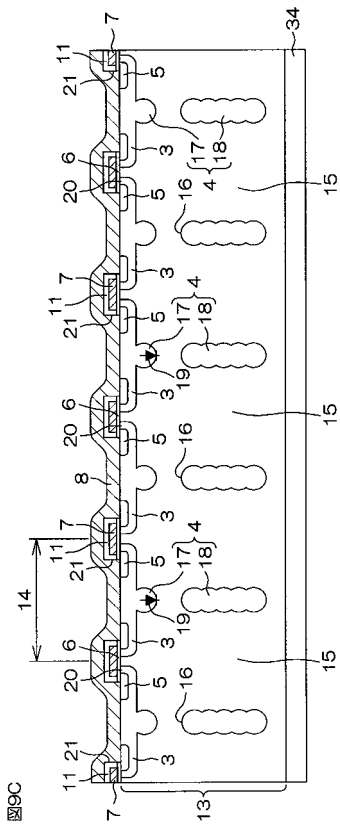
【 図 9 A 】



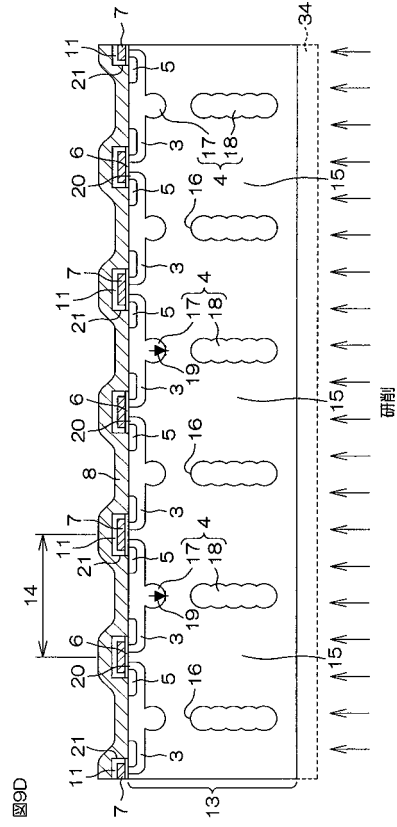
【 図 9 B 】



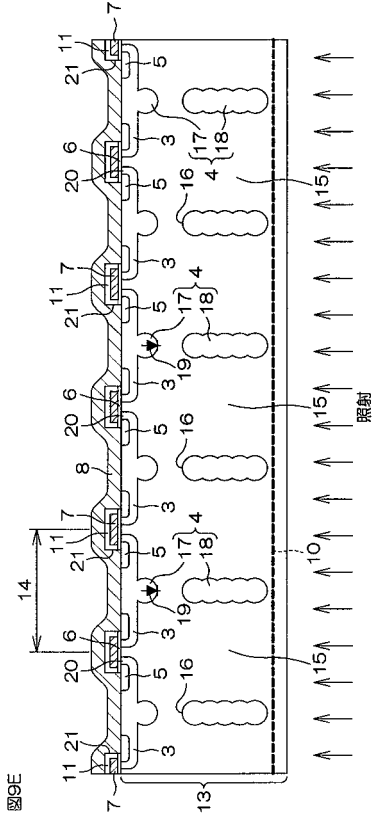
【 図 9 C 】



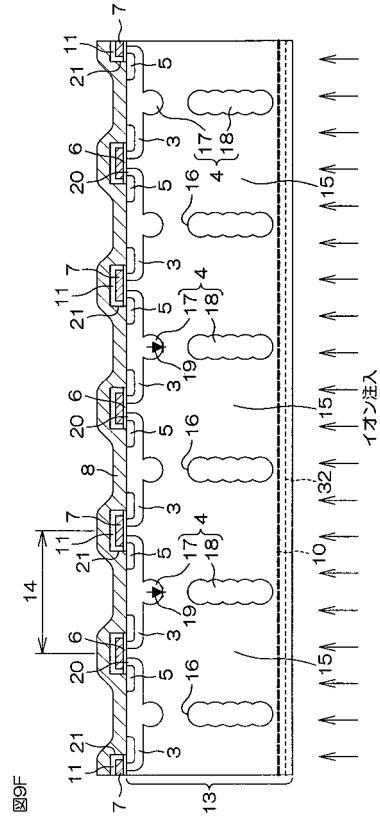
【 図 9 D 】



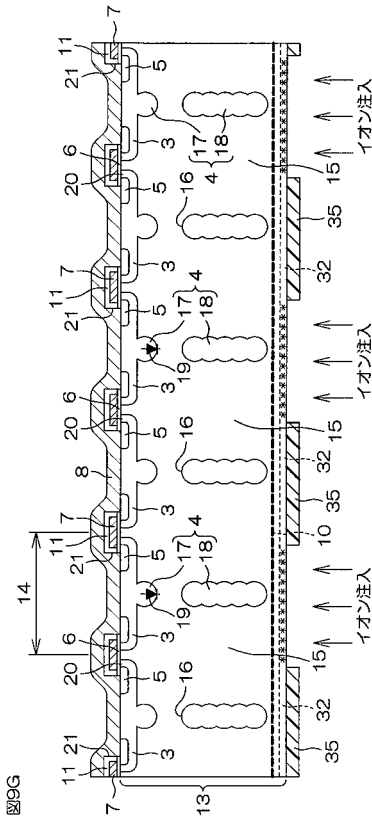
【図 9 E】



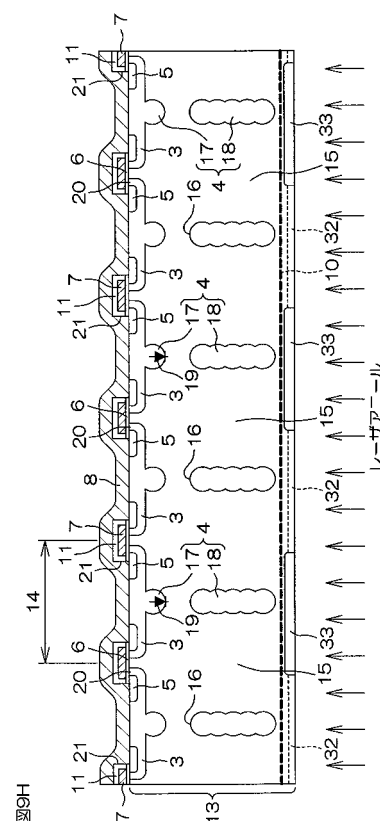
【図 9 F】



【図 9 G】



【図 9 H】





---

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<b>H 0 1 L 21/265 (2006.01)</b>	H 0 1 L 29/06	3 0 1 V
	H 0 1 L 29/78	6 5 8 E
	H 0 1 L 29/78	6 5 5 D
	H 0 1 L 29/78	6 5 3 A
	H 0 1 L 29/78	6 5 8 A
	H 0 1 L 29/78	6 5 2 K
	H 0 1 L 29/78	6 5 2 C
	H 0 1 L 21/324	N
	H 0 1 L 21/265	6 0 2 A
	H 0 1 L 21/265	6 0 2 C