



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 356 116**

51 Int. Cl.:
H04N 5/335 (2006.01)
H04N 3/15 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 96 Número de solicitud europea: **09450040 .2**
96 Fecha de presentación : **20.02.2009**
97 Número de publicación de la solicitud: **2094004**
97 Fecha de publicación de la solicitud: **26.08.2009**

54 Título: **Sistema de conmutación para la integración de valores de señal de píxel.**

30 Prioridad: **20.02.2008 AT A 278/2008**

45 Fecha de publicación de la mención BOPI:
05.04.2011

45 Fecha de la publicación del folleto de la patente:
05.04.2011

73 Titular/es: **Austrian Research Centers GmbH-ARC
Donau-City-Strasse 1
1220 Wien, AT
AIT Austrian Institute of Technology GmbH**

72 Inventor/es: **Mayer, Konrad;
Furtler, Johannes;
Bodenstorfer, Ernst y
Heiss, Dorothea**

74 Agente: **Carvajal y Urquijo, Isabel**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema de conmutación para la integración de valores de señal de píxel.

- 5 La presente invención hace referencia a un circuito de acuerdo con el concepto general de la reivindicación 1.

En este contexto, como circuito se considera todo circuito digital o analógico de conexiones fijas o programado, que se pueda fabricar ya sea como una interconexión de diferentes componentes o como un circuito integrado.

- 10 Como sensores de imagen se consideran los sensores de superficie y sensores de línea, en los que se disponen píxeles uno adyacente al otro o sobre una superficie.

Los circuitos conformes a la presente invención, se pueden utilizar particularmente para la captación de imágenes, preferentemente para una supervisión automatizada de objetos en movimiento.

- 15 En el caso de cámaras lineales de alta velocidad, los tiempos cortos de exposición a los que se someten, que conducen a unos niveles de señal reducidos, presentan un importante desafío tecnológico, puesto que la escasa intensidad de la iluminación limita las tolerancias permitidas durante la fabricación. Un objeto en el diseño de una cámara lineal de alta velocidad consiste en mantener el ruido de la imagen lo más reducido posible para que la calidad de la imagen también se mantenga en una media aceptable ante una disponibilidad de intensidad lumínica reducida. Una aplicación común de las cámaras lineales de alta velocidad consiste en la inspección óptica de calidad en procesos de producción industriales. Dichas aplicaciones exigen generalmente, por una parte, un alto rendimiento y, por otra parte, una resolución de imagen lo más precisa posible. Ambas exigencias aspiran a una velocidad de muestreo lo más elevada posible de las líneas o de la frecuencia de líneas de la cámara. La posibilidad de incrementar la intensidad lumínica de la iluminación, en general, es limitada, de manera que la reducción del tiempo de exposición en las cámaras de alta velocidad, frecuentemente, no se puede compensar mediante una iluminación más intensa.

- 25 Para la captación de objetos que realizan un movimiento relativo considerablemente uniforme frente a la unidad de captación de imágenes, se utiliza preferentemente el método TDI. En dicho método, los valores de señal de píxel que representan el mismo campo del objeto, captados, sin embargo, en diferentes tiempos y con diferentes píxeles, se acumulan o bien, se integran temporalmente. De esta manera, se pueden captar objetos en movimiento con una cantidad relativamente reducida de líneas de imagen, y se pueden obtener unas respectivas imágenes libres de distorsión.

Además, se provee para la captación de imágenes sin movimiento, de acuerdo al estado del arte, una compensación de ruidos (CDS). Mediante la medición de una respectiva señal de píxel antes y después de la iluminación, el error condicionado por el ruido se puede eliminar considerablemente o bien, sustraer.

- 35 Una aproximación de acuerdo con el estado del arte, consiste en lograr que la responsividad de los elementos fotosensibles del sensor de imagen sea lo más elevada posible, para que una señal de entrada de luz pequeña se transforme en una señal eléctrica lo más grande posible. De esta manera, todos los efectos perturbadores en el procesamiento eléctrico secundario de la señal (ruidos, acoplamientos, faltas de linealidad, etc.) repercuten en menor intensidad porcentual sobre la señal de salida del sensor. O dicho de otra manera, las señales perturbadoras, inevitables hasta cierto punto, en el procesamiento de señales corresponden a una cantidad de luz reducida, recalculada en la entrada del sensor. De esta manera, el sensor resulta más "sensible", por lo que se pueden diferenciar pequeñas cantidades de luz de los ruidos. La desventaja de dicha aproximación consiste en que un aumento de la responsividad sólo se puede obtener mediante la selección de otra tecnología de fabricación de semiconductores, que generalmente resulta muy costosa (por ejemplo, la fabricación de un sistema retroiluminado).

- 45 Otras aproximaciones para reducir los ruidos relativos a la entrada, se concentran directamente en los ruidos. Al menos, se intenta reducir el nivel de ruido dominante.

- 50 En el caso de tiempos de exposición prolongados, generalmente existen ruidos de corriente oscura, por lo que los sensores para las cámaras con tiempos de exposición prolongados se enfrían por lo general considerablemente por debajo de la temperatura ambiente (el ruido de corriente oscura aumenta notablemente con la temperatura). En el caso de cámaras de alta velocidad, los ruidos de corriente oscura generalmente sólo cumplen un papel secundario, debido al corto tiempo de exposición.

- 55 En el caso de tiempos de exposición reducidos, en muchos casos, los ruidos térmicos del transistor de reinicio resultan como un nivel de ruidos dominante. Dicho nivel de ruidos se puede eliminar casi completamente con el método de muestreo doble correlacionado (CDS). Los ruidos térmicos del transistor de reinicio adulteran el valor de inicio de la tensión en el fotodiodo, en el comienzo de la exposición, mediante un error estadístico, que, por otra parte, se congela para la duración del tiempo de exposición, por lo que también la tensión en el fotodiodo se adultera

al final de la exposición, en el mismo valor de error. Mediante el método de CDS se registra el valor de inicio de la tensión y, de esta manera, el error estadístico. Al final de la exposición, dicho valor se puede restar del valor final de tensión. De esta manera, se eliminan los ruidos térmicos durante el proceso de reinicio para las siguientes etapas del procesamiento de señal. Además, todas las fuentes de perturbación de baja frecuencia se suprimen antes de la conmutación CDS y los errores indirectos constantes se suprimen incluso hasta el 100%. Sin embargo, el método CDS presenta la desventaja de que los valores de inicio de las tensiones de píxeles se deban leer y almacenar a través del tiempo completo de exposición, para lo cual se requiere un elemento de almacenamiento por separado para cada píxel. Además, esto ha conducido a que los sensores de superficie CDS sean costosos y, por ello, se utilicen con poca frecuencia.

Un método que se aplica en el caso de los sensores de línea y de superficie, es el retraso y la integración (TDI), que aprovecha el movimiento translatario del objeto, en tanto que cada punto del objeto se capta repetidas veces, que equivale a una prolongación del tiempo de exposición. De esta manera, se elevan tanto la intensidad de la señal como los ruidos. El beneficio consiste en que mediante la acumulación la señal aumenta más intensamente en relación con los ruidos. De esta manera, TDI es otro método conocido para la reducción de los ruidos relativos a la entrada que se utiliza preferentemente en el ámbito del procesamiento de imágenes industrial. El método resulta particularmente adecuado para el registro de objetos que se mueven rápidamente, que se deben registrar con una alta resolución. TDI también se puede emplear, de manera sobresaliente, en el caso de proporciones de luz reducidas. En el modo TDI, los sensores de imagen captan imágenes claras de objetos que se mueven rápidamente, en tanto que se acumulan los valores de luminancia almacenados de varias líneas. Cuando una línea del objeto, en un ciclo de captación, se continúa moviendo hasta una línea de sensor concreta, de esta manera cada línea del objeto se puede captar repetidas veces en ciclos de captación que se siguen entre sí. Si en cada ciclo de captación se captan, por ejemplo, 128 líneas, de esta manera cada línea del objeto se capta 128 veces en total, en 128 ciclos de captación consecutivos, y esto conduce a una intensidad de señal aproximadamente 128 veces más elevada, en el caso de los sensores convencionales.

Del estado del arte se conoce en particular la publicación "CMOS Long Linear Array for Space Application". Allí se describe un método de captación de imagen de alta calidad cualitativa que funciona con sensores CMOS. Además, se aclara en particular que los transistores CMOS, a pesar de sus importantes ruidos en comparación con CCD, se pueden utilizar en imágenes. Se representa una matriz CMOS lineal con el que se efectúa un método TDI con corrección de superposición de ruido simultánea (CDS).

El objeto de la presente invención consiste en desarrollar un circuito, en particular para sensores de superficie de dispositivos de captación de imagen, preferentemente cámaras, que combine las ventajas de la integración de tiempo de cada valor de señal de píxel (TDI), así como la compensación de ruido (CDS). Además, la estructura del circuito debe consumir la menor potencia posible y ocupar la menor superficie del chip posible, para dejar libre el lugar restante, en particular, el que se encuentra en el sustrato portador del chip, para los diodos fotosensibles de cada píxel. Además, la estructura del chip se debería poder fabricar, con un porcentaje reducido de unidades descartadas de la línea de producción, con tolerancia a fallas, y se debería fabricar preferentemente con mecanismos de fabricación microelectrónicos convencionales, por ejemplo, los procesos que se utilizan para fabricar los circuitos sensores CMOS. Estos circuitos se emplean, de manera ventajosa, en sensores de imagen que, por su parte, se utilizan para unidades de captación de imágenes.

La presente invención resuelve dicho objeto con un circuito de la clase mencionada en la introducción, con las características especificadas en el criterio de la reivindicación 1.

Con las características del método conforme a la presente invención, se puede efectuar simultáneamente tanto la integración de tiempo TDI de cada valor de señal de píxel, así como una compensación de ruido CDS. Un método de esta clase se puede implementar fácilmente, donde el tiempo requerido por el método para la ejecución, corresponde aproximadamente al tiempo para la ejecución de un método TDI convencional. Además, la ventaja consiste en que, mediante la combinación de CDS y TDI, se puede obtener una reducción particularmente eficiente del ruido. Cada uno de los métodos en sí, puede reducir convenientemente el ruido sólo en una medida limitada. Dado que CDS elimina ruidos de reinicio de forma controlada, el beneficio de CDS depende del porcentaje de ruidos de reinicio del ruido total y tanto más grande sea éste, más grande será dicho porcentaje. Sin embargo, de esta manera las posibilidades de CDS son limitadas. Diferente resulta el comportamiento en el caso de TDI, que reduce los ruidos relacionados con la entrada proporcionalmente con respecto a la raíz de la cantidad de las etapas de TDI. De esta manera, se puede reducir teóricamente el ruido de manera arbitraria, de todas maneras, sólo con un coste elevado. A continuación se muestra un ejemplo de cálculo con la suposición de que mediante CDS el ruido se puede

dividir en dos partes: TDI con N etapas y con CDS reduce el ruido a $\frac{1}{2\sqrt{N}}$ del valor sin TDI y sin CDS. TDI con 2 N

etapas y sin CDS, reduce el ruido a $\frac{1}{\sqrt{2N}}$ del valor sin TDI y sin CDS, que es un factor de raíz cuadrada de 2 peor. Por lo tanto, con la combinación de CDS y TDI se obtiene, con el mismo coste, una mejor proporción de ruido. Conforme a la presente invención, se provee un circuito para la evaluación de señales de luminancia que se encuentran en una fila de píxeles, en particular en una columna de un sensor de imagen, donde cada una de las señales de luminancia que se encuentran en cada píxel se pueden reiniciar por separado en un valor

predeterminado, donde un circuito selector que comprende una cantidad de entradas y una cantidad de salidas mediante las que se puede regular, y una de las entradas se conecta con una de las salidas, de manera que cada píxel se encuentra conectado a una de las entradas del circuito selector, que cada elemento acumulador se conecta posteriormente a una de las salidas del circuito selector para la acumulación de un valor correspondiente a la señal de luminancia de un píxel, y que un circuito de control se conecta a las respectivas entradas de control del circuito selector de los elementos acumuladores y de los píxeles, y que se pueden controlar mediante el circuito de control. La presente invención prevé que, al menos, uno de los elementos acumuladores se fabrique o se realice como un circuito analógico, que comprenda un amplificador operacional, dos capacitores, así como cuatro conmutadores, donde la entrada del circuito se conecta con la primera conexión del primer conmutador, la segunda conexión del primer conmutador se conecta con la primera conexión del primer capacitor, la segunda conexión del primer capacitor se conecta con la primera conexión del segundo capacitor, la segunda conexión del segundo capacitor se conecta con la primera conexión del segundo conmutador, así como con la primera conexión del tercer conmutador, la segunda conexión del tercer conmutador se encuentra con el potencial a masa, la segunda conexión del segundo conmutador se conecta con la salida del circuito analógico, la entrada no interviniente del amplificador operacional se encuentra con el potencial a masa, la entrada interviniente del amplificador operacional se conecta con la segunda conexión del primer capacitor, la salida del amplificador operacional se conecta con la salida del circuito analógico, y el cuarto conmutador se conecta en cada una de sus conexiones con la entrada interviniente del amplificador operacional, así como con la salida del amplificador operacional.

De esta manera, por una parte, se reduce la cantidad de los conductores requeridos y, por otra parte, dichas características describen una estructura particularmente simple de un circuito selector. Se obtiene una mejor estructuración y aprovechamiento de la superficie del chip, así como se evitan líneas de conexión prolongadas con capacidades parásitas. Además, se pueden utilizar circuitos digitales para la integración del tiempo de los valores de señal de píxel medidos. Esto puede resultar una ventaja, en particular en el caso de frecuencias bajas de líneas, cuando ya no se puede efectuar el almacenamiento analógico de valores de señales, por ejemplo, debido a corrientes de fuga de capacitores.

La señal de salida del circuito puede ser procesada posteriormente, de manera ventajosa, por un circuito digital y, si es preciso, se simplifica la estructura del circuito para cada píxel, por lo que se economiza un transistor por píxel.

Además, se logra que el circuito de control se pueda realizar de manera particularmente simple, en particular mediante un circuito digital de uso general. Se puede prever, de manera ventajosa, que cada una de las salidas de los respectivos elementos acumuladores se conecten con las entradas de un multiplexor, donde el circuito de control se conecta a la entrada de control del multiplexor y lo controla, y donde la salida del multiplexor forma la salida del circuito, y/o que en el circuito selector, cuando existe una señal de control en una entrada de control provista para ello, se conecta una entrada concreta con una salida concreta en correspondencia con la información que contiene la señal de control, y todas las otras entradas y salidas se encuentran sin conectar o bien, aisladas entre sí.

De esta manera, se describen formas de ejecución particularmente ventajosas de los elementos acumuladores.

Otro aspecto ventajoso de la presente invención prevé que cada uno de los elementos acumuladores presente una entrada de control, eventualmente para pluralidades de información de control presentes codificadas en binario, mediante las que, a través del circuito de control, se predetermina si la señal de entrada que se encuentra en la entrada del elemento acumulador no se considera y se conserva el valor del acumulador, o se sobrescribe el valor del acumulador, donde el valor negativo de la señal de entrada se almacena en el elemento acumulador, o se adiciona al valor del acumulador, o se sustrae del valor del acumulador, o se sobrescribe el valor del acumulador, y/o que cada uno de los elementos acumuladores presenta una entrada de control, eventualmente para pluralidades de información de control presentes codificadas en binario, mediante las que, a través del circuito de control, se predetermina si la señal de entrada que se encuentra en la entrada del elemento acumulador no se considera y se establece el valor del acumulador en un valor predeterminado, o se adiciona al valor del acumulador, o se sustrae del valor del acumulador.

Esto permite la ejecución efectiva de un método combinado TDI y CDS. Además, se puede prever que el circuito selector establezca una correspondencia entre un píxel respectivo y un elemento acumulador respectivo, donde un respectivo píxel en particular se destina a un respectivo elemento acumulador en particular, que la señal de luminancia presente en el píxel se transmita y el píxel se reinicie a su estado de inicio mediante un pulso de control en la línea de control del píxel, que después de la terminación del reinicio del píxel, la señal de luminancia existente, en particular la carga residual almacenada, se reciba en el elemento acumulador mediante la aplicación de un pulso de control para la recepción del valor negativo de píxel, donde el valor negativo de la señal de luminancia presente en el píxel se acumula en el elemento acumulador, en particular en su valor almacenado, que a continuación, después de un tiempo de exposición predeterminado, se conduce el valor de la señal de luminancia presente en el píxel al elemento acumulador destinado al píxel, y se incluye o bien, se acumula con el valor ya almacenado en dicho elemento acumulador, que en el circuito selector se provee un circuito digital programable para la ejecución automática del paso mencionado anteriormente para todos los píxeles o bien, los elementos acumuladores destinados para dichos píxeles, y que se provee un circuito para la creación de asignaciones que

mediante consulta de todos los valores de píxeles modifica la asignación después de la terminación de las etapas precedentes cíclicamente o bien, mediante reasignación frente a la asignación existente, aplicando una respectiva señal de control en el circuito selector, y activa nuevamente el circuito para una cantidad predeterminada de repeticiones con la nueva asignación.

5 Esto permite la ejecución efectiva de un método combinado TDI y CDS.

Además, se puede prever que cada píxel presente una entrada de reinicio a través de la que la señal de luminancia presente en el píxel, en particular, el valor de carga almacenado en el píxel, se puede reiniciar en un valor predeterminado, eventualmente afectado por ruidos.

Esto permite la estructura particularmente simple de un píxel del sensor.

10 Otro aspecto ventajoso de la presente invención prevé que el circuito selector se realice mediante un multiplexor y un demultiplexor conectado posteriormente, donde las entradas del multiplexor actúan como entradas del circuito selector, y las salidas del demultiplexor actúan como salidas del circuito selector, y ambas entradas de control del multiplexor y del demultiplexor actúan como entrada de control común del circuito selector, y/o que se provee una cantidad de conmutadores del lado de salida, que corresponde a la cantidad de salidas, y la primera
15 conexión de uno de los respectivos conmutadores del lado de entrada se conecta con una de las respectivas entradas del circuito selector, la segunda conexión de cada conmutador del lado de entrada se conecta con un conductor de conexión, se provee una cantidad de conmutadores del lado de salida, que corresponde a la cantidad de salidas, y la segunda conexión correspondiente a uno de los conmutadores del lado de salida se conecta con una respectiva salida del circuito selector, que respectivamente se conecta otra conexión de cada conmutador del lado
20 de salida al conductor de conexión, y los conmutadores del lado de entrada y los conmutadores del lado de salida se pueden activar o bien, conmutar mediante una entrada de control común del circuito selector.

Dichas características simplifican la estructura del circuito selector o bien, reproducen formas de ejecución particularmente ventajosas.

25 Además, se puede prever que la cantidad de los píxeles corresponda a la cantidad de los elementos acumuladores, y la cantidad de las entradas del circuito selector corresponda a la cantidad de las salidas del circuito selector, y/o que todos los elementos acumuladores se conformen de igual manera.

Un circuito provisto de dichas características permite una asignación particularmente simple de píxeles y elementos acumuladores, y, si es preciso, se simplifica la disposición de los elementos acumuladores. Además, se puede prever que para la pluralidad de circuitos analógicos sólo se provea un único amplificador operacional, así
30 como un único cuarto conmutador, donde la conexión interviniente del amplificador operacional se conecta con todas las segundas conexiones del primer capacitor, las primeras conexiones de todos los primeros conmutadores se conectan entre sí, y el nodo que surge de ello forma la entrada del circuito analógico, las salidas de todos los circuitos analógicos se conectan con la salida del amplificador operacional, y dichos nodos forman la salida del circuito analógico, donde la pluralidad de los segundos conmutadores actúan como multiplexor.

35 Además, se puede prever que la relación de la capacidad del primer capacitor con la capacidad del segundo capacitor se encuentra entre 1:1 y 3:1, donde el segundo capacitor presenta siempre la misma capacidad, como reducida o máxima.

Mediante dichas medidas, un elemento acumulador se puede realizar de manera más eficiente y precisa como circuito analógico. La disposición comprende sólo algunos componentes y se puede integrar en un microchip
40 de manera simple y de manera que se economice el espacio. Además, se puede prever que para cada circuito analógico se provea un quinto conmutador y un sexto conmutador, donde la segunda conexión del primer conmutador se conecta con la primera conexión del quinto conmutador, y la segunda conexión del quinto conmutador se encuentra con el potencial a masa, y la primera conexión del sexto conmutador se conecta con la segunda conexión del primer conmutador, y la segunda conexión del sexto conmutador se conecta con la salida del
45 circuito analógico. Una forma de ejecución particular de la presente invención prevé que los conmutadores del lado de entrada se encuentren integrados en el píxel o bien, dispuestos inmediatamente en sus alrededores, en particular en el sustrato portador del microchip que porta el circuito, y eventualmente se postconecten al píxel. Además, se puede prever particularmente que al circuito se postconecte un convertidor analógico-digital. Además, se puede prever que una fuente de tensión se conecte con el conductor de conexión. Asimismo, se puede prever, de
50 manera ventajosa, que los conmutadores de cada elemento acumulador, los conmutadores del multiplexor, así como los conmutadores del lado de entrada y de salida del circuito selector, se puedan conmutar electrónicamente o eléctricamente, y, en particular, se realicen como transistores, preferentemente todos de igual manera, y eventualmente con tecnología CMOS. Finalmente, se puede prever que los elementos acumuladores, los píxeles, el circuito selector, así como el multiplexor, presenten una entrada de reloj, a través de la cual éstos se activen
55 eficazmente en intervalos de tiempo predeterminados.

Mediante dichas medidas, se obtiene una mejor estructuración y aprovechamiento de la superficie del chip, así como se evitan líneas de conexión prolongadas con capacidades parásitas. Además, se pueden utilizar circuitos digitales para la integración del tiempo de los valores de señal de píxel medidos. Esto puede resultar una ventaja, en

particular en el caso de frecuencias bajas de líneas, cuando ya no se puede efectuar el almacenamiento analógico de valores de señales, por ejemplo, debido a corrientes de fuga de capacitores.

La señal de salida del circuito puede ser procesada posteriormente, de manera ventajosa, por un circuito digital y, si es preciso, se simplifica la estructura del circuito para cada píxel, por lo que se economiza un transistor por píxel.

Además, se logra que el circuito de control se pueda realizar de manera particularmente simple, en particular mediante un circuito digital de uso general.

Si es preciso, en el caso de un circuito conforme a la presente invención, también se puede obtener una economía de componentes, de superficie del chip y de corriente absorbida, por lo que se aumenta la relación entre la superficie de exposición y la superficie total y se reduce la energía térmica disipada del chip. Se puede lograr también una ponderación mejorada entre la amplificación de la señal que ingresa a los elementos acumuladores y los errores sistemáticos de cada elemento acumulador, ocasionados por las tolerancias de fabricación.

Con dichas características, se crea una opción, mediante la adición de pocos conmutadores, por lo que en el caso de intensidades lumínicas mayores, la compensación del error de ruido se puede desconectar o dejar inactiva en beneficio de una cantidad elevada de etapas TDI. Además, dichas características permiten la reducción del ruido de un sensor de imagen CMOS. Dado que la realización de CDS requiere tantos elementos acumuladores para los valores de reinicio como los píxeles que presenta, el coste para CDS resulta, con frecuencia, demasiado elevado para el empleo en sensores de superficie. En cambio, en el caso de un sensor de imagen, en particular un sensor de superficie, con TDI, que presenta menos líneas de imagen para la cantidad de columnas de imagen, el coste para CDS permanece en un marco razonable.

Además, la presente invención comprende un circuito lógico programable, en particular, que incluye un ASIC o FPGA, y que incluye preferentemente una unidad analógica del sensor de imagen, donde se puede efectuar el método conforme a la presente invención.

Fig. 1 muestra esquemáticamente un circuito conforme a la presente invención.

Fig. 2 muestra esquemáticamente un circuito conforme a la presente invención, donde el circuito selector se realiza mediante un multiplexor y un demultiplexor.

Fig. 3 muestra una forma de ejecución analógica de un elemento acumulador.

Fig. 4 muestra un ejemplo digital de un elemento acumulador que muestra una función idéntica al circuito analógico conforme a la presente invención.

Fig. 5 muestra una forma de ejecución del circuito selector mediante conmutadores transistores.

Fig. 6 muestra la estructura de un circuito para un píxel.

Fig. 7 muestra una forma de ejecución particularmente ventajosa de la presente invención, en la que sólo se utiliza un amplificador operacional por columna de píxel.

Fig. 8 muestra un perfeccionamiento del circuito de la fig. 7, en el que la compensación del error de ruido se puede desconectar o dejar inactiva en beneficio de una densidad de píxel elevada.

Las fig. 9a, 9b y 9c muestran tres correspondencias diferentes entre los píxeles y los elementos acumuladores.

La fig. 10 muestra esquemáticamente un chip en el que se realiza un circuito conforme a la presente invención.

Como se representa en la fig. 10, el circuito conforme a la presente invención se realiza sobre el substrato portador de un microchip M, donde eventualmente cada elemento del circuito conforme a la invención, se dispone sobre otros microchips, que eventualmente se conectan eléctricamente, de manera eficaz, a través de líneas de datos. La superficie del microchip M se divide en forma de retícula en zonas rectangulares individuales, que comprende el circuito fotosensible del píxel 22, así como, eventualmente, partes de la lógica de selección o bien, del circuito 1 selector. Para una columna P que comprende pluralidades de píxeles 22, se provee un circuito S conforme a la presente invención. Para obtener un mejor rendimiento posible y un ruido lo más reducido posible, se puede prever que el diodo 27 fotosensible cubra una porción importante de la superficie a disposición para cada píxel 22. A cada columna P se le puede asignar un circuito conforme a la presente invención, que se encuentre, por ejemplo, en otra superficie del microchip M no cubierta por los píxeles 22. Eventualmente, a todas las columnas provistas en el microchip se les puede asignar una lógica de control en común. En el microchip M se provee una salida (no representada), en la que se encuentran informaciones individuales de luminancia en tiempos predeterminados, eventualmente moduladas o codificadas, en particular digitalizadas. A dicha salida se pueden conectar diferentes unidades y aparatos, como por ejemplo, medios de almacenamiento o monitores.

La fig. 1 muestra la estructura de un circuito conforme a la presente invención. Dicho circuito comprende una columna de píxeles 22, que se encuentran conectados a una respectiva entrada de un circuito selector 1. Las salidas del circuito selector 1 se conectan respectivamente a la entrada de un elemento acumulador 3. Las salidas de los elementos acumuladores 3 se conectan respectivamente a una entrada del multiplexor 4. La salida del multiplexor 4 conforma la salida 5 del circuito completo. Cada uno de los píxeles 22 suministra una señal a su salida, que corresponde a la intensidad lumínica registrada por el píxel. En el circuito del píxel la potencia lumínica que se produce en el píxel 22 se transforma en una señal de luminancia, en particular en un valor de tensión o de carga, y se codifica en correspondencia, y se pone a disposición en la salida del píxel 22. Dado que los píxeles 22 se conectan al circuito selector 1, los valores de señal correspondientes a la señal de luminancia de cada píxel 22 se encuentran en las respectivas entradas del circuito selector 1. El circuito selector 1 ofrece la posibilidad de conectar eléctricamente entradas individuales con salidas individuales. De esta manera, las señales de cada píxel 22 se transmiten a elementos acumuladores 3 predeterminados. Los valores de señal que se encuentran en cada salida de los elementos acumuladores 3, se conducen al multiplexor 4, mediante el cual se selecciona uno de dichos valores de señal y se transmite posteriormente a la salida 5 del circuito.

Para el control de los píxeles 22, del circuito selector 1, de los elementos acumuladores 3, así como del multiplexor 4, se provee un circuito de control 8 que se encuentra conectado a través de líneas de control separadas 81, 82, 83, 84 con cada elemento del circuito. Como líneas de control 81, 82, 83, 84 se consideran tanto líneas individuales como pluralidades de conexiones individuales que portan la misma información de control, en particular buses de control. A través de una línea de control 82, que se conduce a todos los píxeles 22, se reinicia la señal de luminancia almacenada en los píxeles 22, a las correspondientes señales de control existentes.

La interconexión o conexión de una salida de un píxel 22 con la entrada de un elemento acumulador 3, mediante el circuito selector 1, se predetermina a través de la línea de control 81 que se conecta a la entrada de control 17 del circuito selector 1. Una señal de control correspondiente se produce en el circuito de control 8 y logra una interconexión correspondiente en el circuito selector 1. A través de la línea de control 83, que conduce desde el circuito de control 8 a cada elemento acumulador 3, se establece el estado de funcionamiento de los respectivos elementos acumuladores 3. Una señal de control correspondiente llega desde el circuito de control 8 al elemento acumulador 3 correspondiente y en dicho elemento logra la aplicación del modo de funcionamiento correspondiente. Una línea de control 84 conecta la entrada de control del multiplexor 4 con una salida de control correspondiente del circuito de control 8. Una señal de control correspondiente se transmite desde el circuito de control 8 al multiplexor 4, por lo que se logra que se reciba en la salida 5 sólo una de las señales que se encuentran en las entradas del multiplexor 4.

En el circuito de control 8, se predeterminan tanto una entrada de configuración, así como una entrada de reloj. A través de la entrada de configuración se pueden transmitir, por ejemplo, parámetros para la ejecución del método. En la entrada de reloj se predetermina un ciclo externo, que se puede transmitir, en particular, para la temporización de cada elemento acumulador 3 mediante la línea de control 83.

Con un circuito de esta clase, se puede efectuar el método conforme a la presente invención. Un programa para la ejecución del método conforme a la presente invención, se almacena, en particular, en el circuito de control 8. La cadena de los píxeles individuales 22 o bien, de los elementos acumuladores 3, se pueden predeterminar en principio arbitrariamente. Sin embargo, de los motivos de eficiencia resulta ventajosa una correspondencia que, bajo el aprovechamiento de la situación recíproca de cada uno de los píxeles 22 o bien, de los elementos acumuladores 3, se recurren entre sí.

Para facilitar la modificación de la correspondencia entre los píxeles individuales 22 con los respectivos elementos acumuladores 3, se define para cada píxel 22 un píxel 22 próximo. Como píxel próximo 22 o bien, como elemento acumulador 3 del último píxel 22 de la fila o bien, del elemento acumulador 3, se considera el primer píxel 22 o el elemento acumulador 3. En primer lugar, se produce una correspondencia, como se representa en la fig. 9a, entre un píxel respectivo 22 y un elemento acumulador respectivo 3, donde un respectivo píxel 22 en particular se destina a un respectivo elemento acumulador 3 en particular,

Esto puede suceder simplemente mediante el hecho de que se efectúa una correspondencia entre el primer píxel 22 de la columna del píxel 22 y el primer elemento acumulador 3 de la columna del elemento acumulador 3. El respectivo píxel próximo 22, en la columna, se destina al respectivo elemento acumulador 3 próximo, en la columna de los elementos acumuladores 3.

A continuación, se reinicia la señal de luminancia almacenada en el píxel 22. Ello se obtiene mediante el hecho de que una señal de control correspondiente se transmite al respectivo píxel 22, a través de la línea de control 82. A través de la línea de control 81, se logra una conexión del píxel 22 correspondiente con el elemento acumulador 3 correspondiente, destinado a dicho píxel 22, en el circuito selector 1. La señal de luminancia que se encuentra en el píxel reiniciado 22, se transmite al elemento acumulador 3 correspondiente, y su valor negativo se adiciona al valor almacenado en el elemento acumulador 3. En el primera etapa de acumulación o bien, de integración que se efectúa en el elemento acumulador 3, el valor negativo de la señal de luminancia presente en el píxel 22 se recibe en el elemento acumulador 3. La señal de luminancia presente en el píxel 22 durante el proceso de reinicio, no se puede establecer con exactitud, condicionado por el ruido. De esta manera, para la compensación, se almacena el valor negativo de dicha señal de luminancia en el elemento acumulador 3 correspondiente. Después

del transcurso de un tiempo de exposición predeterminado, el valor de la señal de luminancia almacenada en el píxel 22, se conduce al elemento acumulador 3 destinado al píxel 22, y se incluye o bien, se acumula con el valor almacenado en el elemento acumulador 3.

Dichas etapas se realizan para todos los pares de píxeles 22 establecidos en la correspondencia y los elementos acumuladores 3. Ello se puede efectuar, en particular, mediante el hecho de que se recurre a un ciclo predeterminado mediante el circuito de control 8, donde en cada ciclo se provee un intervalo de tiempo para el proceso de reinicio de un píxel 22 y otro intervalo de tiempo para la acumulación de una señal de luminancia almacenada en otro píxel 22, en un elemento acumulador 3 destinado a dichos píxeles 22. La duración de ambos intervalos de tiempo se puede seleccionar con la misma duración, debido a su simplicidad.

La realización de la siguiente etapa TDI se inicia después de la terminación de dicha etapa del método mencionado, después de que la proyección del objeto en movimiento se haya desplazado por un recorrido definido, que generalmente corresponde a la altura de una línea de píxeles. Después, se modifica la correspondencia cíclicamente o bien, mediante el reasignación con respecto a la correspondencia existente, y se realizan nuevamente las etapas del método anteriormente mencionadas. La permutación cíclica de la correspondencia se representa en las fig. 9a, 9b, 9c.

La modificación cíclica de la correspondencia se efectúa preferentemente, de manera tal que a cada píxel 22 se destine el elemento acumulador destinado al píxel 22 próximo correspondiente, y que al último píxel 22 de la fila se destine el elemento acumulador 3 original destinado al primer píxel 22 de la fila.

Mediante la estructura cíclica de los píxeles 22 o de los valores del acumulador 3, como píxel próximo del último píxel se considera el primer píxel, y como elemento acumulador 3 próximo del último elemento acumulador 3 se considera el primer elemento acumulador 3. De esta manera, resulta que el elemento acumulador 3, destinado al último píxel 22 en una determinada etapa, se destina al primer elemento acumulador en la etapa siguiente.

La correspondencia representada en la fig. 9b se origina mediante permutación cíclica de la correspondencia de la fig. 9a. La correspondencia representada en la fig. 9c se origina mediante permutación cíclica de la correspondencia de la fig. 9b. La correspondencia representada en la fig. 9a se origina mediante permutación cíclica de la correspondencia de la fig. 9c.

Después de la ejecución o bien, de la repetición reiterada en forma cíclica de dichas etapas del método, existen en los elementos acumuladores 3 individuales las señales de luminancia correspondientes del objeto que pasa en movimiento por la unidad de captación de imagen. Además, cabe mencionar que los intervalos temporales entre dos permutaciones cíclicas de la correspondencia de píxeles 22 con elementos acumuladores 3, se adaptan a la velocidad relativa del objeto observado frente a la unidad de captación de imagen. En el caso de una velocidad mayor, se efectúa, con frecuencia, el desplazamiento cíclico de la correspondencia con los elementos acumuladores 3 en la unidad de tiempo correspondiente, en el caso de un movimiento relativo hacia la dirección opuesta correspondiente, se efectúa el desplazamiento cíclico de la correspondencia en la dirección opuesta correspondiente.

La fig. 2 muestra esquemáticamente la ejecución de un circuito selector 1 mediante un multiplexor 18 con un demultiplexor 19 conectado posteriormente. Las entradas del multiplexor 18 forman las entradas 11 del circuito selector 1. La salida del multiplexor 18 se conecta a la entrada del demultiplexor 19 mediante un conductor de conexión 15. Además, las salidas del demultiplexor 19 forman las salidas del circuito selector 1. En el caso de dicha forma de ejecución especial, la línea de control 81 comprende dos líneas de control separadas, donde la línea de control 81 conduce la señal de control para el control del circuito selector 1 a su entrada 17, la primera 81a de las líneas de control controla la posición del conmutador del multiplexor 18, y la segunda 81b de las líneas de control controla la posición del conmutador del demultiplexor 19. Mediante la estructura del circuito selector resulta evidente que sólo se puede conectar un píxel 22 conectado a una de las entradas 11, a un único elemento acumulador 3 conectado a una salida 12. Mediante las señales de control transmitidas mediante la línea de control 81, se puede seleccionar respectivamente una de las entradas 11 y una de las salidas 12, y se puede transmitir posteriormente una señal presente en la entrada seleccionada 11, a la salida seleccionada 12.

Aunque dicho circuito representa una limitación con respecto a la posibilidad general de interconexión de una cantidad seleccionada de entradas 11, en principio de cualquier magnitud, con una cantidad seleccionada de salidas también de cualquier magnitud, dicho circuito resulta suficiente para la realización del método conforme a la presente invención, y ofrece una implementación muy simple de la funcionalidad que exige el método, puesto que el procesamiento secuencial de los valores de píxel se adapta muy bien a la multiplexación en el tiempo de las líneas de píxel en la selección usual de sensores.

En la fig. 5 se indica una implementación correspondiente del circuito selector 1 mediante una cantidad de conmutadores. Se provee una cantidad de conmutadores 13 del lado de entrada, que corresponde a la cantidad de entradas 11, donde la primera conexión correspondiente a uno de los conmutadores 13 del lado de entrada se conecta a una respectiva entrada 11 del circuito selector 1. Además, la segunda conexión de cada uno de los conmutadores 13 del lado de entrada se encuentra conectada con un conductor de conexión 15. Se provee una cantidad de conmutadores 14 del lado de entrada, que corresponde a la cantidad de salidas 12, donde la segunda conexión respectivamente de un conmutador 14 del lado de salida se conecta respectivamente con una de las

salidas 12 del circuito selector 1 o bien, actúa como salida 12 del circuito selector 1. La otra conexión respectiva de cada conmutador 14 del lado de salida se conecta al conductor de conexión 15. Los conmutadores 13 del lado de entrada y los conmutadores del lado de salida 14 se pueden activar o bien, conmutar mediante una entrada de control común 17 del circuito selector 1. Dicha entrada de control 17 se conecta a la línea de control 81 y se conecta con el circuito de control 8.

La estructura de un elemento acumulador 3 mediante un circuito analógico 6 se describe en la fig. 3. Dicho circuito comprende cuatro conmutadores 64, 65, 66, 67 y dos capacitores 62, 63, así como un amplificador operacional 61. La interconexión recíproca de cada uno de los elementos se puede realizar como se indica a continuación. La entrada 68 del circuito se conecta con la primera conexión del primer conmutador 64. La segunda conexión del primer conmutador 64 se conecta con la primera conexión del primer capacitor 62. La segunda conexión del primer capacitor 62 se conecta con la primera conexión del segundo capacitor 63. La segunda conexión del segundo capacitor 63 se conecta con la primera conexión del segundo conmutador 65, así como con la primera conexión del tercer conmutador 66. La segunda conexión del tercer conmutador 66 se encuentra con el potencial a masa. La segunda conexión del segundo conmutador 65 se conecta con la salida 69 del circuito analógico 6. La entrada no interviniente del amplificador operacional 61 se encuentra con el potencial a masa. La entrada inversora del amplificador operacional 61 se conecta con la segunda conexión del primer capacitor 62. La salida del amplificador operacional 61 se conecta con la salida 69 del circuito analógico 6. El cuarto conmutador 67 se conecta en cada una de sus conexiones con la entrada inversora del amplificador operacional 61, así como con la salida del amplificador operacional 61.

La señal de luminancia presente en el circuito analógico 6, se representa o forma mediante la diferencia de las cargas o bien, los valores de carga almacenados en ambos capacitores 62, 63. De la estructura resulta que, para la correcta ejecución de cada etapa, a una acumulación de los valores de carga positivos precede siempre una aplicación o acumulación negativa de un valor de carga que ingresa. La aplicación negativa de un valor de carga determinado puede efectuarse en cualquier momento, la acumulación de un valor de carga negativo puede efectuarse sólo después de la adición o acumulación de un valor de carga (positivo). El resultado final correcto de las operaciones de cálculos realizadas se encuentra invertido respectivamente en el final de la acumulación de un valor de carga (positivo) en la salida 69.

Para almacenar o conservar un valor del acumulador en un elemento acumulador 3, se abren todos los conmutadores. La carga almacenada en ambos capacitores 62, 63 permanece sin modificaciones y se conserva la señal de luminancia presente o bien, almacenada.

Para la acumulación del valor negativo de una carga existente o bien, de una señal de luminancia, se cierran el primer conmutador 64 y el cuarto conmutador 67. Se abre el segundo conmutador 65 y el tercer conmutador 66. De esta manera, se carga el primer capacitor 62, es decir, que la carga presente en la entrada 68 se transmite al primer capacitor 62. El cierre del cuarto conmutador 67 logra una retroalimentación interviniente del amplificador operacional 61 y, a continuación, que la segunda conexión del primer capacitor 62 se encuentre aproximadamente con el potencial a masa o con el potencial a masa virtual del amplificador operacional 61.

Para la aplicación del valor negativo del valor de tensión o de carga presente en la entrada 68, se encuentran cerrados el primer conmutador 64, el tercer conmutador 66 y el cuarto conmutador 67, y se encuentra abierto el segundo conmutador 65. De esta manera, la carga del primer capacitor 62 se produce exactamente de la misma manera que en el proceso de la acumulación negativa de una tensión presente en la entrada 68. Además, el segundo capacitor 63 se descarga a través del segundo conmutador 65.

Para adicionar el valor de un píxel 22 a un elemento acumulador 3, se cierran el primer conmutador 64 y el segundo conmutador 65, y se abren el tercer conmutador 66 y el cuarto conmutador 67. Con la carga almacenada en el píxel 22, el primer capacitor 62 se carga y circula una corriente de compensación correspondiente que también circula por el segundo capacitor 63. Debido a la relación de ambas capacidades de los capacitores 62, 63, se encuentran en la salida 69 del circuito analógico 6, que forma el elemento acumulador 3, un valor de tensión escalado con respecto al valor de tensión presente en la entrada 68.

La fig. 4 muestra un ejemplo digital con la misma funcionalidad que el circuito analógico conforme a la presente invención de la fig. 3.

Dicho circuito digital 9 comprende una entrada 91 y una salida 92, una entrada de control 93, dos multiplexores 95, 96, un elemento de almacenamiento 98 y un inversor 94, un sumador 97, así como un circuito de control 99. La entrada 91 se conecta a una entrada del primer multiplexor 95a, así como a la entrada del inversor 94. La salida del inversor 94 se conecta a la segunda entrada 95b del primer multiplexor 95. La salida del primer multiplexor 95 se conecta a una entrada del sumador 97, así como a una entrada 96a del segundo multiplexor 96. La salida del sumador 97 se conecta a otra entrada 96b del segundo multiplexor 96. La salida del segundo multiplexor 96 se conecta al elemento de almacenamiento 98. La salida del elemento de almacenamiento 98 se conecta o se acopla retroactivamente a otra entrada 96c del segundo multiplexor 96, así como a la segunda conexión del sumador 97.

El circuito de control 99 se conecta a través de dos líneas de control 99a, 99b al primer multiplexor 95, así como al segundo multiplexor 96. En dichas líneas de control 99a, 99b existe respectivamente una señal que

selecciona respectivamente una entrada de ambos multiplexores 95, 96 y que transmite a la salida. La entrada de control 93 del circuito digital 9 se conecta al circuito de control 99. El circuito de control 99 presenta otra línea de control 99c que transmite a la entrada de control de la memoria y la activa o bien, inicia la recepción del valor de señal presente en la entrada.

5 Para conservar el valor almacenado, el primer multiplexor 95 puede recibir en su salida uno de ambos valores de entrada. El segundo multiplexor 96 recibe la salida del elemento de almacenamiento 98 desde su entrada 96c a su salida. Se envía un impulso activador a través de la línea 99c.

10 Para recibir un valor negativo de un valor existente en el elemento de almacenamiento 98, el primer multiplexor 95 recibe el valor de salida del inversor 94 de su entrada 95b en su salida. El segundo multiplexor 96 recibe el valor de salida del primer multiplexor 95 de su entrada 96a en su salida. Se envía un impulso activador a través de la línea 99c.

Para incluir en la memoria un valor presente en la entrada 91, el primer multiplexor 95 recibe el valor presente en la entrada 91 de la entrada 95a en su salida. El segundo multiplexor 96 recibe la señal presente en su salida 96b, es decir, la salida del sumador 97, en su salida. Se envía un impulso activador a través de la línea 99c.

15 Para sustraer de la memoria un valor presente en la entrada 91, el primer multiplexor 95 recibe el valor presente en la salida del inversor 94 desde la entrada 95b, en su salida. El segundo multiplexor 96 recibe la señal presente en su salida 96b, es decir, la salida del sumador 97, en su salida. Se envía un impulso activador a través de la línea 99c.

20 Otras formas de ejecución preferidas conciernen a la reducción de la superficie del chip mediante la reducción de los amplificadores operacionales requeridos, así como una variante de circuito en la que se puede seleccionar entre un circuito sólo TDI y un circuito combinado TDI y CDS.

La fig. 6 muestra esquemáticamente la estructura de un píxel 22. Un componente esencial de dicho circuito es un diodo 27 fotosensible. Dicho diodo presenta, condicionado por su estructura, una capacidad parásita en paralelo 28. El ánodo del diodo 27 fotosensible se encuentra con el potencial a masa. Al cátodo del diodo 27 se conecta la conexión fuente de un transistor MOS 29. El terminal de drenaje del transistor MOS 29 se encuentra en el potencial de la tensión de funcionamiento. A la puerta del transistor MOS 29 se conecta una de las líneas de control 82 que se provee para el control del píxel correspondiente. Además, el cátodo del diodo 27 fotosensible se conecta a la puerta de otro transistor MOS 2a, cuyo terminal de drenaje se encuentra en tensión de funcionamiento y cuya conexión fuente conforma la salida del píxel. En la cercanía inmediata del píxel, no obstante, correspondiente al
30 circuito selector 1, se encuentra un transistor de selección o un conmutador 13 del lado de entrada del circuito selector, que se controla mediante una de las líneas de control 81, que se provee para el control o bien, para la interconexión del píxel correspondiente. En dicho ejemplo de ejecución, se realiza el conmutador 13 del lado de entrada como transistor MOS, donde su terminal de drenaje se conecta a la conexión fuente del transistor MOS 2a. La conexión fuente del transistor que conforma el conmutador 13 del lado de entrada, forma el conducto de conexión
35 15. La línea de control 81 correspondiente se conecta a la conexión puerta del transistor MOS 13.

La fig. 7 muestra un circuito que presenta, para una pluralidad de m circuitos analógicos 6, sólo un único amplificador operacional 61, así como un único cuarto conmutador 67. La conexión inversora del amplificador operacional 61 se conecta con todas las segundas conexiones del primer capacitor 62. Además, las salidas de todos los circuitos analógicos se conectan con la salida del amplificador operacional 61, donde el nodo que surge de esta
40 manera, forman la salida del circuito analógico 6. Las primeras conexiones del primer conmutador 64 se encuentran conectadas entre sí, y el nodo común, conformado por dicha unión, forma la entrada común 68 del circuito analógico 6. Al mismo tiempo, la pluralidad de los segundos conmutadores 65 actúa como multiplexor 4.

En la lectura en serie de cada píxel 22, la estructura del circuito representado en la fig. 7, ofrece la misma funcionalidad que una fila de circuitos analógicos 6 que actúan paralelamente. Dado que siempre se encuentra activo sólo uno de los elementos acumuladores 3 o bien, se puede regular mediante el multiplexor 4 o el circuito selector 1, se requiere siempre sólo un amplificador operacional 61 para poner a disposición la funcionalidad
45 requerida. Los elementos acumuladores restantes 3, presentan siempre conmutadores abiertos 64, 65, 66, que logra que ambos capacitores 62, 63 de dichos circuitos se encuentren desconectados o bien, aislados en cada una de las conexiones, por lo que la carga almacenada permanece en los capacitores correspondientes 62, 63. La posición del cuarto conmutador en común 67 se ajusta a la posición del elemento acumulador 3 activo correspondiente.
50

La estructura especial de dicho circuito logra que respectivamente sólo uno de los valores de carga o valores de tensión presentes en los segundos capacitores 63, se transmitan a la salida 69 del circuito analógico 6 o bien, que se encuentre en dicha salida 69. Los segundos capacitores 63 restantes se encuentran separados o bien, aislados frente a la salida mediante los segundos conmutadores 65 correspondientes.

55 Además, los respectivos primeros conmutadores 64 de los elementos acumuladores 3 actúan como conmutadores 14 del lado de salida del circuito selector 1. La señal presente en la entrada 68 se transmite a aquel elemento acumulador 3, cuyo primer conmutador 64 se encuentra cerrado.

Otro acondicionamiento de la estructura del circuito representada en la fig. 7, que se puede utilizar adicionalmente como circuito sólo TDI, se representa en la fig. 8. Para cada elemento acumulador 3, se provee un quinto conmutador 60 y un sexto conmutador 6a, donde la segunda conexión del primer conmutador 64 se conecta con la primera conexión del quinto conmutador 60, y la segunda conexión del quinto conmutador 60 se encuentra con el potencial a masa. Además, la primera conexión del sexto conmutador 6a se conecta con la segunda conexión del primer conmutador 64, y la segunda conexión del sexto conmutador 6a se conecta con la salida 69 del circuito analógico 6. Si ambos conmutadores 60 y 6a se encuentran abiertos, el circuito analógico representado en la fig. 8 se puede accionar análogamente al circuito analógico representado en la fig. 7.

En el caso de resultar necesario, se puede prever que sólo uno de los primeros capacitores 62 se utilice de la manera descrita anteriormente, mientras que los capacitores restantes 62, se conectan análogamente a los segundos capacitores 63. En este caso, sin embargo, se suprime la posibilidad de la compensación de ruido (CDS), la cantidad de los elementos acumuladores 3 que se encuentran a disposición se duplica aproximadamente, donde se encuentran a disposición $2m-1$ elementos acumuladores 3, y m significa la cantidad de elementos acumuladores 3 para el método CDS-TDI.

En este contexto, se indica una cantidad de dos conmutadores y un capacitor, es decir, ya sea del segundo conmutador 65 y del tercer conmutador 66, así como del segundo capacitor 63, o del quinto y sexto conmutador 60, 6a, así como del primer capacitor como primera celda de acumulación 6y o segunda celda de acumulación 6z.

Esta clase de circuitos resulta particularmente adecuada, si se dispone de suficiente luz y la calidad de la imagen se deba elevar mediante rango dinámico, es decir, mediante un ancho mayor de bit de los datos de píxel. Como ya se ha mencionado, un elemento acumulador 3 se acciona análogamente a las formas de funcionamiento descritas en la fig. 7. Ambos conmutadores 60 y 6a se encuentran siempre abiertos. En los elementos acumuladores 3 restantes, los primeros conmutadores 64 se encuentran siempre abiertos. Mediante dicho modo de conexión, se conforma una celda de acumulación 6y, mediante el quinto conmutador 60 y el sexto conmutador 6a, así como el primer capacitor 62, que presenta una topología de conexiones equivalente a la celda de acumulación 6z, conformada por el segundo capacitor 63, el segundo conmutador 65 y el tercer conmutador 66. El quinto conmutador 60 posee, además, la misma función que el tercer conmutador 66. Además, las funciones del conmutador 65 y 6a son también equivalentes.

En un método que se realiza mediante un circuito de esta clase, no resulta posible una compensación de ruido de los valores de carga de cada píxel 21 o bien, se considera innecesaria. Cada celda de acumulación 6y, 6z comprende uno de los capacitores 62, 63, así como dos conmutadores, a saber, ya sea el segundo y el tercer conmutador 65, 66 o el quinto y el sexto conmutador 60, 6a. Mediante el cierre del segundo conmutador 65 o del sexto conmutador 6a, el valor de tensión presente en la entrada 68 se transmite al respectivo capacitor 62, 63 de una celda de acumulación 6y, 6z. De esta manera, el otro conmutador correspondiente, a saber, el tercer conmutador 66 o el quinto conmutador 60, permanece abierto.

Para el reinicio de la carga almacenada en uno de ambos capacitores 62, 63, se abre el tercer conmutador 66 o el conmutador 60, por lo que se descarga el capacitor correspondiente 62, 63.

Si se debe conservar el valor almacenado en el capacitor 62, 63, se encuentran abiertos todos los conmutadores 65, 66 ó 60, 6a. De esta manera, se encuentra aislada la segunda conexión del segundo capacitor 63 o bien, la primera conexión del primer capacitor 62, por lo que se almacena la carga.

En el transcurso del método, cada uno de los valores de carga de píxeles 22, destinados a las celdas de acumulación 6y, 6z correspondientes, se pueden transmitir a las respectivas celdas de acumulación 6y, 6z.

Hasta el momento, la representación parte sólo desde un canal cromático (sensor monocromático). Se puede efectuar fácilmente una generalización del método representado en una pluralidad de canales cromáticos, por ejemplo, para rojo, verde y azul, para un sensor de color.

El circuito conforme a la presente invención se puede disponer conjuntamente con los píxeles 22 sobre un sustrato portador de un microchip conformado como sensor de imagen. La unidad de captación de imagen que presenta un sensor de imagen, particularmente una cámara de video, comprende todos los componentes requeridos electrónicos, ópticos y mecánicos para la captación de objetos sobre el sensor. Se encuentran conectados al circuito, conforme a la presente invención, los demás componentes del circuito o bien, los elementos para la representación y evaluación de las señales de luminancia de cada píxel, por ejemplo, monitores o medios de almacenamiento.

REIVINDICACIONES

1. Circuito para la evaluación de señales de luminancia que se encuentran en una fila de píxeles (22), en particular en una columna de un sensor de imagen, donde cada una de las señales de luminancia que se encuentran en cada píxel (22) se pueden reiniciar por separado a un valor predeterminado, donde se provee un circuito selector (1) que comprende una cantidad de (n) entradas (11) y una cantidad de (m) salidas (12), mediante las cuales se puede regular, una de dichas entradas (11) se conecta con una de dichas salidas (12), que cada píxel (22) se conecta a una de las entradas (11) del circuito selector (1), que cada elemento acumulador (3) se conecta posteriormente a una de las salidas (12) del circuito selector (1) para la acumulación de un valor correspondiente a la señal de luminancia de un píxel (22), y que un circuito de control (8) se conecta a las entradas de control correspondientes del circuito selector (1) de los elementos acumuladores (3) y a los píxeles (22), y que se pueden controlar mediante el circuito de control (8), **caracterizado porque**
- al menos, uno de los elementos acumuladores (3) se fabrica o se realiza como un circuito analógico (6), que comprende un amplificador operacional (61), dos capacitores (62, 63), así como cuatro conmutadores (64, 65, 66, 67), donde
 - la entrada (68) del circuito se conecta con la primera conexión del primer conmutador (64),
 - la segunda conexión del primer conmutador (64) se conecta con la primera conexión del primer capacitor (62),
 - la segunda conexión del primer capacitor (62) se conecta con la primera conexión del segundo capacitor (63),
 - la segunda conexión del segundo capacitor (63) se conecta con la primera conexión del segundo conmutador (65), así como con la primera conexión del tercer conmutador (66),
 - la segunda conexión del tercer conmutador (66) se encuentra con el potencial a masa,
 - la segunda conexión del segundo conmutador (65) se conecta con la salida (69) del circuito analógico (6),
 - la entrada no inversora del amplificador operacional (61) se encuentra con el potencial a masa,
 - la entrada inversora del amplificador operacional (61) se conecta con la segunda conexión del primer capacitor (62),
 - la salida del amplificador operacional (61) se conecta con la salida (69) del circuito analógico (6), y
 - el cuarto conmutador (67) se conecta en cada una de sus conexiones con la entrada inversora del amplificador operacional (61), así como con la salida del amplificador operacional (61).
2. Circuito de acuerdo con la reivindicación 1, **caracterizado porque** cada una de las salidas de los respectivos elementos acumuladores (3) se encuentran conectadas a las entradas de un multiplexor (4),
- donde el circuito de control (8) se conecta a la entrada de control del multiplexor (4) y controla dicho multiplexor, y
 - donde la salida del multiplexor (4) conforma la salida (5) del circuito y/o
 - **porque** en el circuito selector (1), cuando existe una señal de control en una entrada de control (17) provista para ello, se conecta una entrada concreta (11) con una salida concreta (12) en correspondencia con la información que contiene la señal de control, y todas las otras entradas (11) y salidas (12) se encuentran sin conectar o bien, aisladas entre sí.
3. Circuito de acuerdo con la reivindicación 1 ó 2, **caracterizado porque**
- cada uno de los elementos acumuladores (3) presenta una entrada de control, eventualmente para pluralidades de información de control presentes codificadas en binario, mediante las que, a través del circuito de control (8), se predetermina si la señal de entrada que se encuentra en la entrada del elemento acumulador (3)
 - no se considera y se conserva el valor del acumulador o
 - sobrescribe el valor del acumulador, donde el valor negativo de la señal de entrada se almacena en el elemento acumulador (3) o
 - se adiciona al valor del acumulador o
 - se sustrae del valor del acumulador o

- sobrescribe el valor del acumulador, y/o

- cada uno de los elementos acumuladores (3) presenta una entrada de control, eventualmente para pluralidades de información de control presentes codificadas en binario, mediante las que, a través del circuito de control (8), se predetermina si la señal de entrada que se encuentra en la entrada del elemento acumulador (3)

- no se considera y se conserva el valor del acumulador o

- no se considera y el valor del acumulador se establece en un valor predefinido o

- se adiciona al valor del acumulador o

- se sustrae del valor del acumulador.

4. Circuito de acuerdo con una de las reivindicaciones precedentes, **caracterizado porque**

a) el circuito selector (1) establece una asignación entre un píxel respectivo (22) y un elemento acumulador respectivo (3), donde un respectivo píxel en particular (22) se destina a un elemento acumulador (3) en particular,

b) la señal de luminancia presente en el píxel (22) se transmite y el píxel (22) se reinicia a su estado de inicio mediante un pulso de control en la línea de control del píxel (22),

c) después de la terminación del reinicio del píxel (22), la señal de luminancia existente, en particular la carga residual almacenada, se recibe en el elemento acumulador (3) mediante la aplicación de un pulso de control para la recepción del valor negativo de píxel, donde el valor negativo de la señal de luminancia presente en el píxel (22) se acumula con el valor en el elemento acumulador (3),

d) a continuación, después de un tiempo de exposición predeterminada, el valor de la señal de luminancia presente en el píxel (22) se conduce al elemento acumulador (3) destinado al píxel (22), y se incluye o bien, se acumula con el valor ya almacenado en dicho elemento acumulador (3),

e) en el circuito de control se provee un circuito digital programable para la ejecución automatizada de las etapas b) a d) para todos los píxeles (22) o bien, los elementos acumuladores (3) destinados a dichos píxeles (22), y

f) se provee un circuito para la creación de asignaciones que, mediante la consulta de todos los valores de píxeles, modifica la asignación después de la terminación de las etapas b) a e) cíclicamente o bien, mediante reasignación frente a la asignación existente, aplicando una respectiva señal de control en el circuito selector (1), y activa nuevamente el circuito para una cantidad predeterminada de repeticiones con la nueva asignación.

5. Circuito de acuerdo con una de las reivindicaciones precedentes, **caracterizado porque** cada píxel (22) presenta una entrada de reinicio (24) a través de la que la señal de luminancia presente en el píxel (22), en particular, el valor de carga almacenado en el píxel (22), se puede reiniciar en un valor predeterminado, eventualmente afectado por ruidos.

6. Circuito de acuerdo con una de las reivindicaciones precedentes, **caracterizado porque** el circuito selector (1) se realiza mediante un multiplexor (18) y un demultiplexor conectado posteriormente (19), donde las entradas del multiplexor (18) actúan como entradas (11) del circuito selector (1), y las salidas del demultiplexor (19) actúan como salidas (12) del circuito selector (1), y ambas entradas de control del multiplexor (18) y del demultiplexor (19) actúan como entrada de control común (17) del circuito selector (1), y/o

- porque se provee una cantidad de conmutadores (13) del lado de entrada, que corresponde a la cantidad de entradas (11), y la primera conexión correspondiente a uno de los conmutadores (13) del lado de entrada se conecta a una respectiva entrada (11) del circuito selector (1),

- la segunda conexión de cada uno de los conmutadores (13) del lado de entrada se encuentra conectada con un conductor de conexión (15),

- se provee una cantidad de conmutadores (14) del lado de salida, que corresponde a la cantidad de salidas (12), y la segunda conexión correspondiente a uno de los conmutadores (14) del lado de salida se conecta con una respectiva salida (12) del circuito selector (1),

- las otras respectivas conexiones de cada conmutador (14) del lado de salida se conectan al conductor de conexión (15), y

- los conmutadores del lado de entrada (13) y los conmutadores del lado de salida (14) se pueden activar o bien, conmutar mediante una entrada de control común (17) del circuito selector (1).

7. Circuito de acuerdo con una de las reivindicaciones precedentes, **caracterizado porque**

- la cantidad de píxeles (22) corresponde a la cantidad de elementos acumuladores (3) y la cantidad de (n) entradas (11) del circuito selector (1) corresponde a la cantidad de (m) salidas (12) del circuito selector y/o

- porque todos los elementos acumuladores (3) están conformados de igual manera.

8. Circuito de acuerdo con una de las reivindicaciones precedentes, caracterizado porque

5 - para la pluralidad (m) de circuitos analógicos (6) se provee un único amplificador operacional (61), así como un único cuarto conmutador (67), donde

- la conexión inversora del amplificador operacional (61) se conecta con todas las segundas conexiones del primer capacitor (62),

10 - las primeras conexiones de todos los primeros conmutadores (64) se encuentran conectadas entre sí y el nodo que surgen de ello, forma la entrada (68) del circuito analógico (6),

- las salidas (69) de todos los circuitos analógicos (6) se conectan con la salida del amplificador operacional (61) y dicho nodo forma la salida del circuito analógico (6), donde la cantidad (m) de los segundos conmutador (65) actúa como multiplexor (4).

9. Circuito de acuerdo con una de las reivindicaciones precedentes, caracterizado porque

15 - la relación de la capacidad del primer capacitor (62) con la capacidad del segundo capacitor (63) se encuentra entre 1:1 y 3:1, donde el segundo capacitor (63) presenta siempre la misma capacidad, como reducida o máxima.

20 **10. Circuito de acuerdo con una de las reivindicaciones precedentes, caracterizado porque** para cada circuito analógico (6) se provee un quinto conmutador (60) y un sexto conmutador (6a), donde

a) la segunda conexión del primer conmutador (64) se conecta con la primera conexión del quinto conmutador (60), y la segunda conexión del quinto conmutador (60) se encuentra con el potencial a masa, y

25 b) la primera conexión del sexto conmutador (6a) se conecta con la segunda conexión del primer conmutador (64), y la segunda conexión del sexto conmutador (6a) se conecta con la salida (69) del circuito analógico (6).

11. Circuito de acuerdo con una de las reivindicaciones precedentes, caracterizado porque los conmutadores (13) del lado de entrada se encuentran integrados en el píxel (22) o bien, dispuestos inmediatamente en sus alrededores, en particular en el substrato portador del microchip que porta el circuito, y eventualmente se conectan posteriormente al píxel (21).

30 **12. Circuito de acuerdo con una de las reivindicaciones precedentes, caracterizado porque** al circuito se conecta posteriormente un convertidor analógico-digital (16).

13. Circuito de acuerdo con una de las reivindicaciones precedentes, caracterizado porque una fuente de tensión (15a) se conecta al conductor de conexión (15).

35 **14. Circuito de acuerdo con una de las reivindicaciones precedentes, caracterizado porque** los conmutadores (64, 65, 66, 67, 60, 6a) de cada elemento acumulador (3), los conmutadores del multiplexor (4), así como los conmutadores del lado de entrada y de salida (13, 14) del circuito selector (1), se pueden conmutar electrónica o eléctricamente, y, en particular, se realizan como transistores, preferentemente todos de igual manera, y eventualmente con tecnología CMOS.

40 **15. Circuito de acuerdo con una de las reivindicaciones precedentes, caracterizado porque** los elementos acumuladores (3), los píxeles (22), el circuito selector (1), así como el multiplexor (4), presentan una entrada de reloj, a través de la cual éstos se activan eficazmente en intervalos de tiempo predeterminados.

“Siguen 8 páginas de dibujos”

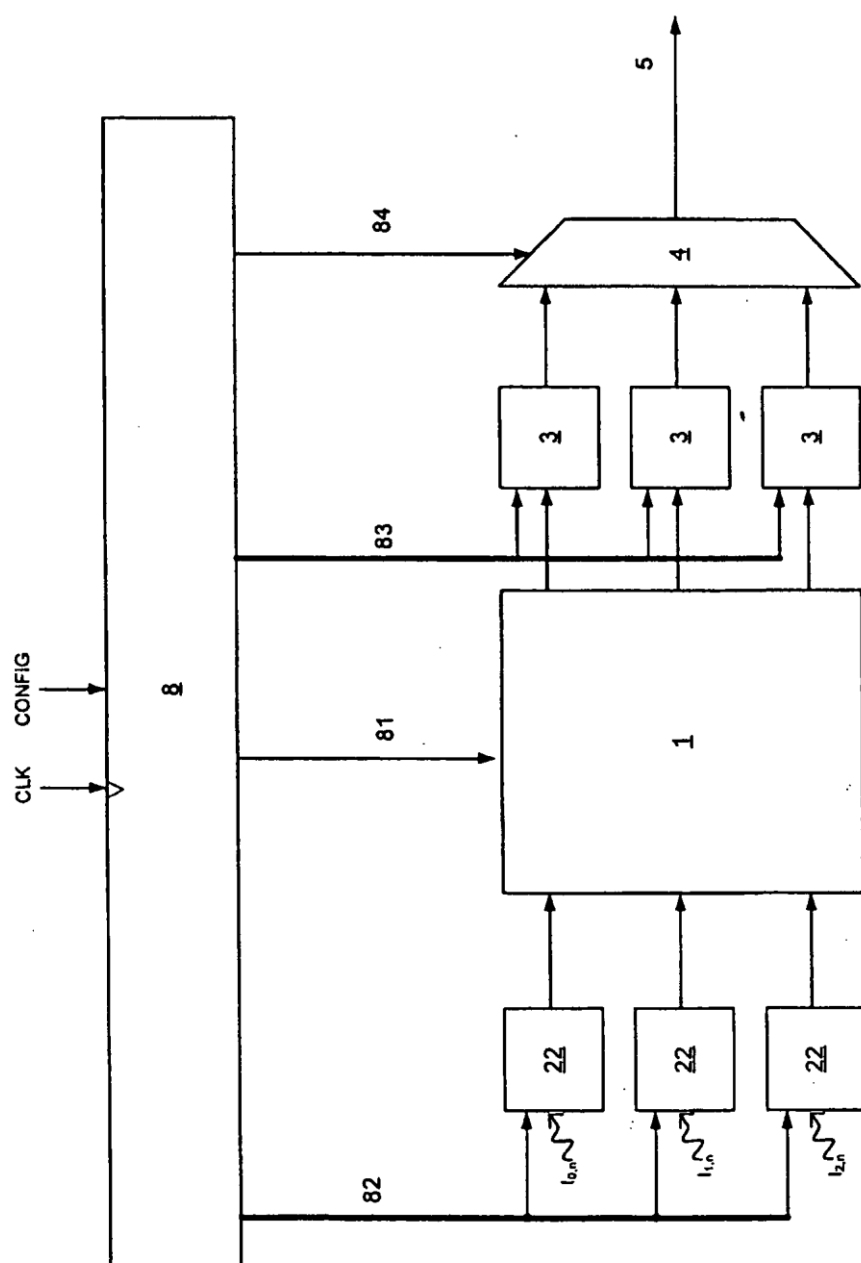


Fig. 1

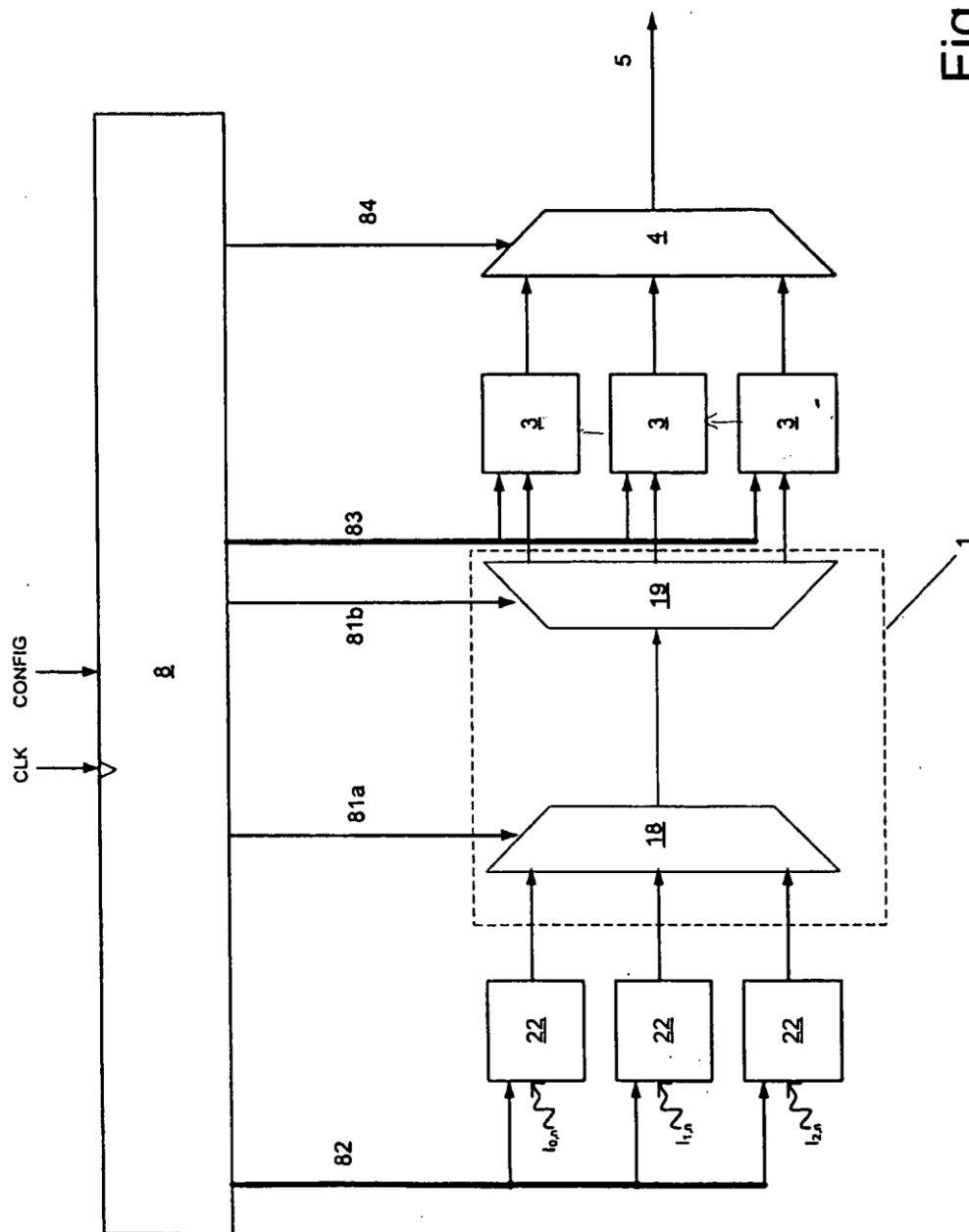


Fig. 2

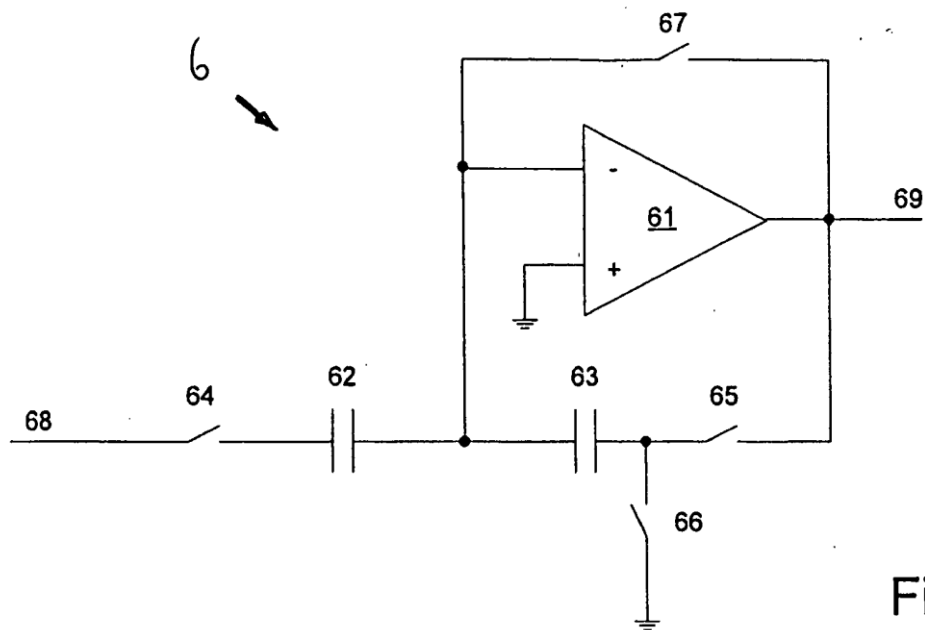


Fig. 3

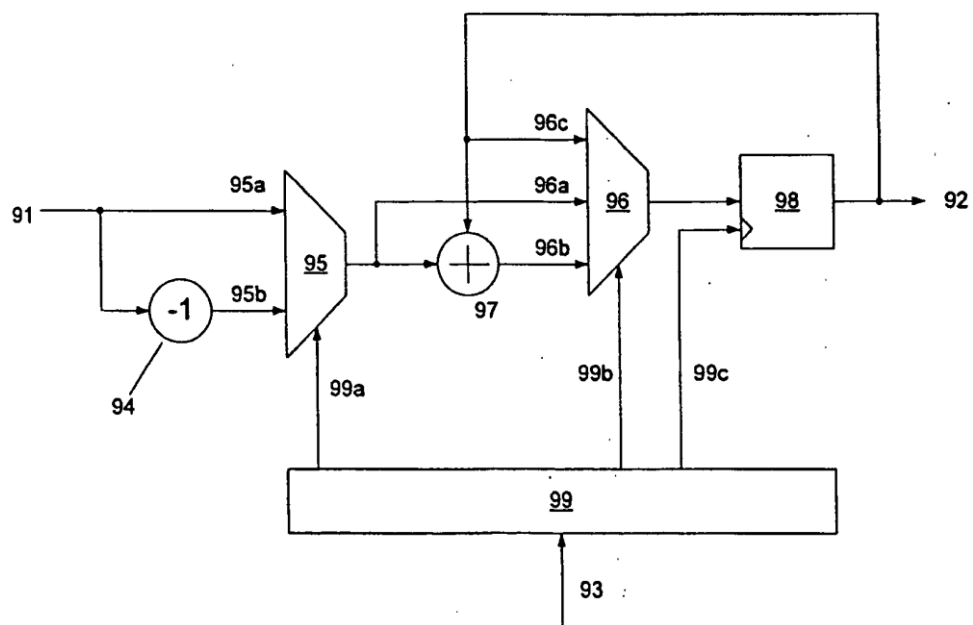


Fig. 4

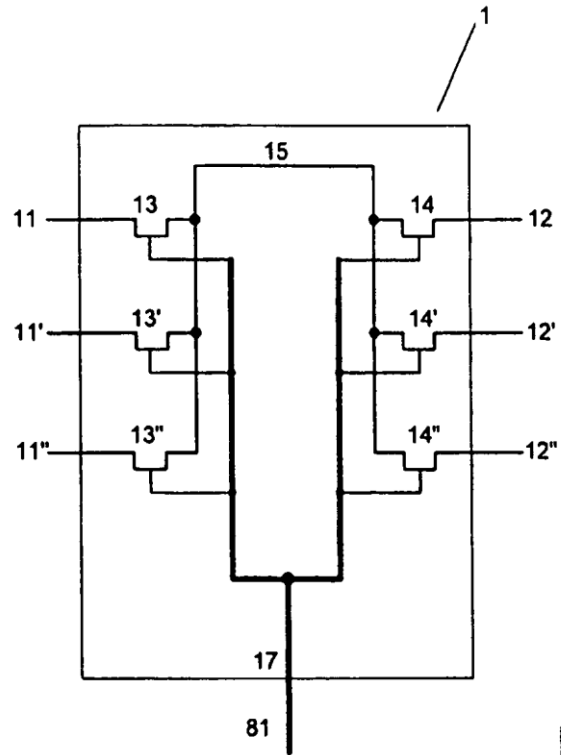


Fig. 5

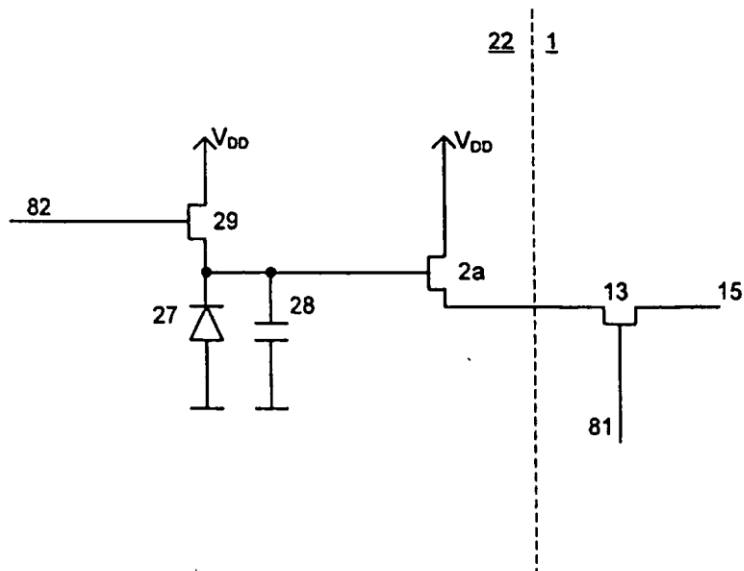


Fig. 6

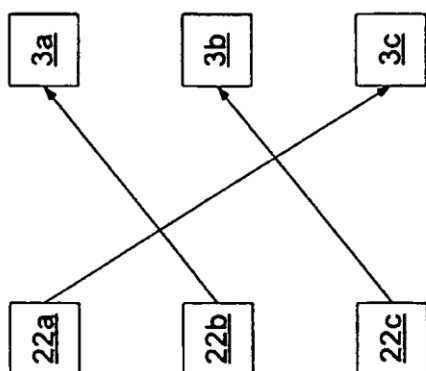


Fig. 9a

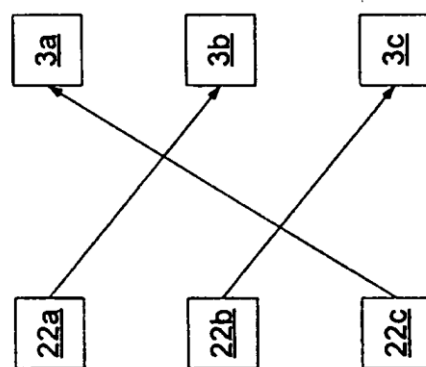


Fig. 9b

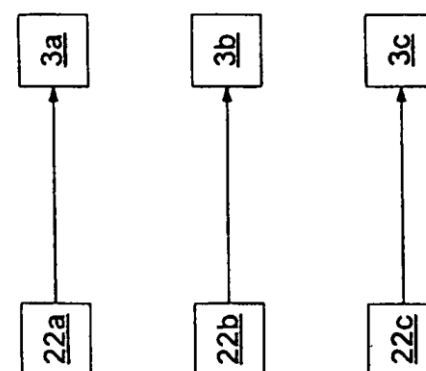


Fig. 9c

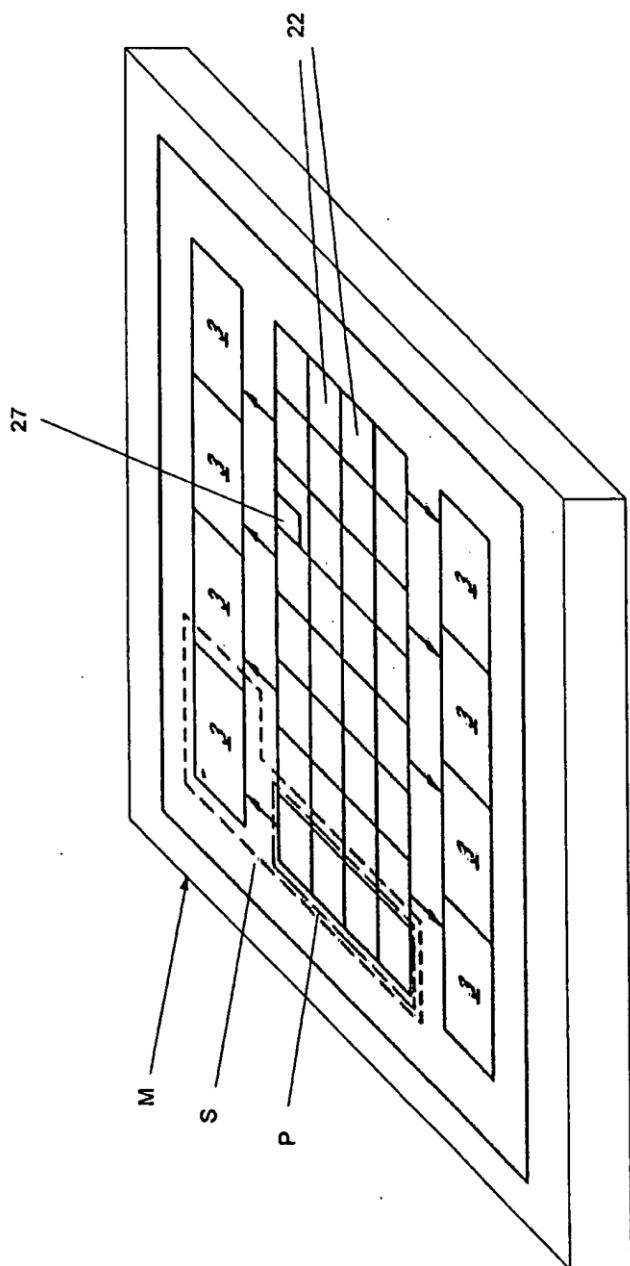


Fig. 10