

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和2年11月12日(2020.11.12)

【公開番号】特開2020-53466(P2020-53466A)

【公開日】令和2年4月2日(2020.4.2)

【年通号数】公開・登録公報2020-013

【出願番号】特願2018-178887(P2018-178887)

【国際特許分類】

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/739 (2006.01)

H 0 1 L 29/06 (2006.01)

H 0 1 L 21/329 (2006.01)

H 0 1 L 29/866 (2006.01)

H 0 1 L 29/861 (2006.01)

H 0 1 L 29/868 (2006.01)

H 0 1 L 29/747 (2006.01)

H 0 1 L 29/749 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

【 F I 】

H 0 1 L 29/78 6 5 6 A

H 0 1 L 29/78 6 5 3 A

H 0 1 L 29/78 6 5 5 A

H 0 1 L 29/78 6 5 2 Q

H 0 1 L 29/78 6 5 4 Z

H 0 1 L 29/78 6 5 2 H

H 0 1 L 29/06 3 0 1 V

H 0 1 L 29/06 3 0 1 D

H 0 1 L 29/78 6 5 2 J

H 0 1 L 29/78 6 5 7 D

H 0 1 L 29/78 6 5 7 F

H 0 1 L 29/90 S

H 0 1 L 29/91 D

H 0 1 L 29/78 6 5 7 G

H 0 1 L 29/747

H 0 1 L 29/74 6 0 1 B

H 0 1 L 29/78 6 5 5 Z

H 0 1 L 27/088 E

【手続補正書】

【提出日】令和2年10月1日(2020.10.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1及び第2の主面を有する第1導電型の第1の半導体層と、

前記第 1 の半導体層の前記第 1 の主面上に配設された第 2 導電型の第 2 の半導体層と、  
前記第 2 の半導体層の表面に選択的に配設された前記第 1 導電型の第 3 の半導体層と、  
前記第 2 の半導体層及び前記第 3 の半導体層上に配設された第 1 の主面側の第 1 の主電極と、

前記第 2 の半導体層のうちの、前記第 1 の半導体層及び前記第 3 の半導体層の間の領域に形成される第 1 のゲートチャンネル領域と、

前記第 1 のゲートチャンネル領域と第 1 ゲート絶縁膜によって絶縁される第 1 の制御電極と、

前記第 1 の半導体層の前記第 2 の主面上に配設された前記第 2 導電型の第 4 の半導体層と、

前記第 4 の半導体層の表面に選択的に配設された前記第 1 導電型の第 5 の半導体層と、  
前記第 4 の半導体層及び前記第 5 の半導体層上に配設された第 2 の主面側の第 2 の主電極と、

前記第 1 の半導体層及び前記第 5 の半導体層の間に設けられた前記第 1 導電型の第 2 のゲートチャンネル領域と、

前記第 2 のゲートチャンネル領域と第 2 ゲート絶縁膜によって絶縁される第 2 の制御電極とを備える、半導体装置。

【請求項 2】

前記第 1 導電型は n 型であり、かつ、前記第 2 導電型は p 型であり、

前記第 1 のゲートチャンネル領域は、前記第 1 の制御電極に前記第 1 の主電極に対して正電圧を印加することで前記第 1 の半導体層及び前記第 3 の半導体層の間にチャンネルが形成されるノーマリオフ型で構成され、

前記第 2 のゲートチャンネル領域は、前記第 2 の制御電極に前記第 2 の主電極に対して負電圧を印加することで前記第 1 の半導体層及び前記第 5 の半導体層の間のチャンネルが非形成とされるノーマリオン型で構成される、請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 の主面側において前記第 3 の半導体層と前記第 2 の半導体層とを貫通して、前記第 1 の半導体層に達するように形成された第 1 トレンチをさらに備え、

前記第 1 ゲート絶縁膜は、前記第 1 トレンチの表面上に形成され、

前記第 1 の制御電極は、前記第 1 トレンチ内において前記第 1 ゲート絶縁膜の上に形成される、請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記第 1 の半導体層及び前記第 2 の半導体層の間に配設された前記第 1 導電型の第 6 の半導体層をさらに備え、

前記第 6 の半導体層は、前記第 1 の半導体層よりも高い不純物密度で、かつ、前記第 2 の半導体層よりも薄く形成される、請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記第 1 の半導体層及び前記第 4 の半導体層の間に配設された前記第 1 導電型の第 7 の半導体層をさらに備え、

前記第 7 の半導体層は、前記第 1 の半導体層よりも高い不純物密度で、かつ、前記第 4 の半導体層よりも厚く形成され、

前記第 2 のゲートチャンネル領域は、前記第 7 の半導体層及び前記第 5 の半導体層の間に設けられる、請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記第 2 の主面側において前記第 5 の半導体層及び前記第 2 のゲートチャンネル領域を通過して前記第 1 の半導体層に達するように形成された第 2 トレンチをさらに備え、

前記第 2 ゲート絶縁膜は、前記第 2 トレンチの表面上に形成され、

前記第 2 の制御電極は、前記第 2 トレンチ内において前記第 2 ゲート絶縁膜の上に形成される、請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置。

【請求項 7】

前記第2の主面側において前記第5の半導体層と前記第2のゲートチャネル領域とを貫通して、前記第7の半導体層まで到達する一方で、前記第1の半導体層に到達しないように形成された第2トレンチをさらに備え、

前記第2ゲート絶縁膜は、前記第2トレンチの表面上に形成され、

前記第2の制御電極は、前記第2トレンチ内において前記第2ゲート絶縁膜の上に形成される、請求項5記載の半導体装置。

【請求項8】

前記第2の制御電極と前記第2のゲートチャネル領域との間に接続された、前記第2導電型の第8の半導体層をさらに備え、

前記第2の制御電極は、前記第2ゲート絶縁膜に代えて前記第8の半導体層によって、前記第2のゲートチャネル領域と絶縁される、請求項1～5のいずれか1項に記載の半導体装置。

【請求項9】

前記第2ゲート絶縁膜は、前記第2の制御電極と、前記第2のゲートチャネル領域の間に形成される、請求項1～5のいずれか1項に記載の半導体装置。

【請求項10】

前記第2の主面側において、前記第2の主電極とは分離されて、前記第4の半導体層及び前記第5の半導体層上に配設された第3の主電極と、

前記第1の主電極及び前記第3の主電極間の電圧差を測定する電圧検出器とをさらに備える、請求項1～9のいずれか1項に記載の半導体装置。

【請求項11】

前記第1の制御電極の第1ゲート電圧及び前記第2の制御電極の第2ゲート電圧を制御する駆動制御回路をさらに備え、

前記駆動制御回路は、前記第2の主電極から前記第1の主電極に電流が流れるのを遮断しているオフ動作期間において、前記電圧検出器によって検出された前記電圧差から前記第1の主電極から前記第2の主電極へ流れている逆電流を測定するとともに、当該逆電流が予め定められた基準値よりも大きい場合には、前記第1のゲートチャネル領域のチャネルを非形成とするように前記第1ゲート電圧を制御する一方で、当該逆電流が前記基準値より小さい場合に、前記第1のゲートチャネル領域のチャネルを形成するように前記第1ゲート電圧を制御する、請求項10記載の半導体装置。

【請求項12】

前記第1の制御電極の第1ゲート電圧及び前記第2の制御電極の第2ゲート電圧を制御する駆動制御回路をさらに備え、

前記駆動制御回路は、前記第2の主電極から前記第1の主電極に電流が流れるのを遮断している状態から、前記第2の主電極から前記第1の主電極に電流が流れる状態へ遷移する第1のスイッチング動作時において、前記第1のゲートチャネル領域にチャネルを形成するための前記第1ゲート電圧を発生すると同時に又はその直前に、前記第2のゲートチャネル領域にチャネルを非形成するための前記第2ゲート電圧を発生する、請求項1～10のいずれか1項に記載の半導体装置。

【請求項13】

前記第1の制御電極の第1ゲート電圧及び前記第2の制御電極の第2ゲート電圧を制御する駆動制御回路をさらに備え、

前記駆動制御回路は、前記第2の主電極から前記第1の主電極に電流が流れている状態から、前記第2の主電極から前記第1の主電極に電流が流れるのを遮断する状態へ遷移する第2のスイッチング動作時において、前記第1のゲートチャネル領域にチャネルを形成するための前記第1ゲート電圧の発生を停止すると同時に又はその直前に、前記第2のゲートチャネル領域にチャネルを非形成するための前記第2ゲート電圧の発生を停止する、請求項1～10のいずれか1項に記載の半導体装置。

【請求項14】

前記駆動制御回路は、前記第1のスイッチング動作において、前記第1のゲートチャネ

ル領域にチャンネルを形成するための前記第 1 ゲート電圧を発生している期間中に、前記第 2 のゲートチャンネル領域にチャンネルを非形成とするための前記第 2 ゲート電圧の発生を停止する期間を少なくとも 1 つ設ける、請求項 1 2 記載の半導体装置。

【請求項 1 5】

前記駆動制御回路は、前記第 1 のスイッチング動作において、前記第 1 のゲートチャンネル領域にチャンネルを形成するための前記第 1 ゲート電圧の発生を停止する期間を少なくとも 1 つ設ける、請求項 1 2 記載の半導体装置。

【請求項 1 6】

前記駆動制御回路は、前記第 2 のスイッチング動作において、前記第 1 のゲートチャンネル領域にチャンネルを形成するための前記第 1 ゲート電圧、及び、前記第 2 のゲートチャンネル領域にチャンネルを非形成とするための前記第 2 ゲート電圧の発生を停止した後に、前記第 2 のゲートチャンネル領域にチャンネルを非形成とするための前記第 2 ゲート電圧を発生する期間を少なくとも 1 つ設ける、請求項 1 3 記載の半導体装置。

【請求項 1 7】

前記駆動制御回路は、前記第 2 のスイッチング動作において、前記第 1 のゲートチャンネル領域にチャンネルを形成するための前記第 1 ゲート電圧、及び、前記第 2 のゲートチャンネル領域にチャンネルを非形成とするための前記第 2 ゲート電圧の発生を停止した後に、前記第 1 のゲートチャンネル領域にチャンネルを形成するための前記第 1 ゲート電圧と同じ極性の前記第 1 ゲート電圧を発生する期間を少なくとも 1 つ設ける、請求項 1 3 記載の半導体装置。

【請求項 1 8】

前記第 1 のゲートチャンネル領域にチャンネルを形成するために前記駆動制御回路が発生する前記第 1 ゲート電圧と、前記第 2 のゲートチャンネル領域にチャンネルを非形成するために前記駆動制御回路が発生する前記第 2 ゲート電圧とは、極性が反対で、かつ、絶対値が同一である、請求項 1 2 ~ 1 7 のいずれか 1 項に記載の半導体装置。

【請求項 1 9】

前記駆動制御回路は、前記第 2 の主電極から前記第 1 の主電極に電流が流れるのを遮断している状態において、前記第 2 のゲートチャンネル領域にチャンネルを非形成とするための前記第 2 ゲート電圧とは極性が反対の前記第 2 ゲート電圧を発生する期間と、前記第 2 の主電極と同電圧の前記第 2 ゲート電圧を発生する期間との両方を設ける、請求項 1 2 ~ 1 8 のいずれか 1 項に記載の半導体装置。

【請求項 2 0】

前記駆動制御回路は、前記第 2 の主電極から前記第 1 の主電極に電流が流れる状態において、前記第 2 のゲートチャンネル領域にチャンネルを非形成とするための前記第 2 ゲート電圧を発生する、請求項 1 2 ~ 1 8 のいずれか 1 項に記載の半導体装置。

【請求項 2 1】

前記駆動制御回路は、前記第 1 の主電極及び前記第 2 の主電極の間に、前記第 1 の主電極から前記第 2 の主電極への通電方向を順方向として整流素子が電氣的に接続されている状態下において、前記第 1 の主電極の電圧が前記第 2 の主電極の電圧よりも高いときには、前記第 1 のゲートチャンネル領域にチャンネルを形成するための前記第 1 ゲート電圧を発生する、請求項 1 2 ~ 2 0 のいずれか 1 項に記載の半導体装置。

【請求項 2 2】

前記駆動制御回路は、前記第 2 の主電極から前記第 1 の主電極に電流が流れる状態において、前記第 2 の主電極から前記第 1 の主電極に流れている電流値が、予め定められた電流基準値より小さい場合には、前記第 2 のゲートチャンネル領域にチャンネルを非形成とするための前記第 2 ゲート電圧の発生を停止する、請求項 1 2 ~ 2 0 のいずれか 1 項に記載の半導体装置。

【請求項 2 3】

前記駆動制御回路は、前記第 2 の主電極から前記第 1 の主電極に電流が流れる状態において、前記第 2 の主電極から前記第 1 の主電極に流れている電流値が予め定められた電流

上限値を超えた場合には、前記第1のゲートチャネル領域にチャネルを形成するための前記第1ゲート電圧の発生を停止した後に、前記第2のゲートチャネル領域にチャネルを非形成とするための前記第2ゲート電圧の発生を停止することによって、前記第2の主電極から前記第1の主電極に電流が流れるのを遮断している状態を形成する、請求項12～20のいずれか1項に記載の半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

図1は、比較例に係る半導体装置の構造を説明するための断面図である。

図1を参照して、比較例に係る半導体装置200は、両面ゲート構造を有するIGBTは、第1及び第2の主面を有するnベース1と、pベース2と、nエミッタ3と、pコレクタ4と、nコレクタ5と、pエミッタ6と、トレンチ7と、第1ゲート絶縁膜8と、第1ゲート電極9と、第1ゲートの層間絶縁膜10と、エミッタ電極11と、コレクタ電極12と、第2ゲート絶縁膜13と、第2ゲート電極14と、第2ゲートの層間絶縁膜15とを備える。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

nベース1の第2の主面側には、pコレクタ4が配設される。nコレクタ5は、pコレクタ4の第2の主面側の一部領域に選択的に配設される。更に、図1中に、第2ゲート絶縁膜13、第2ゲート電極14、及び、第2ゲートの層間絶縁膜15を形成することによって、第2の主面のコレクタ側においても、エンハンスメント型nチャネルMOSFET構造による、第2ゲート部が形成される。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

図2を参照して、エミッタ電極11を基準としてコレクタ電極12に印加されるコレクタ電圧 $V_{ce}$ の極性、第1ゲート電圧 $V_{g1}$ 、及び、第2ゲート電圧 $V_{g2}$ の組み合わせに応じて、IGBTの動作モードは8種類に分類される。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正の内容】

【0028】

特に、第2の動作モードでは、コレクタ電圧 $V_{ce} (> 0)$ が印加されている下で、第1ゲート電極9に閾値電圧 $V_t$ を超える正電圧が印加される( $V_{g1} = 「+」$ )一方で、第2ゲート電極14には、閾値電圧 $V_t$ を超える正電圧は印加されない( $V_{g2} = 「0」$ )。このため、pベース2のうちの第1ゲート電極9の近傍領域がn型に反転することで、nチャネル(第1のnチャネル)が形成されるとともに、nエミッタ3から第1のnチャネルを経由してnベース1へ至る電流経路が形成される。当該経路を通じて、エミッタ

電極 1 1 から電子（負電荷）が n ベース 1 へ注入される。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 9

【補正方法】変更

【補正の内容】

【0 0 4 9】

又、両面ゲート構造の I G B T では、ターンオン及びターンオフ時のスイッチング損失が小さい、即ち、スイッチング時間が短い、これは、スイッチング動作時の電流の時間的变化率（ $d I / d t$ ）及び電圧の時間的变化率（ $d V / d t$ ）が大きいことを意味する。従って、電流経路のインダクタンス（ $L$ ）と、電流の時間的变化率（ $d I / d t$ ）との積に依存するサージ電圧（ $L \times d I / d t$ ）が大きくなることが懸念される。サージ電圧の増大は、デバイスの電圧設計や装置の耐電圧設計に影響を及ぼすとともに、過電圧抑制のためのスナバ回路の追加等のコスト上昇要因となる可能性がある。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 5

【補正方法】変更

【補正の内容】

【0 0 6 5】

第 1 ゲート電極 4 8 と電氣的に接続されるゲート配線 5 8、及び、第 2 ゲート電極 5 4 と電氣的に接続されるゲート配線 6 1 によって、第 1 ゲート電極 5 4 からゲートパッド 5 9 までの経路、及び、第 2 ゲート電極 5 4 からゲートパッド 6 2 までの経路のポリシリコン部分を少なくすることができる。これにより、第 1 ゲート電極 4 8 及び第 2 ゲート電極 5 4 の各々と、ゲートパッド 5 9、6 2 間の電気抵抗を低くすることができるので、半導体装置 2 0 0 内における制御動作の均一化を図ることができる。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0 0 9 6

【補正方法】変更

【補正の内容】

【0 0 9 6】

又、図 1 1 ( b ) 及び図 1 1 ( d ) の比較から理解されるように、第 1 ゲート電極 4 8 に正電圧（1 5 ( V )）を印加して半導体装置 2 0 0 をオン動作させる際に、図 1 1 ( b ) の様に、第 2 ゲート電極 5 4 に負電圧を与えない場合には、低電流では M O S F E T 動作をする一方で、コレクタ電圧  $V_{c e}$  が上昇すると I G B T 動作に移行することで、一時的にコレクタ電圧  $V_{c e}$  が大幅に低下する現象（いわゆる、スナップバック現象）が発生することがある。図 1 1 ( b ) のシミュレーション結果でも、常温時（ $T = 2 5 ( )$ ）には、スナップバック現象が顕著に発生している。一方で、図 1 1 ( d ) に示されるように、半導体装置 2 0 0 をオン動作する際に、第 2 ゲート電極 5 4 に負電圧を印加すると（ $V_{g 2} = - 1 5 ( V )$ ）、スナップバック現象を抑制することが可能であることが理解される。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0 1 0 1

【補正方法】変更

【補正の内容】

【0 1 0 1】

上述したスナップバック現象は、特に、複数の I G B T を並列接続して使用する場合に、電流の不均一化を招くことが懸念される。従って、図 1 2 に示されるように、第 1 ゲー

ト電極 4 8 に対して正電圧を印加するタイミング、即ち、第 1 ゲート電圧  $V_{g1}$  を 0 ( V ) から ( V ) に変化させるタイミングと同時、又は、それよりも早く、第 2 ゲート電極 5 4 に負電圧を印加、即ち、第 2 ゲート電圧  $V_{g2}$  を 0 ( V ) から - ( V ) に変化する。

【手続補正 1 0】

【補正対象書類名】明細書

【補正対象項目名】0 1 1 0

【補正方法】変更

【補正の内容】

【0 1 1 0】

このように、第 1 のゲートチャネル領域 5 6 でチャネルを形成するための第 1 ゲート電圧  $V_{g1}$  の発生を停止すると同時に、又は、その直前に、第 2 のゲートチャネル領域 5 3 でチャネルを非形成とするための第 2 ゲート電圧  $V_{g2}$  の発生を停止することにより、上述した、ターンオフに要するスイッチング時間の短縮により、ターンオフ時のスイッチング損失を抑制することができる。

【手続補正 1 1】

【補正対象書類名】明細書

【補正対象項目名】0 1 1 5

【補正方法】変更

【補正の内容】

【0 1 1 5】

特性線 T 1 及び T 2 の比較から、図 1 1 ( b ) 及び図 1 1 ( d ) の比較でも説明したように、第 2 ゲート電極 5 4 に負電圧を印加して半導体装置 2 0 0 をオンすることによって、コレクタ電流  $I_c$  が流れているときのコレクタ電圧  $V_{ce}$  であるオン電圧を低減できるとともに、スナップバック現象についても抑制することができる。

【手続補正 1 2】

【補正対象書類名】明細書

【補正対象項目名】0 1 1 8

【補正方法】変更

【補正の内容】

【0 1 1 8】

又、半導体装置 2 0 0 は、図 1 2 の動作波形によるターンオン後には、第 2 ゲート電極 5 4 に対する負電圧 ( - ( V ) ) の印加を停止しても、コレクタ電極 5 1 から p コレクタ 4 4 及び n ベース 4 1 からなる J 1 接合を經由する導電経路によって、オン状態の維持が可能である。

【手続補正 1 3】

【補正対象書類名】明細書

【補正対象項目名】0 1 2 1

【補正方法】変更

【補正の内容】

【0 1 2 1】

$V_{g2} = - ( V )$  に制御される期間  $T_g$  では、 $V_{g2} = 0 ( V )$  の期間と比較して、コレクタ電圧  $V_{ce}$  ( 即ち、オン電圧  $V_{on}$  ) が低くなるので、コレクタ電流  $I_c$  の通過によって半導体装置 2 0 0 ( IGBT ) 内部で発生する電力損失 ( 導通損失 ) を抑制することができる。更に、 $V_{g2} = - ( V )$  とする期間  $T_g$  を、半導体装置 2 0 0 のオン動作期間の一部とすることで、第 2 ゲート電圧  $V_{g2}$  を供給する駆動制御回路 3 0 0 ( 図 6 ) の消費電力を抑制することができる。

【手続補正 1 4】

【補正対象書類名】明細書

【補正対象項目名】0 1 4 7

## 【補正方法】変更

## 【補正の内容】

## 【0147】

図27には、図22と同様に、第1ゲート電圧 $V_{g1}$ の変化タイミングから $3(\mu s)$ 早く、第2ゲート電圧 $V_{g2}$ が変化する、即ち、遅れ時間 $T_d = -3(\mu s)$ であるときのシミュレーション波形が示される。図27では、 $T_{off}$ は約 $0.45(\mu s)$ である。

## 【手続補正15】

## 【補正対象書類名】明細書

## 【補正対象項目名】0148

## 【補正方法】変更

## 【補正の内容】

## 【0148】

再び図17を参照して、図17中には、 $T = 25$  の各シミュレーション条件(図18~図22)でのサージ電圧 $V_{sg}$ 、及び、 $T = 150$  の各シミュレーション条件(図23~図27)でのターンオフ時間 $T_{off}$ がさらに記入されている。

## 【手続補正16】

## 【補正対象書類名】明細書

## 【補正対象項目名】0152

## 【補正方法】変更

## 【補正の内容】

## 【0152】

このようなサージ電圧の抑制効果は、 $n$ ベース41に過剰に蓄積された電子が、第2のゲートチャネル領域53を通じてコレクタ電極51へ排出される電子量が調節されることによって生じている。従って、第2のゲートチャネル領域53の電気抵抗値の大小、及び、チャネル形成及び非形成の時間長さによって、過剰電子の排出速度を精緻に制御することで、サージ電圧の低減を図ることも可能である。具体的には、第2のゲートチャネル領域53の電気抵抗値の大小は、第2ゲート電圧 $V_{g2}$ の大きさによって制御することができ、チャネル形成及び非形成の時間長さは、第2ゲート電圧 $V_{g2}$ を印加する時間の長さで制御することができる。

## 【手続補正17】

## 【補正対象書類名】明細書

## 【補正対象項目名】0159

## 【補正方法】変更

## 【補正の内容】

## 【0159】

図29を参照して、半導体装置200のターンオフ時には、図28と同様に、第1ゲート電圧 $V_{g1} = 0(V)$ 、かつ、第2ゲート電圧 $V_{g2} = 0(V)$ とした後で、第1ゲート電極48に対して、エミッタ電極50に対して正電圧を再び供給する期間を少なくとも1つ設けること、即ち、第1のゲートチャネル領域56でチャネルを形成するための第1ゲート電圧 $V_{g1}$ 、及び、第2のゲートチャネル領域53でチャネルを非形成とするための第2ゲート電圧 $V_{g2}$ の発生を停止した後に、第1のゲートチャネル領域56でチャネルを形成するための第1ゲート電圧 $V_{g1}$ を発生する期間を少なくとも1つ設けることによって、サージ電圧を軽減することができる。

## 【手続補正18】

## 【補正対象書類名】明細書

## 【補正対象項目名】0163

## 【補正方法】変更

## 【補正の内容】

## 【0163】

図30は、実施の形態1の変形例に係るゲート電圧制御の第3の例を説明するターンオン時の動作波形図である。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0174

【補正方法】変更

【補正の内容】

【0174】

実施の形態2の第1の例に係る半導体装置200aは、第1及び第2の主面を有するnベース81と、pベース82と、nエミッタ83と、pコレクタ84と、pエミッタ85と、第1トレンチ86と、第1ゲート絶縁膜87と、第1ゲート電極88と、第1ゲートの層間絶縁膜89と、エミッタ電極90と、コレクタ電極91と、nコレクタ92と、第2トレンチ100と、第2ゲート電極94と、第2ゲートの層間絶縁膜95と、第2ゲート絶縁膜97と、n型の電荷蓄積層98と、nバッファ99とを備える。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0177

【補正方法】変更

【補正の内容】

【0177】

第1トレンチ86は、nエミッタ83の表面からpベース82及びn型の電荷蓄積層98を貫通して、nベース81に達するように形成される。第1トレンチ86の表面には、第1ゲート絶縁膜87が形成される。第1トレンチ86の内部において、第1ゲート電極88は、第1ゲート絶縁膜87の上(第1の主面側)に形成される。半導体装置200と同様に、第1ゲート電極88は、トレンチゲート構造を有している。第1ゲート電極88は「第1の制御電極」の一実施例に対応し、第1ゲート絶縁膜87は「第1ゲート絶縁膜」の一実施例に対応する。

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0188

【補正方法】変更

【補正の内容】

【0188】

尚、図32の半導体装置200aにおいて、nバッファ99が配置されない構造において、第2の主面側の第2ゲートを、図32と同様にトレンチゲート構造とすることも可能である。この場合には、第2トレンチ100は、nコレクタ92の表面からpコレクタ84を貫通して、nベース81に達するように形成することができる。これにより、上述した、トレンチゲート構造の採用によるターンオフ動作を高速化する効果を楽しむことが可能である。

【手続補正22】

【補正対象書類名】明細書

【補正対象項目名】0191

【補正方法】変更

【補正の内容】

【0191】

実施の形態2の第2の例に係る半導体装置200bは、第1及び第2の主面を有するnベース121と、pベース122と、nエミッタ123と、pコレクタ124と、pエミッタ125と、トレンチ126と、第1ゲート絶縁膜127と、第1ゲート電極128と、第1ゲートの層間絶縁膜129と、エミッタ電極130と、コレクタ電極131と、nコレクタ132と、第2ゲート電極134と、p型半導体領域137とを備える。

## 【手続補正23】

【補正対象書類名】明細書

【補正対象項目名】0197

【補正方法】変更

【補正の内容】

【0197】

第2ゲート電極134は、第2ゲートの層間絶縁膜135によってコレクタ電極131と絶縁される。nコレクタ132及びnベース121の間には、nコレクタ132及びnベース121と同一導電型(n型)の第2のゲートチャネル領域133が設けられる。p型半導体領域137は、第2ゲート電極134及びnコレクタ132の間に配設されて、第2のゲートチャネル領域133及び第2ゲート電極134を電氣的に遮断する。即ち、p型半導体領域137は「第8半導体層」の一実施例に対応しており、図5での第2ゲート絶縁膜57を配設しなくても、第2のゲートチャネル領域133は、p型半導体領域137によって第2ゲート電極134から絶縁される。

【手続補正24】

【補正対象書類名】明細書

【補正対象項目名】0204

【補正方法】変更

【補正の内容】

【0204】

nベース161は「第1の半導体層」の一実施例に対応し、半導体装置200cにおいても、n型が「第1導電型」に対応し、p型が「第2導電型」に対応する。pベース162は、nベース161の第1主面に配設されており「第2の半導体層」の一実施例に対応する。nエミッタ163は、pベース162の表面に選択的に配設されており「第3の半導体層」の一実施例に対応する。高濃度のpエミッタ165は、エミッタ電極170との良好なオーミック接触を実現するために、pベース162の表面(第1の主面側)に、選択的に設けられる。pベースピラー166は、pベース162からnベース161中に深く入り込んだp型半導体領域として配設される。

【手続補正25】

【補正対象書類名】明細書

【補正対象項目名】0206

【補正方法】変更

【補正の内容】

【0206】

第1の主面には、第1ゲート絶縁膜167、第1ゲート電極168、及び、第1ゲートの層間絶縁膜169によって、平面ゲート構造の第1のゲートが設けられるpベース162のうちの、nベース161及びnエミッタ163の間の領域に、第1のゲートチャネル領域176が形成される。第1のゲートチャネル領域176には、実施の形態1と同様に、エミッタ電極170を基準として第1ゲート電極168に印加される第1ゲート電圧 $V_{g1}$ に応じて、電流経路(チャネル)が形成又は非形成とされる。第1ゲート電圧 $V_{g1}$ に対する第1のゲートチャネル領域176の挙動は、実施の形態1での第1のゲートチャネル領域56の挙動と同様であるので、詳細な説明は繰り返さない。第1ゲート電極168は「第1の制御電極」の一実施例に対応し、第1ゲート絶縁膜167は「第1ゲート絶縁膜」の一実施例に対応する。

【手続補正26】

【補正対象書類名】明細書

【補正対象項目名】0207

【補正方法】変更

【補正の内容】

【0207】

nベース161の第2の主面には、pコレクタ164が配設される。pコレクタ164は「第4の半導体層」の一実施例に対応する。高濃度のnコレクタ172は、コレクタ電極171との良好なオーミック接触を実現するために、pコレクタ164の表面（第2の主面側）に選択的に配設されており「第5の半導体層」の一実施例に対応する。コレクタ電極171は、pコレクタ164及びnコレクタ172の上（第2の主面側）に配設されて、半導体装置200cの第2の主面上に配置される。即ち、コレクタ電極171は「第2の主電極」の一実施例に対応する。

【手続補正27】

【補正対象書類名】明細書

【補正対象項目名】0214

【補正方法】変更

【補正の内容】

【0214】

再び図32を参照して、半導体装置200aにおいて、pエミッタ85 - pベース82 - nベース81（n型の電荷蓄積層98及びnバッファ99を含む） - 第2のゲートチャネル領域93（n型） - nコレクタ92の経路によって、pベース82及びnベース81のpn接合（J2接合）による寄生ダイオードが構成される。当該寄生ダイオードは、pエミッタ85がエミッタ電極90と電氣的に接続され、nコレクタ92がコレクタ電極91と電氣的に接続されているため、IGBTに対して逆並列に接続されて、エミッタ電極90からコレクタ電極91へ流れる逆電流（ $I_c < 0$ ）の経路を確保する、FWDと同様に機能する。

【手続補正28】

【補正対象書類名】明細書

【補正対象項目名】0216

【補正方法】変更

【補正の内容】

【0216】

更に、逆電流通過時に、ノーマリオンの第2ゲートをオンしたまま（即ち、第2のゲートチャネル領域93はn型のまま）で、第1のゲートチャネル領域96をp型からn型に反転するように、第1ゲート電極88にエミッタ電極90に対して正電圧を印加すると（ $V_{g1} > 0$ ）、即ち、第1ゲートをオンすると、同一導電型半導体による逆電流の経路を形成することが可能である。具体的には、エミッタ電極90及びコレクタ電極91の間に、上記寄生ダイオードによる電流経路と並列に、nエミッタ83 - 第1のゲートチャネル領域96（n型に反転） - nベース81（n型の電荷蓄積層98及びnバッファ99を含む） - 第2のゲートチャネル領域93（n型） - nコレクタ92の経路によって、逆電流を流すことができる。

【手続補正29】

【補正対象書類名】明細書

【補正対象項目名】0218

【補正方法】変更

【補正の内容】

【0218】

一方で、逆電流が大きい場合には、第1ゲートのオンによる電流経路の寄生抵抗によって生じる電圧降下は、pn接合を含む寄生ダイオードで生じる電圧降下よりも大きくなる。従って、逆電流の大きさに応じて、第1ゲートのオンオフを制御することで、逆電流の経路を効率的に確保することが可能となる。

【手続補正30】

【補正対象書類名】明細書

【補正対象項目名】0224

【補正方法】変更

## 【補正の内容】

## 【0224】

従って、電圧検出器250によって、コレクタ電極101及びエミッタ電極90の間の電圧差を測定することで、上記分流比及びIGBT内部の電気抵抗値（設計値）を用いた電流推定演算によって、逆電流I<sub>v</sub>の等価的な検出（S110）が可能となる。尚、上述のように、第1ゲートのオンに応じて、寄生ダイオードとは異なる逆電流経路が形成されるので、上記電流推定演算で用いる電気抵抗値は、第1ゲートのオン及びオフに連動して変化させることが好ましい。

## 【手続補正31】

【補正対象書類名】明細書

【補正対象項目名】0225

【補正方法】変更

## 【補正の内容】

## 【0225】

再び、図35を参照して、逆電流I<sub>v</sub>の検出（S110）を逆バイアス電圧が小さい領域でも可能にするために、図35に従うゲート電圧制御の開始時には、第1ゲートはオンされていることが好ましい。

## 【手続補正32】

【補正対象書類名】明細書

【補正対象項目名】0226

【補正方法】変更

## 【補正の内容】

## 【0226】

駆動制御回路300は、逆電流I<sub>v</sub>が検出されると（S110）、S120により、逆電流I<sub>v</sub>を予め定められた電流基準値I<sub>r</sub>と比較する。逆電流I<sub>v</sub>が電流基準値I<sub>r</sub>以下であるとき（S120のNO判定時）には、S140により、ノーマリオフの第1ゲートをオンするように、第1ゲート電圧V<sub>g1</sub>を制御する。一方で、ノーマリオンの第2ゲートはオンに維持される（例えば、V<sub>g2</sub> = 0）。これにより、ノーマリオンの第2ゲートを含めて、エミッタ - コレクタ間に、第1のゲートチャンネル領域96及び第2のゲートチャンネル領域93を経由する逆電流の経路が確保される。

## 【手続補正33】

【補正対象書類名】明細書

【補正対象項目名】0233

【補正方法】変更

## 【補正の内容】

## 【0233】

例えば、図37に示されるように、半導体装置200、200a～200cのエミッタE及びコレクタC間に、ダイオード素子D<sub>ex</sub>を逆並列に外部接続する構成とすることで、半導体装置200、200a～200cを高周波数でオンオフする用途に適用することが可能となる。このような外付けのダイオード素子D<sub>ex</sub>には、例えば、高速な動作が可能なSiC（炭化シリコン）-ショットキーバリアダイオード（SBD）を用いることができる。

## 【手続補正34】

【補正対象書類名】明細書

【補正対象項目名】0241

【補正方法】変更

## 【補正の内容】

## 【0241】

再び図32を参照して、コレクタ側の第2ゲート電極94に電圧が印加されない場合、又は、コレクタ電極91に対して正電圧が印加されて、第2ゲートがオンしている状態で

ある。このとき、pコレクタ84 - nベース81 (n型の電荷蓄積層98及びnバッファ99を含む) - pベース82 - nエミッタ83によって、第1ゲート電極88に印加される第1ゲート電圧 $V_{g1}$ に応じて、pベース82の一部にチャンネルが形成される、nチャンネルIGBT構造に形成される。更に、当該IGBT構造と並列に、nコレクタ92 - 第2のゲートチャンネル領域93 (n型) - nベース81 (n型の電荷蓄積層98及びnバッファ99を含む) - pベース82 - nエミッタ83によって、第1ゲート電極88の第1ゲート電圧 $V_{g1}$ に応じて、pベース82の一部にチャンネルが形成されるnチャンネルMOSFET構造が形成される。これらのIGBT構造及びMOSFET構造は、第1ゲート電極88を共通の制御用電極として、コレクタ - エミッタ間に並設されている。

【手続補正35】

【補正対象書類名】明細書

【補正対象項目名】0243

【補正方法】変更

【補正の内容】

【0243】

一方で、IGBTは、コレクタ側のpコレクタ84及びnベース81 (nバッファ99) によるpn接合であるJ1接合が順バイアスされるまでは、殆ど電流が流れない一方で、一旦電流が流れ始めると、僅かな電圧の増加に対して、電流が大幅に増加する。即ち、電圧増加量 ( $V$ ) と電流増加量 ( $I$ ) の比で表される微分抵抗 ( $V/I$ ) は、同一定格 (同一定格電圧及び同一チップ面積) のMOSFETのオン抵抗 $R_{on}$ よりも、非常に小さい。通常、J1接合の順バイアスのためには、実施の形態3のダイオード動作で説明したのと同様に、0.7 (V) 程度が必要である。

【手続補正36】

【補正対象書類名】明細書

【補正対象項目名】0260

【補正方法】変更

【補正の内容】

【0260】

この結果、実施の形態5に係るゲート電圧制御によれば、過電流検出に応じた自己保護のために半導体装置 (IGBT) をターンオフする際に、過電流遮断による $dI_c/dt$ 及びサージ電圧を低減することによって、IGBTが破壊されることを防止できる。尚、実施の形態5に係るゲート電圧制御は、半導体装置200, 200a ~ 200cに共通に適用することが可能である。

【手続補正37】

【補正対象書類名】図面

【補正対象項目名】図17

【補正方法】変更

【補正の内容】

【図17】

図17

第1ゲート電圧変化( $\alpha \rightarrow 0$ )から 第2ゲート電圧変化( $-\beta \rightarrow 0$ )の遅れ時間 $T_d$					
$T_j$	0	+3( $\mu s$ )	+1( $\mu s$ )	-1( $\mu s$ )	-3( $\mu s$ )
25°C ( $V_{sg}$ )	図18 (400V)	図19 (250V)	図20 (300V)	図21 (400V)	図22 (400V)
150°C ( $T_{off}$ )	図23 (0.55 $\mu s$ )	図24 (0.75 $\mu s$ )	図25 (0.6 $\mu s$ )	図26 (0.4 $\mu s$ )	図27 (0.45 $\mu s$ )

【手続補正38】

【補正対象書類名】図面

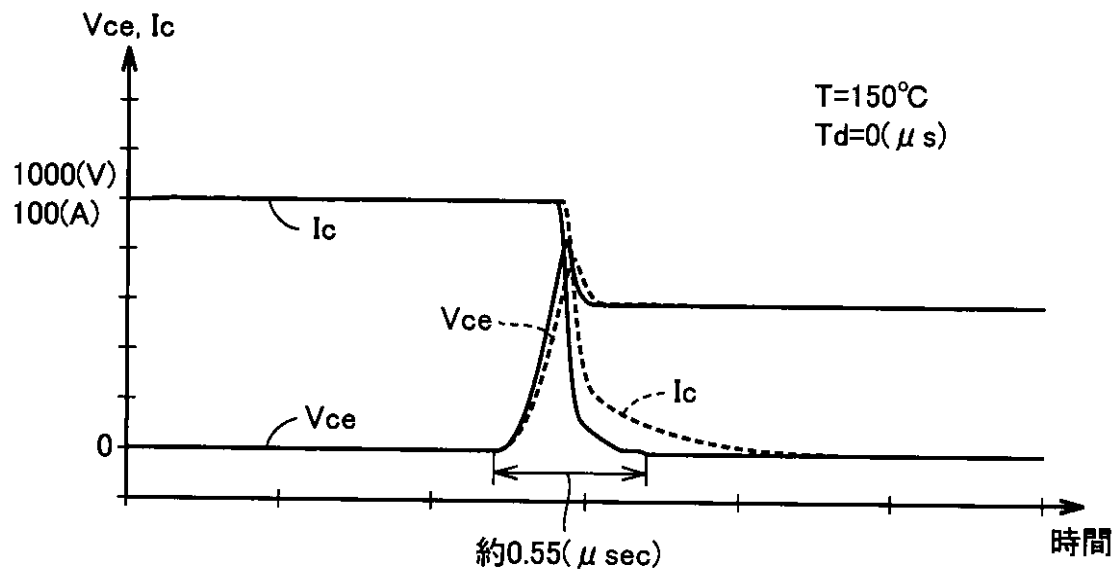
【補正対象項目名】図23

【補正方法】変更

【補正の内容】

【図23】

図23



【手続補正39】

【補正対象書類名】図面

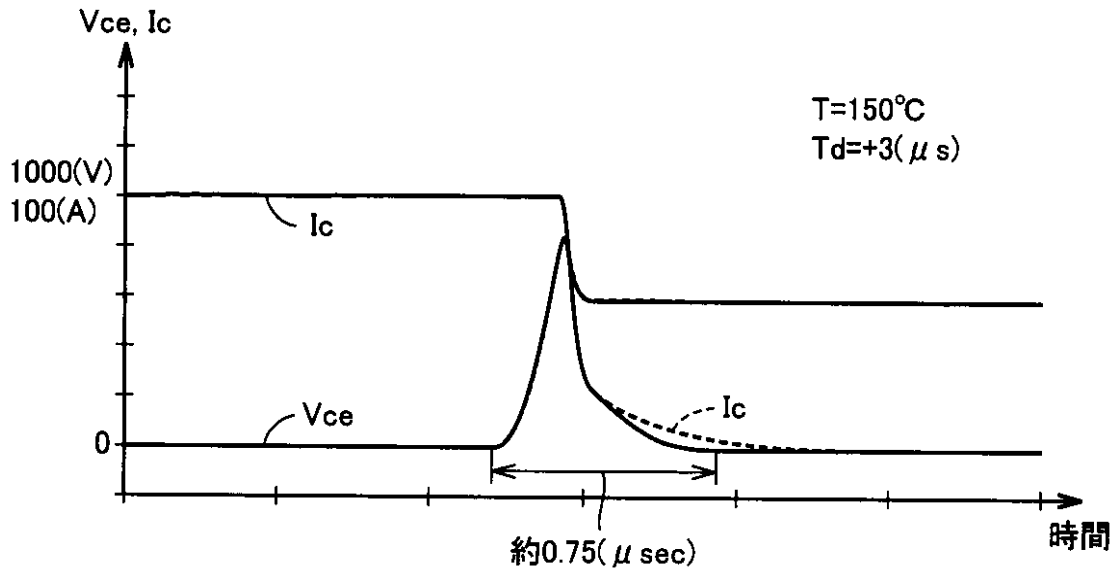
【補正対象項目名】図24

【補正方法】変更

【補正の内容】

【 図 2 4 】

図24



【 手続補正 4 0 】

【 補正対象書類名 】 図面

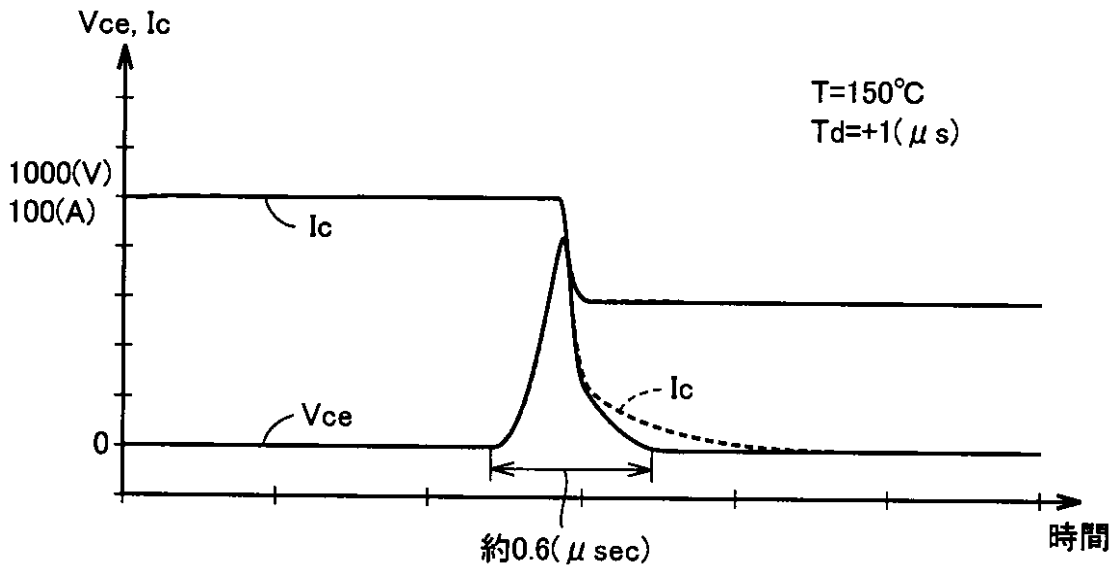
【 補正対象項目名 】 図 2 5

【 補正方法 】 変更

【 補正の内容 】

【 図 2 5 】

図25



【 手続補正 4 1 】

【 補正対象書類名 】 図面

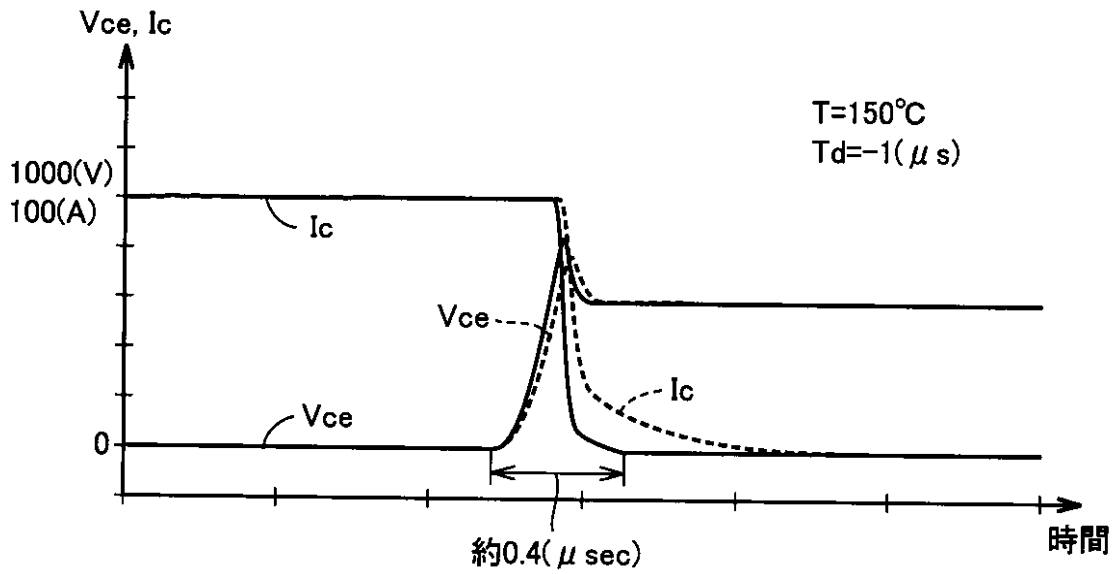
【 補正対象項目名 】 図 2 6

【 補正方法 】 変更

【 補正の内容 】

【 図 2 6 】

図26



【 手続補正 4 2 】

【 補正対象書類名 】 図面

【 補正対象項目名 】 図 2 7

【 補正方法 】 変更

【 補正の内容 】

【 図 2 7 】

図27

