

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-178595

(P2012-178595A)

(43) 公開日 平成24年9月13日(2012.9.13)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 L	5 F 1 0 2
HO 1 L 29/812 (2006.01)	HO 1 L 29/80 H	
HO 1 L 29/778 (2006.01)	HO 1 L 29/80 Q	

審査請求 有 請求項の数 37 O L 外国語出願 (全 24 頁)

(21) 出願番号	特願2012-107672 (P2012-107672)	(71) 出願人	592054856
(22) 出願日	平成24年5月9日(2012.5.9)		クリー インコーポレイテッド
(62) 分割の表示	特願2008-500703 (P2008-500703) の分割		CREE INC.
原出願日	平成18年1月11日(2006.1.11)		アメリカ合衆国 ノースカロライナ州 2 7703 ダラム シリコン ドライブ 4600
(31) 優先権主張番号	11/078,265	(74) 代理人	110000877
(32) 優先日	平成17年3月11日(2005.3.11)		龍華国際特許業務法人
(33) 優先権主張国	米国 (US)	(72) 発明者	イーフェン ウー
			アメリカ合衆国 93117 カリフォル ニア州 ゴレタ ファイアーサイド レー ン 528

最終頁に続く

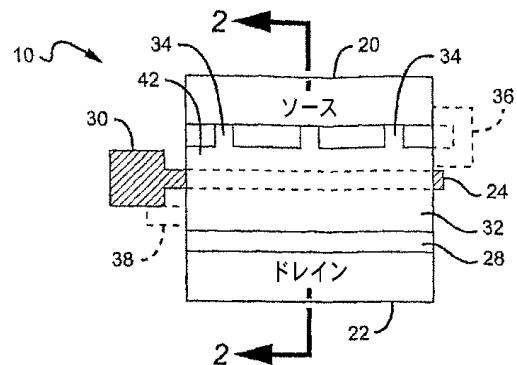
(54) 【発明の名称】 ゲートソースフィールドプレートを含むワイドバンドギャップトランジスタ

(57) 【要約】 (修正有)

【課題】電子トラッピングによる、DC特性とRF特性の差を低減する。

【解決手段】トランジスタ10は、チャンネル層を有する活性領域を含み、この活性領域と接触してソースおよびドレイン電極20, 22が形成され、このソース電極とドレイン電極との間において活性領域と接触したゲート24が形成される。ゲートとドレイン電極との間およびゲートとソース電極との間の複数の活性領域の表面の少なくとも一部分上にスペーサ層28がある。このスペーサ層上にはフィールドプレート32があり、活性領域の上のスペーサ層をドレイン電極に向かって延びる。このフィールドプレートはさらに、活性領域の上のスペーサ層をソース電極に向かって延びる。少なくとも一つの導電性経路34, 36が、フィールドプレートをソース電極またはゲートに電氣的に接続する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

チャンネル層を有する活性領域と、
前記活性領域と接触したソースおよびドレイン電極と、
前記ソース電極と前記ドレイン電極との間にあって、前記活性領域と接触したゲートと

、
前記ゲートと前記ドレイン電極との間および前記ゲートと前記ソース電極との間の前記活性領域の表面の少なくとも一部分上にあるスペーサ層と、

前記スペーサ層上にあって、前記活性領域の上の前記スペーサ上を前記ドレイン電極に向かって延び、前記活性領域の上の前記スペーサ層上を前記ソース電極に向かって延びるフィールドプレートと、

前記フィールドプレートを前記ソース電極または前記ゲートに電氣的に接続する少なくとも1つの導電性経路と

を含むことを特徴とするトランジスタ。

【請求項 2】

前記フィールドプレートは、前記スペーサ層上を前記ゲートの縁から前記ドレイン電極に向かって距離 L_{fd} だけ延びることを特徴とする請求項 1 に記載のトランジスタ。

【請求項 3】

前記フィールドプレートは、前記スペーサ層上を前記ゲートの縁から前記ソース電極に向かって距離 L_{fs} だけ延びることを特徴とする請求項 1 に記載のトランジスタ。

【請求項 4】

前記スペーサ層は前記ゲートを覆い、前記フィールドプレートは、前記ゲートと部分的に重なり合い、前記スペーサ上を前記ドレイン電極に向かって延び、前記スペーサ層上を前記ソース電極に向かって延びることを特徴とする請求項 1 に記載のトランジスタ。

【請求項 5】

前記少なくとも1つの導電性経路は、前記フィールドプレートと前記ソース電極との間を通り、前記経路はそれぞれ前記活性領域の外側を通り、前記フィールドプレートに前記ソース電極との電氣的接続を提供することを特徴とする請求項 1 に記載のトランジスタ。

【請求項 6】

前記少なくとも1つの導電性経路は、前記フィールドプレートと前記ソース電極との間を通り、前記スペーサ層の上を通ることを特徴とする請求項 1 に記載のトランジスタ。

【請求項 7】

前記少なくとも1つの導電性経路は、前記フィールドプレートと前記ゲートとの間を通り、前記経路はそれぞれ前記活性領域の外側を通り、前記フィールドプレートに前記ゲートとの電氣的接続を提供することを特徴とする請求項 1 に記載のトランジスタ。

【請求項 8】

前記少なくとも1つの導電性経路は、前記フィールドプレートと前記ゲートとの間を、前記スペーサ層を貫いて通る導電性パイアを含むことを特徴とする請求項 1 に記載のトランジスタ。

【請求項 9】

前記スペーサ層は、前記ゲートから前記ドレイン電極まで、および前記ゲートから前記ソース電極までの前記活性領域の表面の少なくとも一部分を覆い、前記フィールドプレートは、前記ゲートと一体に形成され、前記スペーサ層上を、前記ソース電極および前記ドレイン電極に向かって延びることを特徴とする請求項 1 に記載のトランジスタ。

【請求項 10】

複数の前記活性領域は、基板上に形成されることを特徴とする請求項 1 に記載のトランジスタ。

【請求項 11】

複数の前記活性領域は、III族窒化物ベースの半導体材料から形成されることを特徴とする請求項 1 に記載のトランジスタ。

10

20

30

40

50

【請求項 1 2】

前記スペーサ層は、1つの誘電材料または複数の誘電材料層を含むことを特徴とする請求項 1 に記載のトランジスタ。

【請求項 1 3】

前記ゲートは、前記活性領域の中に少なくとも部分的に落ち込んでいることを特徴とする請求項 1 に記載のトランジスタ。

【請求項 1 4】

前記フィールドプレートは、前記ゲートの前記ドレイン側および前記ゲートの前記ソース側の前記 H E M T のピーク動作電場を低減させることを特徴とする請求項 1 に記載のトランジスタ。

10

【請求項 1 5】

前記ピーク動作電場の低減は、前記トランジスタの破壊電圧を増大させることを特徴とする請求項 1 4 に記載のトランジスタ。

【請求項 1 6】

前記ピーク動作電場の低減は、前記 H E M T のトラッピングを低減させることを特徴とする請求項 1 4 に記載のトランジスタ。

【請求項 1 7】

前記ピーク動作電場の低減は、前記トランジスタの漏れ電流を低減させることを特徴とする請求項 1 4 に記載のトランジスタ。

【請求項 1 8】

高電子移動度トランジスタ (H E M T) を含むことを特徴とする請求項 1 に記載のトランジスタ。

20

【請求項 1 9】

電界効果トランジスタを含むことを特徴とする請求項 1 に記載のトランジスタ。

【請求項 2 0】

1つまたは複数のスペーサ層/フィールドプレート対をさらに含み、前記対のそれぞれのスペーサ層は、その対のフィールドプレートとその下のフィールドプレートとの間の電气的分離を提供し、前記対のそれぞれのフィールドプレートは、前記ソース電極または前記ゲートに電气的に接続されることを特徴とする請求項 1 に記載のトランジスタ。

【請求項 2 1】

前記フィールドプレートは、別個のソースおよびドレインフィールドプレートを含み、前記ソースフィールドプレートは、前記スペーサ層上を前記ソース電極に向かって延び、前記ドレインフィールドプレートは、前記スペーサ層上を前記ドレイン電極に向かって延び、前記ソースおよびドレインフィールドプレートは、前記ソース電極または前記ゲートに電气的に接続されることを特徴とする請求項 1 に記載のトランジスタ。

30

【請求項 2 2】

前記フィールドプレートは、別個のソースおよびドレインフィールドプレートを含み、前記ソースフィールドプレートは、前記スペーサ層上を前記ソース電極に向かって延び、前記ドレインフィールドプレートは、前記スペーサ層上を前記ドレイン電極に向かって延び、前記ソースフィールドプレートは、前記ソース電極と前記ゲートのうちの一方に電气的に接続され、前記ドレインフィールドプレートは、前記ソース電極と前記ゲートのうちのもう一方に接続されることを特徴とする請求項 1 に記載のトランジスタ。

40

【請求項 2 3】

基板上に連続して配置されたバッファ層およびバリア層と、
前記バッファ層と前記バリア層との間のヘテロ界面にある 2 次元電子ガス (2 D E G)
チャンネル層と、
ともに前記 2 D E G チャンネル層と接触したソースおよびドレイン電極と、
前記ソース電極と前記ドレイン電極との間の前記バリア層上にあるゲートと、
前記ゲートと前記ドレイン電極との間および前記ゲートと前記ソース電極との間の前記バリア層の表面の少なくとも一部分上にあるスペーサ層と、

50

前記スペーサ層上にあつて、前記バリア層の上の前記スペーサ上を前記ドレイン電極に向かって延び、前記バリア層の上の前記スペーサ層上を前記ソース電極に向かって延びるフィールドプレートと、

前記フィールドプレートを前記ソース電極または前記ゲートに電氣的に接続する少なくとも1つの導電性経路と

を含むことを特徴とする高電子移動度トランジスタ (H E M T) 。

【請求項 2 4】

基板上のバッファ層と、

前記バッファ層上のチャンネル層であつて、前記バッファ層が、該チャンネル層と前記基板との間に挟まれたチャンネル層と、

前記チャンネル層と電氣的に接触したソース電極と、

前記チャンネル層と電氣的に接触したドレイン電極と、

前記ソース電極と前記ドレイン電極との間で前記チャンネル層と電氣的に接触したゲートと、

前記ゲートと前記ドレイン電極との間および前記ゲートと前記ソース電極との間の前記チャンネル層の表面の少なくとも一部分上にあるスペーサ層と、

前記スペーサ層上にあつて、前記チャンネル層の上の前記スペーサ上を前記ドレイン電極に向かって延び、前記チャンネル層の上の前記スペーサ層上を前記ソース電極に向かって延びるフィールドプレートと、

前記フィールドプレートを前記ソース電極または前記ゲートに電氣的に接続する少なくとも1つの導電性経路と

を含むことを特徴とする金属半導体電界効果トランジスタ (M E S F E T) 。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般に、トランジスタに関し、より詳細には、性能を向上させるためにフィールドプレート (field plate) を利用したトランジスタに関する。

【背景技術】

【0002】

A l G a N / G a N 半導体材料の製造における改良は、高周波数、高温および高電力用途向けの高電子移動度トランジスタ (H E M T) などの A l G a N / G a N トランジスタの開発を促進するのに役立った。A l G a N / G a N は、大きなバンドギャップ (bandgap)、ならびに高いピークおよび飽和電子速度値を有する (非特許文献 1 参照)。A l G a N / G a N H E M T はさらに、 10^{13} cm^{-2} を超える 2 D E G シート密度、および比較的の高い電子移動度 (最高 $2019 \text{ cm}^2 / \text{Vs}$) を有することができる (非特許文献 2)。これらの特性によって、A l G a N / G a N H E M T は、R F、マイクロ波およびミリメートル波周波数において超高電圧 / 高電力動作を提供することができる。

【0003】

サファイヤ基板上に A l G a N / G a N H E M T を成長させることが実施され、それらは電力密度 $4.6 \text{ W} / \text{mm}$ 、全電力 7.6 W を示した (非特許文献 3 参照)。より最近には、S i C 上に成長させた A l G a N / G a N H E M T が、 8 GHz で電力密度 $9.8 \text{ W} / \text{mm}$ (非特許文献 4 参照)、 9 GHz で全出力電力 22.9 W (非特許文献 5 参照) を示した。

【0004】

バッファ (buffer) および基板上に成長させた G a N / A l G a N ベースの H E M T は開示されている (特許文献 1 参照)。また、別の A l G a N / G a N H E M T および電界効果トランジスタ (F E T) も開示されている (非特許文献 6 および 7 参照)。これらのデバイスのいくつかは、 100 GHz の高い利得帯域幅積 (f_T) (非特許文献 8 参照)、および X バンドにおける最高 $10 \text{ W} / \text{mm}$ の高い電力密度 (非特許文献 9 および 10 参照) を示した。

10

20

30

40

50

【 0 0 0 5 】

- 【特許文献 1】米国特許第 5 1 9 2 9 8 7 号明細書
- 【特許文献 2】米国特許第 6 5 8 6 7 8 1 号明細書
- 【特許文献 3】米国再発行特許発明第 3 4 8 6 1 号明細書
- 【特許文献 4】米国特許第 4 9 4 6 5 4 7 号明細書
- 【特許文献 5】米国特許第 5 2 0 0 0 2 2 号明細書
- 【特許文献 6】米国特許第 5 2 9 0 3 9 3 号明細書
- 【特許文献 7】米国特許第 5 6 8 6 7 3 8 号明細書
- 【特許文献 8】米国特許第 5 3 9 3 9 9 3 号明細書
- 【特許文献 9】米国特許第 5 5 2 3 5 8 9 号明細書 10
- 【特許文献 10】米国特許第 5 7 3 9 5 5 4 号明細書
- 【特許文献 11】米国特許第 6 3 1 6 7 9 3 号明細書
- 【特許文献 12】米国特許第 6 5 4 8 3 3 3 号明細書
- 【特許文献 13】米国特許出願公開第 2 0 0 2 / 0 1 6 7 0 2 3 号明細書
- 【特許文献 14】米国特許出願公開第 2 0 0 3 / 0 0 2 0 0 9 2 号明細書
- 【特許文献 15】米国特許第 5 2 9 6 3 9 5 号明細書
- 【非特許文献 1】B. Gelmont, K. Kim and M. Shur, Monte Carlo Simulation of Electron Transport in Gallium Nitride, J. Appl. Phys. 74., (1993), pp. 1818-1821
- 【非特許文献 2】R. Gaska, et al., Electron Transport in AlGaIn-GaN Heterostructures Grown on 6H-SiC Substrates, Appl. Phys. Lett. 72, (1998), pp. 707-709 20
- 【非特許文献 3】Y.F. Wu et al., GaN-Based FETs for Microwave Power Amplification, IEICE Trans. Electron. E-82-C, (1999). pp. 1895-1905
- 【非特許文献 4】Y.F. Wu, et al., Very-High Power Density AlGaIn/GaN HEMTs, IEEE Trans. Electron. Dev. 48, (2001), pp. 586-590
- 【非特許文献 5】M. Micovic, et al., AlGaIn/GaN Heterojunction Field Effect Transistors Grown by Nitrogen Plasma Assisted Molecular Beam Epitaxy, IEEE Trans. Electron. Dev. 48, (2001), PP. 591-596
- 【非特許文献 6】Gaska et al., High-Temperature Performance of AlGaIn/GaN HFET's on SiC Substrates, IEEE Electron Device Letters, 18, (1997), pp. 492-494
- 【非特許文献 7】Wu et al., High Al-content AlGaIn/GaN HEMTs With Very High Performance, IEDM-1999 Digest, pp. 925-927, Washington DC, Dec. 1999 30
- 【非特許文献 8】Lu et al., AlGaIn/GaN HEMTs on SiC With Over 100 GHz ft and Low Microwave Noise, IEEE Transactions on Electron Devices, Vol. 48, No. 3, March 2001, pp. 581-585
- 【非特許文献 9】Wu et al., Bias-dependent Performance of High-Power AlGaIn/GaN HEMTs, IEDM-2001, Washington DC, Dec. 2-6, 2001
- 【非特許文献 10】Wu et al., High Al-Content AlGaIn/GaN MODFETs for Ultrahigh Performance, IEEE Electron Device Letters 19, (1998), pp. 50-53
- 【非特許文献 11】S. Kamalkar and U.K. Mishra, Very High Voltage AlGaIn/GaN High Electron Mobility Transistors Using a Field Plate Deposited on a Stepped Insulator, Solid State Electronics 45, (2001), pp. 1645-1662 40

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

電子トラッピング (trapping)、およびその結果生じる DC 特性と RF 特性との差は、上述のデバイスの性能の制限因子であった。このトラッピングの問題を緩和するために、窒化シリコン (SiN) パッシベーション (passivation) が使用されて成功を収め、その結果、10 GHz において 10 W/mm を超える電力密度を有する高性能デバイスが得られた。例えば、GaN ベースのトランジスタのトラッピング効果を低減させる方法および構造が開示されている (特許文献 2 参照)。しかし、これらの構造内に存在する高い電

場のため、電荷のトラッピングは依然として問題である。

【 0 0 0 7 】

マイクロ波周波数における GaN ベースの HEMT の性能を向上させるため、フィールドプレートが使用された（非特許文献 1 1 参照）。しかしこれらの方法は、ドレイン側のチャンネルの上であって、トランジスタのゲートに接続されたフィールドプレートを含む。その結果、トランジスタのゲート - ドレイン側の電場が低減し、それによって、破壊電圧が増大し、高電場トラッピング効果が低減する。しかし、ゲート - ドレインフィールドプレートを有するトランジスタは、比較的に劣った信頼性しか示さず、特に、ゲートのソース側の電場が重要となるクラス C（またはより高次のクラスの）動作においてそうであった。

10

【課題を解決するための手段】

【 0 0 0 8 】

本発明は、ゲートのソース側の低い電場で動作するトランジスタを提供する。本発明に基づくトランジスタの一実施形態は、チャンネル層を有する活性領域（active region）を含む。ソースおよびドレイン電極がこの活性領域と接触し、ソース電極とドレイン電極の間に、活性領域と接触してゲートがある。ゲートとドレイン電極の間およびゲートとソース電極の間の前記活性領域の表面の少なくとも一部分上にスペーサ層（spacer layer）がある。このスペーサ層上にはフィールドプレートがあり、活性領域の上のスペーサ上をドレイン電極に向かって延びる。このフィールドプレートはさらに、活性領域の上のスペーサ層上をソース電極に向かって延びる。少なくとも 1 つの導電性経路（conductive path）が、フィールドプレートをソース電極またはゲートに電氣的に接続する。

20

【 0 0 0 9 】

本発明に基づく高電子移動度トランジスタ（HEMT）の一実施形態は、基板上に連続して配置されたバッファ層およびバリア層を含み、バッファ層と前記バリア層の間のヘテロ界面に 2 次元電子ガス（2DEG：two dimensional electron gas）チャンネル層がある。ともに 2DEG チャンネル層と接触したソース電極およびドレイン電極が含まれ、ソース電極とドレイン電極との間のバリア層上にゲートが含まれる。ゲートとドレイン電極の間およびゲートとソース電極の間のバリア層の表面の少なくとも一部分上にスペーサ層がある。このスペーサ層上に、バリア層の上のスペーサ上をドレイン電極に向かって延び、バリア層の上のスペーサ層上をソース電極に向かって延びるフィールドプレートがある。少なくとも 1 つの導電性経路が、フィールドプレートをソース電極またはゲートに電氣的に接続する。

30

【 0 0 1 0 】

本発明に基づく金属半導体電界効果トランジスタ（MESFET）の一実施形態は、基板上のバッファ層と、バッファ層上のチャンネル層とを含み、バッファ層は、チャンネル層と基板との間に挟まれている。チャンネル層と電氣的に接触してソース電極があり、同様にチャンネル層と電氣的に接触してドレイン電極がある。ソース電極とドレイン電極との間でやはりチャンネル層と電氣的に接触したゲートが含まれる。ゲートとドレイン電極との間およびゲートとソース電極との間のチャンネル層の表面の少なくとも一部分上にスペーサ層がある。このスペーサ層上に、チャンネル層の上のスペーサ上をドレイン電極に向かって延び、チャンネル層の上のスペーサ層上をソース電極に向かって延びるフィールドプレートがある。少なくとも 1 つの導電性経路が、フィールドプレートをソース電極またはゲートに電氣的に接続する。

40

【 0 0 1 1 】

当業者には、以下の詳細な説明と添付図面から、本発明のこれらの特徴および利点、ならびに他の特徴および利点が明白となるであろう。

【発明を実施するための最良の形態】

【 0 0 1 2 】

本発明に基づくゲート - ソースフィールドプレートの配置は、バンドギャップの広い材料から形成されたトランジスタ構造など、多くの様々なトランジスタ構造とともに使用す

50

ることができる。トランジスタは一般に、そのうちの1つがチャンネル層である複数の半導体層を有する活性領域、該活性領域と接触して形成されたソースおよびドレイン金属電極、ならびに該活性領域内の電場を調節するためにソース電極とドレイン電極との間の活性領域上に形成されたゲートを含む。この活性領域の上方の、ゲートとドレインとの間の活性領域の表面の少なくとも一部分の上に、第1のスペーサ層が形成される。第1のスペーサ層は、1つの誘電層または複数の誘電層の組合せを含むことができ、ある実施形態では、エピタキシャル成長層などの他の材料を含むことができる。一実施形態では、第1のスペーサ層がゲートを覆い、かつゲートとドレイン電極との間、およびゲートとソース電極との間の活性領域の一番上の表面を覆う。後述する他の実施形態では、このスペーサ層が、活性領域の表面の全体ではない部分を覆うことができる。他の実施形態では、このスペーサ層が、ゲートとソースおよびドレインとの間の活性領域の一番上の表面だけを覆い、ゲートを覆わない。

10

【0013】

この第1のスペーサ層上に第1の導電性フィールドプレートが形成され、第1のスペーサ層は、このフィールドプレートとその下の活性領域との間の分離を提供する。第1のフィールドプレートは、スペーサ層上を、ゲートの縁からドレイン電極に向かって距離 L_{fs} だけ延び、スペーサ層上をソース電極に向かって距離 L_{fs} だけ延びる。第1のフィールドプレートは、ソース電極またはゲートに電気的に接続することができる。本発明に基づく様々な実施形態では、追加のスペーサ層/フィールドプレート対をさらに含むことができる。

20

【0014】

このフィールドプレート配置は、デバイス内のゲートのソース側とドレイン側の両方のピーク電場 (electric field) を低減させることができ、その結果、破壊電圧が増大し、トラッピングが低減する。電場の低減はさらに、漏れ電流の低減、信頼性の向上など、別の利点を生むことができる。ゲートのソース側とドレイン側のフィールドプレートはともに、ゲートのソース側の電場が低減されるように配置され、このことは、より負にバイアスされたゲート条件を必要とする用途の性能および堅牢性 (robustness) を向上させる。これは、クラスCおよびより高次の他の動作クラス (例えば、E、F) を含む。同様にドレイン側にフィールドプレートを有することによって、トランジスタはさらに、ドレイン側のピーク電場の低減を経験する。

30

【0015】

本発明に基づくゲート-ソースプレート配置を利用することができる1つのタイプのトランジスタが、高電子移動度トランジスタ (HEMT) であり、これは一般にバッファ (buffer) 層と、このバッファ層上のバリア (barrier) 層とを含む。バッファ層とバリア層との間のヘテロ界面に2次元電子ガス (2DEG) チャンネル層が誘導される。ソース電極とドレイン電極との間のバリア層上にゲート電極が形成される。このHEMTはさらに、前述の多重スペーサ層/フィールドプレート配置を含む。

【0016】

本発明に基づくゲート-ソースフィールドプレートの配置を利用することができる他のタイプのトランジスタが、電界効果トランジスタ、特に金属半導体電界効果トランジスタ (MESFET) であり、これは一般にバッファ層と、このバッファ層上のバリア層とを含む。ソース電極とドレイン電極との間のチャンネル層上にゲートが形成され、このMESFETはさらに、前述の多重スペーサ層/フィールドプレート配置を含む。

40

【0017】

ある要素または層が、別の要素または層「上にある」、「に接続されている」、「に結合されている」または「と接触している」と記述されているとき、その要素または層は、直接にその別の要素または層上にあり、接続されており、結合されており、または接触していることができ、あるいは介在要素または層が存在することができることが理解される。対照的に、ある要素が、別の要素または層「上に直接にある」、「に直接に接続されている」、「に直接に結合されている」または「と直接に接触している」と記述されている

50

とき、介在要素または層は存在しない。同様に、第1の要素または層が、第2の要素または層に「電氣的に接続されている」または「電氣的に結合されている」と記述されているときは、第1の要素または層と第2の要素または層との間を電流が流れることを可能にする電気経路がある。この電気経路は、コンデンサ、結合されたインダクタ、および/または導電性要素間に直接の接触がなくとも電流が流れることを可能にする他の要素を含むことができる。

【0018】

図1および2は、本発明に基づくHEMTの一実施形態10を示し、このHEMTは、III族窒化物に基づくことが好ましいが、他の材料システムを使用することもできる。III族窒化物は、窒素と、周期表のIII族の元素、通常はアルミニウム(Al)、ガリウム(Ga)およびインジウム(In)との間に形成された半導体化合物を指す。この用語はさらに、AlGa_zN、AlInGa_zNなどの三元化合物および第3級化合物を指す。

10

【0019】

HEMT10は基板12を含み、基板12は、炭化シリコン、サファイヤ、スピネル(spinel)、ZnO、シリコン、窒化ガリウム、窒化アルミニウム、あるいはIII族窒化物材料の成長を助ける能力を有する他の任意の材料または材料の組合せから製作することができる。基板12とHEMT10の次の層との間の格子不整合を低減させるために、基板12上に核生成層(nucleation layer)14を形成することができる。核生成層14の厚さは約1000オングストローム()でなければならないが、他の厚さを使用することもできる。核生成層14は、多くの様々な材料を含むことができ、適当な材料はAl_zGa_{1-z}N(0 < z < 1)であり、金属有機化学蒸着(MOCVD)、水素化物蒸気相エピタキシ(HVPE)、分子線エピタキシ(MBE)などの周知の半導体成長技法を使用して基板12上に形成することができる。

20

【0020】

基板12は、多くの様々な材料から製作することができ、適当な基板は4Hポリタイプの炭化シリコンであるが、3C、6Hおよび15Rポリタイプを含む他の炭化シリコンポリタイプを使用することもできる。炭化シリコンは、サファイヤよりもIII族窒化物にはるかに近い結晶格子整合を有し、その結果、より高い品質のIII族窒化物膜を与える。炭化シリコンはさらに、非常に高い熱伝導率を有し、そのため、炭化シリコン上のIII族窒化物デバイスの全出力電力は、基板の熱放散によって限定されない(サファイヤ上に形成された一部のデバイスでは、それによって限定されることがある)。さらに、炭化シリコン基板のアベイラビリティ(availability)は、市販デバイスを可能にするデバイス分離能力および低い寄生容量を提供する。SiC基板は、本件特許出願人から入手可能であり、それらを製作する方法は、科学文献ならびに特許文献3、4および5に記載されている。

30

【0021】

核生成層14の形成は、基板12に対して使用される材料によって異なり、様々な基板上に核生成層14を形成する方法が知られている(特許文献6および7参照)。炭化シリコン基板上に核生成層を形成する方法も、開示されている(特許文献8、9および10)。

40

【0022】

HEMT10はさらに、核生成層14上に形成された高抵抗率のバッファ層16を含む。バッファ層16は、ドープまたは非ドープのIII族窒化物材料層を含むことができ、好ましいバッファ層16は、Al_xGa_yIn_(1-x-y)N(0 < x < 1、0 < y < 1、x + y < 1)などのIII族窒化物材料から形成される。その一部にFeがドープされた厚さ約2μmのGaNなどの他の材料を、バッファ層16に対して使用することもできる。

【0023】

バッファ層16上にバリア層18が形成され、バッファ層16は、バリア層18と核生成層14との間に挟まれる。バッファ層16と同様に、バリア層18も、ドープまたは非

50

ドーブの III 族窒化物材料層を含むことができる。バリア層は、1つまたは複数の $Al_xGa_{1-x}N$ 層から形成することができ、 x は 0 ~ 1 の範囲をとり、 x は、バリア層 18 を徐々に変化する層とすることができるように深さの関数とすることができる。バッファ層 16 とバリア層 18 との間のヘテロ界面に 2DEG チャンネル層 26 が誘導され、バッファ層 16、2DEG チャンネル層 26 およびバリア層 18 は、全体として HEMT 活性領域を形成する。

【0024】

例示的な HEMT 構造が、開示されている（特許文献 11、2、12、13 および 14）。窒化物ベースの他の HEMT 構造は、特許文献 1 および 15 に示されている。バッファ層およびバリア層 16、18 は、核生成層 14 を成長させるために使用した方法と同じ方法を使用して形成することができる。デバイス間の電気分離は、メサエッチ (mesa etch) または活性 HEMT の外側でのイオンインプリメンテーション (ion implantation) によって達成される。

10

【0025】

バリア層 18 と接触してソースおよびドレイン金属電極 20、22 が形成され、ソース電極 20 とドレイン電極 22 との間のバリア層 18 上にゲート 24 が形成される。ゲート 24 が適当なレベルにバイアスされると、バッファ層 16 とバリア層 18 との間の 2DEG チャンネル層 26 を通って、ソース電極 20 とドレイン電極 22 との間に電流が流れることができる。ソースおよびドレイン電極 20、22 の形成は、これまでに挙げた文献に詳述されている。

20

【0026】

ソースおよびドレイン電極 20、22 は、これらに限定はされないが、チタン、アルミニウム、金またはニッケルの合金を含むさまざまな材料から形成することができる。ゲート 24 も、これらに限定はされないが、金、ニッケル、白金、チタン、クロム、チタンタングステン合金またはケイ化白金 (platinum silicide) を含むさまざまな材料から形成することができる。ゲート 24 は、多くのさまざまな長さ (L_g) を有することができ、適当なゲート長は 0.1 から 2.0 ミクロン (μm) だが、他のゲート長を使用することもできる。本発明に基づく一実施形態では、好ましいゲート長 (L_g) は約 0.5 ミクロンである。

30

【0027】

ゲート 24 の上、ならびにゲート 24 とソースおよびドレイン電極 20、22 との間のバリア層 18 の表面の少なくとも一部分の上に、第 1 の非電導性スペーサ層 28 が形成される。図 2 に示されるように、スペーサ層 28 は、ゲート 24 とソースおよびドレイン電極 22、24 との間のバリア層 18 全体を覆う。スペーサ層 28 は、1つの誘電層または複数の誘電層の組合せを含むことができる。SiN、SiO₂、Si、Ge、MgO_x、MgN_x、ZnO、SiN_x、SiO_x、これらの合金または層配列など、さまざまな誘電材料を使用することができる。スペーサ層は多くの様々な厚さを有することができ、厚さの適当な範囲は、約 0.03 から 0.5 ミクロンである。図 1 に最もよく示されるように、ゲート 24 は、ゲートコンタクト 30 のところで接触される。

40

【0028】

ゲート 24 の上のスペーサ層 28 上に第 1 のフィールドプレート 32 が形成され、この第 1 のフィールドプレートは、スペーサ層 28 上をドレイン電極 22 に向かって距離 L_{fd} だけ延び、ソース電極 20 に向かって距離 L_{fs} だけ延びる。スペーサ層 28 は、第 1 のフィールドプレート 32 とバリア層 18 およびゲート 24 との間の分離を提供するために配置されるものであり、そのため、スペーサ層 28 は、ゲート 18 と、第 1 のフィールドプレート 32 の下のバリア層 18 とだけを覆えばよい。しかし、製造を容易にするため、スペーサ層は一般にバリア層 18 全体を覆う。 L_{fd} は様々な距離とすることができ、距離の適当な範囲は、0.1 から 5 ミクロンである。同様に、 L_{fs} も様々な距離とすることができ、距離の適当な範囲は、0.1 から 2 ミクロンである。他の実施形態では、フィールドプレートを不連続とすることができ、希望に応じて穴 (hole) または中断 (interruption

50

)を有することができる。

【0029】

フィールドプレート32は、多くの様々な導電材料を含むことができ、適当な材料は、標準メタライゼーション (standard metallization) 法を使用して付着させた金属である。本発明に基づく一実施形態では、フィールドプレート30は、フィールドプレート30が電氣的に接続される後述のフィーチャ (feature) と同じ金属を含む。

【0030】

第1のフィールドプレート32は、ソース電極20またはゲート24に電氣的に接続することができる。図1は、第1のフィールドプレート32がソース電極20に接続された本発明に基づく一実施形態を示し、選択可能な2つの接続構造が示されている。第1のフィールドプレート32とソース電極20との間に延びる第1の導電性バス34を、スペーサ層26上に形成することができる。様々な数のバス34を使用することができるが、使用されるバス34の数が多いほど、それらのバスによって導入されうる不必要な静電容量も大きくなる。バス34は、ソース電極20と第1のフィールドプレート32との間で電流が効果的に広がるように十分な数なければならないが、その一方で、できるだけHEMT活性領域を覆わないようにしなければならない。適当なバス34の数は、図1に示すように3とすることができる。

10

【0031】

HEMT10の活性領域の外側を通り、ソース電極20に接続された第1の導電性経路36によって、第1のフィールドプレート32をソース電極20に電氣的に接続することもできる。図1に示されるように、経路36は、ゲートコンタクト30とは反対側の縁のHEMTの活性領域の外側を通る。本発明に基づく代替実施形態では、この導電性経路が、ゲートコンタクト30と同じ側のHEMT10の活性領域の外側を通ることができ、あるいはHEMT10は、HEMT10の一方または両方の側を通る2つ以上の導電性経路を含むことができる。一実施形態では、導電性経路34、36を、ソース電極20と同じ材料から製作することができるが、他の実施形態では、これらを異なる材料から製作することができる。ソース電極20の形成後に製造プロセス中の異なるステップで形成することができる。

20

【0032】

第1のフィールドプレート32は、多くの様々な方法によってゲート24に電氣的に接続することもでき、ここでは適当な2つの方法を説明する。第1の方法では、HEMT10の活性領域の外側を第1のフィールドプレート32とゲート24との間を通る第2の導電性経路38によって、フィールドプレートをゲート24に接続することができる。導電性経路38は、ゲートコンタクト30に接続し、またはゲートコンタクト30とは反対側のゲート24の部分など、HEMT活性領域の外側のゲート24の部分に接続することができる。あるいは、2つ以上の導電性経路を使用して、フィールドプレート32とゲート24を接続することもできる。

30

【0033】

代替の接続構造は、導電性ビア (via) (図示せず) の形態の導電性経路を含み、これは、第1のフィールドプレート32から第1のスペーサ層28を貫いてゲート24まで通るように形成することができる。これらのビアは、ゲート24と第1のフィールドプレート32との間の電氣的な接続を提供し、最初にエッチングなどによって第1のスペーサ層28に穴を開け、次いで別個のステップでまたは第1のフィールドプレート32の形成時にそれらの穴に導電材料を充填することによって形成することができる。ゲート24からフィールドプレート32に広がる有効な電流を提供するために、これらのビアは、第1のフィールドプレート32から下に周期的に配置することができる。

40

【0034】

図3は、図1および2のHEMT10と似ているが、第1のフィールドプレート32の少なくとも一部分の上に形成された第2の非導電性スペーサ層42をさらに含むHEMT40を示し、図示された好ましい第2のスペーサ層42は、第1のフィールドプレートと

50

、第1のスペーサ層28の露出した表面とを覆っている。第2のスペーサ層42は、第1のスペーサ層28と同じ材料または同じ材料の複数の層から形成することができ、0.05から2ミクロンの範囲の全厚を有することができる。

【0035】

次いで、第2のスペーサ層42上に第2のフィールドプレート44を付着させることができる。本発明に基づく様々な第2のフィールドプレートは、様々な被覆範囲を提供することができ、図示された第2のフィールドプレート44はゲート24と部分的に重なり合う。本発明に基づく他の第2のフィールドプレートは、ゲート24の縁と第2のフィールドプレートの開始縁との間に空間を有することができる。第2のフィールドプレート44の他の部分は、ゲート24の縁からドレインコンタクト22に向かって距離 L_{fd2} だけ延び、距離 L_{fd2} は、0.2から5ミクロンの範囲とすることができる。第2のスペーサ層42が第1のフィールドプレート32およびスペーサ層28を完全には覆わない実施形態では、第1のフィールドプレート32と第2のフィールドプレート44との間の電気的な分離を提供するため、第2のスペーサ層42は、第1のフィールドプレート32を十分に覆わなければならない。

10

【0036】

第2のフィールドプレート44はソース電極20またはゲート24に接続することができる。多くの様々な接続構造を使用することができる。第2のスペーサ層42上に、第2のフィールドプレート44とソース電極20との間に延びる第2の導電性バスを形成することができる。ソース電極20から第2のフィールドプレート44の中へ電流が効果的に広がるが、不必要な静電容量が導入されるほどには活性領域を覆わない、様々な数のバスを使用することができる。第2のフィールドプレート44も、HEMT40の活性領域の外側を通り、ソース電極20に接続された第3の導電性経路によってソース電極20に電気的に接続することができる。

20

【0037】

第2のフィールドプレート44の付着およびソース電極20へのその接続の後に、窒化シリコンなどの誘電性パッシベーション層（図示せず）によってこの活性構造を覆うことができる。誘電性パッシベーション層を形成する方法は、これまでに挙げた文献に詳述されている。図1および2のHEMT10、ならびに後述するHEMTおよびMESFETも、スペーサ層（1つまたは複数）およびフィールドプレート（1つまたは複数）の形成後に誘電性パッシベーション層によって覆うことができる。

30

【0038】

図4は、HEMT10のフィーチャと同様の多くのフィーチャを有する本発明に基づくHEMTの他の実施形態60を示しており、これらの同様のフィーチャに対しては同じ参照符号が使用されている。HEMT60は、基板12、核生成層14、バッファ層16、バリア層18、ソース電極20、ドレイン電極22、ゲート24および2DEGチャネル層26を含む。前述のものと同様、ゲート24の幅 L_g は0.1から5ミクロンである。

【0039】

しかし、HEMT60は、ゲート24を覆わず、その代わりにゲート24とソースおよびドレインコンタクト20、22との間のバリア層18を覆うスペーサ層62を含む。他の実施形態では、このスペーサ層が、前述のとおり、バリア層18の表面を完全には覆わない。その被覆範囲は、第1のフィールドプレート64とバリア層18との間の電気的な分離を提供するのに十分でなければならない。第1のフィールドプレート64はゲート24と一体に形成され、スペーサ層62上をドレインコンタクト22に向かって、0.2から5ミクロンの範囲である距離 L_{fd} だけ延び、ソースコンタクト20に向かって、0.2から2ミクロンの範囲である距離 L_{fs} だけ延びる。HEMT60では、ゲート24との第1のフィールドプレートの一体成形によって、第1のフィールドプレートがゲート24に電気的に接続される。フィールドプレート64はゲートと完全に一体とすることができ、あるいは、ゲート24とフィールドプレート64との間で電流を効果的に広げるために十分な導電性経路が使用可能である限りにおいて、コンタクトのソース側またはドレイン側

40

50

あるいはその両方の側のその一体接続中に穴による中断を有することができる。

【0040】

HEMT60では、デバイスメタライゼーションの前に第1のスペーサ層62を形成することができる。それらの場合には、スペーサ層がエピタキシャル材料、例えば様々なIII族元素を有するAl、GaまたはIn合金などのIII族窒化物材料を含むことができ、適当なスペーサ層材料は $Al_xGa_{1-x}N$ ($0 < x < 1$)である。バリア層18のエピタキシャル成長の後、同じエピタキシャル成長法を使用して、第1のスペーサ層62を成長させることができる。次いで、ゲート24、ソース電極20およびドレイン電極22のための開口を形成するため、第1のスペーサ層62がエッチングされる。メタライゼーションの間に、バリア層18と電氣的に接触したゲート24が形成され、スペーサ層62上を延びるゲートと一体の第1のフィールドプレート64が形成される。この同じメタライゼーションステップの間に、ソースおよびドレイン電極20、22を形成することができる。

10

【0041】

他の実施形態では、最初に活性領域上に第1のゲート24をメタライゼーションによって形成することができる。ゲート24とソースおよびドレインコンタクト20、22との間の活性領域上に、誘電材料のスペーサ層を形成することができる。次いで、ゲート24と一体のフィールドプレート64を形成することができる。ソース電極20とゲート電極22の両方に向かってフィールドプレート64を延ばすことによって、HEMT60は、図1および2のHEMT10と同じ動作上の利点を経験する。

20

【0042】

図5は、図4に示されたHEMT60と同様のHEMTの他の実施形態70を示し、このHEMTは、基板12、核生成層14、パuffア層16、バリア層18、ソース電極20、ドレイン電極22、ゲート24、2DEGチャネル層26、第1のスペーサ層62および第1のフィールドプレート64を有する。しかし、HEMT70はさらに、第2の誘電スペーサ層72および第2のフィールドプレート74を有し、第2のスペーサ層は、第1のフィールドプレート64と第2のフィールドプレート74との間の電氣的な分離を提供するのに十分な量だけ、第1のフィールドプレート64を覆う。図示されるように、このスペーサ層は、第1のフィールドプレート64と、第1のスペーサ層62の露出面とを覆う。第2のフィールドプレート74は、HEMTの活性領域の外側を通る前述の導電性経路を含む様々な方法を使用して、ソースコンタクト20またはゲートに電氣的に接続することができる。

30

【0043】

HEMT40および70（ならびに後述するHEMTおよびMESFET）はさらに、第2のフィールドプレート72および第2のスペーサ層74の上に、追加のスペーサ層/フィールドプレート対を含むことができる。図5は、第3のスペーサ層76（破線で描かれている）および第3のフィールドプレート78（破線で描かれている）を含むHEMT70上の追加の対を示しており、スペーサ層76は、第2のフィールドプレート74と第3のフィールドプレート78との間の電氣的な分離を提供するのに十分な量だけ、第2のフィールドプレート74を覆う。第3のフィールドプレート78（および後続の任意のフィールドプレート）も、前述の方法によってソース電極またはゲートに電氣的に結合することができる。

40

【0044】

好ましい一実施形態では、一番上のフィールドプレートがソース電極に接続され、その下の中間フィールドプレートをソース電極またはゲートに接続することができる。例えば、本発明に基づくトランジスタは3つのフィールドプレートを有することができる。一番上のフィールドプレートがソース電極に接続され、その下の残りのフィールドプレートがソース電極またはゲートに接続される。

【0045】

この多重フィールドプレート配置は、デバイス内のピーク電場をさらに低減させること

50

ができ、その結果、破壊電圧が増大し、トラッピングが低減する。これにより、ゲートに接続されたフィールドプレートによって否定的な影響を受けることがある利得および安定性を向上させることができる。本発明に従って配置されたとき、ソースに接続されたフィールドプレートの遮蔽効果が C_{gd} を低減させることができ、このことが入力 - 出力分離を強化する。

【0046】

図6は、図1および2のHEMT10と同様の本発明に基づくHEMTの他の実施形態80を示し、図7は、図5のHEMT70と同様の本発明に基づくHEMTの他の実施形態90を示す。HEMT80および90はそれぞれ、基板12、核生成層14、バッファ層16、バリア層18、ソース電極20、ドレイン電極22および2DEGチャネル層26を含む。HEMT80は、ゲート82、第1の誘電スペーサ層84および第1のフィールドプレート86を有するが、図1および2のゲート24とは異なり、ゲート82がバリア層18の中に落ち込んでいる。第1のスペーサ層84は、ゲート82とフィールドプレート86との間の電気的な分離を提供するのに十分な量だけゲート82およびバリア層を覆い、フィールドプレートは、ゲートの一方の側のスペーサ層84上をドレイン電極20に向かって延び、もう一方の側をソース電極22に向かって延び、延びる距離はともに前述の範囲内にある。前述のとおり、追加のスペーサ層/フィールドプレート対を含め、それらを電氣的に接続することができる。HEMT80は第2の対88（破線で示されている）を有する。

10

【0047】

HEMT90は、ゲート92、スペーサ層94および一体型のフィールドプレート96を有し、ゲート92はバリア層18の中に落ち込んでいる。スペーサ層94は、図5に示された前述のスペーサ層62と同じ材料から形成することができ、フィールドプレート96とバリア層との間の電気的な分離を提供するのに十分な量だけ、バリア層18を覆うことができる。他の実施形態では、ゲートの下面を部分的に落ち込ませることができ、またはゲートの様々な部分を、バリア層18内の様々な深さまで落ち込ませることができる。前述のとおり、追加のスペーサ層/フィールドプレート対を含め、それらを電氣的に接続することができる。HEMT90は第2の対98（破線で示されている）を有する。

20

【0048】

図8は、図1および2に示されたHEMT10と同様の本発明に基づくHEMTの他の実施形態100を示し、このHEMTは、基板12、核生成層14、バッファ層16、バリア層18、ソース電極20、ドレイン電極22、ゲート24、2DEG26および第1のスペーサ層28を有する。しかし、HEMT100は、単一の第1のフィールドプレートを有する代わりに、ソースフィールドプレート102とドレインフィールドプレート104とに分離された第1のフィールドプレートを有する。ソースフィールドプレート102は、ゲート24のソース側と部分的に重なり合い、スペーサ層28上をソース電極20に向かって、前述の距離の範囲内にある距離 L_{fs} だけ延びる。ドレインフィールドプレート104は、ゲート24と部分的に重なり合い、スペーサ層28上をドレインコンタクト22に向かって、前述の距離の範囲内にある距離 L_{fd} だけ延びる。ソースおよびドレインフィールドプレート102、104はそれぞれ、ソースコンタクト20またはゲート24に（前述の方法を使用して）接続することができ、あるいは、一方をソースコンタクト20に接続し、もう一方をゲート24に接続することができる。

30

40

【0049】

様々な実施形態では、ソースおよびドレインフィールドプレート102、104が、ゲート24と部分的に重なり合う必要がなく、一方または両方のフィールドプレートが、ゲートの縁とそのフィールドプレートの縁との間に隔たりを有することができる。ゲートの重なりは、否定的な影響を性能に与える追加の静電容量を導入する可能性がある。ソースおよびドレインフィールドプレートが電場を効果的に低減させるためには、ゲートの縁とフィールドプレートとの間の隔たりが比較的になくなく、このことは、製造中にいくつかの困難を生じさせる可能性がある。フィールドプレート102、104を

50

ゲート 24 と部分的に重なり合わせることによって、この小さな隔たりの許容範囲内の条件を満たす必要なしに HEMT を製造することができる。部分的に重なり合うフィールドプレートを使用するのか、または重なり合わないフィールドプレートを使用するのかを決定する際には、製造の容易さと静電容量の低減との間のバランスを考慮する。

【0050】

本発明の構造を、様々な材料システムから製作された他のタイプのトランジスタで使用することもできる。図 9 は、本発明に基づく炭化シリコンベースの MESFET の一実施形態 110 を示す。MESFET 110 は、その上に炭化シリコンバッファ 114 および炭化シリコンチャンネル層 116 が形成された炭化シリコン基板 112 を含み、バッファ 114 は、チャンネル層 116 と基板 112 との間に挟まれている。バッファ 114 およびチャンネル層 116 は全体として MESFET の活性領域を形成する。チャンネル層 116 と接触してソースおよびドレイン電極 118、120 が形成され、ソース電極 118 とドレイン電極 120 との間のチャンネル層 116 上にゲート 122 が形成される。この好ましい実施形態では、ゲート 122 がチャンネル層 116 の中に落ち込んでいるが、これら 2 つの間に十分な電氣的接触が得られる限り、落ち込みなしにゲート 122 がチャンネル層 116 の表面にあってもよい。ゲート 122 を部分的に落ち込ませて、ゲート 122 の下面の一部だけがチャンネル層 116 の中に落ち込むようにすることもできる。

10

【0051】

ゲート 122 の上、ならびにゲート 122 とソースおよびドレイン電極 118、120 との間のチャンネル層 116 の表面に、非電導性（誘電性）スペーサ層 124 が形成される。図 1 および 2 に示された前述のスペーサ層 28 と同様に、スペーサ層 124 は、誘電体などの 1 つの非電導性材料層、または様々な誘電体などの複数の様々な非電導性材料層を含むことができる。

20

【0052】

ゲート 122 の上のスペーサ層 124 上に、第 1 のフィールドプレート 126 が形成され、第 1 のフィールドプレート 126 は、スペーサ層 124 上をソース電極 118 に向かって距離 L_{fs} だけ延び、ドレイン電極 120 に向かって距離 L_{fd} だけ延び、これらの距離はともに前述の距離の範囲内にある。フィールドプレート 126 も、前述の接続構造と同じ構造を使用してソース電極 118 またはゲート 122 に接続することができる。この第 1 のフィールドプレートも、前述の 2 片（two piece）ドレインフィールドプレート/ソースフィールドプレート配置など、2 つ以上のフィールドプレートを含むことができる。

30

【0053】

第 1 のフィールドプレート 126 および第 1 のスペーサ層 124 の上に、第 2 の非電導性スペーサ層 128（破線で示されている）を形成することができ、これは、図 3 に示された前述の第 2 のスペーサ層 42 と同様である。同様に、第 2 のスペーサ層 128 上に第 2 のフィールドプレート 130（破線で示されている）が提供され、これも、図 3 に示された前述の第 2 のフィールドプレート 44 と同様であり、同様に接続される。

【0054】

図 10 は、本発明に基づく炭化シリコン MESFET の他の実施形態 140 を示し、この MESFET は、基板 112、バッファ 114、チャンネル層 116、ソース電極 118、ドレイン電極 120 を含む図 9 の MESFET 110 と同様のフィーチャを有する。ソース電極 118 とドレイン電極 120 との間のチャンネル層 116 上に、落ち込んだゲート 142 が形成されているが、これは、チャンネル層 116 の表面に形成することもできる。MESFET 140 はさらにスペーサ層 144 を含み、これはゲート 142 と重なり合わず、ゲート 142 とソースおよびドレイン電極 118、120 との間のチャンネル層 116 の表面の少なくとも一部分を覆う。ゲート 142 と一体のフィールドプレート 146 が形成され、これは、スペーサ層 144 上をソース電極 118 に向かって距離 L_{fs} だけ延び、ドレイン電極 120 に向かって距離 L_{fd} だけ延び、これらの距離はともに前述の距離の範囲内にある。スペーサ層 144 は誘電材料とすることができ、デバイスメタライゼーションの前にスペーサ層 144 が形成される場合には、このスペーサ層は、前述のエピタキシ

40

50

ャル材料を含むことができる。

【0055】

図11は、ゲート・ソースフィールドプレートを持たないGaNベースのHEMT（デバイスA）の動作特性と、長さ0.2ミクロンのゲート・ソースフィールドプレートを有するGaNベースのHEMT（デバイスB）の動作特性とを比較した表130を示す。デバイスAおよびBの測定値は、1デシベル（dB）圧縮に駆動された4ギガヘルツ（GHz）、 $V_g = -7V$ 、10時間の200CクラスC動作におけるパワーデグラデーション（power degradation）に関してとられたものである。測定値はデバイスAの破壊を示しており、一方、デバイスBは同じ条件下で破壊を経験しない。

【0056】

このフィールドプレート配置は、HEMTおよびMESFET以外の他のトランジスタに適用することができ、その一例が金属酸化物半導体ヘテロ構造電界効果トランジスタ（MOSHFET）であることが理解される。MOSHFETでは、ゲートとMOSHFET活性領域との間にスペーサ層を形成することができる。ゲートの下からスペーサ層を部分的に除去して、ゲートが薄いスペーサ（絶縁体）層上にあり、フィールドプレートがより厚いスペーサ（絶縁体）層上にあるようにすることができる。ゲートはこの絶縁体層を介して依然として活性領域と「接触」していると考えられ、このMOSHFET配置はゲート漏れを低減させるように設計される。

【0057】

以上の実施形態は、マイクロ波およびミリメートル波周波数におけるパワーが向上したワイドバンドギャップトランジスタを提供する。このトランジスタは、より高い入力・出力分離により、高利得、高電力およびより安定な動作を同時に示す。より低い周波数における高電圧用途向けに、この構造をより大きな寸法に拡張することができる。

【0058】

いくつかの好ましい構成に関して本発明を詳細に説明したが、他の変形構成も可能である。多くの様々なデバイスで、このフィールドプレート配置を使用することができる。このフィールドプレートはさらに、多くの様々な形状を有することができ、多くの様々な方法でソースコンタクトに接続することができる。例えば、接続が、バスまたは導電性経路による接続の代わりに、フィールドプレートとソースコンタクトとの間で連続した接続となるように、フィールドプレートは、HEMT活性領域の上から延びることができる。しかしこの配置は、極端に高い静電容量を構造に導入する可能性がある。したがって、本発明の趣旨および範囲を、上述の本発明の好ましい構成に限定してはならない。

【図面の簡単な説明】

【0059】

【図1】本発明に基づくHEMTの一実施形態の平面図である。

【図2】図1に示されたHEMTの断面図である。

【図3】本発明に基づくHEMTの他の実施形態の断面図である。

【図4】本発明に基づくHEMTの他の実施形態の断面図である。

【図5】複数のフィールドプレートを有する本発明に基づくHEMTの他の実施形態の断面図である。

【図6】複数のフィールドプレートを有する本発明に基づくHEMTの他の実施形態の断面図である。

【図7】複数のフィールドプレートを有する本発明に基づくHEMTの他の実施形態の断面図である。

【図8】本発明に基づくHEMTの他の実施形態の断面図である。

【図9】本発明に基づくMESFETの一実施形態の断面図である。

【図10】本発明に基づくMESFETの他の実施形態の断面図である。

【図11】本発明に基づくHEMTとゲート・ソースフィールドプレートを持たないHEMTとの動作特性を比較した表を示す図である。

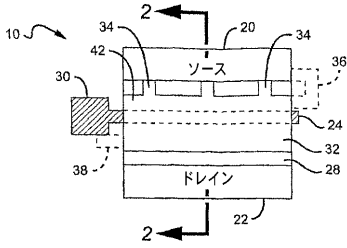
10

20

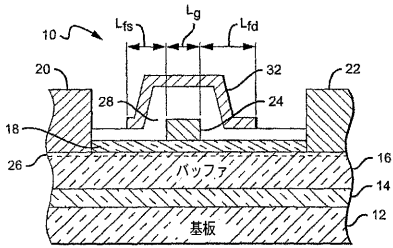
30

40

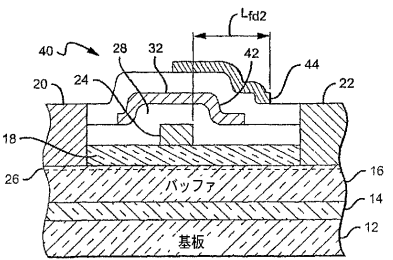
【図1】



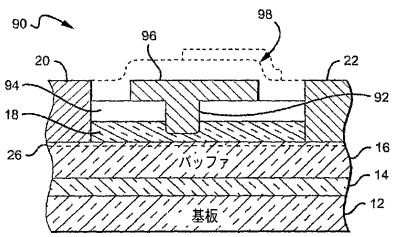
【図2】



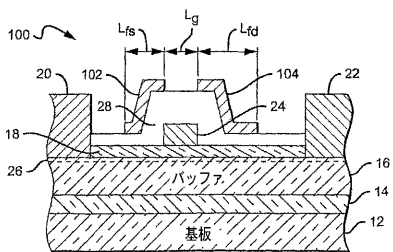
【図3】



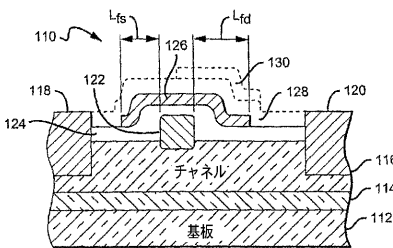
【図7】



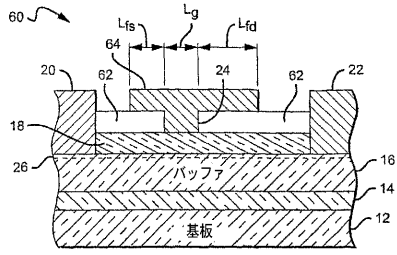
【図8】



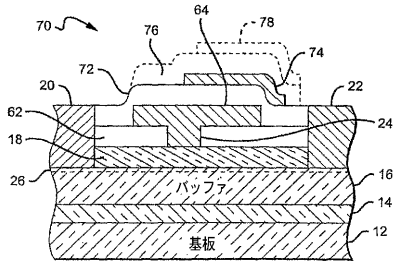
【図9】



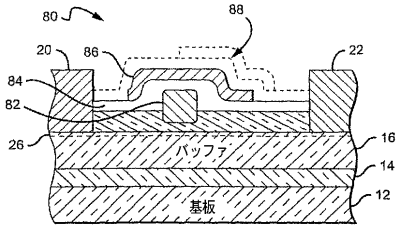
【図4】



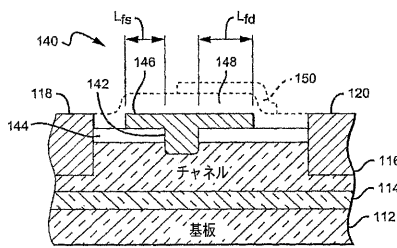
【図5】



【図6】



【図10】



【図11】



	I _d , max:		ピンチオフV _t :		出力電力:	
	前/後	(mA/mm)	前/後	(V)	-2.5Vにおける	出力電力:
デバイスA: ゲート	1061	破壊	-3.62	破壊	0.148	破壊
ソースFPなし					I _g 前/後	(dBm)
デバイスB: 長さ	1056	1043	-3.55	-3.41	0.114	0.370
0.2μmのゲート						
ソースFPあり						30.50 / 30.40

【手続補正書】

【提出日】平成24年5月18日(2012.5.18)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板に設けられた複数の活性半導体層と、
前記複数の活性半導体層と電氣的に接触したソースコンタクトと、
前記複数の活性半導体層の一番上の層において前記ソースコンタクトと間隔をあけて、
前記複数の活性半導体層と電氣的に接触したドレインコンタクトと、
前記ソースコンタクトと前記ドレインコンタクトとの間であって、前記複数の活性半導体層の前記一番上の層と電氣的に接触したゲートと、
前記ゲートと前記ドレインコンタクトの間および前記ゲートと前記ソースコンタクトとの間の前記複数の活性半導体層の前記一番上の層の表面の上であり、かつ前記ゲートの上には無い、第1のスペーサ層と、
前記第1のスペーサ層上であって、前記ゲートと一体に形成され、かつ前記第1のスペーサ層上を前記ドレインコンタクトに向かって延びる第1のフィールドプレートと、
を備える、トランジスタ。

【請求項2】

前記第1のフィールドプレートは、前記第1のスペーサ層上を前記ソースコンタクトに向かって延びる、請求項1に記載のトランジスタ。

【請求項3】

高電子移動度トランジスタ(HEMT)を備え、
前記複数の活性半導体層は、
前記基板上に設けられたバッファ層と、
前記バッファ層との間に2次元電子ガスを有し、かつ前記バッファ層上に設けられたバリア層と、
を含み、
前記バリア層は前記複数の活性半導体層の前記一番上の層である、請求項1に記載のトランジスタ。

【請求項4】

前記HEMTは窒化ガリウムをベースとする、請求項3に記載のトランジスタ。

【請求項5】

前記バッファ層と前記基板との間に核生成層を更に備える、請求項3に記載のトランジスタ。

【請求項6】

前記ゲートおよび当該ゲートと一体化した前記第1のフィールドプレートがT字形状である、請求項1に記載のトランジスタ。

【請求項7】

前記第1のフィールドプレートは、当該第1のフィールドプレートを有さない同様のトランジスタと比較してピーク動作電場の低減を提供する、請求項1に記載のトランジスタ。

【請求項8】

前記トランジスタにおける露出した複数の表面の少なくとも一部を覆うパッシベーション層、を更に備える請求項1に記載のトランジスタ。

【請求項9】

前記第1のフィールドプレートと前記ドレインコンタクトとの間であって、前記第1の

フィールドプレートと前記第 1 のスペーサ層との上に第 2 のスペーサ層を更に備える、請求項 1 に記載のトランジスタ。

【請求項 10】

前記第 1 のスペーサ層と前記第 1 のフィールドおよびプレートとの上に少なくとも 1 つの追加のスペーサ層およびフィールドプレートの対を更に備える、請求項 1 に記載のトランジスタ。

【請求項 11】

複数の活性半導体層と、
前記複数の活性半導体層と電氣的に接触したソースコンタクトと、
前記複数の活性半導体層の一番上の層において、前記ソースコンタクトと間隔をあけて、前記複数の活性半導体層と電氣的に接触したドレインコンタクトと、
前記ソースコンタクトおよび前記ドレインコンタクトの間で、前記複数の活性半導体層の前記一番上の層と電氣的に接触したゲートと、
前記ゲートと前記ドレインコンタクトとの間であって、前記複数の活性半導体層の上に、設けられた第 1 のスペーサ層と、
前記ゲートまたは前記ソースコンタクトと電氣的に接続され、前記第 1 のスペーサ層の上に設けられた第 1 のフィールドプレートと、
を備える、トランジスタ。

【請求項 12】

前記第 1 のフィールドプレートは、前記ゲートと少なくとも部分的に重なり、かつ、前記第 1 のスペーサ層上を前記ドレインコンタクトへ向かって伸びる、請求項 11 に記載のトランジスタ。

【請求項 13】

前記第 1 のフィールドプレートと前記ゲートとの間を前記第 1 のスペーサ層を貫いて通る 1 以上の導電性バイアを更に備え、当該バイアが前記第 1 のフィールドプレートと前記ゲートとの電氣的な接続を提供する、請求項 11 に記載のトランジスタ。

【請求項 14】

前記第 1 のフィールドプレートと前記ゲートとの間に 1 以上の導電性経路を更に備え、前記導電性経路は前記第 1 のスペーサ層の外側を通り、前記第 1 のフィールドプレートと前記ゲートとの電氣的接続を提供する、請求項 11 に記載のトランジスタ。

【請求項 15】

高電子移動度トランジスタ (HEMT) を備え、
前記複数の活性半導体層は、
基板上に設けられたバッファ層と、
前記バッファ層との間に 2 次元電子ガスを有し、かつ前記バッファ層上に設けられたバリア層と、
を含み、
前記バリア層は前記複数の活性半導体層の前記一番上の層である、請求項 11 に記載のトランジスタ。

【請求項 16】

前記第 1 のフィールドプレートは、当該第 1 のフィールドプレートを有さない同様のトランジスタと比較してピーク動作電場の低減を提供する、請求項 11 に記載のトランジスタ。

【請求項 17】

活性半導体層と、
前記活性半導体層と電氣的に接触する、メタルソースコンタクト及びメタルドレインコンタクトと、
前記活性半導体層内の電場を調節するための、前記メタルソースコンタクト及びメタルドレインコンタクトの間のゲートコンタクトと、
前記ゲートコンタクトと前記メタルソースコンタクトの間および前記ゲートコンタクト

と前記メタルソースコンタクトの間の前記活性半導体層上のスペーサ層と、
前記スペーサ層の上であり、前記ゲートコンタクトの縁から前記メタルドレインコンタクトへと伸び、前記ゲートコンタクトと電氣的に接続される導電性フィールドプレートと、
を備える、トランジスタ構造。

【請求項 18】

前記導電性フィールドプレートが、前記スペーサ層上を前記メタルソースコンタクトへ向けて伸びる、請求項 17 に記載のトランジスタ構造。

【請求項 19】

前記導電性フィールドプレートは前記ゲートコンタクトと一体である、請求項 17 に記載のトランジスタ構造。

【請求項 20】

活性半導体層と、
前記活性半導体層と電氣的に接触する、メタルソースコンタクト及びメタルドレインコンタクトと、
前記活性半導体層内の電場を調節するための、前記メタルソースコンタクト及びメタルドレインコンタクトの間のゲートコンタクトと、
前記活性半導体層の上であり、前記ゲートコンタクトの縁から前記ドレインコンタクトへ距離 L_f だけ伸びる導電性フィールドプレートと、
を備え、
前記導電性フィールドプレートは、前記ゲートコンタクトに電氣的に接続され、当該導電性フィールドプレートを有さない同様のトランジスタと比較してピーク動作電場の低減を提供する、トランジスタ。

【請求項 21】

複数の活性半導体層と、
前記複数の活性半導体層と電氣的に接触したソースコンタクト及びドレインコンタクトと、
前記ソースコンタクトと前記ドレインコンタクトとの間で前記複数の活性半導体層と電氣的に接触したゲートと、
前記ゲートと前記ドレインコンタクトとの間の、前記複数の活性半導体層上の第 1 のスペーサ層と、
前記ゲートと一体の、前記第 1 のスペーサ層上の第 1 のフィールドプレートであって、前記第 1 のスペーサ層上を前記ドレインコンタクトに向かって延びる第 1 のフィールドプレートと、
前記第 1 のフィールドプレートの上であり、かつ前記第 1 のフィールドプレートと前記ドレインコンタクトとの間の第 2 のフィールドプレートであって、当該第 2 のフィールドプレートの上に第 2 のスペーサ層を更に備える第 2 のフィールドプレートと、
を備える、トランジスタ。

【請求項 22】

前記第 1 のフィールドプレート及び第 2 のフィールドプレートは電氣的に前記ゲートと接続される、請求項 21 に記載のトランジスタ。

【請求項 23】

前記第 2 のスペーサ層と前記第 2 のフィールドとプレートを覆う少なくとも 1 つの追加のスペーサ層及びフィールドプレートの対を更に備え、
前記第 1 のフィールドプレートと前記第 2 のフィールドプレートのそれぞれが前記ゲートと電氣的に接続される、請求項 21 に記載のトランジスタ。

【請求項 24】

バッファ層および続いて配置されたバリア層とを有する活性領域と、
前記バリア層上のソース電極およびドレイン電極と、
前記ソース電極および前記ドレイン電極の間の前記バリア層上のゲートと、

前記ゲートと前記ドレイン電極との間および前記ゲートと前記ソース電極との間における前記バリア層の少なくとも一部の上のスペーサ層と、

前記スペーサ層上のフィールドプレートであって、前記バリア層を覆って、前記ゲートの縁から前記ドレイン電極へ伸び、かつ、前記バリア層を覆って、前記ゲートの縁から前記ソース電極へ伸びる、フィールドプレートと、

前記フィールドプレートを前記ソース電極または前記ゲートへ電氣的に接続する少なくとも1つの導電性経路と

を備え、

前記導電性経路は、前記活性領域の外側を通る経路、導電性バス、及び導電性パイアの少なくとも1つを有する、高電子移動度トランジスタ（HEMT）。

【請求項25】

前記少なくとも1つの導電性経路は、前記ゲートと前記ソース電極の間の前記活性領域を完全には覆わない、請求項24に記載の高電子移動度トランジスタ（HEMT）。

【請求項26】

チャンネル層を有する活性領域と、

前記活性領域と接触するソース電極およびドレイン電極と、

前記ソース電極および前記ドレイン電極の間にあり、前記活性領域と接触するゲートと

、
前記ゲートおよび前記ドレイン電極の間であって、かつ前記ゲートおよび前記ソース電極の間における前記活性領域の実質的に全ての上にある第1のスペーサ層と、

前記第1のスペーサ層上のフィールドプレートであって、当該第1のフィールドプレートが前記活性領域とは直接接触しないように、前記活性領域を覆って前記ゲートの縁から前記ドレイン電極へ伸びる、第1のフィールドプレートと、

前記第1のスペーサ層と前記第1のフィールドプレートの上の第2のスペーサ層と、

前記第2のスペーサ層の上の第2のフィールドプレートと、

前記第2のフィールドプレートと前記ソース電極とを電氣的に接続する少なくとも1つの導電性経路と、

を備える、トランジスタ。

【請求項27】

前記第1のフィールドプレートは、前記第1のスペーサ上を前記活性領域を覆って前記ゲートの縁から前記ソース電極へ伸びる、請求項26に記載のトランジスタ。

【請求項28】

前記少なくとも1つの導電性経路は前記活性領域の外側を通る経路、導電性バス、及び導電性パイアの少なくとも1つを有し、前記ゲートと前記ソース電極との間の一部の前記活性領域上のみにある、請求項26に記載のトランジスタ。

【請求項29】

チャンネル層を有する活性領域と、

前記活性領域と接触するソース電極およびドレイン電極と、

前記ソース電極および前記ドレイン電極の間にあり、前記活性領域と直接接触するゲートと、

前記ゲートおよび前記ドレイン電極の間であって、かつ前記ゲートおよび前記ソース電極の間における前記活性領域の少なくとも一部の上のスペーサ層と、

前記スペーサ層上のフィールドプレートであって、前記活性領域を覆って前記ゲートの縁から前記ドレイン電極へ伸び、かつ、前記活性領域を覆って前記ゲートの縁から前記ソース電極へ伸び、前記ゲートを少なくとも部分的に覆う、フィールドプレートと、

当該第1のフィールドプレートを有さない同様のデバイスと比較してソース側のピーク動作電場が低減されるように前記フィールドプレートを前記ソース電極または前記ゲートと電氣的に接続する少なくとも1つの導電性経路と、

を備える、トランジスタ。

【請求項30】

前記少なくとも1つの導電性経路は前記活性領域の外側を通る経路、導電性バス、及び導電性パイアの少なくとも1つを有し、前記ゲートと前記ソース電極との間の一部の前記活性領域上のみにある、請求項29に記載のトランジスタ。

【請求項31】

チャンネル層を有する活性領域と、

前記活性領域と接触するソース電極およびドレイン電極と、

前記ソース電極および前記ドレイン電極の間にあり、前記活性領域と直接接触するゲートと、

前記ゲートおよび前記ドレイン電極の間であって、かつ前記ゲートおよび前記ソース電極の間における前記活性領域の少なくとも一部の上のスペーサ層と、

前記活性領域とは直接接触しないように前記活性領域を覆って前記ドレイン電極へ伸び、かつ前記活性領域を覆って前記ソース電極へ伸びる、前記スペーサ層上のフィールドプレートと、

前記ソース電極と前記ドレイン電極との間に位置する前記フィールドプレートと前記ソース電極の間の第1のギャップおよび、当該フィールドプレートと前記ゲートとの間の第2のギャップと、

当該第1のフィールドプレートを有さない同様のデバイスと比較してソース側のピーク動作電場が低減されるように前記フィールドプレートを前記ソース電極または前記ゲートと電氣的に接続し、かつ、前記ゲートと前記ソース電極の間の前記活性領域を完全には覆わない、少なくとも1つの導電性経路と、

を備える、トランジスタ。

【請求項32】

複数の半導体層と、

前記複数の半導体層と電氣的に接触したソースと、

前記複数の半導体層と電氣的に接触したドレインと、

前記ソースおよび前記ドレインの間の前記複数の半導体層の少なくとも一部の上の第1のスペーサ層と、

前記ソースおよび前記ドレインの間にあり、前記複数の半導体層と電氣的に接触し、前記第1のスペーサ層上で前記ドレインへ伸びる第1のフィールドプレートを有する、ゲートと、

前記ドレインおよび前記ソースの間の前記ゲートおよび前記第1のスペーサ層の上の第2のスペーサ層と、

前記ソースと電氣的に接続された、前記第2のスペーサ層上の第2のフィールドプレートと、

を備える、トランジスタデバイス。

【請求項33】

前記ゲートは、前記第1のスペーサ上を前記ソースへ所定の距離だけ伸びる第3のフィールドプレートを更に有する、請求項32に記載のトランジスタデバイス。

【請求項34】

前記複数の半導体層は、

活性領域と、

前記活性領域の上のバッファ層と、

前記活性領域とは反対側の前記バッファ層の上のバリア層と、

を有する、請求項32に記載のトランジスタデバイス。

【請求項35】

追加のスペーサ層と追加のフィールドプレートの少なくとも1つの対を更に備え、

前記少なくとも1つの対は、前記追加のスペーサ層のそれぞれが前記追加のフィールドプレートのそれぞれと分かれるように配置される、請求項32に記載のトランジスタデバイス。

【請求項36】

前記トランジスタデバイスは、高電子移動度トランジスタ（HEMT）である、請求項 32 に記載のトランジスタデバイス。

【請求項 37】

前記第 2 のフィールドプレートは前記第 2 のスペーサ層上の少なくとも 1 つの導電性経路を通して前記ソースと電氣的に接続される、請求項 32 に記載のトランジスタデバイス

。

フロントページの続き

(72)発明者 プリミット パリーク

アメリカ合衆国 9 3 1 1 7 カリフォルニア州 ゴレタ シャドープルック ドライブ 6 8 3
2

(72)発明者 ウメシュ ミシュラ

アメリカ合衆国 9 3 1 0 8 カリフォルニア州 モンテシート クリークサイド ロード 2 0
4 0

(72)発明者 スコット シェパード

アメリカ合衆国 2 7 5 1 6 ノースカロライナ州 チャペル ヒル オータム レーン 1 0 1

Fターム(参考) 5F102 FA00 GB01 GC01 GD01 GD10 GJ02 GJ03 GJ04 GJ10 GK04

GL04 GM04 GQ01 GR04 GT01 GT03 GT05 GV05 GV06 GV07

GV08 HC01

【外国語明細書】

2012178595000001.pdf