

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2024-102696

(P2024-102696A)

(43)公開日 令和6年7月31日(2024.7.31)

(51)国際特許分類

F I

H 0 1 L	29/78	(2006.01)	H 0 1 L	29/78	6 5 2 K
H 0 1 L	29/12	(2006.01)	H 0 1 L	29/78	6 5 2 T
H 0 1 L	21/336	(2006.01)	H 0 1 L	29/78	6 5 3 C
H 0 1 L	29/739	(2006.01)	H 0 1 L	29/78	6 5 8 K
H 0 1 L	21/02	(2006.01)	H 0 1 L	29/78	6 5 8 F

審査請求 未請求 請求項の数 3 O L (全12頁) 最終頁に続く

(21)出願番号 特願2023-6764(P2023-6764)

(22)出願日 令和5年1月19日(2023.1.19)

(71)出願人 000004260

株式会社デンソー  
愛知県刈谷市昭和町1丁目1番地

(71)出願人 000003207

トヨタ自動車株式会社  
愛知県豊田市トヨタ町1番地

(71)出願人 520124752

株式会社ミライズテクノロジーズ  
愛知県日進市米野木町南山500番地1

(74)代理人 110000110

弁理士法人 快友国際特許事務所

(72)発明者 富田 英幹

愛知県日進市米野木町南山500番地1  
株式会社ミライズテクノロジーズ内

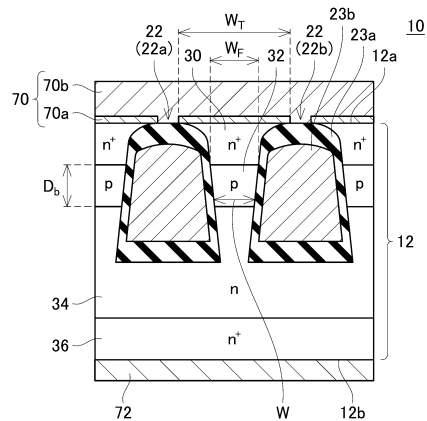
(54)【発明の名称】 トレンチゲート型半導体装置とその製造方法

(57)【要約】

【課題】 チャネル抵抗及びコンタクト抵抗の両方を低減する技術を提供する。

【解決手段】 トレンチゲート型半導体装置は、半導体基板と、第1トレンチと、第2トレンチと、ゲート絶縁膜と、ゲート電極と、上部電極、を備えている。半導体基板が、上部電極に接するn型の第1半導体領域と、第1半導体領域の下側に配置されており、第1トレンチ内のゲート絶縁膜に接する位置から第2トレンチ内のゲート絶縁膜に接する位置まで伸びているp型のボディ領域と、ボディ領域の下側に配置されており、第1トレンチ内のゲート絶縁膜から第2トレンチ内のゲート絶縁膜に接する位置まで伸びているn型の第2半導体領域、を有している。ボディ領域が配置されている深さ範囲における第1トレンチと第2トレンチの間隔の最大値が、200nm未満である。半導体基板の上面における第1トレンチと第2トレンチの間隔が、上記最大値よりも大きい。

【選択図】 図1



10

## 【特許請求の範囲】

## 【請求項 1】

トレンチゲート型半導体装置 ( 1 0 ) であって、  
半導体基板 ( 1 2 ) と、  
前記半導体基板の上面 ( 1 2 a ) に設けられている第 1 トレンチ ( 2 2 a ) と、  
前記半導体基板の前記上面に前記第 1 トレンチから間隔を空けて設けられている第 2 トレンチ ( 2 2 b ) と、  
前記第 1 トレンチの内面及び前記第 2 トレンチの内面を覆うゲート絶縁膜 ( 2 4 ) と、  
前記第 1 トレンチ内及び前記第 2 トレンチ内に配置されており、前記ゲート絶縁膜によって前記半導体基板から絶縁されているゲート電極 ( 2 6 ) と、  
前記半導体基板の前記上面を覆う上部電極 ( 7 0 ) 、  
を備えており、  
前記半導体基板が、  
前記第 1 トレンチと前記第 2 トレンチの間に配置されており、前記上部電極に接する n 型の第 1 半導体領域 ( 3 0 ) と、  
前記第 1 トレンチと前記第 2 トレンチの間に配置されており、前記第 1 半導体領域の下側に配置されており、前記第 1 トレンチ内の前記ゲート絶縁膜に接する位置から前記第 2 トレンチ内の前記ゲート絶縁膜に接する位置まで伸びている p 型のボディ領域 ( 3 2 ) と、  
前記第 1 トレンチと前記第 2 トレンチの間に配置されており、前記ボディ領域の下側に配置されており、前記第 1 トレンチ内の前記ゲート絶縁膜から前記第 2 トレンチ内の前記ゲート絶縁膜に接する位置まで伸びており、前記ボディ領域によって前記第 1 半導体領域から分離されている n 型の第 2 半導体領域 ( 3 4 ) 、  
を有しており、  
前記ボディ領域が配置されている深さ範囲における前記第 1 トレンチと前記第 2 トレンチの間隔の最大値が、200 nm 未満であり、  
前記半導体基板の前記上面における前記第 1 トレンチと前記第 2 トレンチの間隔が、前記最大値よりも大きい、  
トレンチゲート型半導体装置。

10

20

## 【請求項 2】

前記第 1 トレンチと前記第 2 トレンチの間隔が、前記半導体基板の前記上面から下側に向かうにつれて小さくなっている、請求項 1 に記載のトレンチゲート型半導体装置。

30

## 【請求項 3】

トレンチゲート型半導体装置 ( 1 0 ) の製造方法であって、  
n 型基板 ( 5 0 ) の上面に設けられた n 型の第 1 半導体領域 ( 3 0 ) と、前記第 1 半導体領域の上面に設けられた p 型のボディ領域 ( 3 2 ) と、前記ボディ領域の上面に設けられた n 型の第 2 半導体領域 ( 3 4 ) と、を有する第 1 基板 ( 6 0 ) を準備する工程と、  
前記第 2 半導体領域の上面近傍に非晶質層 ( 4 0 ) を形成する工程と、  
それぞれが前記第 2 半導体領域の前記上面から前記第 1 半導体領域に達する第 1 トレンチ ( 2 2 a ) 及び第 2 トレンチ ( 2 2 b ) を形成する工程であって、前記ボディ領域が配置されている深さ範囲における前記第 1 トレンチと前記第 2 トレンチの間隔の最大値が 200 nm 未満となり、前記第 1 トレンチ及び前記第 2 トレンチの底部における前記第 1 トレンチと前記第 2 トレンチの間隔が前記最大値よりも大きくなるように、前記第 1 トレンチ及び前記第 2 トレンチを形成する前記工程と、  
前記第 1 トレンチの内面及び前記第 2 トレンチの内面を覆う第 1 絶縁膜 ( 4 2 、 4 4 ) と、前記第 1 トレンチ内及び前記第 2 トレンチ内に配置されたゲート電極 ( 2 6 ) と、前記ゲート電極の上面を覆う第 2 絶縁膜 ( 4 6 ) と、を形成する工程と、  
前記非晶質層が残存するように、前記第 2 半導体領域の前記上面と前記第 2 絶縁膜の上面を平坦化する工程と、  
上面近傍に非晶質層 ( 4 8 ) が形成された n 型の第 2 基板 ( 6 2 ) を準備する工程と、

40

50

前記第 1 基板の前記非晶質層と前記第 2 基板の前記非晶質層とが向かい合うように前記第 1 基板と前記第 2 基板を接合する工程と、

前記第 1 基板を前記 n 型基板側から研削することにより、前記第 1 半導体領域と前記第 1 絶縁膜を露出させる工程と、

露出させた前記第 1 半導体領域に接する電極 ( 7 0 ) を形成する工程、  
を備える、製造方法。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本明細書に開示の技術は、トレンチゲート型半導体装置とその製造方法に関する。

10

【背景技術】

【 0 0 0 2 】

特許文献 1 には、トレンチゲートを備える半導体装置が開示されている。この半導体装置は、上面に間隔を空けて設けられた複数のトレンチを有する半導体基板と、トレンチ内に配置されたゲート絶縁膜及びゲート電極と、半導体基板の上面を覆う上部電極を有している。また、半導体基板が、n 型のソース領域と、p 型のボディ領域と、n 型のドリフト領域を有している。ソース領域は、2 つのトレンチの間に配置されており、上部電極に接している。ボディ領域は、2 つのトレンチの間に配置されており、一方のトレンチ内のゲート絶縁膜に接する位置から他方のトレンチ内のゲート絶縁膜に接する位置まで伸びている。ドリフト領域は、2 つのトレンチの間に配置されており、ボディ領域の下側に配置されてお

20

【 0 0 0 3 】

この半導体装置では、2 つの隣接するトレンチの間隔が比較的小さく、半導体装置がオンするときに、トレンチ間に位置するボディ領域の略全域が反転してチャンネルが形成される。本明細書では、半導体装置がオンするときに、ボディ領域の略全域がチャンネルとして機能する現象を FinFET 効果という。FinFET 効果が生じると、ゲート絶縁膜から離れた位置においても電子が流れる。このため、電子が、ゲート絶縁膜とボディ領域の間の界面に起因する散乱の影響を受け難い。したがって、電子の移動度を向上させることができ、チャンネル抵抗が低減される。

【先行技術文献】

30

【特許文献】

【 0 0 0 4 】

【特許文献 1】英国特許第 2 5 7 2 4 4 2 号明細書

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

上述の通り、特許文献 1 の半導体装置では、2 つの隣接するトレンチの間隔を小さくすることによって、チャンネル抵抗を低減することができる。しかしながら、特許文献 1 の半導体装置では、2 つの隣接するトレンチの間隔が小さいため、ソース領域と上部電極の接触面積を確保し難い。このため、コンタクト抵抗が大きいという問題がある。本明細書では、チャンネル抵抗及びコンタクト抵抗の両方を低減する技術を提供する。

40

【課題を解決するための手段】

【 0 0 0 6 】

本明細書が開示するトレンチゲート型半導体装置 ( 1 0 ) は、半導体基板 ( 1 2 ) と、前記半導体基板の上面 ( 1 2 a ) に設けられている第 1 トレンチ ( 2 2 a ) と、前記半導体基板の前記上面に前記第 1 トレンチから間隔を空けて設けられている第 2 トレンチ ( 2 2 b ) と、前記第 1 トレンチの内面及び前記第 2 トレンチの内面を覆うゲート絶縁膜 ( 2 4 ) と、前記第 1 トレンチ内及び前記第 2 トレンチ内に配置されており、前記ゲート絶縁膜によって前記半導体基板から絶縁されているゲート電極 ( 2 6 ) と、前記半導体基板の前記上面を覆う上部電極 ( 7 0 ) を備えている。前記半導体基板が、前記第 1 トレンチ

50

と前記第 2 トレンチの間に配置されており、前記上部電極に接する n 型の第 1 半導体領域 ( 3 0 ) と、前記第 1 トレンチと前記第 2 トレンチの間に配置されており、前記第 1 半導体領域の下側に配置されており、前記第 1 トレンチ内の前記ゲート絶縁膜に接する位置から前記第 2 トレンチ内の前記ゲート絶縁膜に接する位置まで伸びている p 型のボディ領域 ( 3 2 ) と、前記第 1 トレンチと前記第 2 トレンチの間に配置されており、前記ボディ領域の下側に配置されており、前記第 1 トレンチ内の前記ゲート絶縁膜から前記第 2 トレンチ内の前記ゲート絶縁膜に接する位置まで伸びており、前記ボディ領域によって前記第 1 半導体領域から分離されている n 型の第 2 半導体領域 ( 3 4 ) 、を有している。前記ボディ領域が配置されている深さ範囲における前記第 1 トレンチと前記第 2 トレンチの間隔の最大値が、200 nm 未満である。前記半導体基板の前記上面における前記第 1 トレンチと前記第 2 トレンチの間隔が、前記最大値よりも大きい。

10

**【 0 0 0 7 】**

上記のトレンチゲート型半導体装置では、ボディ領域が、第 1 トレンチ内のゲート絶縁膜に接する位置から第 2 トレンチ内のゲート絶縁膜に接する位置まで伸びている。また、ボディ領域が配置されている深さ範囲における第 1 トレンチと第 2 トレンチの間隔の最大値が 200 nm 未満であり、F i n F E T 効果を生じさせることが可能なほど十分に小さい。このため、この半導体装置がオンするときには、ボディ領域の略全域にチャネルが形成される。

**【 0 0 0 8 】**

また、上記のトレンチゲート型半導体装置では、半導体基板の上面における第 1 トレンチと第 2 トレンチの間隔が、上記最大値よりも大きい。したがって、第 1 半導体領域と上部電極との接触面積が比較的大きい。このため、第 1 半導体領域と上部電極とのコンタクト抵抗が小さい。以上に説明したように、このトレンチゲート型半導体装置では、低いチャネル抵抗及び低いコンタクト抵抗を実現することができる。

20

**【 0 0 0 9 】**

本明細書が開示するトレンチゲート型半導体装置 ( 1 0 ) の製造方法は、n 型基板 ( 5 0 ) の上面に設けられた n 型の第 1 半導体領域 ( 3 0 ) と、前記第 1 半導体領域の上面に設けられた p 型のボディ領域 ( 3 2 ) と、前記ボディ領域の上面に設けられた n 型の第 2 半導体領域 ( 3 4 ) と、を有する第 1 基板 ( 6 0 ) を準備する工程と、前記第 2 半導体領域の上面近傍に非晶質層 ( 4 0 ) を形成する工程と、それぞれが前記第 2 半導体領域の前記上面から前記第 1 半導体領域に達する第 1 トレンチ ( 2 2 a ) 及び第 2 トレンチ ( 2 2 b ) を形成する工程であって、前記ボディ領域が配置されている深さ範囲における前記第 1 トレンチと前記第 2 トレンチの間隔の最大値が 200 nm 未満となり、前記第 1 トレンチ及び前記第 2 トレンチの底部における前記第 1 トレンチと前記第 2 トレンチの間隔が前記最大値よりも大きくなるように、前記第 1 トレンチ及び前記第 2 トレンチを形成する前記工程と、前記第 1 トレンチの内面及び前記第 2 トレンチの内面を覆う第 1 絶縁膜 ( 4 2 、 4 4 ) と、前記第 1 トレンチ内及び前記第 2 トレンチ内に配置されたゲート電極 ( 2 6 ) と、前記ゲート電極の上面を覆う第 2 絶縁膜 ( 4 6 ) と、を形成する工程と、前記非晶質層が残存するように、前記第 2 半導体領域の前記上面と前記第 2 絶縁膜の上面を平坦化する工程と、上面近傍に非晶質層 ( 4 8 ) が形成された n 型の第 2 基板 ( 6 2 ) を準備する工程と、前記第 1 基板の前記非晶質層と前記第 2 基板の前記非晶質層とが向かい合うように前記第 1 基板と前記第 2 基板を接合する工程と、前記第 1 基板を前記 n 型基板側から研削することにより、前記第 1 半導体領域と前記第 1 絶縁膜を露出させる工程と、露出させた前記第 1 半導体領域に接する電極 ( 7 0 ) を形成する工程、を備える。

30

40

**【 0 0 1 0 】**

一般的に、上部よりも下部の幅が狭いトレンチを形成することは比較的容易である一方、上部よりも下部の幅が広いトレンチを形成することは難しい。上記の製造方法では、第 1 トレンチ及び第 2 トレンチの底部における第 1 トレンチと第 2 トレンチの間隔が、ボディ領域が配置されている深さ範囲における第 1 トレンチと第 2 トレンチの間隔の最大値よりも大きくなるように、第 1 基板に各トレンチが形成される。そして、第 2 基板

50

の上面（非晶質層が形成された面）と、第1基板のトレンチ形成面（すなわち、第2半導体領域側の面）とを接合する。すなわち、第2基板に対して、トレンチを形成した第1基板を上下反転させて接合する。その後、トレンチ形成面とは反対側の面（すなわち、接合された基板の第1基板側の面）を研削することにより、第1半導体領域とトレンチ内の第1絶縁膜とを露出させる。そして、露出させた第1半導体領域に接する電極を形成する。これにより、電極に接する位置（第1トレンチ及び第2トレンチの底部であった部分）における第1トレンチと第2トレンチの間隔が、上記最大値よりも大きくなるようなトレンチを得ることができる。このため、第1半導体領域と電極との接触面積を確保することができる。また、第1トレンチ及び第2トレンチは、上記最大値が200nm未満となるように形成される。その結果、FinFET効果による低いチャネル抵抗を有するとともに、低いコンタクト抵抗を有する半導体装置を製造することができる。

10

【図面の簡単な説明】

【0011】

【図1】実施例に係るトレンチゲート型半導体装置の断面図。

【図2】トレンチゲート型半導体装置の製造工程を説明するための図。

【図3】トレンチゲート型半導体装置の製造工程を説明するための図。

【図4】トレンチゲート型半導体装置の製造工程を説明するための図。

【図5】トレンチゲート型半導体装置の製造工程を説明するための図。

【図6】トレンチゲート型半導体装置の製造工程を説明するための図。

【図7】トレンチゲート型半導体装置の製造工程を説明するための図。

20

【図8】トレンチゲート型半導体装置の製造工程を説明するための図。

【図9】トレンチゲート型半導体装置の製造工程を説明するための図。

【図10】トレンチゲート型半導体装置の製造工程を説明するための図。

【発明を実施するための形態】

【0012】

本明細書が開示する一例のトレンチゲート型半導体装置では、前記第1トレンチと前記第2トレンチの間隔が、前記半導体基板の前記上面から下側に向かうにつれて小さくなっていてもよい。

【0013】

（実施例）

30

図1に示す実施例のトレンチゲート型半導体装置10（以下、単に半導体装置10という。）は、MOSFET（metal-oxide-semiconductor field effect transistor）である。半導体装置10は、半導体基板12を有している。半導体基板12は、炭化シリコン（SiC）により構成されている。ただし、半導体基板12の材料は特に限定されず、例えば、シリコン（Si）、窒化ガリウム（GaN）、ダイヤモンド等であってもよい。以下では、半導体基板12の上面12aに平行な一方向をx方向といい、上面12aに平行でx方向に直交する方向をy方向といい、半導体基板12の厚み方向をz方向という。

【0014】

半導体基板12の上面12aには、複数のトレンチ22が設けられている。各トレンチ22は、y方向に長く伸びている。各トレンチ22は、x方向に間隔を空けて互いに平行に伸びている。各トレンチ22の内面は、ゲート絶縁膜24によって覆われている。各トレンチ22の内部には、例えばポリシリコンによって構成されたゲート電極26が配置されている。ゲート絶縁膜24はまた、ゲート電極26の上面を覆っている。すなわち、ゲート電極26は、ゲート絶縁膜24によってその周囲が包囲されている。ゲート電極26は、ゲート絶縁膜24によって半導体基板12から絶縁されている。ゲート絶縁膜24の一部は、半導体基板12の上面12aに露出している。各トレンチ22の幅（すなわち、x方向の長さ）は、半導体基板12の上面12aから下側に向かうにつれて広がっている。各トレンチ22の両側面が、底面側に向かうほど、トレンチ22の中心から遠ざかるように傾斜している。より詳細には、各トレンチ22の両側面は、半導体基板12の上面

40

50

12aに接続されている第1側面23aと、第1側面23aの下端に接続されている第2側面23bと、により構成されている。第1側面23aは、上に凸となるようにわずかに湾曲しながら伸びている。第2側面23bは、略平面状に伸びている。第2側面23bと上面12aとなす角は、第1側面23aと上面12aとなす角よりも大きい(すなわち、第2側面23bは第1側面23aよりも傾斜が緩やかである)。トレンチ22の側面の大部分は、第2側面23bにより構成されている。以下では、説明の便宜上、図1において左側のトレンチ22を第1トレンチ22aといい、図1において右側のトレンチ22を第2トレンチ22bということがある。なお、図示されていないが、図1において、第1トレンチ22aの左側及び第2トレンチ22bの右側には、トレンチ22と同様のトレンチが複数形成されている。

10

**【0015】**

半導体基板12の上面12aには、上部電極70が配置されている。上部電極70は、ソースコンタクト電極70aと、ソース電極70bを有している。ソースコンタクト電極70aは、例えばニッケルシリサイド(NiSi)、チタンシリサイド(TiSi)等によって構成されている。ソースコンタクト電極70aは、ゲート絶縁膜24が露出していない範囲に設けられている。ソース電極70bは、例えばアルミニウムシリコン(AlSi)によって構成されている。ソース電極70bは、ソースコンタクト電極70a及びゲート絶縁膜24の上面を覆っている。上部電極70は、ゲート絶縁膜24によってゲート電極26から絶縁されている。半導体基板12の下面12bには、下部電極72が配置されている。下部電極72は、半導体基板12の下面12bの略全域に接している。

20

**【0016】**

半導体基板12の内部には、ソース領域30、ボディ領域32、ドリフト領域34、及びドレイン領域36が設けられている。

**【0017】**

ソース領域30は、n型領域である。ソース領域30は、半導体基板12の上面12aに露出する位置に配置されており、上部電極70(ソースコンタクト電極70a)にオーミック接触している。ソース領域30は、第1トレンチ22a内のゲート絶縁膜24から第2トレンチ22b内のゲート絶縁膜24に接する位置まで伸びている。ソース領域30は、第1トレンチ22aの上端部及び第2トレンチ22bの上端部において、各ゲート絶縁膜24に接している。

30

**【0018】**

ボディ領域32は、p型領域である。ボディ領域32は、ソース領域30に接している。ボディ領域32は、ソース領域30の下側において、第1トレンチ22a内のゲート絶縁膜24から第2トレンチ22b内のゲート絶縁膜24に接する位置まで伸びている。ボディ領域32は、ソース領域30の下側で各トレンチ22a、22b内のゲート絶縁膜に接している。なお、図示していないが、ボディ領域32は、図1とは異なる断面において、ソースコンタクト電極70aにオーミック接触している。

**【0019】**

ドリフト領域34は、n型領域である。ドリフト領域34は、ボディ領域32の下側に配置されている。ドリフト領域34は、第1トレンチ22a内のゲート絶縁膜24から第2トレンチ22b内のゲート絶縁膜24に接する位置まで伸びている。ドリフト領域34は、ボディ領域32によってソース領域30から分離されている。ドリフト領域34は、各トレンチ22の下端よりも下側の深さ範囲まで分布している。ドリフト領域34は、第1トレンチ22aの底部を覆うとともに、第2トレンチ22bの底部を覆っている。

40

**【0020】**

ドレイン領域36は、n型領域である。ドレイン領域36は、ドリフト領域34よりも高いn型不純物濃度を有している。ドレイン領域36は、ドリフト領域34の下側に配置されている。ドレイン領域36は、半導体基板12の下面12bに露出している。ドレイン領域36は、下部電極72にオーミック接触している。

**【0021】**

50

図 1 に示すように、ボディ領域 3 2 が配置されている深さ範囲  $D_b$  では、第 1 トレンチ 2 2 a と第 2 トレンチ 2 2 b の間の間隔  $W$  (隣接する 2 つのトレンチ 2 2 の対向する側面の間の間隔) の最大値  $W_F$  が、200 nm 未満である。本実施例では、各トレンチ 2 2 の幅が、下側に向かうにつれて大きくなっているため、深さ範囲  $D_b$  における最大値  $W_F$  は、ボディ領域 3 2 の上端部となる。また、各トレンチ 2 2 の幅が、下側に向かうにつれて大きくなっているため、半導体基板 1 2 の上面 1 2 a における第 1 トレンチ 2 2 a と第 2 トレンチ 2 2 b の間の間隔  $W_T$  は、最大値  $W_F$  よりも大きい。

#### 【0022】

次に、半導体装置 1 0 の動作について説明する。半導体装置 1 0 の使用時には、半導体装置 1 0 と負荷 (例えば、モータ) と電源が直列に接続される。半導体装置 1 0 と負荷の直列回路に対して、電源電圧が印加される。半導体装置 1 0 のドレイン側 (下部電極 7 2) がソース側 (上部電極 7 0) よりも高電位となる向きで、電源電圧が印加される。半導体装置 1 0 をオンするときには、ゲート電極 2 6 の電位を、ゲート閾値よりも高い電位まで上昇させる。ゲート電極 2 6 の電位を上昇させる過程において、まず、第 1 トレンチ 2 2 a 内のゲート絶縁膜 2 4 及び第 2 トレンチ 2 2 b 内のゲート絶縁膜 2 4 の接する範囲のボディ領域 3 2 が n 型に反転する。本実施例では、ボディ領域 3 2 が配置されている深さ範囲  $D_b$  における第 1 トレンチ 2 2 a と第 2 トレンチ 2 2 b の間の間隔  $W$  の最大値  $W_F$  (すなわち、ボディ領域 3 2 の幅の最大値) が、200 nm 未満である。ボディ領域 3 2 の幅が十分に狭いので、ゲート電極 2 6 の電位をさらに上昇させると、FinFET 効果が生じることにより反転層が広がり、ボディ領域 3 2 の略全域が n 型に反転する。これにより、第 1 トレンチ 2 2 a と第 2 トレンチ 2 2 b の間のボディ領域 3 2 の略全域にチャネルが形成される。チャネルによりソース領域 3 0 とドリフト領域 3 4 が接続されると、ソース領域 3 0 からチャネルを介してドリフト領域 3 4 へ電子が流れる。これにより、半導体装置 1 0 がオンする。半導体装置 1 0 をオフするときには、ゲート電極 2 6 の電位をゲート閾値よりも低くする。すると、ボディ領域 3 2 に形成されていたチャネルが消失し、半導体装置 1 0 がオフする。

#### 【0023】

以上に説明したように、本実施例の半導体装置 1 0 では、ボディ領域 3 2 が配置されている深さ範囲  $D_b$  における第 1 トレンチ 2 2 a と第 2 トレンチ 2 2 b の間の間隔  $W$  の最大値  $W_F$  が 200 nm 未満であり、FinFET 効果を生じさせることが可能なほど十分に小さい。このため、ボディ領域 3 2 の略全域にチャネルを形成することができる。したがって、半導体装置 1 0 は、低いチャネル抵抗を有する。

#### 【0024】

また、半導体基板 1 2 の上面 1 2 a における第 1 トレンチ 2 2 a と第 2 トレンチ 2 2 b の間の間隔  $W_T$  が、上記最大値  $W_F$  よりも大きい。すなわち、ソース領域 3 0 が、半導体基板 1 2 の上面 1 2 a の広範囲に露出している。このため、ソース領域 3 0 と上部電極 7 0 (ソースコンタクト電極 7 0 a) との十分な接触面積を確保することができる。したがって、半導体装置 1 0 は、低いコンタクト抵抗を有する。

#### 【0025】

以上の通り、本実施例の半導体装置 1 0 によれば、低いチャネル抵抗及び低いコンタクト抵抗を実現することができる。

#### 【0026】

次に、図 2 ~ 図 1 0 を参照して、半導体装置 1 0 の製造方法について説明する。まず、図 2 に示すように、n 型基板 5 0 と、n 型基板 5 0 上に設けられた n 型のソース領域 3 0 と、ソース領域 3 0 上に設けられた p 型のボディ領域 3 2 と、ボディ領域 3 2 上に設けられた n 型のドリフト領域 3 4 と、を有する第 1 基板 6 0 を準備する。第 1 基板 6 0 は、例えば、n 型基板 5 0 に対して、エピタキシャル成長やイオン注入等の公知の手法を適宜組み合わせることでソース領域 3 0、ボディ領域 3 2、及びドリフト領域 3 4 を形成することにより製造することができる。

#### 【0027】

10

20

30

40

50

次に、図3に示すように、ドリフト領域34の上面近傍に非晶質層40を形成する。ここでは、例えば、ドリフト領域34の上面に対して、アルゴン原子を照射する。これにより、ドリフト領域34の上面近傍の原子配列が乱れ、非晶質層40が形成される。

#### 【0028】

次に、図4に示すように、エッチングにより、ドリフト領域34の上面に選択的に複数のトレンチ22を形成する。ここでは、ドリフト領域34の上面からボディ領域32を貫通してソース領域30の底面近傍まで達するトレンチ22を形成する。第1基板60をエッチングすることにより形成されるトレンチ22の側面は、トレンチ22の上端部の幅がトレンチ22の底部の幅よりも広くなる向きに傾斜する。すなわち、トレンチ22は、下側に向かって徐々に幅が狭くなるように形成される。また、トレンチ22は、その底面が湾曲した形状を有するように形成される。なお、この工程では、ボディ領域32が配置されている深さ範囲 $D_b$ における、隣接する2つのトレンチ22（第1トレンチ22a及び第2トレンチ22b）の間の間隔 $W$ の最大値が200nm未満となるように、各トレンチ22が形成される。また、隣接する2つのトレンチ22の底部間の間隔 $W_B$ が、間隔 $W$ の最大値よりも大きくなるように、各トレンチ22が形成される。

10

#### 【0029】

次に、図5に示すように、各トレンチ22の底面を覆うように、絶縁膜42を形成する。絶縁膜42は、その上端がソース領域30の上端よりも下側に位置するように形成される。次いで、各トレンチ22の側面に絶縁膜44を形成した後、各トレンチ22の内部にポリシリコンを堆積させることにより、ゲート電極26を形成する。ゲート電極26は、その上端がボディ領域32の上端よりも上側に位置するように形成される。次いで、ゲート電極26の上面を覆うように、絶縁膜46を形成する。

20

#### 【0030】

次に、図6に示すように、非晶質層40が残存するように、ドリフト領域34の上面と絶縁膜46の上面を、例えばCMP（Chemical Mechanical Polishing）技術を利用して平坦化する。残存した絶縁膜42、44、46が、ゲート絶縁膜24となる。

#### 【0031】

次に、図7に示す第2基板62を準備する。第2基板62は、n型のドレイン領域36と、ドレイン領域36上に設けられたn型のドリフト領域34を有している。第2基板62は、例えば、ドレイン領域36となるn型基板に対して、エピタキシャル成長を行ってドリフト領域34を形成することにより製造することができる。そして、ドリフト領域34の上面近傍に非晶質層48を形成する。非晶質層48は、図3の非晶質層40と同様の工程により形成することができる。

30

#### 【0032】

次に、図8に示すように、第1基板60と第2基板62を接合する。ここでは、真空環境下で、第1基板60の非晶質層40と第2基板62の非晶質層48とが向かい合うように第1基板60と第2基板62を接触させた状態で、約1000℃での熱処理を行う。これにより、非晶質層40、48の乱れた原子が整列する方向に流動し、非晶質層40、48が結晶状態に戻る。この過程で、第1基板60と第2基板62が接合される。なお、図8以降では、図2～図7の第1基板60が上下反転して描かれていることに留意されたい。

40

#### 【0033】

次に、図9に示すように、n型基板50を除去する。具体的には、第1基板60をn型基板50側から、例えばCMP技術を利用して研削することにより、ソース領域30とゲート絶縁膜24（絶縁膜42）を露出させる。研削後の第1基板60及び第2基板62が、半導体基板12となる。

#### 【0034】

次に、図10に示すように、半導体基板12の上面12aにソース領域30に接する上部電極70を形成する。具体的には、ソース領域30が露出している範囲を覆うようにソースコンタクト電極70aを形成した後、ソースコンタクト電極70a及びゲート絶縁膜

50

24を覆うようにソース電極70bを形成する。

【0035】

その後、半導体基板12の下面12bに下部電極72を形成することで、図1に示す半導体装置10が完成する。

【0036】

上述した製造方法では、第1トレンチ22a及び第2トレンチ22bの底部における第1トレンチ22aと第2トレンチ22bの間隔 $W_B$ が、ボディ領域32が配置されている深さ範囲 $D_b$ における第1トレンチ22aと第2トレンチ22bの間隔 $W$ の最大値よりも大きくなるように、第1基板60に各トレンチ22が形成される。そして、第2基板62の上面（非晶質層48が形成された面）と、第1基板60のトレンチ形成面（すなわち、ドリフト領域34側の面）とを接合する。すなわち、第2基板62に対して、トレンチ22を形成した第1基板60を上下反転させて接合する。その後、トレンチ形成面とは反対側の面（すなわち、接合された基板の第1基板側の面）を研削することにより、ソース領域30とトレンチ22内のゲート絶縁膜24（絶縁膜42）とを露出させる。そして、露出させたソース領域30に接する上部電極70を形成する。これにより、上部電極70に接する位置（第1トレンチ22a及び第2トレンチ22bの底部であった部分）における第1トレンチ22aと第2トレンチ22bの間隔が、上記最大値よりも大きくなるようなトレンチ22を得ることができる。このように、上述の製造方法では、2つの基板60、62を準備することにより、従来は困難であった上部よりも下部の幅が広いトレンチ22を得ることができる。このため、ソース領域30と上部電極70との接触面積を確保することができる。また、第1トレンチ22a及び第2トレンチ22bは、上記最大値が200nm未満となるように形成される。その結果、FinFET効果による低いチャネル抵抗を有するとともに、低いコンタクト抵抗を有する半導体装置10を製造することができる。

10

20

【0037】

ソース領域30が「第1半導体領域」の一例であり、ドリフト領域34が「第2半導体領域」の一例である。絶縁膜42、44が、「第1絶縁膜」の一例であり、絶縁膜46が「第2絶縁膜」の一例である。

【0038】

上述した実施例では、トレンチ22の側面が、第1側面23aと第2側面23bにより構成されていた。しかしながら、トレンチ22の側面は、例えば第2側面23bのみにより構成されていてもよい。また、上述した実施例では、トレンチ22の側面が、半導体基板12の上面12aから下側に向かうにつれて小さくなっていたが、このような構成に限られない。本明細書に開示の技術では、半導体基板12の上面12aにおける第1トレンチ22aと第2トレンチ22bの間隔（換言すると、2つのトレンチ22間に露出するソース領域30の幅）が、最大値 $W_F$ よりも大きければよく、トレンチ22の側面の形状は特に限定されない。

30

【0039】

上述した実施例では、ソース領域30がゲート絶縁膜24に接していた。しかしながら、ソース領域30は、ゲート絶縁膜24に接していなくてもよい。本明細書に開示の技術では、ボディ領域32の略全域にチャンネルが形成されるので、ボディ領域32内のゲート絶縁膜24から離れた位置においても電子が流れる。したがって、ソース領域30がゲート絶縁膜24に接していない場合であっても、上部電極70からソース領域30、チャンネル、ドリフト領域34及びドレイン領域36を経由して下部電極72へ電子を流すことができる。

40

【0040】

また、上述した実施例では、半導体装置10がMOSFETである場合を説明した。しかしながら、半導体装置10は、IGBT（Insulated Gate Bipolar Transistor）であってもよい。ドレイン領域36をp型領域に変更することにより、IGBTの構造を得ることができる。

50

【 0 0 4 1 】

以上、実施形態について詳細に説明したが、これらは例示にすぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例をさまざまに変形、変更したものが含まれる。本明細書または図面に説明した技術要素は、単独あるいは各種の組み合わせによって技術有用性を発揮するものであり、出願時請求項記載の組み合わせに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの1つの目的を達成すること自体で技術有用性を持つものである。

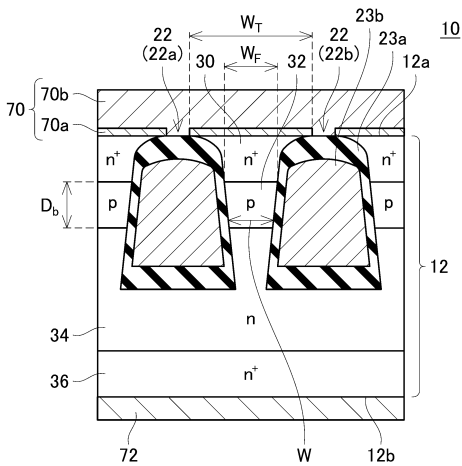
【 符号の説明 】

【 0 0 4 2 】

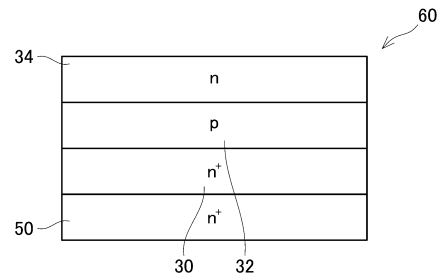
10：トレンチゲート型半導体装置、12：半導体基板、22a：第1トレンチ、22b：第2トレンチ、24：ゲート絶縁膜、26：ゲート電極、30：ソース領域、32：ボディ領域、34：ドリフト領域、36：ドレイン領域、70：上部電極、72：下部電極

【 図面 】

【 図 1 】



【 図 2 】

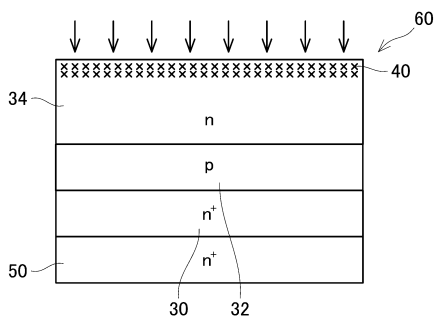


10

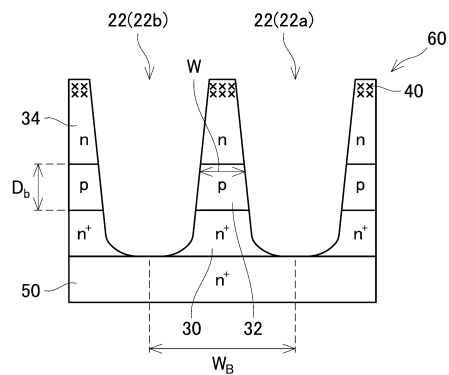
20

30

【 図 3 】



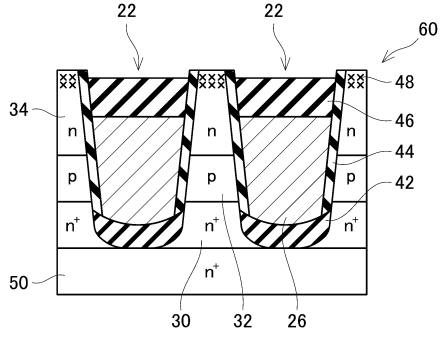
【 図 4 】



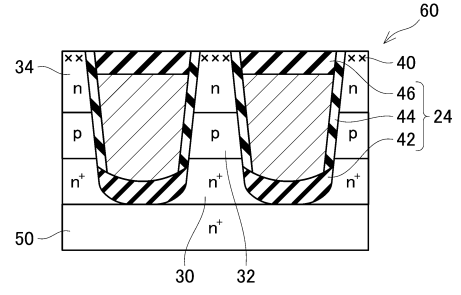
40

50

【 図 5 】

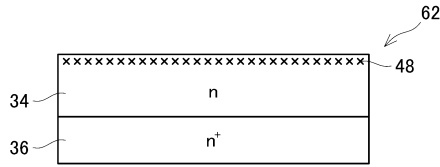


【 図 6 】

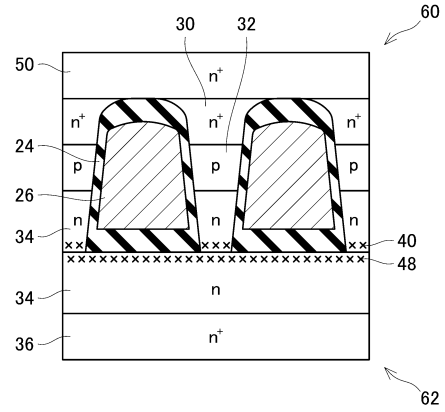


10

【 図 7 】

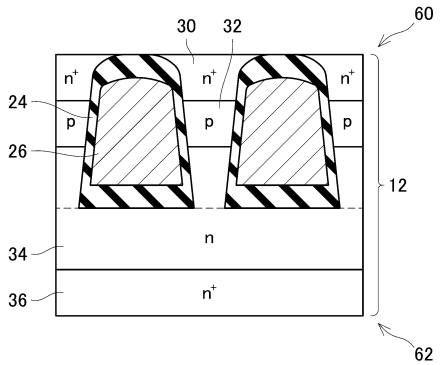


【 図 8 】

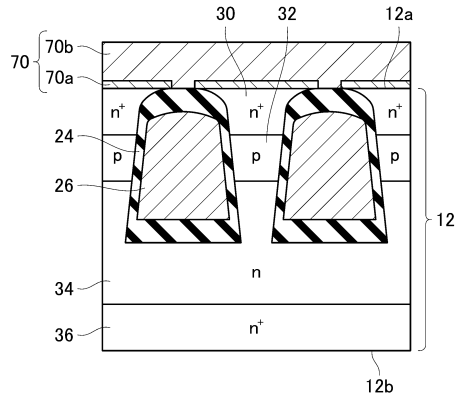


20

【 図 9 】



【 図 10 】



30

40

50

---

フロントページの続き

(51)国際特許分類

F I

H 0 1 L 29/78 6 5 5 A

H 0 1 L 21/02 B