

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第4095078号  
(P4095078)

(45) 発行日 平成20年6月4日 (2008.6.4)

(24) 登録日 平成20年3月14日 (2008.3.14)

(51) Int.Cl.

G O 6 F 13/36 (2006.01)

F I

G O 6 F 13/36 3 1 O C

G O 6 F 13/36 5 2 O D

請求項の数 15 (全 13 頁)

|              |                               |           |                     |
|--------------|-------------------------------|-----------|---------------------|
| (21) 出願番号    | 特願2005-130036 (P2005-130036)  | (73) 特許権者 | 500046438           |
| (22) 出願日     | 平成17年4月27日 (2005.4.27)        |           | マイクロソフト コーポレーション    |
| (65) 公開番号    | 特開2005-317021 (P2005-317021A) |           | アメリカ合衆国 ワシントン州 9805 |
| (43) 公開日     | 平成17年11月10日 (2005.11.10)      |           | 2-6399 レッドモンド ワン マイ |
| 審査請求日        | 平成18年11月8日 (2006.11.8)        |           | クロソフト ウエイ           |
| (31) 優先権主張番号 | 10/834, 138                   | (74) 代理人  | 100077481           |
| (32) 優先日     | 平成16年4月28日 (2004.4.28)        |           | 弁理士 谷 義一            |
| (33) 優先権主張国  | 米国 (US)                       | (74) 代理人  | 100088915           |
|              |                               |           | 弁理士 阿部 和夫           |
| 早期審査対象出願     |                               | (74) 復代理人 | 100115923           |
| 前置審査         |                               |           | 弁理士 宮下 元志           |
|              |                               |           | 最終頁に続く              |

(54) 【発明の名称】 複数CPUを複数I/Oデバイスに接続可能とする設定可能なPCIエクスプレススイッチ

(57) 【特許請求の範囲】

【請求項1】

複数のアップストリームPCI-to-PCIポートと、  
複数のダウンストリームPCI-to-PCIポートと、  
複数の内部PCIバスであって、各内部PCIバスが各アップストリームポートに一意的に関連づけられた、複数の内部PCIバスと、

どのアップストリームポートがどのダウンストリームポートと通信するかを構成するコントローラとを備える PCIエクスプレススイッチであって、

前記コントローラは、

ブリッジコントローラ論理と、

第1のPCI構成空間レジストリを有し、前記ブリッジコントローラ論理を前記複数の内部PCIバスの内の第1の内部PCIバスに関連づける第1のPCIバス構成インターフェイスと、

第2のPCI構成空間レジストリを有し、前記ブリッジコントローラ論理を前記複数の内部PCIバスの内の第2の内部PCIバスに関連づける第2のPCIバス構成インターフェイスと

を備え、

第1のアップストリームポートと通信する第1のCPUは、前記ダウンストリームポートのいずれとも通信するように設定可能であり、

前記第1のCPUは、第1のアップストリームポートに関連づけられた第1の内部PCI

Iバスの前記第1のPCIバス構成インターフェイスに関連づけられた前記第1のPCI構成空間レジストリを読むことによってデバイスを発見し、前記第1のCPUに関連づけられた前記第1の内部PCIバス上で見つかったデバイスであって前記第1のアップストリームポートと通信するダウンストリームポートに接続されたデバイスを列挙し、

第2のアップストリームポートと通信する第2のCPUが、前記第2のPCIバス構成インターフェイスを介して前記ブリッジコントローラ論理に対し、前記第1のCPU上に列挙されたデバイスのうち前記第1のCPUに現在割り当てられているデバイスへのアクセスを要求した場合、前記ブリッジコントローラ論理は、前記デバイスが接続されているダウンストリームポートを解放させる要求を前記第1のCPUに対して開始し、

前記要求が認められた場合、前記第1のCPUは、前記ダウンストリームポートの解放を求める前記コントローラへの許可を開始すること

を特徴とする設定可能なPCIエクスプレススイッチ。

【請求項2】

前記各内部PCIバスは、各ダウンストリームポートに接続されることを特徴とする請求項1に記載のスイッチ。

【請求項3】

前記コントローラは、前記第1のCPUに関連づけられた前記バスからの切断シーケンスを実施するよう、前記ダウンストリームポートに命令し、前記コントローラは、前記第2のCPUに関連づけられたバスへの接続シーケンスを実施するよう、前記ダウンストリームポートに命令することを特徴とする請求項1に記載のスイッチ。

【請求項4】

内部構成制御レジスタは、前記ダウンストリームポートそれぞれがどの内部バスにตอบสนองすべきかを規定するのに用いられることを特徴とする請求項1に記載のスイッチ。

【請求項5】

ハードウェアストラップは、前記ダウンストリームポートそれぞれがどの内部バスにตอบสนองすべきかを規定するのに用いられることを特徴とする請求項1に記載のスイッチ。

【請求項6】

外部構成管理インターフェイスは、外部構成管理エンティティによって構成制御用に提供されることを特徴とする請求項1に記載のスイッチ。

【請求項7】

各ダウンストリームポートは、各内部PCIバスに接続され、各ダウンストリームポートが1つの内部PCIバスのみにตอบสนองすることを特徴とする請求項1に記載のスイッチ。

【請求項8】

設定可能なPCIエクスプレススイッチを制御する方法であって、  
PCI構成空間レジストリを読むステップと、  
複数のダウンストリームPCI-to-PCIブリッジの1つを発見するステップと、  
複数のアップストリームPCI-to-PCIブリッジの1つに関連づけられたバス用の制御インターフェイスを発見するステップと、

前記バス上で発見されたデバイスを列挙するステップを含み、

第1のCPUが、第2のCPU上に列挙されたデバイスのうち前記第2のCPUに現在割り当てられているデバイスへのアクセスを要求した場合、コントローラは、前記デバイスが接続されているダウンストリームポートを解放させる要求を前記第2のCPUに対して開始し、

前記要求が認められた場合、前記第2のCPUは、前記ダウンストリームポートの解放を求める前記コントローラに対して許可を開始することを特徴とする方法。

【請求項9】

インターフェイスを介して、コントローラへの発見要求を開始するステップと、  
前記バス上の各デバイス用の構成空間を読むステップと、  
前記インターフェイスを介して応答して、前記発見要求によって要求された情報を返すステップと

をさらに含むことを特徴とする請求項 8 に記載の方法。

【請求項 10】

複数の CPU の 1 つにダウンストリームリソースを割り当てるステップであって、前記 CPU それぞれは、前記複数のアップストリーム PCI-ト-PCIブリッジの前記 1 つに関連づけられるステップをさらに含むことを特徴とする請求項 8 に記載の方法。

【請求項 11】

コントローラに問合せを行って、前記複数のアップストリーム PCI-ト-PCIブリッジの前記 1 つに関連づけられた前記バスにどのデバイスが割り当てられるか判定するステップをさらに含むことを特徴とする請求項 10 に記載の方法。

【請求項 12】

前記コントローラは、前記第 1 の CPU に関連づけられた前記バスからの切断シーケンスを実施するよう、前記ダウンストリームポートに命令し、前記コントローラは、前記第 2 の CPU に関連づけられたバスへの接続シーケンスを実施するよう、前記ダウンストリームポートに命令することを特徴とする請求項 8 に記載の方法。

【請求項 13】

複数の CPU を接続する設定可能な PCI エクスプレススイッチであって、  
各アップストリームポートが前記複数の CPU のうちの 1 つに接続された複数のアップストリーム PCI-ト-PCIポートと、  
複数のダウンストリーム PCI-ト-PCIポートと、  
複数の内部 PCI バスであって、各内部 PCI バスが各アップストリームポートに一意的に関連づけられた、複数の内部 PCI バスと、  
どのアップストリームポートがどのダウンストリームポートと通信するかを構成するコントローラとを備える PCI エクスプレススイッチであって、

前記コントローラは、

ブリッジコントローラ論理と、

第 1 の PCI 構成空間レジストリを有し、前記ブリッジコントローラ論理を前記複数の内部 PCI バスの内の第 1 の PCI バスに関連づける第 1 の PCI バス構成インターフェイスと、

第 2 の PCI 構成空間レジストリを有し、前記ブリッジコントローラ論理を前記複数の内部 PCI バスの内の第 2 の PCI バスに関連づける第 2 の PCI バス構成インターフェイスと

を備え、

各ダウンストリームポートは、各内部 PCI バスに接続され、各ダウンストリームポートのみが、1 つの内部 PCI バスに応答し、

前記コントローラは、前記複数の CPU の各々に関連づけられたインターフェイスを介して発見要求を受信し、

第 1 の CPU が、前記第 2 の PCI バス構成インターフェイスを介して前記ブリッジコントローラ論理に対し、第 2 の CPU 上に列挙されたデバイスのうち前記第 2 の CPU に現在割り当てられているデバイスへのアクセスを要求した場合、前記ブリッジコントローラ論理は、前記デバイスが接続されているダウンストリームポートを解放させるための要求を前記第 2 の CPU に対して開始し、

前記要求が認められた場合、前記第 2 の CPU は、前記ダウンストリームポートの解放を求める前記ブリッジコントローラ論理に対して許可を開始すること

を特徴とするスイッチ。

【請求項 14】

前記複数のアップストリームポートの内の各アップストリームポートと通信する第 1 の CPU と第 2 の CPU の各々は、前記複数のダウンストリームポートのいずれとも通信するように設定可能であることを特徴とする請求項 13 に記載のスイッチ。

【請求項 15】

前記コントローラは、前記第 2 の CPU に関連づけられた前記バスからの切断シーケ

10

20

30

40

50

スを実施するよう、前記ダウンストリームポートに命令し、前記コントローラは、前記第1のCPUに関連づけられたバスへの接続シーケンスを実施するよう、前記ダウンストリームポートに命令することを特徴とする請求項13に記載のスイッチ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概してコンピューティングデバイスの分野に関する。より詳細には、本発明は、複数のダウンストリームポートへの複数のアップストリームポートの接続を可能にするPCIエクスプレスとともに使用するための設定可能(configurable)なスイッチに関する。

10

【背景技術】

【0002】

1990年代初期、PCI（周辺装置相互接続）標準が採用された。PCIは、接続されたデバイスのためにシステムメモリへの直接アクセスを可能にしたが、フロントサイドバスおよびCPUに接続するのに、ブリッジを使用する。PCIは、複数のコンポーネントを接続することができる。PCIブリッジチップは、PCIバスの速度をCPUの速度とは別々に規制して、より高度な信頼性を可能にするとともに、PCIハードウェア製造者が、設計上の一貫した制約を有することを保証する。PCIは、デバイスまたはカードがコンピュータに挿入され、自動的に認識され、システムと協働するように構成されることを可能にするプラグアンドプレイをサポートする。

20

【0003】

今日のソフトウェアアプリケーションは、プラットフォームハードウェア、特にI/Oサブシステムをますます要求するようになってきている。様々なビデオおよびオーディオソースからのストリームデータは、今ではデスクトップおよびモバイルマシンにおいてよく見られる。ビデオオンデマンドおよびオーディオの再配布などのアプリケーションは、サーバに対してもリアルタイム性に関する制約を課している。PCIアーキテクチャはもはや、こうした要求に対処することができなくなり、PCIエクスプレスと呼ばれる新たな標準が提案されている。

【0004】

図1を参照すると、コンピューティングデバイスに含まれるPCIエクスプレスのトポロジ100が示されている。このトポロジは、CPU102およびメモリ103に加えて、ホストブリッジ101およびいくつかのエンドポイント104~109（すなわち、I/Oデバイス）を含む。複数のポイント間接続が、スイッチ110によって遂行される。スイッチ110は、PCIによって使われる分岐バスを置き換え、I/Oバス用の論理出力数(fan-out)を提供するのに使われる。スイッチ110は、異なるエンドポイント104~109の間のピアツーピア通信をもたらすことができ、このトラフィックは、キャッシュコヒーレントなメモリ転送を伴わない場合、ホストブリッジ101に転送されなくてよい。スイッチ110は、別個の論理要素として示されるが、ホストブリッジ101に統合することができる。

30

【0005】

これは、より古いPCIアーキテクチャを上回る改良であるが、異なるコンピューティングデバイスの間でエンドポイントを接続し共有する方法を提供しない。

40

【発明の開示】

【発明が解決しようとする課題】

【0006】

したがって、エンドポイントを共有するシステムおよび方法が必要である。このようなシステムは、コンピューティングデバイスの柔軟性を大幅に高め、かつ電力消費を削減する方法を提供する。本発明は、このようなソリューションを提供する。

【課題を解決するための手段】

【0007】

50

本発明は、1つのスイッチを介して複数のCPUを複数のI/Oデバイスに接続させる。スイッチは、ツリー中でより多くのCPUおよび/またはより多くのI/Oデバイスを使用可能にするように縦続接続され得る。この構成方法は、バスおよびエンドポイントデバイスの列挙(enumeration)に対して透過的(transparent)である。SMBusやハードウェアストラッピングなどの単純な管理用入力が、CPUへのデバイスの割当てをセットアップするのに要求されるすべてである。

#### 【0008】

本発明の態様によると、複数のアップストリームPCI-to-PCIポートと、複数のダウンストリームPCI-to-PCIポートと、アップストリームポートに一意に関連づけられる内部PCIバスと、どのアップストリームポートがどのダウンストリームポートと通信するかを構成するコントローラとを含む設定可能なPCIエクスプレススイッチが提供される。

10

#### 【0009】

本発明の別の態様によると、設定可能なPCIエクスプレススイッチを制御する方法が提供される。この方法は、PCI構成空間レジストリを読むこと、複数のアップストリームPCI-to-PCIブリッジの1つを発見すること、複数のアップストリームPCI-to-PCIブリッジの1つに関連づけられたバスに関連づけられた制御インターフェイスを発見すること、およびバス上で発見されたデバイスを列挙することを含む。

#### 【0010】

本発明のさらに別の態様によると、複数のCPUコンプレックス(CPU complex)を接続する、設定可能なPCIエクスプレススイッチが提供される。スイッチは、それぞれCPUコンプレックスの1つに一意に接続される複数のアップストリームPCI-to-PCIブリッジと、複数のダウンストリームPCI-to-PCIブリッジと、唯一の(すなわち、単一の)アップストリームポートにそれぞれ接続される複数の内部PCIバスと、どのアップストリームポートがどのダウンストリームポートと通信するかを構成するコントローラとを含む。各ダウンストリームポートは、各内部PCIバスに接続され、各ダウンストリームポートのみが、1つの内部PCIバスに応答する。また、コントローラは、各CPUコンプレックスに関連づけられたインターフェイスを介して発見要求を受信する。

20

#### 【0011】

本発明のそれ以外の特徴および利点が、添付の図面を参照して進行する、例示的な実施形態の以下の詳細な説明から明らかにされるであろう。

30

#### 【0012】

上述の要約、ならびに以下の好ましい実施形態の詳細な説明は、添付の図面と併せ読まれるとよりよく理解されよう。本発明を説明するために、本発明の例示的な構成が図面に示される。ただし、本発明は、開示される特定の方法及び手段に限定されない。

#### 【発明を実施するための最良の形態】

#### 【0013】

ここで図2を参照すると、コンポーネントを共有するシステム200の概観が示されている。PCIエクスプレスがPCIに取って代わり、複数のCPUがコンピューティングデバイスにおいて標準的な実装となるに従って、標準システムコンポーネントの柔軟な構成が、非常に望ましい特徴となるであろう。使用可能なハードウェアおよびアプリケーション要件に基づいて、1組のハードウェアリソースを動的に構成し直す機能は、クライアント用デスクトップPCにとって望ましい特徴である。本発明は、ユーザおよびアプリケーションによって要求されたように、システム構成を構成するための容易な制御方法を提供する。ただし、本発明は、PCIエクスプレスおよび同様のアーキテクチャを利用するサーバおよび他のコンピューティングデバイスにも適用可能なので、デスクトップの設計に限定されない。

40

#### 【0014】

図2は、201および215で示される2つのアップストリームCPUトポロジをサポ

50

ートする設定可能スイッチの設計を示す。第1のシステムトポロジ201は、CPU202と、グラフィックカード203と、システムバスと、メモリ204と、チップセット（ノースブリッジ205およびサウスブリッジ206）と、記憶装置207（たとえば、ハードディスク、フラッシュメモリなど）と、通信デバイス210（たとえば、モデム、NICなど）と、マウス211、キーボード212、およびフロッピー（登録商標）ディスクドライブ213に接続されたスーパーI/Oコントローラ208とを備える一般的なPCコンピュータとして示される。PCIエクスプレスのバス214（1）は、設定可能なPCIスイッチ227に接続される。同様に、第2のシステムトポロジ215は、CPU216と、グラフィックカード217と、システムバスと、メモリ218と、チップセット（ノースブリッジ219およびサウスブリッジ220）と、記憶装置222と、通信デバイス221と、マウス224、キーボード225、およびフロッピー（登録商標）ディスクドライブ226に接続されたスーパーI/Oコントローラ223を含む。PCIエクスプレスのバス214（2）は、PCIスイッチ227に接続される。PCIエクスプレスのスイッチは、I/Oデバイス228～230に接続される。

10

#### 【0015】

ここで図3および4を参照すると、設定可能なPCIスイッチ227がより詳細に示されている。図面において、「u」は、アップストリームポートを指し、「P」は、PCI-Port-PCI（P2P）を表し、「d」は、ダウンストリームポートを指し、「B0」、「B1」、「B2」は、アップストリームポートに関連づけられたPCIエクスプレス内部PCIバスを表し、「0」、「1」、「2」、および「n」は、信号バス指定またはポートを指す。

20

#### 【0016】

PCIエクスプレスの仕様で規定されているように、PCIエクスプレスのスイッチが、1組のPCI-Port-PCI（P2P）ブリッジデバイスとしてモデル化されている。（ホストコントローラまたは別のPCIバスに接続されている）アップストリームP2Pブリッジは、共通PCIバスに接続し、このバスにおいて、その（内部の）PCIバス上で見つけられるデバイスのみが、出力においてPCIデバイスに接続する（ダウンストリーム）PCI-Port-PCIブリッジである。したがって、一般的なPCIエクスプレスのスイッチは、CPU/チップセットホストコントローラに接続されたただ1つのアップストリームP2Pブリッジ、内部PCIバス、および1組のダウンストリームP2Pブリッジからなる。

30

#### 【0017】

本発明においては、PCIエクスプレスのPOINT TO POINTアーキテクチャのファンアウトを拡張するために1組のアップストリームPCI-Port-PCIブリッジを実装することが有利である。図3に示されるように、B0およびB1で示される独立内部PCIバスをそれぞれ有するuP0 231およびuP1 233で示されるn個のアップストリームP2Pブリッジと、dP0 232、dP1 235、およびdPn 234で示される複数のダウンストリームP2Pブリッジとがある。各ダウンストリームP2Pブリッジは、各内部PCIバスに接続することが好ましい。従来のPCIエクスプレスのスイッチとは異なり、各ダウンストリームP2Pブリッジは、内部PCIバスB0またはB1の一方による列挙の実施に応答するように設定可能である。

40

#### 【0018】

制御方法は、内部構成制御レジスタあるいは外部ハードウェアストラップまたは他の外部構成管理インターフェイス外部制御242からなる。制御方法は、ダウンストリームP2Pブリッジ（232、234、および235）がどのバスに응答するべきかを規定する。他のPCIバスからの通信は無視される。たとえば、電源投入シーケンスが終了すると、任意の方法論で、初期設定のために、バスB0またはB1にリソース（I/OおよびdPx）を割り当てる。したがって、ダウンストリームポート（dPx）は、内部バスB0またはB1の一方からのサイクルに응答するが、両方には응答しない。物理接続が存在するが、응答は、バスB0またはバスB1でのサイクルに対してのみ起こる。

50

## 【0019】

図4は、P C I の列挙および発見のための、関連づけられた外部バスおよび構成インターフェイス(configuration interface) 237と、バス0用の内部P C I バス構成インターフェイス(238)と、バス1用の内部P C I バス構成インターフェイス(239)とを有するブリッジコントローラ論理236を詳細に示すものである。デバイスの列挙および構成の間、C P U 0 202上で実行中のオペレーティングシステムは、P C I 構成空間レジストリの内容を読むことによってデバイスを発見する。C P U 0 202は、u P 0 231において見つかったP C I - t o - P C I ブリッジを発見する。オペレーティングシステムは、バスB 0 上で見つかったデバイスを列挙し、スイッチ内部バスB 0 に関連づけられた制御インターフェイスI f c \_ B 0 238を発見する。このデバイスは、このデバイスを設定可能なP C I エクスプレススイッチとして識別する一意のブリッジ識別番号を有する。インターフェイスI f c \_ B 0 238は、したがって、スイッチの内部バスB 0 に関連づけられる。このデバイスは、構成およびB 0 上のI / O サイクルのマスタでも目標でもよい。C P U 0 202は次いで、バスB 0 上で発見されたすべてのデバイスを列挙する。

10

## 【0020】

終了すると、C P U 0 202は、I f c \_ B 0 238インターフェイスを介して、スイッチコントローラへの発見要求を開始する。コントローラは次いで、構成要求を開始し、かつバスB 1 上の各デバイス用の構成空間を読み、またはI f c \_ B 1 239を介して、バスB 1 上に列挙されたデバイスをC P U 1 216に要求する要求を開始することができる。C P U 0 202によって要求された情報が集められた後、スイッチコントローラは、I f c \_ B 0 238を介してC P U 0 202への応答を開始し、要求された情報を返す。この機構はしたがって、C P U 0 202およびC P U 1 216両方が、要求に対してどのデバイスが使用可能であり得るか判定することを可能にする。

20

## 【0021】

外部制御237によって提供される外部制御インターフェイスは、監視権限を行使しているバスマネージャが、C P U 0 202またはC P U 1 216の一方にダウンストリームリソース(I / O)を割り当てることができる。外部制御237は、設定可能なスイッチの内部バスB 0 およびB 1 からはどのデバイスが使用可能であるかをブリッジコントローラ論理236に尋ねることによって、この機能を実施する。この特徴は、サーバアーキテクチャにおいて、C P U / オペレーティングシステムの責任に基づいてリソースを割り当てるとき、およびタスクが各アップストリームサーバエンティティに割り当てられているとき、特に望ましい。

30

## 【0022】

C P U 0 202は、C P U 1 216に割り当てられているリソースを望む場合、I f c \_ B 0 238を介して、現在のダウンストリーム(d P x)ポートまたはエンドポイント(I / O)を求める要求を開始する。ブリッジコントローラ論理236は次いで、C P U 1 216に対して、ダウンストリームポートを解放させるための要求を開始する。要求が認められた場合、C P U 1 216は、エンドポイントを黙認(acquiesce)し、I f c \_ B 1 239を介して、ブリッジコントローラ論理236に対してダウンストリームポート(d P x)の解放許可を開始する。ブリッジコントローラ論理236は次いで、スイッチポート制御インターフェイスを介して、B 1 からのP C I エクスプレス切断シーケンスを実施するよう、ダウンストリームポート(d P x)に命令する。切断されると、ブリッジコントローラ論理236は、スイッチポート制御インターフェイスを介してB 0 への接続シーケンスを実施するよう、ダウンストリームポート(d P x)に命令する。接続されると、C P U 0 202は、P C I アーキテクチャ仕様で規定されているように、ホットプラグイベントを受信する。イベントを通知されると、C P U 0 202は、デバイスを列挙し、デバイスに関連づけられた適切なドライバをロードすることによって、遷移を完了する。

40

## 【0023】

50

CPU1 216は、許可要求を却下した場合、Ifc\_B1 239を介して、発信元に要求の却下を知らせるメッセージをCPU0 202に対して開始する。ブリッジコントローラ論理236は、B0を経由してCPU0 202へのインターフェイスIfc\_B0 238を介して、CPU0 202への応答を開始することによって、却下シーケンスを完了する。

#### 【0024】

ここで図5を参照すると、ドッキングラップトップPC（システム201）および拡張ドッキングステーション（システム215）両方が、設定可能スイッチを介して関連づけられたリソースを共有する例が示されている。アプリケーションがラップトップにロードされ、かつユーザが、現時点で拡張ドッキングステーショントポロジによって構成されているスキャナを使って写真入手したいと望む場合、ラップトップPCは、スキャナの所有権を要求する。ユーザが、スキャナ経由で入手された、スキャンされ加工された写真の印刷を望む場合、ラップトップPCトポロジは、拡張ドッキングステーションに関連づけられた写真品質プリンタの所有権を要求する。ラップトップPCが切り離されると、設定可能スイッチを介してラップトップPCに関連づけられたすべてのリソースは、その関連が絶たれ、設定可能スイッチは次いで、そのトポロジ内の仕様に合わせて拡張ドッキングステーションにリソースを割り当て直す。

#### 【0025】

図6は、どのようにして、複数のPCIエクスプレスバスを有するCPUコンプレックスが、複数の設定可能なPCIエクスプレススイッチを介してI/Oデバイスを使用するように構成され得るかを示す。この例では、CPU1 216は、スイッチSW0 227（1）およびSW1 227（2）とインターフェイスをとる。SW0およびSW1に接続されたどのI/Oデバイスも、次いで、CPU1 216に割り当てられ得る。この構成では、SW0内のダウンストリームP2Pブリッジのみが、CPU0 202に割り当てられることができ、SW1内のダウンストリームP2Pブリッジのみが、CPU2 241に割り当てられることができる。

#### 【0026】

図7は、図6の変更形態である。複数のスイッチの間で帯域幅を共有するのではなく、図7は、CPU1 216から両方のスイッチまでの使用可能な帯域幅全体を使用し得ることを示す。

#### 【0027】

図8は、2つのスイッチSW0およびSW1内のリソースすべてへのアクセス権を有する3つのCPUコンプレックス202、216、および241のさらに別の例である。図8は、スイッチスケラビリティのもう1つの例であるが、アップストリームCPUコンプレックスを追加するという、関連づけられた内部スイッチの複合性を図示する点においても有用である。さらに、複数のアップストリームP2Pブリッジのこの実装形態は、ダウンストリームブリッジを消費することが明らかであろうが、ダウンストリームP2Pブリッジが、アップストリームブリッジよりも容易に設計に追加されるというわけではない。

#### 【0028】

本発明は、様々な図面の好ましい実施形態に関連して説明されたが、本発明から逸脱することなく本発明の同じ機能を実施するために、他の類似の実施形態が使用されることもでき、説明した実施形態に修正および追加が行われ得ることが理解されるべきである。たとえば、本出願において述べた本発明は、有線または無線に関わらず、どのコンピューティングデバイスにも環境にも当てはまり、通信ネットワークを介して接続され、ネットワーク経由で相互作用するこのような任意の数のコンピューティングデバイスに適用され得ることを当業者は理解するであろう。さらに、ハンドヘルドデバイスのオペレーティングシステムおよび他のアプリケーション特有のオペレーティングシステムを含む様々なコンピュータプラットフォームが企図され、特に、無線ネットワーク接続される装置の数は増加し続けることが強調されるべきである。さらに、本発明は、複数の処理チップまたは装

10

20

30

40

50

置の内部でも、それらに渡っても実装されることができ、同様に、複数の装置に渡って格納され得る。したがって、本発明は、どの1つの実施形態にも限定されるべきではなく、添付の特許請求の範囲による範囲内で解釈されるべきである。

【図面の簡単な説明】

【0029】

【図1】従来のパーソナルコンピュータを示すブロック図である。

【図2】本発明による設定可能なPCIエクスプレススイッチを用いてコンポーネントを共有する全体的システムを示すブロック図である。

【図3】設定可能なPCIエクスプレススイッチを示すブロック図である。

【図4】PCIエクスプレススイッチを構成するための制御インターフェイスおよびコマンド論理を示すブロック図である。 10

【図5】本発明による、コンポーネントを共有する例示的なシステムを示すブロック図である。

【図6】設定可能なPCIエクスプレススイッチを用いたコンポーネント共有の実施形態を示すブロック図である。

【図7】設定可能なPCIエクスプレススイッチを用いたコンポーネント共有の実施形態を示すブロック図である。

【図8】設定可能なPCIエクスプレススイッチを用いたコンポーネント共有の実施形態を示すブロック図である。

【符号の説明】 20

【0030】

101 ホストブリッジ

103 メモリ

104 エンドポイント

105 エンドポイント

106 エンドポイント

107 エンドポイント

108 エンドポイント

109 エンドポイント

203 グラフィック 30

207 記憶装置

208 スーパーIO

210 通信デバイス

211 マウス

212 キーボード

214 (1) PCIエクスプレス

214 (2) PCIエクスプレス

217 グラフィック

221 通信デバイス

222 記憶装置 40

223 スーパーIO

224 マウス

225 キーボード

227 PCIエクスプレススイッチ

236 ブリッジコントローラ論理

242 外部制御

236 ブリッジ制御、インターフェイスおよびコマンド論理

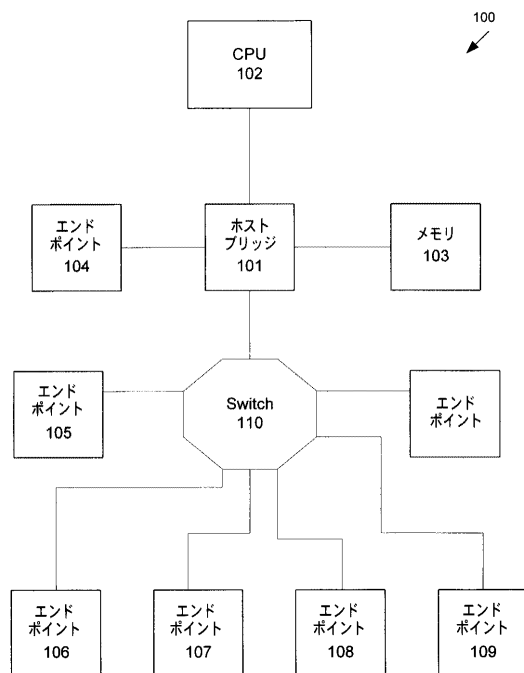
237 外部構成インターフェイス、外部構成インターフェイスバス固有論理

238 PCIインターフェイス&コマンド論理、PCI構成空間

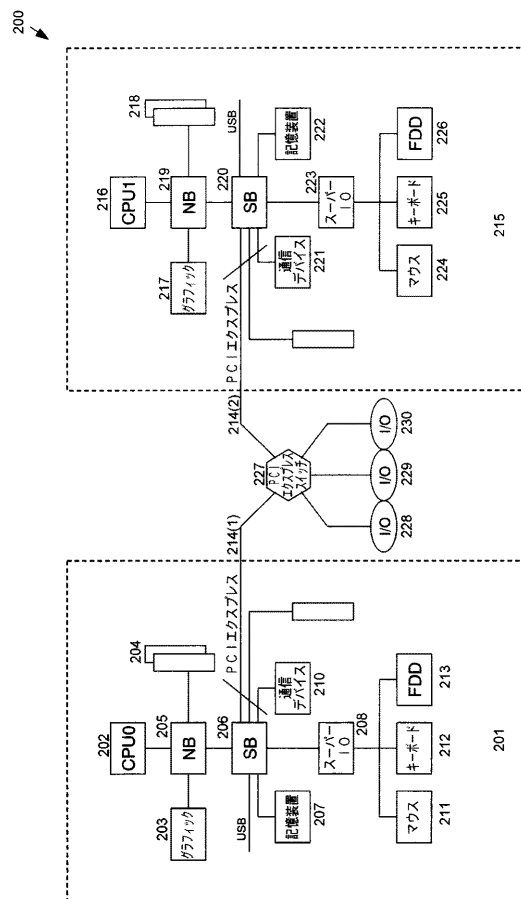
239 PCIインターフェイス&コマンド論理、PCI構成空間 50

## 2 4 0 構成管理

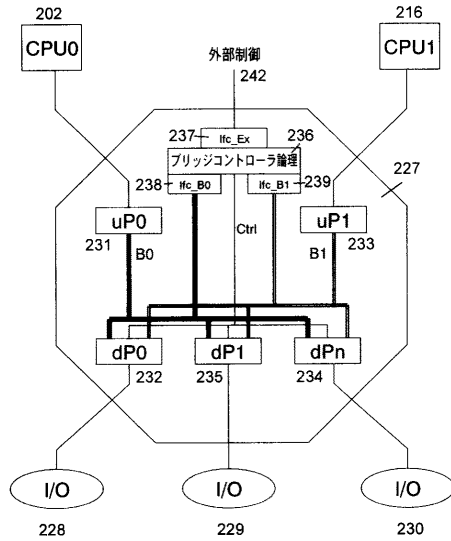
【図 1】



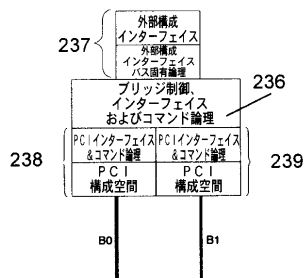
【図 2】



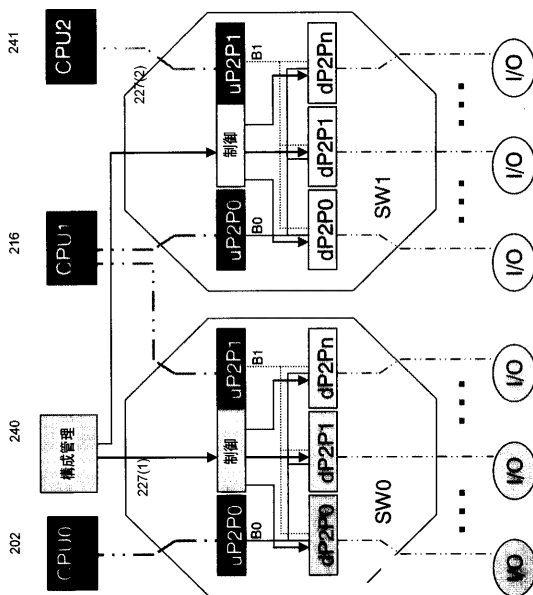
【図 3】



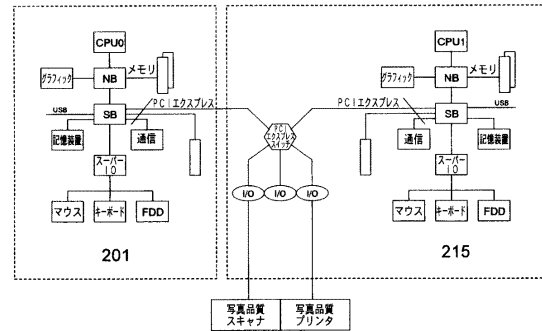
【図 4】



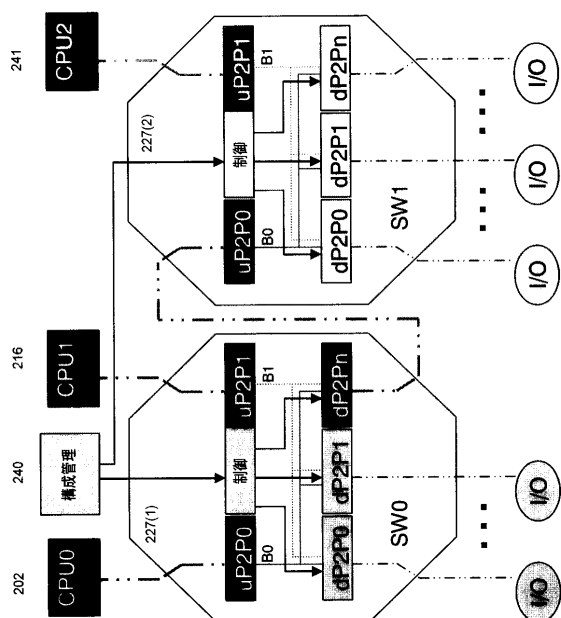
【図 6】



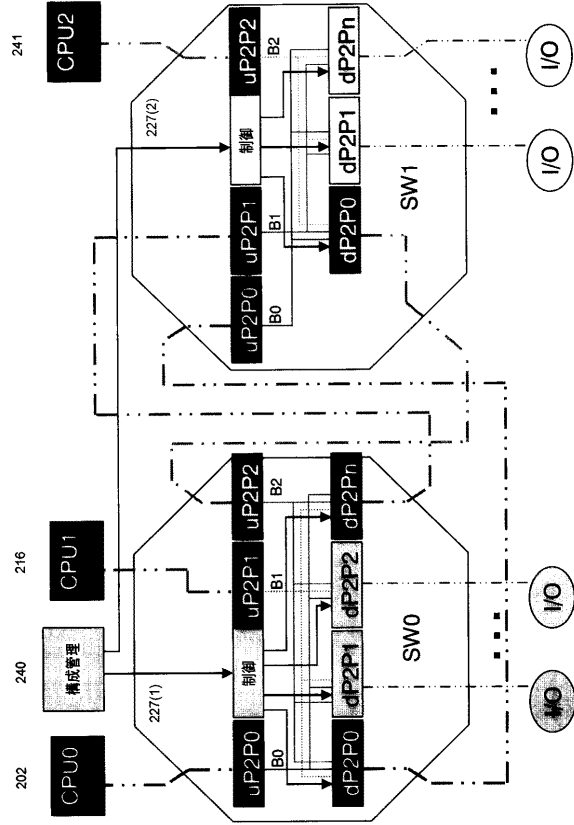
【図 5】



【図 7】



【図 8】



---

フロントページの続き

(72)発明者 ケニス ダブリュ. スタッフルビーム  
アメリカ合衆国 98052 ワシントン州 レッドモンド ワン マイクロソフト ウェイ マ  
イクロソフト コーポレーション内

審査官 西出 隆二

(56)参考文献 特開平04-239362 (JP, A)  
特開2001-350710 (JP, A)  
特開平09-138782 (JP, A)  
特開2002-073226 (JP, A)  
特開昭64-065654 (JP, A)  
業界で初めて標準品としてPCI Express™ブリッジICとPCI Express™スイッチICを製品化, 業界  
で初めて標準品としてPCI Express™ブリッジICとPCI Express™スイッチICを製品化, 日本, N  
ECエレクトロニクス株式会社, 2003年 9月16日, URL, <http://www.necel.com/news/ja/archive/0309/1601.html>

(58)調査した分野(Int.Cl., DB名)  
G06F 13/36