



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I644209 B

(45)公告日：中華民國 107 (2018) 年 12 月 11 日

(21)申請案號：106129529

(22)申請日：中華民國 106 (2017) 年 08 月 30 日

(51)Int. Cl. : **G06F12/08 (2016.01)**

(30)優先權：2016/11/08 美國 15/345,862

(71)申請人：美商美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)  
美國(72)發明人：達拉波拉 馬可 DALLABORA, MARCO (IT)；康伐隆尼力 艾曼紐  
CONFALONIERI, EMANUELE (IT)；阿瑪托 帕歐羅 AMATO, PAOLO (IT)；巴  
路奇 丹尼爾 BALLUCHI, DANIELE (IT)；卡拉西歐 達妮羅 CARACCIO,  
DANILO (IT)

(74)代理人：陳長文

(56)參考文獻：

TW 201135746A

TW 201225100A

TW 201235843A

TW 201245960A

TW 201443904A

TW 201510724A

CN 104008773A

US 2015/0347228A1

審查人員：黃鴻鈞

申請專利範圍項數：20 項 圖式數：5 共 26 頁

(54)名稱

記憶體管理

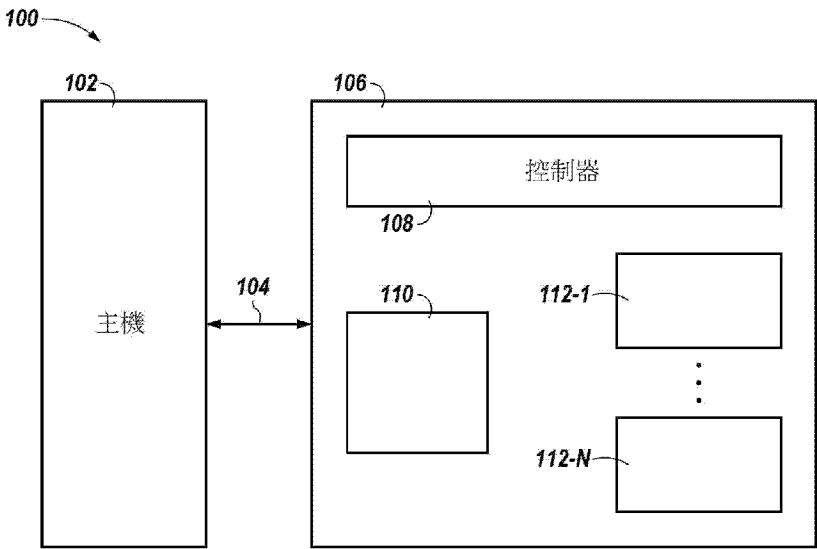
MEMORY MANAGEMENT

(57)摘要

本發明包含關於混合式記憶體管理之設備及方法。一實例設備可包含：一第一記憶體陣列；數個第二記憶體陣列；及一控制器，其經耦合至該第一記憶體陣列及該數個第二記憶體陣列，該控制器經組態以：執行一寫入操作，其中該寫入操作之執行在由一寫入游標指示之一位置處開始寫入資料至該第一記憶體陣列；及在完成該寫入操作之執行之後，放置該寫入游標於該第一記憶體陣列中之一經更新位置處，其中該經更新位置係在該第一記憶體陣列中之下一可用位置。

The present disclosure includes apparatuses and methods related to hybrid memory management. An example apparatus can include a first memory array, a number of second memory arrays, and a controller coupled to the first memory array and the number of second memory arrays configured to execute a write operation, wherein execution of the write operation writes data to the first memory array starting at a location indicated by a write cursor, and place the write cursor at an updated location in the first memory array upon completing execution of the write operation, wherein the updated location is a next available location in the first memory array.

指定代表圖：



【圖1】

符號簡單說明：

- 100 . . . 計算系統
- 102 . . . 主機
- 104 . . . 介面
- 106 . . . 記憶體裝置
- 108 . . . 控制器
- 110 . . . 第一記憶體陣列
- 112-1 . . . 第二記憶體陣列
- 112-N . . . 第二記憶體陣列

# 【發明說明書】

## 【中文發明名稱】

記憶體管理

## 【英文發明名稱】

MEMORY MANAGEMENT

## 【技術領域】

本發明大體上係關於記憶體裝置，且更特定言之，係關於用於記憶體管理之設備及方法。

## 【先前技術】

記憶體裝置通常提供為電腦或其他電子裝置中之內部、半導體、積體電路。存在諸多不同類型之記憶體，包含揮發性記憶體及非揮發性記憶體。揮發性記憶體可需要電力以維持其資料且包含隨機存取記憶體(RAM)、動態隨機存取記憶體(DRAM)及同步動態隨機存取記憶體(SDRAM)等。非揮發性記憶體可藉由在不被供電時保持所儲存之資料來提供持久性資料且可包含NAND快閃記憶體、NOR快閃記憶體、唯讀記憶體(ROM)、電可擦除可程式化唯讀記憶體(EEPROM)、可擦除可程式化ROM(EPROM)及電阻可變記憶體(諸如，相變隨機存取記憶體(PCRAM)、電阻性隨機存取記憶體(RRAM)及磁阻性隨機存取記憶體(MRAM))等等。

記憶體亦用作範圍廣泛的電子應用之揮發性及非揮發性資料儲存器。非揮發性記憶體可用於(例如)個人電腦、可攜式記憶體棒、數位相機、蜂巢式電話、可攜式音樂播放機(諸如MP3播放機)、電影播放機及其他電子裝置。記憶體單元可配置成多個陣列，其中該等陣列用於記憶體裝

置中。

**【發明內容】**

**【圖式簡單說明】**

圖1係根據本發明之數個實施例之呈包含一記憶體裝置之一計算系統之形式之一設備的一方塊圖。

圖2係根據本發明之數個實施例之一控制器之一方塊圖。

圖3係繪示根據本發明之數個實施例之對一記憶體裝置執行之數個操作的一功能圖。

圖4A及圖4B繪示根據本發明之數個實施例之一第一管理單元及一第二管理單元。

圖5A及圖5B繪示根據本發明之數個實施例之數個管理單元。

**【實施方式】**

本發明包含關於混合式記憶體管理之設備及方法。一實例設備可包含一第一記憶體陣列；數個第二記憶體陣列；及一控制器，其經耦合至該第一記憶體陣列及該數個第二記憶體陣列，該控制器經組態以：執行一寫入操作，其中該寫入操作之執行在由一寫入游標指示之一位置處開始寫入資料至該第一記憶體陣列；及在完成該寫入操作之執行之後放置該寫入游標於該第一記憶體陣列中之一經更新位置處，其中該經更新位置係在該第一記憶體陣列中之下一可用位置。

在數個實施例中，可對包含一第一記憶體陣列及數個第二記憶體陣列之一記憶體裝置執行一寫入操作。該記憶體裝置可為一混合式記憶體裝置，其中該第一記憶體陣列可為一儲存類別記憶體，且該數個第二記憶體陣列可為一不同類型之記憶體，諸如NAND快閃記憶體。該寫入操作可包

含寫入資料至該第一記憶體陣列及/或該數個第二記憶體陣列。可回應於經儲存於該第一記憶體陣列中之一資料量係低於一臨限量而寫入該資料至該第一記憶體陣列。

在數個實施例中，可基於指示其中一寫入操作將開始之一位置之一寫入游標而寫入對一第一記憶體陣列執行之寫入操作。該寫入游標之位置可基於在該寫入陣列中之數個管理單元之狀態，其中各管理單元可具有有效、無效、自由或不使用之一狀態。該寫入游標之位置可經更新，且被放置於在各寫入操作之後具有一自由狀態的下一管理單元處。例如，該等管理單元可為基於其等實體位置依一循序順序的指定位址，且該等管理單元基於其等位址，通過依一循序順序迭代以判定該等管理單元的狀態，且放置該寫入游標於一經更新位置處。

在數個實施例中，讀取操作可包含針對一第一記憶體陣列中的資料來判定管理單元樣式干擾位準及一原始位元錯誤率(RBER)。當該管理單元樣式干擾位準係高於一臨限值或該原始位元錯誤率(RBER)係高於一臨限值時，可執行一移動操作，以移動該資料至該第一記憶體陣列中之一新的位置。當該RBER係高於一臨限值時，可移動該資料至一新的位置，因為一錯誤校正(ECC)操作在讀取來自其原始位置之資料時不能夠校正錯誤。當該管理單元樣式干擾位準係高於一臨限值時，可移動該資料至一新的位置，因為在讀取來自其中鄰近管理單元已經程式化至少一特定次數之一位置的資料時，錯誤可能更可能發生。

在本發明之以下實施方式中，參考形成本發明之一部分且其中藉由繪示展示本發明之一或多個實施例可如何被實踐之隨附圖式。足夠詳細描述此等實施例以使一般技術者實踐本發明之實施例，且應理解，可在不脫

離本發明之範疇之情況下，利用其他實施例且做出程序、電及/或結構改變。

如本文中所使用，諸如「X」、「Y」、「N」、「M」等之標示符(尤其關於圖式中之元件符號)指示：可包含如此指定之數個特定特徵。亦應瞭解，本文中所使用之術語僅係為了描述特定實施例之目的，且不意欲限制。如本文中所使用，單數形式「一」、「一個」及「該」可包含單數及複數個參照物兩者，除非內容另有清楚指示。另外，「數個」、「至少一個」及「一或多個」(例如數個記憶體陣列)可係指一或多個記憶體陣列，而「複數個」意欲係指此等事物之一個以上。而且，貫穿本申請案所使用之字「可」係以一允許意義(即，具有可能性以、能夠)而非以一強制意義(即，必須)使用。術語「包含」及其變體意謂「包含，但不限於」。若適合於背景內容，術語「經耦合」意謂直接或間接經實體連接或接近命令及/或資料及命令及/或資料之移動(傳輸)。若適合於背景內容，術語「資料」及「資料值」在本文中可互換使用，且可具有相同意義。

本文中之圖式遵循一編號慣例，其中第一數字對應於圖式編號，且其餘數字識別圖式中之元件或組件。可藉由使用類似數字來識別不同圖之間的類似元件或組件。舉例而言，108可指涉圖1中之元件「08」，且一類似元件可在圖2中指涉為208。應瞭解，可添加、交換及/或消除本文中在各種實施例中所展示之元件，以便提供本發明之若干額外實施例。此外，圖中所提供元件之比例及/或相對尺度意欲繪示本發明之某些實施例，而不應被視為意指限制。

圖1係根據本發明之數個實施例之呈包含一記憶體裝置106之一計算系統100之形式之一設備的一方塊圖。如本文中所使用，一「設備」可係

指(但不限於)各種結構或結構之組合之任何者，諸如，例如，一(若干)電路、一(若干)晶粒、一(若干)模組、一(若干)裝置或一(若干)系統。在數個實施例中，計算系統100可包含數個記憶體裝置。在圖1中所繪示之實施例中，記憶體裝置106可包含一第一記憶體類型(例如一第一記憶體陣列110)及一第二記憶體類型(例如數個第二記憶體陣列112-1、...、112-N)。記憶體裝置106可為一混合式記憶體裝置，其中記憶體裝置106包含第一記憶體陣列110，其係不同於數個第二記憶體陣列112-1、...、112-N之一類型之記憶體。第一記憶體陣列110可為儲存類別記憶體(SCM)，其可為一非揮發性記憶體，其充當用於記憶體裝置106之主要記憶體，因為其具有快於數個第二記憶體陣列112-1、...、112-N之存取時間。第一記憶體陣列110可為在其他類型之非揮發性記憶體當中之相變記憶體(PCM)、自旋扭矩轉移(SST)記憶體、鐵電(FRAM)及/或電阻式(RRAM)。數個第二記憶體陣列112-1、...、112-N可充當用於記憶體裝置106之一資料儲存(例如儲存記憶體)且可為在其他類型之記憶體當中之NAND快閃記憶體。例如，數個第二記憶體陣列112-1、...、112-N可為RAM、ROM、DRAM、SDRAM、PCRAM、RRAM及快閃記憶體等。

如圖1中所繪示，主機102可經由介面104而耦合至記憶體裝置106。主機102及記憶體裝置106可在介面104上通信(例如發送命令及/或資料)。主機102可為在其他主機系統當中之膝上型電腦、個人電腦、數位相機、數位記錄及播放裝置、行動電話、PDA、記憶卡讀取器、介面中心，且可包含一記憶體存取裝置，例如，一處理器。一般技術者將瞭解，「一處理器」可意指一或多個處理器，諸如一平行處理系統、數個協同處理器等。

記憶體裝置106包含用以與主機102及第一記憶體陣列110及數個第二記憶體陣列112-1、...、112-N通信之控制器108。控制器108可發送命令以對第一記憶體陣列110及數個第二記憶體陣列112-1、...、112-N執行操作。控制器108可與第一記憶體陣列110及數個第二記憶體陣列112-1、...、112-N通信以在其他操作當中讀取、寫入、移動及/或擦除資料。控制器108可控制在記憶體裝置106上之數個資料流動。例如，控制器108可控制寫入資料至第一記憶體陣列110、寫入資料至數個第二記憶體陣列112-1、...、112-N、自第一記憶體陣列110讀取資料、自數個第二記憶體陣列112-1、...、112-N讀取資料、移動資料自第一記憶體陣列110至數個第二記憶體陣列112-1、...、112-N且移動資料自數個第二記憶體陣列112-1、...、112-N至第一記憶體陣列110。

主機102包含用以與記憶體裝置106通信之一主機控制器。該主機控制器可經由介面104發送命令至記憶體裝置106。該主機控制器可與記憶體裝置106及/或記憶體裝置106上之控制器108通信以在其他操作當中讀取、寫入及擦除資料。

記憶體裝置106上之控制器108及/或主機102上之該主機控制器可包含控制電路(例如硬體、韌體及/或軟體)。在一或多個實施例中，記憶體裝置106上之控制器108及/或主機102上之該主機控制器可包含控制電路，其可為經耦合至包含一實體介面之一印刷電路板的一專用積體電路(ASIC)。同樣地，記憶體裝置106及主機102可包含揮發性及/或非揮發性記憶體之一緩衝器及數個暫存器。

圖2係根據本發明之數個實施例之一控制器208之一方塊圖。控制器208可與一主機(例如圖1中之主機102)及/或記憶體陣列(例如圖1中之第一



記憶體陣列110及/數個第二記憶體陣列112-1、...、112-N)通信以讀取、寫入、移動及/或擦除資料至該主機或記憶體陣列及/或自該主機或記憶體陣列讀取、寫入、移動及/或擦除資料。控制器208包含前端管理器220、資料及媒體管理器230及後端管理器240。

前端管理器220可自一主機接收命令且解譯彼等命令。前端管理器220可執行與該等命令相關聯之資料之邏輯位址之一轉譯。

資料及媒體管理器230可進一步處理自一主機接收之命令。資料及媒體管理器230可包含資料管理器排程器232、媒體轉譯層(MTL)伺服器234及媒體轉譯層(MTL)管理器236。資料管理排程器232可判定將何時執行自一主機接收之該等命令之各者。MTL伺服器234可包含數個應用程式設計介面(API)指令集合以提供功能性至MTL管理器236。MTL伺服器234可包含API指令以在其他伺服器當中執行邏輯位址至實體位址轉譯、讀取來自記憶體陣列之資料及/或寫入資料至記憶體陣列。

MTL管理器236可包含表格管理器238-1、讀取管理器238-2、負載管理器238-3、寫入管理器238-4、清空管理器238-5及清除管理器238-6以對該等記憶體陣列執行操作。

表格管理器238-1可提供邏輯位址至實體位址映射用於經儲存於該等記憶體陣列中之資料。由表格管理器238-1管理之該資訊可經儲存於該等記憶體陣列中。表格管理器238-1可產生並儲存經儲存於該等記憶體陣列中之一邏輯至實體表格以定位資料。該邏輯至實體表格可包含一位元於該邏輯位址至實體位址映射中，該邏輯位址至實體位址映射指示該資料是否經儲存於該第一類型之記憶體中及/或該第二類型之記憶體陣列中。表格管理器238-1亦可產生並儲存邏輯至實體指標以定位資料於該等記憶體陣

列中。

讀取管理器238-2可藉由定位資料於該等記憶體陣列中且致使與讀取命令相關聯之資料至該主機之轉移而執行該等讀取命令。讀取管理器238-2亦可判定自一第二類型之記憶體陣列讀取之資料是否應保持於適當位置中及/或被移動至該記憶體裝置中之一第一類型之記憶體陣列。若讀取管理器238-2判定資料應自一第一類型之記憶體陣列移動至一第二類型之記憶體陣列，則讀取管理器238-2通知負載管理器238-3執行此操作。

負載管理器238-4可執行移動資料自一第二類型之記憶體陣列(例如NAND)至一第一類型之記憶體陣列(例如SCM)。負載管理器238-4可移動該資料至該第一類型之記憶體陣列且使該第二類型之記憶體陣列中之該資料之原始版本無效。

寫入管理器238-4可藉由路由與寫入命令相關聯之資料至該第一類型之記憶體陣列及/或該第二類型之記憶體陣列而執行寫入命令。寫入管理器238-4可基於數個準則判定是否寫入資料至該第一類型之記憶體陣列、該第二類型之記憶體陣列或兩者。該數個準則可在其他準則當中包含被寫入之該資料之大小、該等記憶體陣列中之可用空間量及/或資料被寫入至該等記憶體陣列之頻率。

清空管理器238-5可執行移動資料自一第一類型之記憶體陣列(例如SCM)至一第二類型之記憶體陣列(例如NAND)。清空管理器238-5可基於數個準則移動資料。該等準則可為(例如)該第一類型之記憶體陣列已達到一容量臨限值。清空管理器238-5可移動資料至該第二類型之記憶體陣列且使該第一類型之記憶體陣列中之該資料之原始版本無效。

清除管理器238-6可執行移動資料自該第一類型之記憶體陣列(例如

SCM)中之一第一位置至該第一類型之記憶體陣列中之一第二位置。清除管理器238-6可移動資料作為一磨損位準量測操作，使得該第一類型之記憶體陣列中之特定實體位置不比其他實體位置更頻繁寫入。清除管理器238-6可執行寫入一管理單元之各位元至各管理單元上之一特定邏輯狀態，該特定邏輯狀態具有一無效狀態。在數個實施例中，清除管理器238-6可包含程式化一管理單元之各位元至一邏輯狀態，該邏輯狀態比另一邏輯狀態使用更多功率及/或具有一更高延遲，使得當一前台操作(例如，例如一寫入操作)經執行時，該前台操作不必程式化記憶體單元至該邏輯狀態，該邏輯狀態比另一邏輯狀態使用更多功率及/或具有一更高延遲。

圖3係繪示根據本發明之數個實施例之對一記憶體裝置執行之數個操作350之一功能圖。寫入操作352可經執行於一記憶體裝置上且可包含寫入資料至一記憶體裝置上之一第一記憶體陣列及/或數個第二記憶體陣列。寫入操作352可包含基於該第一記憶體陣列上之可用自由空間量而寫入資料至該第一記憶體陣列。若在該第一記憶體陣列上存在足夠可用自由空間，則寫入操作寫入該資料至該第一記憶體陣列及該數個第二記憶體陣列。若在該第一記憶體陣列上不存在足夠可用自由空間，則寫入操作352僅寫入該資料至該數個第二記憶體陣列。

在數個實施例中，寫入操作352可包含基於一寫入游標之一位置而寫入資料。該寫入游標可指示一寫入操作將在何處開始。該寫入游標可在各寫入操作之後經更新至其中該下一自由管理單元經定位之一記憶體陣列中之一新位置。寫入操作352可為一前台操作，其中前台操作在自一主機接收一請求之後經執行。寫入操作352可為一後台操作，其由該資料管理器(諸如，例如圖2中之負載管理器238-3及/或清空管理器238-5)啟始。

清除操作356可經執行於一記憶體裝置上且可包含寫入一管理單元之各位元至一特定邏輯狀態。清除操作356可經執行於具有一無效狀態之各管理單元上。清除操作356可為一後台操作，其中後台操作經執行而無其他操作(例如前台操作)經執行。例如一後台操作可經執行於一記憶體裝置之一特定區域上，而無其他操作(諸如前台操作)經執行於其中該後台操作經執行之該特定區域處(例如一區塊、一分區、記憶體裝置等)。另一操作(諸如前台操作)可經執行於除其中該前台操作經執行同時該後台操作經執行之該特定區域外的一區域處(例如另一區塊、另一分區及/或另一裝置)。前台操作可具有高於後台操作之優先權，使得當一主機請求一記憶體裝置執行一操作時，後台問題不降低一記憶體裝置之效能或延遲。在數個實施例中，清除操作356可包含程式化一管理單元之各位元至一邏輯狀態，該邏輯狀態比另一邏輯狀態使用更多功率及/或具有一更高延遲。由於清除操作356可為一後台操作，所以程式化該等記憶體單元至比另一邏輯狀態使用更多功率及/或具有一更高延遲的一邏輯狀態自一主機方面來看不影響該記憶體裝置之效能。在清除操作356之後，已經清除之一管理單元之狀態可自由。該經清除管理單元可接著藉由僅程式化需要自在清除操作356期間該等記憶體胞經程式化至其之該特定邏輯狀態改變之該等記憶體胞而程式化。例如，若清除操作356程式化一管理單元之各位元至邏輯狀態0，則一寫入操作僅需要程式化期望在邏輯狀態1處之該等記憶體胞。若清除操作356程式化一管理單元之各位元至邏輯狀態1，則一寫入操作僅需要程式化期望在邏輯狀態0處之該等記憶體胞。

讀取操作354可經執行於一記憶體裝置上，且可包含針對該資料判定一管理單元樣式干擾位準及/或一原始位元錯誤率(RBER)。讀取操作354

亦可包含基於該類型之記憶體陣列及該記憶體陣列中之該類型的記憶體胞(諸如，例如經程式化以包含2個、3個或4個位元之記憶體胞)來設定讀取信號臨限值。該管理單元樣式干擾位準可係與一管理單元已由正程式化之一鄰近管理單元干擾多少次相關聯。一旦該管理單元樣式干擾位準已達到一臨限值，則一移動操作358可被執行以移動該資料至一記憶體陣列中之一新的位置。亦可當針對一記憶體單元之該RBER係高於一臨限值(例如存在比可由一錯誤校正(ECC)操作校正更多之錯誤)時，執行移動操作358。讀取操作354可包含當該RBER及該管理單元樣式干擾位準係低於其等各自臨限值時，自該記憶體裝置輸出資料至該主機。移動操作358亦可被實施以當一寫入操作已經執行於一鄰近管理單元至少一臨限次數時，移動資料至一新的位置。移動操作358可為一後台操作，其中後台操作經執行於無其他操作(諸如前台操作)經執行於其中該後台操作經執行之該特定區域上。

圖4A及圖4B繪示根據本發明之數個實施例之一第一管理單元及一第二管理單元。圖4A繪示一第一管理單元460 (例如大管理單元)，其包含主機資料462、後設資料464，及錯誤校正(ECC)資料466。第一管理單元460包含主機資料462，其具有與自一主機接收之資料之一邏輯關聯。圖4B繪示一第二管理單元461 (例如小管理單元)，其包含MTL後設資料468、後設資料464，及錯誤校正(ECC)資料466。MTL後設資料468可包含邏輯至實體表格用於經儲存於該記憶體裝置中的資料(例如主機資料462)。

一管理單元係經儲存於一陣列中之一群組之記憶體胞中之一特定量資料，其在操作期間一起被管理。一管理單元之大小可基於經儲存於該管

理單元中之資料的類型及/或對該管理單元執行之操作的類型而改變。例如，一第一管理單元**460** (例如大管理單元)可包含**4KB**之資料，且可儲存來自一主機之資料，而一第二管理單元**461** (例如小管理單元)可包含**64B**之資料，且可儲存與該第一管理單元中之該資料相關聯之一邏輯至實體表格。各管理單元可具有與其相關聯之一狀態。例如，各管理單元可具有有效、無效、自由或不使用之一狀態。一有效管理單元包含最近版本資料。一無效管理單元包含並非該資料之最近版本的資料。一「不使用」管理單元為一特定原因而不用以儲存資料，諸如該管理單元不再能夠可靠地儲存資料。一自由管理單元包含在一重設狀態中且準備經程式化(例如寫入至)的記憶體胞。例如，一重設狀態可為其中管理單元之所有記憶體胞被程式化至一特定邏輯狀態(例如，例如邏輯狀態0或邏輯狀態1)。

圖**5A**及圖**5B**繪示根據本發明之數個實施例之數個管理單元。在圖**5A**及圖**5B**中，該記憶體陣列包含管理單元**570**、...、**570-7**，諸如，例如與圖**4A**及圖**4B**相關聯描述之該等管理單元。在圖**5A**中，管理單元**570-0**及**570-1**具有一有效狀態且一寫入游標(由粗體輪廓線指示)經定位於管理單元**570-2**處，因為管理單元**570-2**係第一可用自由管理單元。一寫入操作可藉由在管理單元**570-2**處開始寫入資料至該記憶體陣列而執行，歸因於該寫入游標經定位於管理單元**570-2**處。該寫入操作可寫入資料至管理單元**570-2**及**570-3**。例如，該操作可相繼寫入資料至管理單元，該等管理單元係可用自由管理單元。圖**5B**繪示在完成上文與圖**5A**相關聯所描述之寫入操作之後在管理單元**570-6**處之寫入游標之經更新位置。當放置該寫入游標於管理單元**570-6**之該經更新位置時，管理單元**570-4**跳過，因為其具有一有效狀態且管理單元**570-5**跳過，因為其具有一不使用狀態。因此，該

寫入游標之該經更新位置係在管理單元570-6處，因為管理單元570-6係在管理單元570-3之後之下一可用管理單元，其係最後寫入操作結束之處。

儘管已在本文中繪示及描述特定實施例，但一般技術者將瞭解，經計算以達成相同結果之一配置可取代展示之特定實施例。本發明旨在涵蓋本發明之各種實施例之調適或變化。應理解，已以一闡釋性方式而非一限制性方式做出上述描述。熟習此項技術者在檢視上述描述後將明白未在本文中特別描述之上述實施例之組合及其他實施例。本發明之各種實施例之範疇包含其中使用上文結構及方法之其他應用。因此，應參考隨附申請專利範圍連同涵括此等申請專利範圍之等效物之全部範圍判定本發明之各種實施例之範疇。

在前述實施方式中，出於流線化本發明之目的，各種特徵共同分組於一單一實施例中。本發明之此方法不應解釋為反映本發明之所揭示實施例必須使用多於在每一請求項中明確敘述之特徵之一意圖。實情係，如以下申請專利範圍反映，發明標的物可存在少於一單一所揭示實施例之所有特徵。因此，以下申請專利範圍以此方式併入實施方式中，其中每一請求項可單獨作為一獨立實施例。

【符號說明】

- 100      計算系統
- 102      主機
- 104      介面
- 106      記憶體裝置
- 108      控制器
- 110      第一記憶體陣列

|       |               |
|-------|---------------|
| 112-1 | 第二記憶體陣列       |
| 112-N | 第二記憶體陣列       |
| 208   | 控制器           |
| 220   | 前端管理器         |
| 230   | 資料及媒體管理器      |
| 232   | 資料管理器排程器      |
| 234   | 媒體轉譯層(MTL)伺服器 |
| 236   | 媒體轉譯層(MTL)管理器 |
| 238-1 | 表格管理器         |
| 238-2 | 讀取管理器         |
| 238-3 | 負載管理器         |
| 238-4 | 寫入管理器         |
| 238-5 | 清空管理器         |
| 238-6 | 清除管理器         |
| 240   | 後端管理器         |
| 350   | 操作            |
| 352   | 寫入操作          |
| 354   | 讀取操作          |
| 356   | 清除操作          |
| 358   | 移動操作          |
| 460   | 第一管理單元        |
| 461   | 第二管理單元        |
| 462   | 主機資料          |



- 464 後設資料
- 466 錯誤校正(ECC)資料
- 468 MTL後設資料
- 570-0至570-7 管理單元



I644209

## 【發明摘要】

## 【中文發明名稱】

記憶體管理

## 【英文發明名稱】

MEMORY MANAGEMENT

## 【中文】

本發明包含關於混合式記憶體管理之設備及方法。一實例設備可包含：一第一記憶體陣列；數個第二記憶體陣列；及一控制器，其經耦合至該第一記憶體陣列及該數個第二記憶體陣列，該控制器經組態以：執行一寫入操作，其中該寫入操作之執行在由一寫入游標指示之一位置處開始寫入資料至該第一記憶體陣列；及在完成該寫入操作之執行之後，放置該寫入游標於該第一記憶體陣列中之一經更新位置處，其中該經更新位置係在該第一記憶體陣列中之下一可用位置。

## 【英文】

The present disclosure includes apparatuses and methods related to hybrid memory management. An example apparatus can include a first memory array, a number of second memory arrays, and a controller coupled to the first memory array and the number of second memory arrays configured to execute a write operation, wherein execution of the write operation writes data to the first memory array starting at a location indicated by a write cursor, and place the write cursor at an updated location in the first memory array upon completing execution of the write operation, wherein the updated location is a next available

location in the first memory array.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

- 100      計算系統
- 102      主機
- 104      介面
- 106      記憶體裝置
- 108      控制器
- 110      第一記憶體陣列
- 112-1    第二記憶體陣列
- 112-N    第二記憶體陣列

## 【發明申請專利範圍】

### 【第1項】

一種設備，其包括：

一第一記憶體陣列；

數個第二記憶體陣列；及

一控制器，其經耦合至該第一記憶體陣列及該數個第二記憶體陣列，該控制器經組態以：

執行一寫入操作，其中該寫入操作之執行在由一寫入游標指示之一位置處開始寫入資料至該第一記憶體陣列；及

在完成該寫入操作之執行之後，放置該寫入游標於該第一記憶體陣列中之一經更新位置處，其中該經更新位置係在該第一記憶體陣列中之下一可用位置。

### 【第2項】

如請求項1之設備，其中該寫入操作之執行亦寫入該資料至該數個第二陣列。

### 【第3項】

如請求項1之設備，其中該寫入操作係一前台操作，其藉由該設備在接收一請求之後完成。

### 【第4項】

如請求項1之設備，其中該第一記憶體陣列包含數個管理單元，其等係循序指定位址，且其中基於該指定位址及該寫入游標之該位置而循序寫入資料至該數個管理單元。

### 【第5項】

如請求項1至4中任一項之設備，其中該控制器經組態以執行另一寫入操作，且其中該另一寫入操作之執行在由該寫入游標指示之該經更新位置處開始寫入資料至該第一記憶體陣列。

**【第6項】**

如請求項1至4中任一項之設備，其中該寫入游標藉由跳過數個管理單元而被放置於該經更新位置處，該等數個管理單元經指示為有效、無效或不使用，以在該第一記憶體陣列中找到下一自由管理單元。

**【第7項】**

如請求項1至4中任一項之設備，其中該寫入操作之執行包含在數個自由管理單元中循序繼續寫入該資料至該第一記憶體陣列，直至該寫入操作基於該數個自由管理單元之位址而完成為止。

**【第8項】**

一種設備，其包括：

一第一記憶體陣列；

數個第二記憶體陣列；及

一控制器，其經耦合至該第一記憶體陣列及至該數個第二記憶體陣列，且經組態以：

藉由調整數個管理單元自一無效狀態至一自由狀態而對該數個管理單元執行一清除操作，該數個管理單元係在該第一記憶體陣列中之一無效狀態中。

**【第9項】**

如請求項8之設備，其中該數個管理單元經程式化至一特定邏輯狀態以放置該數個管理單元於該自由狀態中。

**【第10項】**

如請求項8至9中任一項之設備，其中該清除操作係一後台操作，其在該設備不對其中該清除操作正執行之一特定區域執行前台操作時，由該設備執行。

**【第11項】**

一種設備，其包括：

一第一記憶體陣列；

數個第二記憶體陣列；及

一控制器，其經耦合至該第一記憶體陣列且至該數個第二記憶體陣列，且經組態以：

基於一讀取管理單元樣式來設定數個讀取信號；

使用該數個讀取信號對該第一記憶體陣列中之一管理單元處的資料執行一讀取操作，以針對該資料判定一管理單元樣式干擾位準及/或一原始位元錯誤率(RBER)；

回應於該RBER係低於一第一臨限值及/或該管理單元樣式干擾位準係低於一第二臨限值，輸出該資料至一主機；及

回應於該RBER係高於該第一臨限值及/或該管理單元樣式干擾位準係高於該第二臨限值，對該資料執行一移動操作。

**【第12項】**

如請求項11之設備，其中該管理單元樣式干擾位準係基於一鄰近管理單元已經程式化的次數。

**【第13項】**

如請求項11之設備，其中該移動操作藉由寫入該資料至在該第一記

記憶體陣列中自由之一新的管理單元來重新定位該資料。

**【第14項】**

如請求項11至13中任一項之設備，其中該控制器經組態以回應於該RBER係高於該第一臨限值及/或該管理單元樣式干擾位準係高於該第二臨限值，而指示該管理單元係無效的。

**【第15項】**

一種用於管理記憶體之方法，其包括：

在由一寫入游標指示之一第一記憶體陣列中之一位置處，開始執行一寫入操作，其中該寫入游標係在一管理單元處，其係在一自由狀態中；及

在完成該寫入操作之後，放置該寫入游標於該第一記憶體陣列中之一經更新位置處。

**【第16項】**

如請求項15之方法，其中放置該寫入游標於該經更新位置處包含定位下一自由管理單元於該第一記憶體陣列中。

**【第17項】**

如請求項15之方法，其中放置該寫入游標於該經更新位置處包含跳過數個管理單元，該等數個管理單元係在一有效、無效或不使用狀態中。

**【第18項】**

如請求項15至17中任一項之方法，其中該方法包含藉由放置該數個管理單元於一自由狀態中來對該數個管理單元執行一清除操作，該數個管理單元係在該第一記憶體陣列中之一無效狀態中。

**【第19項】**

一種用於管理記憶體之方法，其包括：

針對一第一記憶體陣列中之一管理單元處的資料，判定一管理單元樣式干擾位準及/或一原始位元錯誤率(RBER)；及

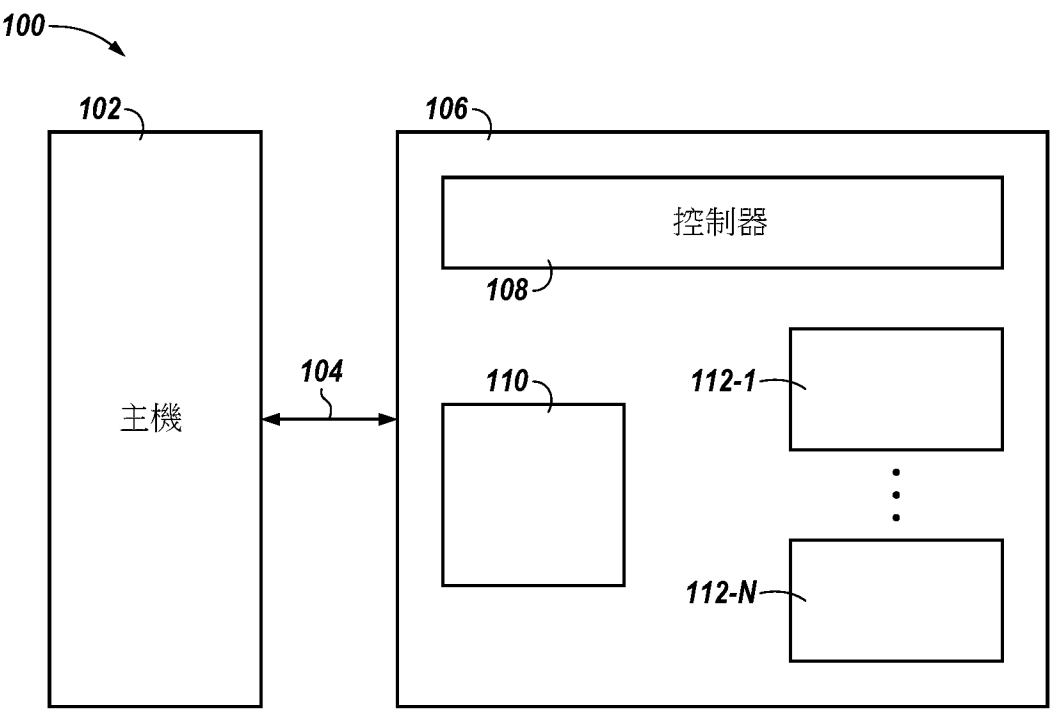
回應於該RBER係低於一第一臨限值及/或該管理單元樣式干擾位準係低於一第二臨限值，輸出該資料至一主機。

**【第20項】**

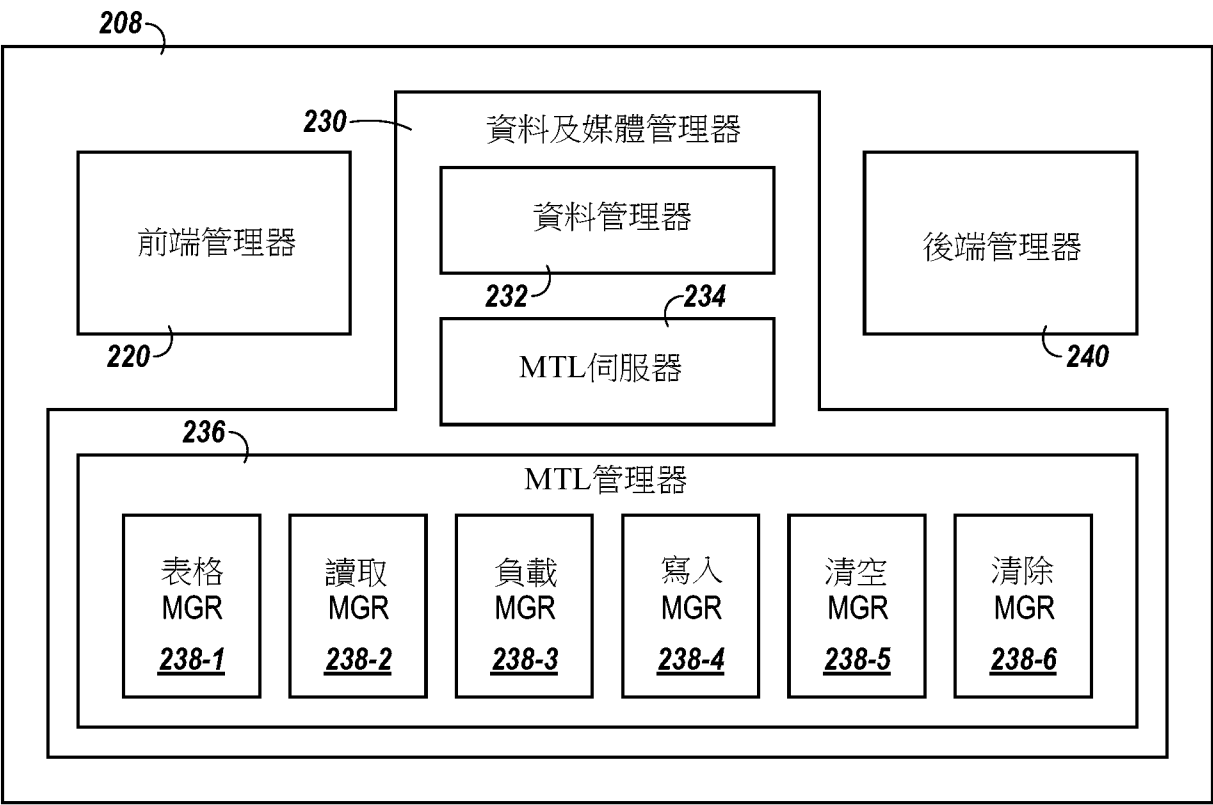
如請求項19之方法，其中該方法進一步包含回應於RBER係高於該第一臨限值及/或該管理單元樣式干擾位準係高於該第二臨限值，對該資料執行一移動操作。



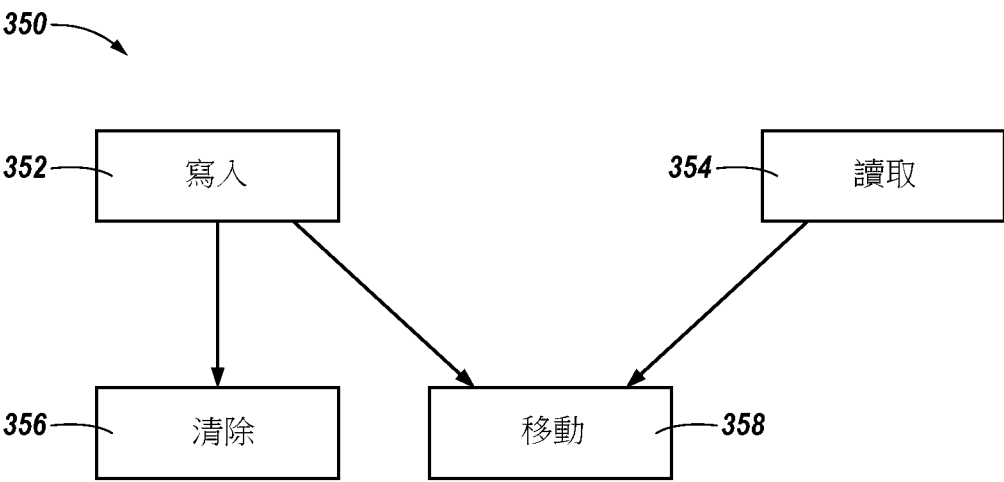
【發明圖式】



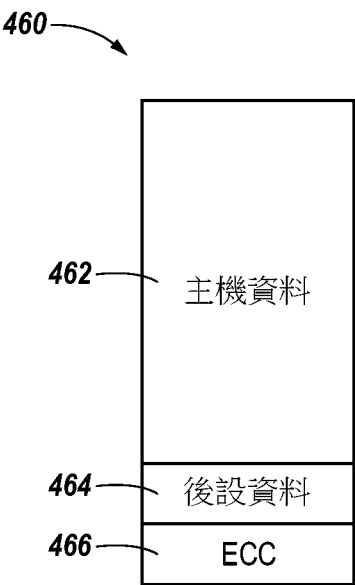
【圖1】



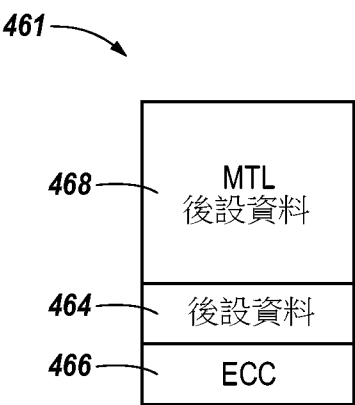
【圖2】



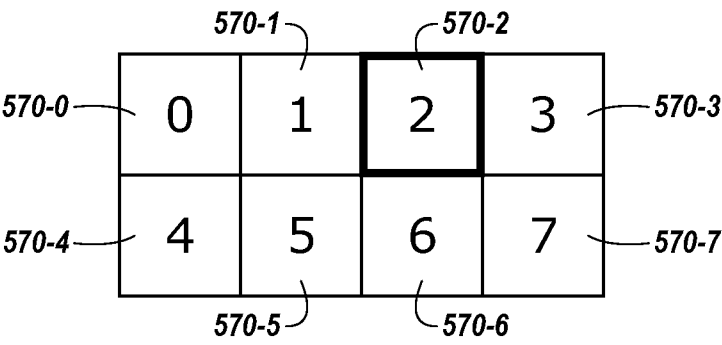
【圖3】



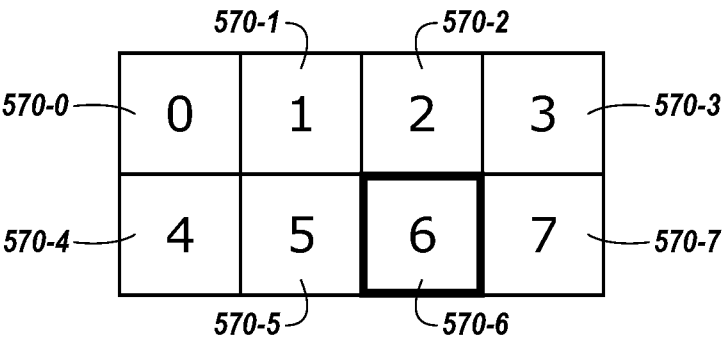
【圖4A】



【圖4B】



【圖 5A】



【圖 5B】

location in the first memory array.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

- 100      計算系統
- 102      主機
- 104      介面
- 106      記憶體裝置
- 108      控制器
- 110      第一記憶體陣列
- 112-1    第二記憶體陣列
- 112-N    第二記憶體陣列