



(12) 发明专利

(10) 授权公告号 CN 102780471 B

(45) 授权公告日 2015. 10. 14

(21) 申请号 201210082438. X

(22) 申请日 2012. 03. 26

(30) 优先权数据

2011-106895 2011. 05. 12 JP

(73) 专利权人 皮克斯特隆尼斯有限公司

地址 美国加利福尼亚州

(72) 发明人 宫泽敏夫 宫本光秀

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 刘媛媛

(51) Int. Cl.

H03K 3/037(2006. 01)

G09G 3/00(2006. 01)

审查员 徐鹏

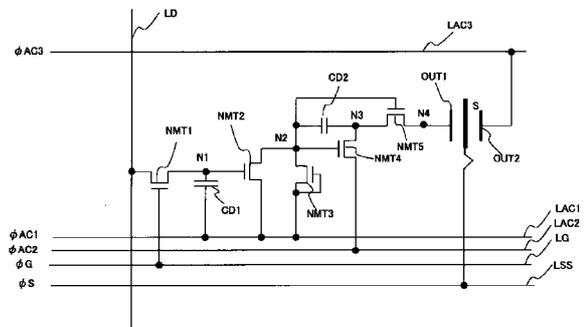
权利要求书4页 说明书13页 附图10页

(54) 发明名称

锁存电路及使用锁存电路的显示装置

(57) 摘要

本发明提供锁存电路及使用锁存电路的显示装置。包括：输入晶体管；连接在上述输入晶体管的第二电极和第一锁存控制线之间的保持电容；第一电极与上述第一锁存控制线连接，栅极与上述输入晶体管的第二电极连接的第一晶体管；栅极与上述第一晶体管的第二电极连接，第一电极与第二锁存控制线连接的第二晶体管；栅极与上述第一晶体管的第二电极连接，第一电极与上述第二晶体管的第二电极连接，并且第二电极与输出端子连接的第三晶体管；连接在上述第一晶体管的第二电极和上述第二晶体管的第二电极之间的电容；和连接在上述第一晶体管的第二电极和上述第一锁存控制线之间的二极管。



1. 一种锁存电路,其仅包含n导电型晶体管或仅包含p导电型晶体管,且在输入了扫描电压时读入数据并锁存所述数据,其特征在于,包括:

第一锁存控制线,被供给第一驱动时钟;

第二锁存控制线,被供给第二驱动时钟;

具有栅极、第一电极和第二电极的输入晶体管,在所述扫描电压输入到所述栅极时,读入与“0”或“1”的数据对应的电压;

第一电容,连接在所述输入晶体管的所述第二电极和所述第一锁存控制线之间,保持由所述输入晶体管读入的电压;

具有栅极、第一电极和第二电极的第一导电型的第一晶体管,其中,所述第一晶体管的所述第一电极与所述第一锁存控制线连接,所述第一晶体管的所述栅极与所述输入晶体管的所述第二电极连接;

具有栅极、第一电极和第二电极的所述第一导电型的第二晶体管,其中,所述第二晶体管的所述栅极与所述第一晶体管的所述第二电极连接,所述第二晶体管的所述第一电极与所述第二锁存控制线连接;

具有栅极、第一电极和第二电极的所述第一导电型的第三晶体管,其中,所述第三晶体管的所述栅极与所述第一晶体管的所述第二电极连接,所述第三晶体管的所述第一电极与所述第二晶体管的所述第二电极连接,并且所述第三晶体管的所述第二电极与输出端子连接;

第二电容,连接在所述第一晶体管的所述第二电极和所述第二晶体管的所述第二电极之间;和

二极管,连接在所述第一晶体管的所述第二电极和所述第一锁存控制线之间。

2. 如权利要求1所述的锁存电路,其特征在于:

在所述扫描电压输入后,所述第一驱动时钟从第一电压变化为第二电压,

在所述第一驱动时钟从所述第一电压变化为所述第二电压后,所述第二驱动时钟从所述第一电压变化为所述第二电压,

在所述第一驱动时钟从所述第二电压变化为所述第一电压后,所述第二驱动时钟从所述第二电压变化为所述第一电压,

所述输出端子的电压,在所述第二驱动时钟从所述第一电压变化为所述第二电压时,成为所述第二电压,在所述第二驱动时钟从所述第二电压变化为所述第一电压时,根据所述第一晶体管的导通状态成为所述第二电压,或根据所述第一晶体管的关断状态成为所述第一电压。

3. 如权利要求1所述的锁存电路,其特征在于:

所述二极管由二极管接法的晶体管构成,

所述输入晶体管、所述第一晶体管、所述第二晶体管、所述第三晶体管和所述二极管,是半导体层由非晶硅构成的薄膜晶体管。

4. 如权利要求2所述的锁存电路,其特征在于:

所述二极管由二极管接法的晶体管构成,

所述输入晶体管、所述第一晶体管、所述第二晶体管、所述第三晶体管和所述二极管为n型晶体管,

所述第二电压是比所述第一电压更高电位的电压。

5. 一种锁存电路,其仅包含n导电型晶体管或仅包含p导电型晶体管,且在输入了扫描电压时读入数据并锁存所述数据,其特征在于,包括:

第一锁存控制线,被供给第一驱动时钟;

第二锁存控制线,被供给第二驱动时钟;

具有栅极、第一电极和第二电极的输入晶体管,在所述扫描电压输入到所述栅极时,读入与“0”或“1”的数据对应的电压;

第一电容,连接在所述输入晶体管的所述第二电极和所述第一锁存控制线之间,保持由所述输入晶体管读入的电压;

具有栅极、第一电极和第二电极的第一导电型的第一晶体管,其中,所述第一晶体管的所述栅极与所述输入晶体管的所述第二电极连接,所述第一晶体管的所述第一电极与所述第一锁存控制线连接;

具有栅极、第一电极和第二电极的所述第一导电型的第二晶体管,其中,所述第二晶体管的所述栅极与所述第一晶体管的所述第二电极连接,所述第二晶体管的所述第一电极与所述第二锁存控制线连接,并且所述第二晶体管的所述第二电极与输出端子连接;和

二极管,连接在所述第一晶体管的所述第二电极和所述第一锁存控制线之间。

6. 如权利要求5所述的锁存电路,其特征在于:

在所述扫描电压输入后,所述第一驱动时钟从第一电压变化为第二电压,

在所述第一驱动时钟从所述第一电压变化为所述第二电压后,所述第二驱动时钟从第三电压变化为第四电压,

在所述第一驱动时钟从所述第二电压变化为所述第一电压后,所述第二驱动时钟从所述第四电压变化为所述第三电压,

所述输出端子的电压,在所述第二驱动时钟从所述第三电压变化为所述第四电压时,成为所述第四电压,在所述第二驱动时钟从所述第四电压变化为所述第三电压时,根据所述第一晶体管的导通状态成为所述第四电压,或根据所述第一晶体管的关断状态成为所述第三电压。

7. 如权利要求5所述的锁存电路,其特征在于:

在所述扫描电压输入后,所述第一驱动时钟从第一电压变化为第二电压,

在所述第一驱动时钟从所述第一电压变化为所述第二电压后,所述第二驱动时钟从第三电压变化为第四电压,

在所述第一驱动时钟从所述第二电压变化为所述第一电压后,所述第二驱动时钟从所述第四电压变化为所述第三电压,

当令所述第一驱动时钟的所述第二电压为 V_{H1} ,所述第二驱动时钟的所述第四电压为 V_{H2} ,晶体管的阈值电压为 V_{th} 时,满足 $|V_{H1}| \geq |V_{H2} + 2 \times V_{th}|$ 。

8. 如权利要求5所述的锁存电路,其特征在于:

所述二极管由二极管接法的晶体管构成,

所述输入晶体管、所述第一晶体管、所述第二晶体管和所述二极管,是半导体层由非晶硅构成的薄膜晶体管。

9. 如权利要求6所述的锁存电路,其特征在于:

所述二极管由二极管接法的晶体管构成，

所述输入晶体管、所述第一晶体管、所述第二晶体管和所述二极管为 n 型晶体管，

所述第二电压是比所述第一电压更高电位的电压，所述第四电压是比所述第三电压更高电位的电压。

10. 一种显示装置，具备分别具有可动快门的多个像素，通过对所述可动快门的位置进行电控制来进行图像显示，其特征在于：

所述各像素具有对所述可动快门的位置进行电控制的像素电路，

所述像素电路具有：

第一输出端子；

第二输出端子；

锁存电路，其仅包含 n 导电型晶体管或仅包含 p 导电型晶体管，且与所述第一输出端子连接，在输入了扫描电压时读入数据并锁存所述数据，该锁存电路包括：第一锁存控制线，被供给第一驱动时钟；第二锁存控制线，被供给第二驱动时钟；具有栅极、第一电极和第二电极的输入晶体管，在所述扫描电压输入到所述栅极时，读入与“0”或“1”的数据对应的电压；第一电容，连接在所述输入晶体管的所述第二电极和所述第一锁存控制线之间，保持由所述输入晶体管读入的电压；具有栅极、第一电极和第二电极的第一导电型的第一晶体管，其中，所述第一晶体管的所述第一电极与所述第一锁存控制线连接，所述第一晶体管的所述栅极与所述输入晶体管的所述第二电极连接；具有栅极、第一电极和第二电极的所述第一导电型的第二晶体管，其中，所述第二晶体管的所述栅极与所述第一晶体管的所述第二电极连接，所述第二晶体管的所述第一电极与所述第二锁存控制线连接；具有栅极、第一电极和第二电极的所述第一导电型的第三晶体管，其中，所述第三晶体管的所述栅极与所述第一晶体管的所述第二电极连接，所述第三晶体管的所述第一电极与所述第二晶体管的所述第二电极连接，并且所述第三晶体管的所述第二电极与所述第一输出端子连接；第二电容，连接在所述第一晶体管的所述第二电极和所述第二晶体管的所述第二电极之间；和二极管，连接在所述第一晶体管的所述第二电极和所述第一锁存控制线之间；和

第三锁存控制线，与所述第二输出端子连接，被供给第三驱动时钟。

11. 如权利要求 10 所述的显示装置，其特征在于：

在所述扫描电压输入后，所述第一驱动时钟从第一电压变化为第二电压，

在所述第一驱动时钟从所述第一电压变化为所述第二电压后，所述第二驱动时钟从所述第一电压变化为所述第二电压，

在所述第一驱动时钟从所述第二电压变化为所述第一电压后，所述第二驱动时钟从所述第二电压变化为所述第一电压，

所述第二输出端子的电压，在所述第二驱动时钟从所述第一电压变化为所述第二电压时，成为所述第二电压，在所述第二驱动时钟从所述第二电压变化为所述第一电压时，根据所述第一晶体管的导通状态成为所述第二电压，或根据所述第一晶体管的关断状态成为所述第一电压。

12. 如权利要求 10 所述的显示装置，其特征在于：

所述二极管由二极管接法的晶体管构成，

所述输入晶体管、所述第一晶体管、所述第二晶体管、所述第三晶体管和所述二极管，

是半导体层由非晶硅构成的薄膜晶体管。

13. 如权利要求 11 所述的显示装置,其特征在于:

所述二极管由二极管接法的晶体管构成,

所述输入晶体管、所述第一晶体管、所述第二晶体管、所述第三晶体管和所述二极管为 n 型晶体管,

所述第二电压是比所述第一电压更高电位的电压。

14. 如权利要求 10 所述的显示装置,其特征在于:

所述第三驱动时钟从第二电压变化为第一电压,并从所述第一电压变化为所述第二电压,

在所述第三驱动时钟为所述第一电压的期间内,从所述锁存电路向所述第一输出端子输出的电压被确定。

锁存电路及使用锁存电路的显示装置

[0001] 本发明基于 2011 年 5 月 12 日递交的日本专利申请第 2011-106895 号要求优先权，其全部内容通过援引而加入本申请。

技术领域

[0002] 本发明涉及锁存电路 (latch circuit) 及使用锁存电路的显示装置，特别是涉及仅使用 n 型 MOS 晶体管和 p 型 MOS 晶体管中任一种形成锁存电路的单沟道锁存电路及使用单沟道锁存电路的显示装置。

背景技术

[0003] 一般来说，锁存电路通常由 CMOS 电路构成，普遍的锁存电路例如图 8 所示，使用连接在供给规定电压即 VDD 电压的电源线 (LVDD) 与例如供给接地电位即 GND 电压的电源线 (LGND) 之间的 n 型 MOS 晶体管 (NMT93、NMT94) 和 p 型 MOS 晶体管 (PMT95、PMT96)。

[0004] 图 9 表示图 8 所示的扫描电压 (ϕG)、驱动时钟 (ϕAC) 和各节点 (N91、N92、N93、N94) 的时间变化的情况。

[0005] 首先，说明数据线 (LD) 上的电压 (data, 数据) 为 Low 电平 (低电平，下称 L 电平) 的 VL 电压的情况。

[0006] 如图 9 所示，在时刻 (t1)，当扫描线 (LG) 上的扫描电压 (ϕG) 从 L 电平的 VL 电压变化为 High 电平 (高电平，下称 H 电平) 的 VH1 电压时，n 型 MOS 晶体管 (NMT91) 导通 (接通)，数据线 (LD) 上的电压 (data 在时刻 (t1) 为 VL 电压) 被保持电容 (CD) 获取 (读入)。由此，节点 (N91) 成为 VL 电压。

[0007] 然后，在时刻 (t2)，当锁存控制线 (LAC) 上的驱动时钟 (ϕAC) 从 L 电平的 VL 电压变化为 H 电平的 VH2 电压时，n 型 MOS 晶体管 (NMT92) 导通，节点 (N94) 成为 VL 电压。

[0008] 由此，p 型 MOS 晶体管 (PMT95) 和 n 型 MOS 晶体管 (NMT94) 导通，p 型 MOS 晶体管 (PMT96) 和 n 型 MOS 晶体管 (NMT93) 关断 (截止)，节点 (N92) 即第二输出 (OUT2) 成为 GND 电压，节点 (N93) 即第一输出 (OUT1) 成为 VDD 电压。从而，第一输出 (OUT1) 的输出成为 H 电平，第二输出 (OUT2) 的输出成为 L 电平。

[0009] 然后，说明数据线 (LD) 上的电压 (data) 为 H 电平的 VDH 电压的情况。

[0010] 如图 9 所示，在时刻 (t3)，当扫描线 (LG) 上的扫描电压 (ϕG) 从 L 电平的 VL 电压变化为 H 电平的 VH1 电压时，n 型 MOS 晶体管 (NMT91) 导通，数据线 (LD) 上的电压 (data 在时刻 (t3) 为 VDH 电压) 被取入到保持电容 (CD)。由此，节点 (N91) 成为 VH3 电压。

[0011] 然后，在时刻 (t4)，当锁存控制线 (LAC) 上的驱动时钟 (ϕAC) 从 L 电平的 VL 电压变化为 H 电平的 VH2 电压时，n 型 MOS 晶体管 (NMT92) 导通，节点 (N94) 成为 VH4 电压。

[0012] 由此，n 型 MOS 晶体管 (NMT93) 和 p 型 MOS 晶体管 (NMT96) 导通，p 型 MOS 晶体管 (PMT95) 和 n 型 MOS 晶体管 (NMT94) 关断，节点 (N92) 即第二输出 (OUT2) 成为 VDD 电压，节点 (N93) 即第一输出 (OUT1) 成为 GND 电压。从而，第一输出 (OUT1) 的输出成为 L 电平，第二输出 (OUT2) 的输出成为 H 电平。

[0013] 另外,如图 9 所示,VDD 电压及 GND 电压是一定的。

[0014] 作为图 8 所示的锁存电路的具体的使用方法的一例,存在如图 10 所示作为显示器(下面,称为可动快门方式的显示器)的像素电路的使用方法,其通过锁存电路的两个输出(第一输出 OUT1、第二输出 OUT2)来对可动快门(S)的位置进行电控制,进行图像显示。其中,可动快门(S)有时也称为机械快门。可动快门方式的显示器有时也称为 MEMS(Micro Electro Mechanical Systems,微电子机械系统)快门方式显示器。此外,可动快门方式的显示器在例如在专利文献 1(日本特开 2008-197668 号公报)中已被公开。

[0015] 在图 10 所示的可动快门方式的显示器的像素电路中,可动快门(S)在电场方向上高速移动。因此,在节点(N92)为 GND 电压,节点(N93)为 VDD 电压的情况下,可动快门(S)向节点(N93)侧移动,在节点(N92)为 VDD 电压,节点(N93)为 GND 电压时,可动快门(S)向节点(N92)侧高速移动。

[0016] 像素的发光状态和非发光状态通过可动快门(S)的开闭来控制。在具有背光源的可动快门方式的显示器中,例如,在可动快门(S)向节点(N92)侧移动时,背光透射,像素成为发光状态,在可动快门(S)向节点(N93)侧移动时,背光不能透射,像素成为非发光状态。

[0017] 由此,与在液晶显示装置中液晶层对输出光的控制的动作相同地,能够通过可动快门(S)控制来自像素的输出光,显示图像。另外,在图 10 中,LSS 为可动快门控制线, ϕS 为可动快门控制信号。可动快门控制信号(ϕS)为规定的一定电压。另外,有时也像液晶显示装置的反转驱动那样为 s 电压。

[0018] 在该图 10 所示的可动快门方式的显示器的像素电路中,在写入期间(图 9 的 TA)内,按各行为单位将数据写入各像素,在可动快门状态设定期间(图 9 的 TB),使可动快门(S)向节点(N92)或节点(N93)移动,在显示期间(图 9 的 TC)显示图像。

[0019] 在利用图 8 所示的 CMOS 电路形成锁存电路的情况下,使用半导体层由多晶硅构成的 MOS 晶体管。

[0020] 但是,使用半导体层由多晶硅构成的 MOS 晶体管的 CMOS 制造工艺,一般需要 6 至 10 左右的数量的光刻工序,因此,可以说由现有 CMOS 电路形成的锁存电路的结构的制造工艺的负担大。而相对的,若 CMOS 电路采用只使用 n 型 MOS 晶体管和 p 型 MOS 晶体管中任一种的单沟道晶体管结构,则一般能够削减两个左右的光刻工序,能够降低制造工艺的负担。

[0021] 而且,当使用半导体层由非晶硅构成的 MOS 晶体管时,与使用半导体层由多晶硅构成的 MOS 晶体管的情况相比,能够降低工艺成本。

[0022] 本发明是基于上述见解而完成的,本发明的目的在于提供降低制造工艺的负担的锁存电路及使用锁存电路的显示装置。本发明的目的还在于,提供能够以较短的时间间隔将锁存信息锁存的单沟道锁存电路及使用单沟道锁存电路的显示装置。

[0023] 本发明的上述目的、其它目的和新的特征能够通过本说明书的记载和附图而明确。

发明内容

[0024] 简单说明本申请公开的发明中有代表性的部分的概要,如下所述。

[0025] (1) 一种锁存电路,在输入了扫描电压时读入数据并锁存上述数据,其特征在于,包括:第一锁存控制线,被供给第一驱动时钟;第二锁存控制线,被供给第二驱动时钟;具

有栅极、第一电极和第二电极的输入晶体管,在上述扫描电压输入到上述栅极时,读入与“0”或“1”的数据对应的电压;第一电容,连接在上述输入晶体管的上述第二电极和上述第一锁存控制线之间,保持由上述输入晶体管读入的电压;具有栅极、第一电极和第二电极的第一导电型的第一晶体管,其中,上述第一电极与上述第一锁存控制线连接,上述栅极与上述输入晶体管的上述第二电极连接;具有栅极、第一电极和第二电极的上述第一导电型的第二晶体管,其中,上述栅极与上述第一晶体管的上述第二电极连接,上述第一电极与上述第二锁存控制线连接;具有栅极、第一电极和第二电极的上述第一导电型的第三晶体管,其中,上述栅极与上述第一晶体管的上述第二电极连接,上述第一电极与上述第二晶体管的上述第二电极连接,并且上述第二电极与输出端子连接;第二电容,连接在上述第一晶体管的上述第二电极和上述第二晶体管的上述第二电极之间;和二极管,连接在上述第一晶体管的上述第二电极和上述第一锁存控制线之间。

[0026] (2) 在(1)中,在上述扫描电压输入后,上述第一驱动时钟从第一电压变化为第二电压,在上述第一驱动时钟从上述第一电压变化为上述第二电压后,上述第二驱动时钟从上述第一电压变化为上述第二电压,在上述第一驱动时钟从上述第二电压变化为上述第一电压后,上述第二驱动时钟从上述第二电压变化为上述第一电压,上述输出端子的电压,在上述第二驱动时钟从上述第一电压变化为上述第二电压时,成为上述第二电压,在上述第二驱动时钟从上述第二电压变化为上述第一电压时,根据上述第一晶体管的导通状态或关断状态,成为上述第二电压或上述第一电压。

[0027] (3) 一种锁存电路,在输入了扫描电压时读入数据并锁存上述数据,其特征在于,包括:第一锁存控制线,被供给第一驱动时钟;第二锁存控制线,被供给第二驱动时钟;具有栅极、第一电极和第二电极的输入晶体管,在上述扫描电压输入到上述栅极时,读入与“0”或“1”的数据对应的电压;第一电容,连接在上述输入晶体管的上述第二电极和上述第一锁存控制线之间,保持由上述输入晶体管读入的电压;具有栅极、第一电极和第二电极的第一导电型的第一晶体管,其中,上述栅极与上述输入晶体管的上述第二电极连接,上述第一电极与上述第一锁存控制线连接;具有栅极、第一电极和第二电极的上述第一导电型的第二晶体管,其中,上述栅极与上述第一晶体管的上述第二电极连接,上述第一电极与上述第二锁存控制线连接,并且上述第二电极与输出端子连接;和二极管,连接在上述第一晶体管的上述第二电极和上述第一锁存控制线之间。

[0028] (4) 在(3)中,在上述扫描电压输入后,上述第一驱动时钟从第一电压变化为第二电压,在上述第一驱动时钟从上述第一电压变化为上述第二电压后,上述第二驱动时钟从第三电压变化为第四电压,在上述第一驱动时钟从上述第二电压变化为上述第一电压后,上述第二驱动时钟从上述第四电压变化为上述第三电压,上述输出端子的电压,在上述第二驱动时钟从上述第三电压变化为上述第四电压时,成为上述第四电压,在上述第二驱动时钟从上述第四电压变化为上述第三电压时,根据上述第一晶体管的导通状态或关断状态,成为上述第四电压或上述第三电压。

[0029] (5) 在(3)中,在上述扫描电压输入后,上述第一驱动时钟从第一电压变化为第二电压,在上述第一驱动时钟从上述第一电压变化为上述第二电压后,上述第二驱动时钟从第三电压变化为第四电压,在上述第一驱动时钟从上述第二电压变化为上述第一电压后,上述第二驱动时钟从上述第四电压变化为上述第三电压,当令上述第一驱动时钟的上述第

二电压为 V_{H1} ，上述第二驱动时钟的上述第四电压为 V_{H2} ，晶体管的阈值电压为 V_{th} 时，满足 $|V_{H1}| \geq |V_{H2} + 2 \times V_{th}|$ 。

[0030] (6) 在 (1) 或 (3) 中，上述二极管由二极管接法的晶体管构成，上述晶体管和上述二极管是半导体层由非晶硅构成的薄膜晶体管。

[0031] (7) 在 (2) 或 (4) 中，上述二极管由二极管接法的晶体管构成，上述晶体管和上述二极管为 n 型晶体管，上述第二电压（或上述第二电压和上述第四电压）是比上述第一电压（或上述第一电压和上述第三电压）更高电位的电压。

[0032] (8) 一种显示装置，具备分别具有可动快门的多个像素，通过对上述可动快门的位置进行电控制来进行图像显示，其特征在于：上述各像素具有对上述可动快门的位置进行电控制的像素电路，上述像素电路具有：第一输出端子；第二输出端子；与上述第一输出端子连接的锁存电路；和与上述第二输出端子连接，被供给第三驱动时钟的第三锁存控制线，其中，上述锁存电路是上述 (1) ~ (7) 中任一项记载的锁存电路。

[0033] (9) 在 (8) 中，上述第三驱动时钟从第二电压变化为第一电压，并从上述第一电压变化为上述第二电压，在上述第三驱动时钟为上述第一电压的期间内，从上述锁存电路向上述第一输出端子输出的电压被确定。

[0034] 简单说明通过本申请公开的发明中有代表性的部分而得到的效果，如下所述。

[0035] 根据本发明，能够提供降低了制造工艺的负担的锁存电路及使用锁存电路的显示装置。还能够提供能够以较短的时间间隔将锁存信息锁存的单沟道锁存电路及使用单沟道锁存电路的显示装置。

附图说明

[0036] 图 1 是表示本发明的实施例 1 的单沟道锁存电路的电路结构的电路图。

[0037] 图 2 是表示图 1 所示的锁存电路的扫描电压 (ϕG)、驱动时钟 ($\phi AC1 \sim \phi AC3$) 和各节点 ($N1$ 、 $N2$ 、 $N3$ 、 $N4$) 的时间变化的情况的时序图。

[0038] 图 3 是表示对本发明的实施例 1 的可动快门 (S) 的位置进行电控制从而进行图像显示的显示器的概略结构的方框图。

[0039] 图 4 是表示本发明的实施例 2 的单沟道锁存电路的电路结构的电路图。

[0040] 图 5 是表示图 4 所示的锁存电路的扫描电压 (ϕG)、驱动时钟 ($\phi AC1 \sim \phi AC3$) 和各节点 ($N1$ 、 $N2$ 、 $N3$) 的时间变化的情况的时序图。

[0041] 图 6 是表示本发明的实施例 2 的单沟道锁存电路的变形例的电路结构的电路图。

[0042] 图 7 是表示图 6 所示的单沟道锁存电路的扫描电压 (ϕG)、驱动时钟 ($\phi AC1$ 、 $\phi AC2$ 、 $\phi AC3$) 和各节点 ($N1$ 、 $N2$ 、 $N3$) 的时间变化的情况的时序图。

[0043] 图 8 是表示由现有 CMOS 电路构成的锁存电路的电路构成的电路图。

[0044] 图 9 是表示图 8 所示的扫描电压 (ϕG)、驱动时钟 (ϕAC) 和各节点 ($N91$ 、 $N92$ 、 $N93$ 、 $N94$) 的时间变化的情况的时序图。

[0045] 图 10 是表示对可动快门 (S) 的位置进行电控制从而进行图像显示的显示器的像素电路的电路结构的电路图。

具体实施方式

[0046] 下面,参照附图详细说明本发明的实施例。

[0047] 另外,在用于说明实施例的所有图中,对于具有同一功能的部件标注同一符号,省略其重复说明。此外,下面的实施例并不限定本发明的权利要求书的范围的解释。

[0048] [实施例 1]

[0049] 图 1 是表示本发明实施例 1 的单沟道锁存电路(下面,简称为锁存电路)的电路结构的电路图。本实施例的锁存电路是仅由 n 型 MOS 晶体管(NMT*) (下面,简称为晶体管)构成的单沟道 MOS 晶体管电路。另外,本实施例的 n 型 MOS 晶体管(NMT*) 是半导体层由非晶硅构成的薄膜晶体管(下面,称为 a-Si 晶体管)。

[0050] 另外,在图 1 中,CD1、CD2 为电容,LD 为数据线,LG 为扫描线,LAC1 为被供给第一驱动时钟(ϕ_{AC1})的第一锁存控制线,LAC2 为被供给第二驱动时钟(ϕ_{AC2})的第二锁存控制线,LAC3 为被供给第三驱动时钟(ϕ_{AC3})的第三锁存控制线。

[0051] 在利用电容的充放电的电路(所谓的动态电路)中,作为使用迁移率低的 a-Si 晶体管并且确保期望的动作速度的方法,通常采用增大晶体管的栅极宽度,提高总电流量的方法,和提高栅极电压,增大每单位面积的电流量的方法中的任一方法。

[0052] 但是,对于像下述图 3 所示,构成在被分配了某一面积的像素中的电路来说,增大栅极宽度(例如,增大 100 倍)并不实用,因此,需要提高栅极电压,增大每单位面积的电流,实现期望的动作速度。

[0053] 图 2 表示图 1 所示的锁存电路的扫描电压(ϕ_G)、第一~第三驱动时钟($\phi_{AC1} \sim \phi_{AC3}$)和各节点(N1、N2、N3、N4)的时间变化的情况。

[0054] 在时刻(t1),当扫描线(LG)上的扫描电压(ϕ_G)(所谓的读取脉冲(栅极脉冲))从 Low 电平(下称 L 电平)的 VL 电压变化为 High 电平(下称 H 电平)的 VH1 电压(所谓输入了扫描电压)时,输入晶体管(NMT1)导通,节点(N1)的电压成为数据线(LD)上的电压(data 在时刻(t1)为 VL 电压)。

[0055] 在时刻(t2),当扫描线(LG)上的扫描电压(ϕ_G)变化为 L 电平的 VL 电压变化时,晶体管(NMT1)关断,对节点(N1)的写入动作结束。

[0056] 为了在该时刻(t1)至时刻(t2)之间进行充分的写入,根据晶体管(NMT1)的晶体管尺寸,扫描电压(ϕ_G)的 H 电平的 VH1 电压优选为比数据线(LD)上的 H 电平的 VDH 电压大致高 10V 左右的电压。在本实施例中,VH1 电压优选为 15V 以上。

[0057] 在时刻(t3),第三锁存控制线(LAC3)上的第三驱动时钟(ϕ_{AC3})从 H 电平的 VH3 电压变化为 L 电平的 VL(例如,0V)电压。在将本实施例的锁存电路例如使用在上述可动快门方式的显示器中的情况下,在该时间点,快门(S)的位置在弹簧的力的作用下,移动到第一输出(OUT1)和第二输出(OUT2)的中间位置。

[0058] 接着,在时刻(t4),当第一锁存控制线(LAC1)上的第一驱动时钟(ϕ_{AC1})从 L 电平的 VL 电压变化为 H 电平的 VH2 电压时,晶体管(NMT3)成为电流(正向电流)从第一锁存控制线(LAC1)向节点(N2)流通的二极管接法,因此,晶体管(NMT3)成为导通状态,使节点(N2)的电压上升。

[0059] 最终的节点(N2)的电压 VH4 如下式(1)所示。

$$[0060] \quad V_{H4} = V_{H2} - V_{th} \quad (1)$$

[0061] 在此, V_{th} 为晶体管(NMT3)的阈值电压。例如,若令 VH2 电压为 25V,考虑了负载

电容的充电时间后的有效 V_{th} 为 5V, 则 V_{H4} 根据式 (1) 大致为 20V。另外, 在本说明书中, 为了便于说明, 令所有 n 型 MOS 晶体管的阈值电压均为 V_{th} 。

[0062] 另外, 通过连接在第一锁存控制线 (LAC1) 和节点 (N1) 之间的电容 (CD1), 伴随着第一驱动时钟 (ϕ_{AC1}) 的电压上升, 节点 (N1) 的电压也上升, 成为 V_{DH3} 电压。

[0063] 电压 V_{DH3} 如下式 (2) 所示。

$$[0064] \quad V_{DH3} = V_L + V_{H2} \times (CD1 / (CD1 + CN1S)) \quad (2)$$

[0065] V_L 通常为接地电位, 因此, 根据式 (2), 电压 V_{DH3} 比电压 V_{H2} 低。因此, 晶体管 (NMT2) 几乎不导通, 或者至少不对节点 (N2) 的最终电压有贡献。在此, $CN1S$ 是从节点 (N1) 的电容减去电容 (CD1) 得到的所谓的寄生电容。

[0066] 在此, 晶体管 (NMT4) 的栅极电压即节点 (N2) 的电压 V_{H4} 比晶体管 (NMT4) 的阈值电压 V_{th} 高, 因此晶体管 (NMT4) 呈导通状态。

[0067] 在时刻 (t_5), 当第二锁存控制线 (LAC2) 上的第二驱动时钟 (ϕ_{AC2}) 从 L 电平的 V_L 电压变化成 H 电平的 V_{H2} 电压时, 伴随第二驱动时钟 (ϕ_{AC2}) 的电压上升, 节点 (N3) 的电压上升。节点 (N3) 和节点 (N2) 通过电容 (CD2) 电容耦合, 因此通过自举效应 (bootstrap effect), 节点 (N2) 的电压也伴随节点 (N3) 的电压上升而上升。

[0068] 这时的节点 (N2) 的电压 V_{N2} 如下式 (3) 所示。

$$[0069] \quad V_{N2} = V_{H4} + V_{N3} \times (CD2 / (CD2 + CN2S)) \quad (3)$$

[0070] 在此, V_{N3} 为节点 (N3) 的电压, $CN2S$ 为从节点 (N2) 的电容减去电容 (CD2) 而得到的电容, 即节点 (N2) 的所谓的寄生电容。

[0071] 在此, 通过适当地设定电容 (CD2) 的值, 使得在晶体管 (NMT4) 为导通状态下始终满足下式 (4)。

$$[0072] \quad V_{N2} - V_{N3} > V_{th} \quad (4)$$

[0073] 该情况下, 如图 2 所示, 能够使节点 (N3) 的电压即 V_{N3} 的最终电压成为第二驱动时钟 (ϕ_{AC2}) 的 H 电平的电压即 V_{H2} 电压。

[0074] 这时的节点 (N2) 的电压 V_{N2} , 即 V_{N2} 的最终电压 (用 V_{H4}' 表示) 如下式 (5) 所示。

$$[0075] \quad V_{H4}' = V_{H4} + V_{H2} \times (CD2 / (CD2 + CN2S)) \quad (5)$$

[0076] 同时, 关于晶体管 (NMT5), V_{H4}' 的电压也为栅极电压, 因此节点 (N4) 的电压也成为 V_{H2} 电压。例如, 若令 V_{H2} 电压为 25V, 则节点 (N3), 节点 (N4) 同为 25V。

[0077] 在时刻 (t_6), 当第一锁存控制线 (LAC1) 上的第一驱动时钟 (ϕ_{AC1}) 从 H 电平的 V_{H2} 电压变化为 L 电平的 V_L 电压时, 作为晶体管 (NMT2) 的栅极电压的节点 (N1) 的电压成为 L 电平的 $V_L (= 0V)$ 电压, 因此晶体管 (NMT2) 成为关断状态。

[0078] 晶体管 (NMT3) 为二极管接法, 因此电流不从节点 (N2) 向第一锁存控制线 (LAC1) 流通。因而节点 (N2) 维持 V_{H4}' 电压。另外, 严格来说, 由于晶体管 (NMT2) 的栅极从 H 电平变化为 L 电平, 所以晶体管 (NMT2) 的栅极-漏极间电容多少会造成一些电压降低, 但由于很微小, 所以在本说明书中忽略不计。

[0079] 在时刻 (t_7), 当第二锁存控制线 (LAC2) 上的第二驱动时钟 (ϕ_{AC2}) 从 H 电平的 V_{H2} 电压变化为 L 电平的 V_L 电压时, 由于晶体管 (NMT4、NMT5) 的栅极电压即节点 (N2) 的电压为 H 电平的 V_{H4}' 电压, 因此晶体管 (NMT4)、晶体管 (NMT5) 为导通状态。

[0080] 由此,伴随第二驱动时钟($\phi AC2$)的电压降低,节点(N3、N4)的电压降低。这时,节点(N2)的电压 V_{N2} 也按照(3)式降低,但即使节点(N3)的电压 V_{N3} 成为 V_L (例如,在本实施例中为0V)电压,节点(N2)的电压(V_{N2})大致也为 V_{H4} 电压,晶体管(NMT4、NMT5)成为电阻足够低的导通状态。因此,节点(N3、N4)在较短时间之间成为L电平的 V_L 电压。

[0081] 通过上述驱动方法,第一输出(OUT1)被设定为Low电平的 V_L 电压。因此,在将本实施例的锁存电路使用在上述可动快门方式的显示器中的情况下,快门(S)在时刻(t_6)和时刻(t_7)之间,通过静电力被吸引至第一输出(OUT1)侧,但在时刻(t_7)以后,快门(S)不再通过静电力被吸引至第一输出(OUT1)侧。从而,快门(S)例如在支承快门(S)的弹簧的力的作用下,位于第一输出(OUT1)和第二输出(OUT2)中间。

[0082] 在时刻(t_8),当第三锁存控制线(LAC3)上的第三驱动时钟($\phi AC3$)从L电平的 V_L 电压变化为H电平的 V_{H3} 电压时,位于第一输出(OUT1)和第二输出(OUT2)中间的快门(S)被第三驱动时钟($\phi AC3$)的H电平的 V_{H2} 电压静电吸引,向第二输出(OUT2)侧移动,快门位置的设定结束。

[0083] 接着,说明图2的右侧所示的时刻(t_{11})以后的下一子帧中的快门设定的时序。

[0084] 在时刻(t_{11}),当扫描线(LG)上的扫描电压(ϕG)从L电平的 V_L 电压变化为H电平的 V_{H1} 电压时,输入晶体管(NMT1)导通,节点(N1)的电压成为数据线(LD)上的电压(data在时刻(t_{11})为 V_{DH} 电压)。在此, V_{DH} 电压设定为比晶体管(NMT2)的阈值电压 V_{th} 高、能够在期望的时间引流节点(N2)的电荷使之成为 V_L 电压的电压。例如,为7V。

[0085] 由此,晶体管(NMT2)成为导通状态,节点(N2)的电压从 V_{H4} 电压变成 V_L 电压。这时,由于电容(CD2)和晶体管(NMT4)的栅极电容,在晶体管(NMT4)从导通状态变化为关断状态后,节点(N3)的电压成为多少偏负侧的电压,但由于是少量,所以在图2中忽略不计。晶体管(NMT5)也是同样的,关于晶体管(NMT5),由于没有电容(CD2)这样的耦合电容,只有晶体管(NMT5)的栅极电容,因此数量上更小,能够忽略不计,因此同样地在图2中忽略不计。

[0086] 在时刻(t_{12}),当扫描线(LG)上的扫描电压(ϕG)变化为L电平的 V_L 电压时,晶体管(NMT1)关断,对节点(N1)的写入动作结束。

[0087] 在时刻(t_{13}),第三锁存控制线(LAC3)上的第三驱动时钟($\phi AC3$)从H电平的 V_{H3} 电压变化为L电平的 V_L 电压。在将本实施例的锁存电路使用在上述可动快门方式的显示器中的情况下,在该时间点,快门(S)的位置在弹簧的力的作用下,移动到第一输出(OUT1)和第二输出(OUT2)的中间的位置。

[0088] 接着,在时刻(t_{14}),第一锁存控制线(LAC1)上的第一驱动时钟($\phi AC1$)从L电平的 V_L 电压变成H电平的 V_{H2} 电压。这时,由于在这之前节点(N1)的电压为 V_{DH} ,因此节点(N1)的电压从 V_{DH} 起向(6)式所示的 V_{DH13} 变化。

$$[0089] \quad V_{DH13} = V_{DH} + V_{H2} \times (CD1 / (CD1 + CN1S)) \quad (6)$$

[0090] 若 V_{DH13} 的电压比 V_{H2} 电压高,则节点(N2)的电压 V_{N2} 变成下式(7),可能变成与时刻(t_4)后不同的电压。但是,该差异小,在图5中,同样地将时刻(t_{14})后的节点(N2)的最终电压记为 V_{H4} 电压。

$$[0091] \quad V_{N2} = V_{DH13} - V_{th} \quad (7)$$

[0092] 此外,在时刻(t_{14})、时刻(t_{15}),发生与时刻(t_4)、时刻(t_5)相同的状况,在要进

入时刻 (t_{16}) 之前,各节点 (N1) 的电压 V_{N1} 、节点 (N2) 的电压 V_{N2} 、节点 (N3) 的电压 V_{N3} 分别成为 $V_{N1} = V_{DH13}$ 、 $V_{N2} = V_{H4}'$ 、 $V_{N3} = V_{H2}$ 。

[0093] 然后,在时刻 (t_{16}),第一锁存控制线 (LAC1) 上的第一驱动时钟 ($\Phi AC1$) 从 H 电平的 V_{H2} 电压变化为 L 电平的 V_L 电压。这时,由于晶体管 (NMT2) 为导通状态,因此节点 (N2) 的电压从 V_{H4}' 电压向 V_L 电压变化。结果晶体管 (NMT4)、晶体管 (NMT5) 关断。

[0094] 然后,在时刻 (t_{17}),第二锁存控制线 (LAC2) 上的第二驱动时钟 ($\Phi AC2$) 从 H 电平的 V_{H2} 电压变化为 L 电平的 V_L 电压。

[0095] 伴随时刻 (t_{16}) 中的节点 (N2) 的电压变化,由于电容 (CD2) 及晶体管 (NMT4) 的栅极电容,节点 (N3) 的电压也降低,节点 (N3) 的电压从 V_{H2} 电压变成 V_{H12} 的电压。 V_{H12} 的电压大致如下式 (8) 所示。

$$[0096] \quad V_{H12} = V_{H2} - V_{H4}' \times ((CD2 + CGD4) / (CD2 + CGD4 + CN2S)) \quad (8)$$

[0097] 在此,CGD4 为晶体管 (NMT4) 的栅极-漏极间电容,CN2S 为除了节点 (N2) 的电容 (CD2)、晶体管 (NMT4) 的栅极-漏极间电容 (CGD4) 以外的寄生电容。

[0098] 为了使用 a-Si 晶体管,并且高速为节点 (N3)、节点 (N4) 充电,需要获得高的栅极电压,因此,电容 CD2 为与寄生电容 (CN2S、CN3S) 相比相当大的电容,因此优选占节点 (N2) 的电容的八成左右。

[0099] 因而,(8) 式表示的 V_{H12} 的电压可能会变化为相当低的电压。例如,若令 $CD2 + CGD4 \approx CD2 = 4 \times CN2S$, $V_{H2} = 25V$,则根据 (1) 式, $V_{H4} = 20V$,根据 (5) 式, $V_{H4}' = 40V$,根据 (8) 式, $V_{H12} = 25 - 40 \times 0.8 = -7V$ 。

[0100] 实际上,节点 (N3) 的电压不会比晶体管 (NMT4) 的 $-V_{th}$ 低,因此收敛于 $-5V$ 左右。因而,即使将节点 (N3) 作为第一输出 (OUT1) 也不能生成期望的 High 状态。

[0101] 另一方面,节点 (N4) 的电压也受节点 (N2) 变化的影响,但是这时的耦合电容只是晶体管 (NMT5) 的栅极-漏极间电容,因此,相对于包含第一输出 (OUT1) 的负载等在内的节点 (N4) 的电容所占比率小,因此电压降低量也变小,能够维持快门动作需要的电压。

[0102] 例如,若令晶体管 (NMT5) 的栅极-漏极间电容相对于节点 (N4) 的全部电容的比率为 0.01,则根据 (8) 式,节点 (N4) 的电压 V_{N4} 为 $V_{N4} = 25 - 40 \times 0.01 = 24.6V$ 。

[0103] 这样,能够将节点 (N4) 的电压降低设计得较小,因此,在图 2 的记载中将降低部分忽略不计。这时,快门 (S) 在节点 (N4) 的电压变成 H 电平的时间点,在静电力的作用下向第一输出 (OUT1) 侧移动,并维持该状态。

[0104] 即使在时刻 (t_{18}) 第三锁存控制线 (LAC3) 上的第三驱动时钟 ($\Phi AC3$) 变成 H 电平的 V_{H3} 电压,也维持该状态。

[0105] 图 3 是表示对本发明的实施例 1 的可动快门 (S) 的位置进行电控制从而进行图像显示的显示器 (可动快门方式的显示器) 的概略结构的方框图。

[0106] 在图 3 所示的可动快门方式的显示器中,各像素 (PX) 二维状配置,图 1 所示的电路也配置于各像素中。在此,扫描线 (LG) 以各行为单位设置,被输入到垂直驱动电路 (XDR)。

[0107] 另外,数据线 (LD) 以各列为单位设置,被输入到水平驱动电路 (YDR)。第一锁存控制线 (LAC1)、第二锁存控制线 (LAC2)、第三锁存控制线 (LAC3) 和快门控制线 (LSS) 以各像素共用的方式设置,被输入到水平驱动电路 (YDR)。

[0108] 在该图 3 所示的可动快门方式的显示器中,在写入期间(图 2 的 TA)内,以各行为单位将数据写入各像素,在可动快门状态设定期间(图 2 的 TB)内,使可动快门(S)向第一输出(OUT1)或第二输出(OUT2)移动,在显示期间(图 2 的 TC)显示图像。

[0109] [实施例 2]

[0110] 图 4 是表示本发明的实施例 2 的单沟道锁存电路的电路结构的电路图。

[0111] 图 4 所示的锁存电路是在图 1 所示的锁存电路中,删除电容(CD2)、晶体管(NMT5),将节点(N3)作为第一输出(OUT1)的电路。

[0112] 图 5 表示图 4 所示的锁存电路的扫描电压(ϕG)、第一~第三驱动时钟($\phi AC1 \sim \phi AC3$)和各节点(N1、N2、N3)的时间变化的情况。

[0113] 在时刻(t_1),当扫描线(LG)上的扫描电压(ϕG)从 L 电平的 VL 电压变化为 H 电平的 VH1 电压时,输入晶体管(NMT1)导通,节点(N1)的电压变成数据线(LD)上的电压(data 在时刻(t_1)为 VL 电压)。

[0114] 在时刻(t_2),当扫描线(LG)上的扫描电压(ϕG)变化为 L 电平的 VL 电压时,晶体管(NMT1)关断,对节点(N1)的写入动作结束。

[0115] 为了在该时刻(t_1)至时刻(t_2)之间进行充分的写入,与上述实施例 1 同样地,VH1 电压优选 15V 以上。

[0116] 在时刻(t_3),第三锁存控制线(LAC3)上的第三驱动时钟($\phi AC3$)从 H 电平的 VH3 电压变化为 L 电平的 VL 电压。如上述,在将本实施例的锁存电路使用在上述可动快门方式的显示器中的情况下,在该时间点,快门(S)的位置在弹簧的力的作用下移动到第一输出(OUT1)和第二输出(OUT2)的中间位置。

[0117] 然后,在时刻(t_4),当第一锁存控制线(LAC1)上的第一驱动时钟($\phi AC1$)从 L 电平的 VL 电压变化为 H 电平的 VH2' 电压时,二极管接法的晶体管(NMT3)导通,使节点(N2)的电压上升。

[0118] 根据上述(1)式,最终节点(N2)的电压 VH4 为 $VH4 = VH2' - V_{th}$ 。V_{th} 为晶体管(NMT3)的阈值电压。

[0119] 在此,晶体管(NMT4)的栅极电压即节点(N2)的电压 VH4 比晶体管(NMT4)的阈值电压 V_{th} 高,因此晶体管(NMT4)呈导通状态。

[0120] 在时刻(t_5),当第二锁存控制线(LAC2)上的第二驱动时钟($\phi AC2$)从 L 电平的 VL 电压变化为 H 电平的 VH2 电压时,伴随第二驱动时钟($\phi AC2$)的电压上升,节点(N3)的电压上升。

[0121] 在此,若第一驱动时钟($\phi AC1$)、第二驱动时钟($\phi AC2$)和第三驱动时钟($\phi AC3$)的 H 电平的电压为相同的 VH2 电压,则对于作为晶体管(NMT4)的栅极电压的节点(N2), $(VH2 - V_{th})$ 成为最大电压,其结果是,节点(N3)的电压的最大值(VN3_{max})变成 $VN3_{max} = VH2 - V_{th} - V_{th}$,电压大幅降低,且速度也变慢。例如,若 $VH2 = 25V$, $V_{th} = 5V$,则 $VN3_{max} = 15V$ 。

[0122] 因此,在本实施例中,将第一驱动时钟($\phi AC1$)的 H 电平的电压设定为比第二驱动时钟($\phi AC2$)和第三驱动时钟($\phi AC3$)的 H 电平的电压 VH2 高的 VH2' (例如, $VH2' = VH2 + 2V_{th}$) 电压。

[0123] 由此,最终的节点(N3)的电压能够为第二驱动时钟($\phi AC2$)的 H 电平的电压即

VH2 电压。

[0124] 在时刻 (t6), 当第一锁存控制线 (LAC1) 上的第一驱动时钟 ($\phi AC1$) 从 H 电平的 VH2' 电压变化为 L 电平的 VL 电压时, 晶体管 (NMT2) 的栅极电压即节点 (N1) 的电压变成 L 电平的 VL (例如 0V) 电压, 因此晶体管 (NMT2) 关断。

[0125] 晶体管 (NMT3) 为二极管接法, 因此电流不从节点 (N2) 向第一锁存控制线 (LAC1) 流通。因此, 节点 (N2) 维持 VH4 电压。另外, 严格来说, 由于晶体管 (NMT2) 的栅极从 H 电平的电压变化为 L 电平的电压, 因此, 晶体管 (NMT2) 的栅极 - 漏极间电容会多少导致电压降低, 但由于其微小, 所以在本说明书中忽略不计。

[0126] 在时刻 (t7), 当第二锁存控制线 (LAC2) 上的第二驱动时钟 ($\phi AC2$) 从 H 电平的 VH2 电压变化为 L 电平的 VL 电压时, 由于晶体管 (NMT4) 的栅极电压即节点 (N2) 的电压为 H 电平的 VH4 电压, 因此晶体管 (NMT4) 维持导通状态。

[0127] 由此, 伴随第二驱动时钟 ($\phi AC2$) 的电压降低, 节点 (N3) 的电压降低。该情况下, 节点 (N2) 的电压大致为 VH4 电压, 晶体管 (NMT4) 变成电阻足够低的导通状态。因此, 节点 (N3) 在较短时间内变成 L 电平的 VL 电压。

[0128] 通过上述驱动方法, 第一输出 (OUT1) 被设定为 Low 电平的 VL 电压。因此, 在将本实施例的锁存电路使用在上述可动快门方式的显示器中的情况下, 快门 (S) 在时刻 (t6) 和时刻 (t7) 之间, 通过静电力被吸引至第一输出 (OUT1) 侧, 但是时刻 (t7) 以后, 快门 (S) 不再通过静电力被吸引至第一输出 (OUT1) 侧。从而, 快门 (S) 例如在支承快门 (S) 的弹簧的力的作用下, 位于第一输出 (OUT1) 和第二输出 (OUT2) 的中间。

[0129] 在时刻 (t8), 当第三锁存控制线 (LAC3) 上的第三驱动时钟 ($\phi AC3$) 变化为 H 电平的 VH3 电压时, 位于第一输出 (OUT1) 和第二输出 (OUT2) 的中间的快门 (S) 被第三驱动时钟 ($\phi AC3$) 的 H 电平的 VH2 电压静电吸引, 向第二输出 (OUT2) 侧移动, 快门位置的设定结束。

[0130] 接着, 说明图 5 的右侧所示的时刻 (t11) 以后的下一子帧中的快门设定的时序。

[0131] 在时刻 (t11), 当扫描线 (LG) 上的扫描电压 (ϕG) 从 L 电平的 VL 电压变化为 H 电平的 VH1 电压时, 输入晶体管 (NMT1) 导通, 节点 (N1) 的电压变成数据线 (LD) 上的电压 (data 在时刻 (t11) 为 VDH 电压)。在此, VDH 电压设定为比晶体管 (NMT2) 的阈值电压 V_{th} 高、能够在期望的时间引流节点 (N2) 的电荷使之成为 VL 电压的电压。例如为 7V。由此, 晶体管 (NMT2) 变成导通状态, 节点 (N2) 的电压从 VH4 电压变成 VL 电压。

[0132] 在时刻 (t12), 当扫描线 (LG) 上的扫描电压 (ϕG) 变化为 L 电平的 VL 电压时, 晶体管 (NMT1) 关断, 对节点 (N1) 的写入动作结束。

[0133] 在时刻 (t13), 第三锁存控制线 (LAC3) 上的第三驱动时钟 ($\phi AC3$) 从 H 电平的 VH3 电压变化为 L 电平的 VL 电压。如上述, 在将本实施例的锁存电路使用在上述可动快门方式的显示器中的情况下, 在该时间点, 快门 (S) 的位置在弹簧的力的作用下移动到第一输出 (OUT1) 和第二输出 (OUT2) 的中间位置。

[0134] 接着, 在时刻 (t14), 第一锁存控制线 (LAC1) 上的第一驱动时钟 ($\phi AC1$) 从 L 电平的 VL 电压变成 H 电平的 VH2' 电压。这时, 节点 (N1) 的电压变成 VDH13' ($= V_{HD} + VH2'$) 的电压。

[0135] 此外, 在时刻 (t14)、时刻 (t15), 发生与时刻 (t4)、时刻 (t5) 相同的状况, 在要进

入时刻 (t_{16}) 之前,各节点 (N1) 的电压 V_{N1} 、节点 (N2) 的电压 V_{N2} 、节点 (N3) 的电压 V_{N3} 分别成为 $V_{N1} = V_{DH13'}$ 、 $V_{N2} = V_{H4}$ 、 $V_{N3} = V_{H2}$ 。

[0136] 然后,在时刻 (t_{16}),第一锁存控制线 (LAC1) 上的第一驱动时钟 (ϕ_{AC1}) 从 H 电平的 $V_{H2'}$ 电压变化为 L 电平的 V_L 电压。这时,晶体管 (NMT2) 为导通状态,因此节点 (N2) 的电压从 V_{H4} 电压向 V_L 电压变化。结果晶体管 (NMT4) 关断。

[0137] 之后,在时刻 (t_{17}),当第二锁存控制线 (LAC2) 上的第二驱动时钟 (ϕ_{AC2}) 从 H 电平的 V_{H2} 电压变化为 L 电平的 V_L 电压时,由于晶体管 (NMT4) 的栅极电压即节点 (N2) 的电压为 L 电平的 V_L 电压,因此晶体管 (NMT4) 维持关断状态,节点 (N3) 维持 V_{H2} 电压。

[0138] 这时,快门 (S) 在节点 (N3) 的电压变成 H 电平的时间点,在静电力作用下向第一输出 (OUT1) 侧移动,并维持该状态。

[0139] 即使在时刻 (t_{18}) 第三锁存控制线 (LAC3) 上的第三驱动时钟 (ϕ_{AC3}) 从 L 电平的 V_L 电压变成 H 电平的 V_{H3} 电压,也能够维持该状态。

[0140] 本实施例与上述实施例 1 相比,设定电压增多,并且还需要设定高电压,但是与上述实施例 1 相比,具有能够削减作为锁存电路的构成要素的电容 (CD2) 和晶体管 (NMT5) 这一优点。

[0141] 另外,在上述说明中,说明了作为 n 型 MOS 晶体管使用半导体层由非晶硅构成的薄膜晶体管的情况,但是,在上述各实施例中,作为 n 型 MOS 晶体管,也可以使用半导体层由多晶硅构成的薄膜晶体管。

[0142] 另外,在使用半导体层由多晶硅构成的薄膜晶体管的情况下,也可以代替 n 型 MOS 晶体管,使用 p 型 MOS 晶体管。

[0143] 图 6 表示图 4 所示的单沟道锁存电路由 p 型 MOS 晶体管构成的情况下的电路结构。另外,图 7 表示图 6 所示的单沟道锁存电路的扫描电压 (ϕ_G)、第一~第三驱动时钟 (ϕ_{AC1} 、 ϕ_{AC2} 、 ϕ_{AC3}) 和各节点 (N1、N2、N3) 的时间变化的情况。

[0144] 首先,说明数据线 (LD) 上的电压 (data) 为 L 电平的 V_{DL} 电压的情况。

[0145] 在时刻 (t_1),当扫描线 (LG) 上的扫描电压 (ϕ_G) 从 H 电平的 V_H 电压变化为 L 电平的 V_{L1} 电压变化 (所谓的输入了扫描电压),输入晶体管 (PMT1) 导通,节点 (N1) 变成数据线 (LD) 上的电压 (data 在时刻 (t_1) 为 V_{DL} 电压)。

[0146] 当节点 (N1) 的电压变化为 V_{DL} 电压时,晶体管 (PMT2) 变成导通状态,节点 (N2) 的电压成为 V_H 电压。

[0147] 在时刻 (t_2),当扫描线 (LG) 上的扫描电压 (ϕ_G) 变化为 H 电平的 V_H 电压时,晶体管 (PMT1) 关断,对节点 (N1) 的写入动作结束。

[0148] 在时刻 (t_3),第三锁存控制线 (LAC3) 上的第三驱动时钟 (ϕ_{AC3}) 从 H 电平的 V_H 电压变化为 L 电平的 V_{L3} 电压。如上所述,在将本实施例的锁存电路使用在上述可动快门方式的显示器中的情况下,在该时间点,快门 (S) 的位置在弹簧的力的作用下,移动到第一输出 (OUT1) 和第二输出 (OUT2) 的中间位置。

[0149] 然后,在时刻 (t_4) 中,当第一锁存控制线 (LAC1) 上的第一驱动时钟 (ϕ_{AC1}) 从 H 电平的 V_H 电压变化为 L 电平的 V_{L2} 电压时,二极管接法的晶体管 (PMT3) 变成导通状态,使节点 (N2) 的电压下降。

[0150] 最终节点 (N2) 的电压 V_{L4} 成为 $V_{L4} = V_{L2} + V_{th}$ 。 V_{th} 为晶体管 (PMT3) 的阈值电

压。

[0151] 在此,晶体管 (PMT4) 的栅极电压即节点 (N2) 的电压 V_{L4} 比晶体管 (PMT4) 的阈值电压 V_{th} 低,因此晶体管 (PMT4) 导通。

[0152] 另外,节点 (N1) 的电压也下降,节点 (N1) 变成 $V_{DL2} = (V_{DL} - V_{L2})$ 电压。

[0153] 在时刻 (t5),当第二锁存控制线 (LAC2) 上的第二驱动时钟 (ϕ_{AC2}) 从 H 电平的 V_H 电压变化为 L 电平的 V_{L3} 电压时,由于晶体管 (PMT4) 为导通状态,因此伴随着第二驱动时钟 (ϕ_{AC2}) 的电压下降,节点 (N3) 的电压下降。

[0154] 在此,若第一驱动时钟 (ϕ_{AC1})、第二驱动时钟 (ϕ_{AC2}) 和第三驱动时钟 (ϕ_{AC3}) 的 L 电平的电压为相同电压 (用 V_L 表示),则对于作为晶体管 (PMT4) 的栅极电压的节点 (N2), ($V_L + V_{th}$) 成为最小电压,其结果是,节点 (N3) 的电压的最小值 (V_{N3min}) 变成 $V_{N3min} = V_L + V_{th} + V_{th}$,电压大幅上升,且速度也变慢。

[0155] 因此,在本实施例中,将第一驱动时钟 (ϕ_{AC1}) 的 L 电平的电压设定为比第二驱动时钟 (ϕ_{AC2}) 的 L 电平的电压低的电压,例如 $V_{L2} = V_{L3} - 2V_{th}$ 。

[0156] 由此,最终节点 (N3) 的电压能够为第二驱动时钟 (ϕ_{AC2}) 的 L 电平的电压即 V_{L3} 电压。

[0157] 在时刻 (t6),当第一锁存控制线 (LAC1) 上的第一驱动时钟 (ϕ_{AC1}) 从 L 电平的 V_{L2} 电压变化为 H 电平的 V_H 电压时,晶体管 (PMT2) 的栅极电压即节点 (N1) 的电压变成 L 电平的 V_{DL} 电压,因此晶体管 (PMT2) 维持导通状态。

[0158] 晶体管 (PMT3) 为二极管接法,因此电流不从第一锁存控制线 (LAC1) 向节点 (N2) 流通。因此,节点 (N2) 经由晶体管 (PMT2) 充电,变成 V_H 电压。

[0159] 结果晶体管 (PMT4) 关断。另外,严格地说,由于晶体管 (PMT2) 的栅极从 L 电平的电压变化为 H 电平的电压,因此晶体管 (PMT2) 的栅极-漏极间电容会多少导致电压上升,但由于其微小,所以在本说明书中忽略不计。

[0160] 在时刻 (t7),第二锁存控制线 (LAC2) 上的第二驱动时钟 (ϕ_{AC2}) 从 L 电平的 V_{L3} 电压变化为 H 电平的 V_H 电压,但由于晶体管 (PMT4) 关断,因此节点 (N3) 维持 L 电平的 V_{L3} 电压。

[0161] 接着,说明图 7 的右侧所示的时刻 (t11) 以后的下一子帧中的快门设定的时序。

[0162] 在时刻 (t11),当扫描线 (LG) 上的扫描电压 (ϕ_G) 从 H 电平的 V_H 电压变化为 L 电平的 V_{L1} 电压时,输入晶体管 (PMT1) 导通,节点 (N1) 的电压变成数据线 (LD) 上的电压 (data 在时刻 (t11) 为 V_H 电压)。

[0163] 在时刻 (t12),当扫描线 (LG) 上的扫描电压 (ϕ_G) 变化为 H 电平的 V_H 电压时,晶体管 (PMT1) 关断,对节点 (N1) 的写入动作结束。

[0164] 在时刻 (t13),使第三锁存控制线 (LAC3) 上的第三驱动时钟 (ϕ_{AC3}) 从 H 电平的 V_H 电压变化为 L 电平的 V_{L3} 电压。在将本实施例的锁存电路使用在上述可动快门方式的显示器中的情况下,在该时间点,快门 (S) 的位置在弹簧的力的作用下,移动到第一输出 (OUT1) 和第二输出 (OUT2) 的中间位置。

[0165] 接着,在时刻 (t14),第一锁存控制线 (LAC1) 上的第一驱动时钟 (ϕ_{AC1}) 从 H 电平的 V_H 电压变成 L 电平的 V_{L2} 电压。这时,由于节点 (N1) 的电压在这之前为 V_H ,因此节点 (N1) 的电压变化为 $V_{DL3} (= V_H - V_{L2})$ 电压。

[0166] 此外,在时刻 (t14)、时刻 (t15),发生与时刻 (t4)、时刻 (t5) 相同的情况,在要进入时刻 (t16) 之前,各节点 (N1) 的电压 VN1、节点 (N2) 的电压 VN2、节点 (N3) 的电压 VN3 分别为 $VN1 = VDL3$ 、 $VN2 = VL4$ 、 $VN3 = VL3$ 。

[0167] 然后,在时刻 (t16),第一锁存控制线 (LAC1) 上的第一驱动时钟 ($\Phi AC1$) 从 L 电平的 VL2 电压变化为 H 电平的 VH 电压。这时,晶体管 (PMT2) 为关断状态,晶体管 (PMT3) 为二极管接法,因此,电流不从第一锁存控制线 (LAC1) 向节点 (N2) 流通。因而,节点 (N2) 维持 VL4 的电压。另外,严格地说,由于晶体管 (PMT2) 的栅极从 L 电平的电压变化为 H 电平的电压,因此晶体管 (PMT2) 的栅极-漏极间电容会多少导致电压上升,但由于其微小,所以在本说明书中忽略不计。

[0168] 之后,在时刻 (t17),当第二锁存控制线 (LAC2) 上的第二驱动时钟 ($\Phi AC2$) 从 L 电平的 VL3 电压变化为 H 电平的 VH 电压时,由于晶体管 (PMT4) 的栅极电压即节点 (N2) 的电压为 L 电平的 VL4 的电压,因此晶体管 (PMT4) 导通,节点 (N3) 变成 VH 电压。

[0169] 这时,快门 (S) 在节点 (N4) 的电压变成 H 电平的时间点,在静电力的作用下向第一输出 (OUT1) 侧移动,并维持该状态。

[0170] 即使在时刻 (t18) 第三锁存控制线 (LAC3) 上的第三驱动时钟 ($\Phi AC3$) 变成 H 电平的 VH 电压,也维持该状态。

[0171] 另外,在上述说明中,说明了将本发明的锁存电路使用在上述可动快门方式的显示器中的情况,但是,本发明当然也能够应用于可动快门方式的显示器的电路以外的需要同样动作的其它显示器中。

[0172] 以上基于上述实施例具体说明了发明人进行的发明,但本发明并不限于上述实施例,能够在不脱离其宗旨的范围内进行种种变更。

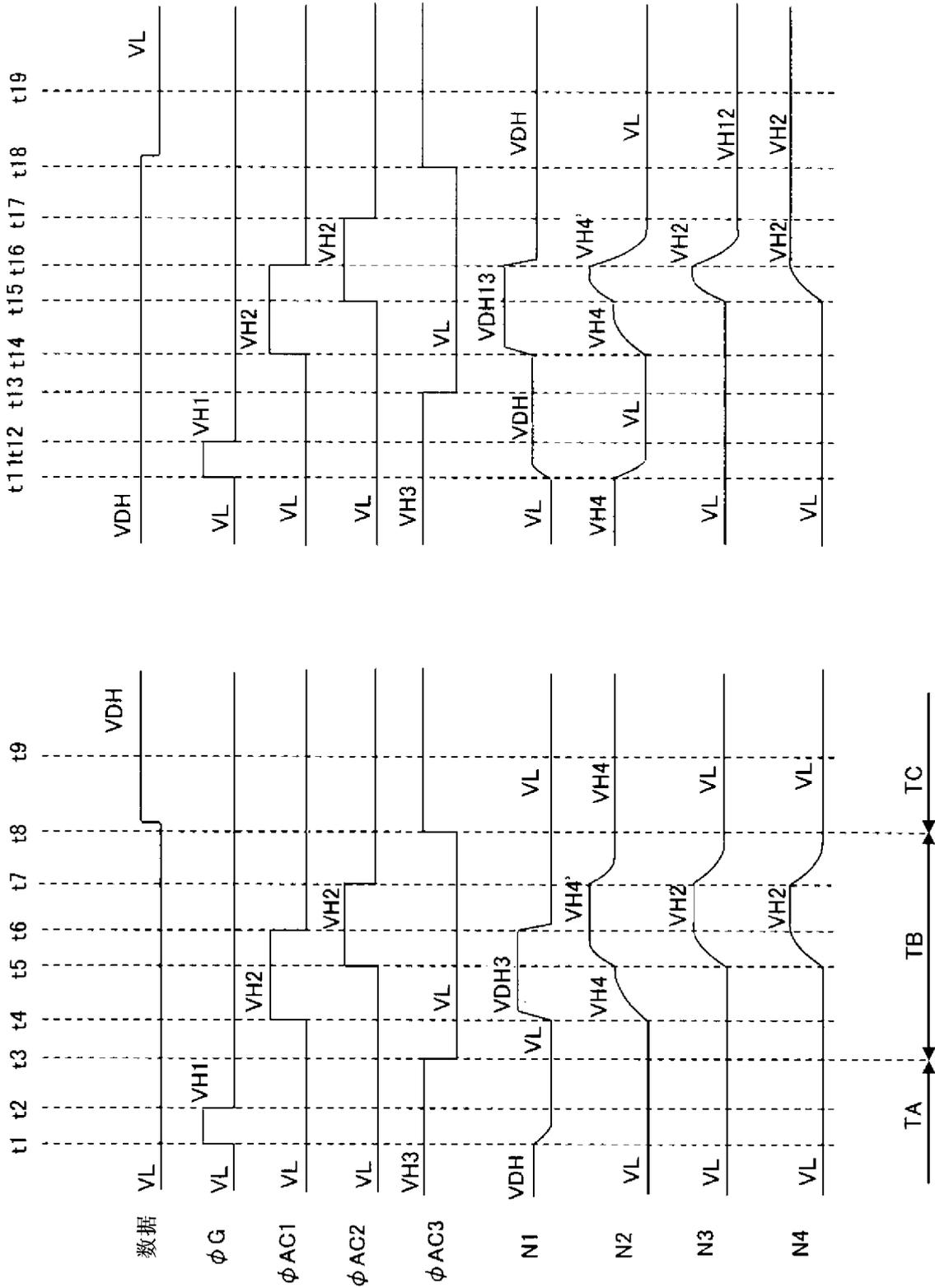


图 2

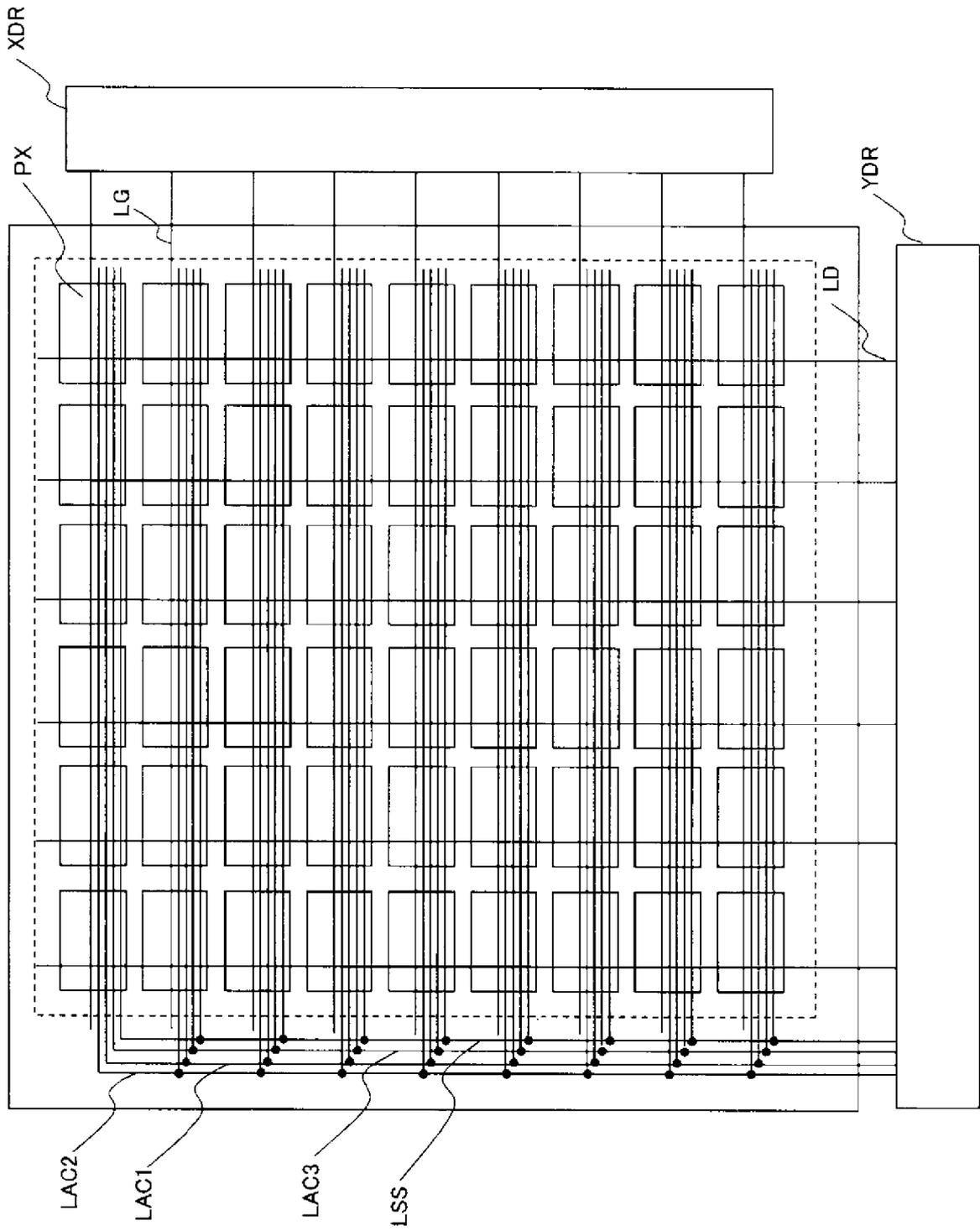


图 3

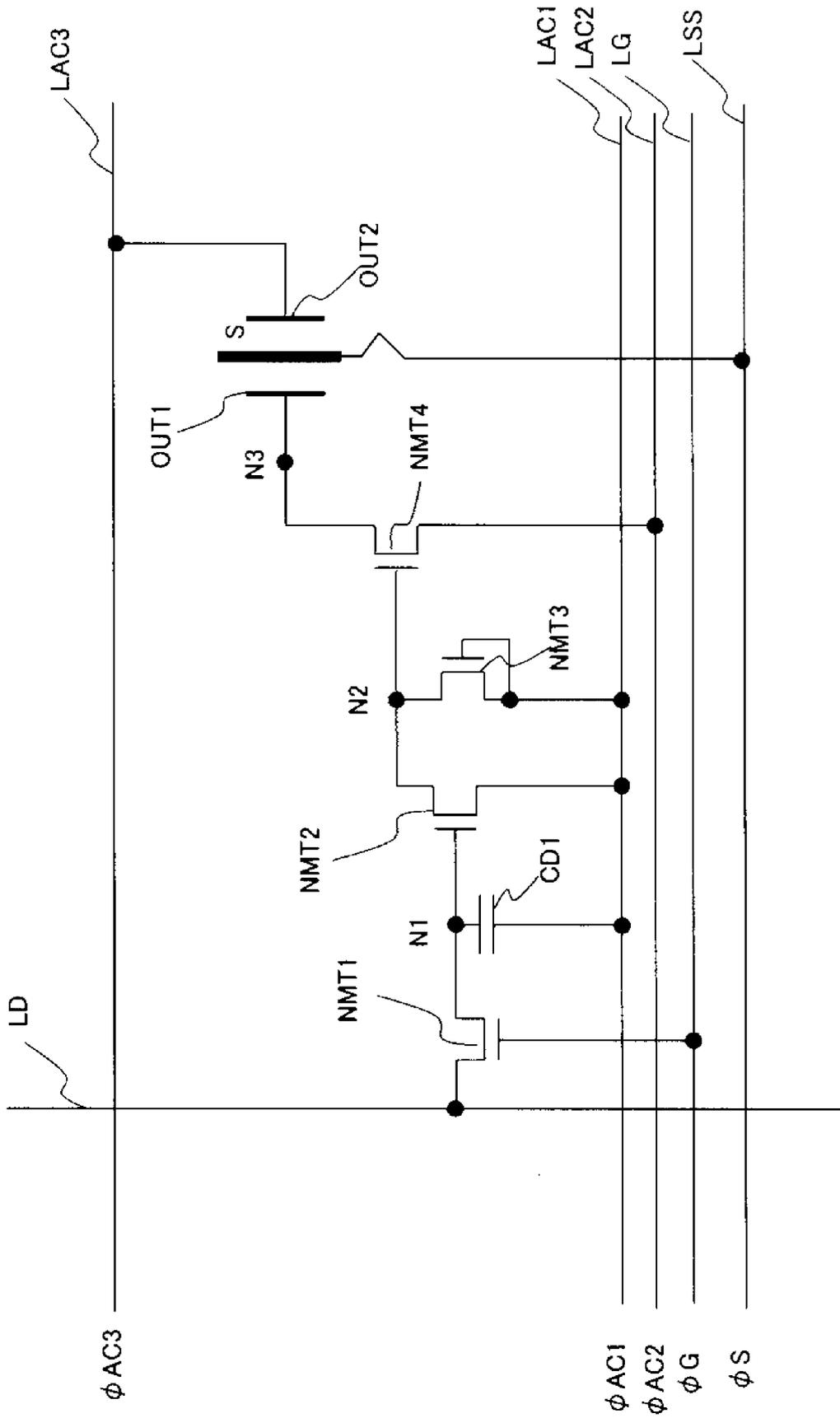


图 4

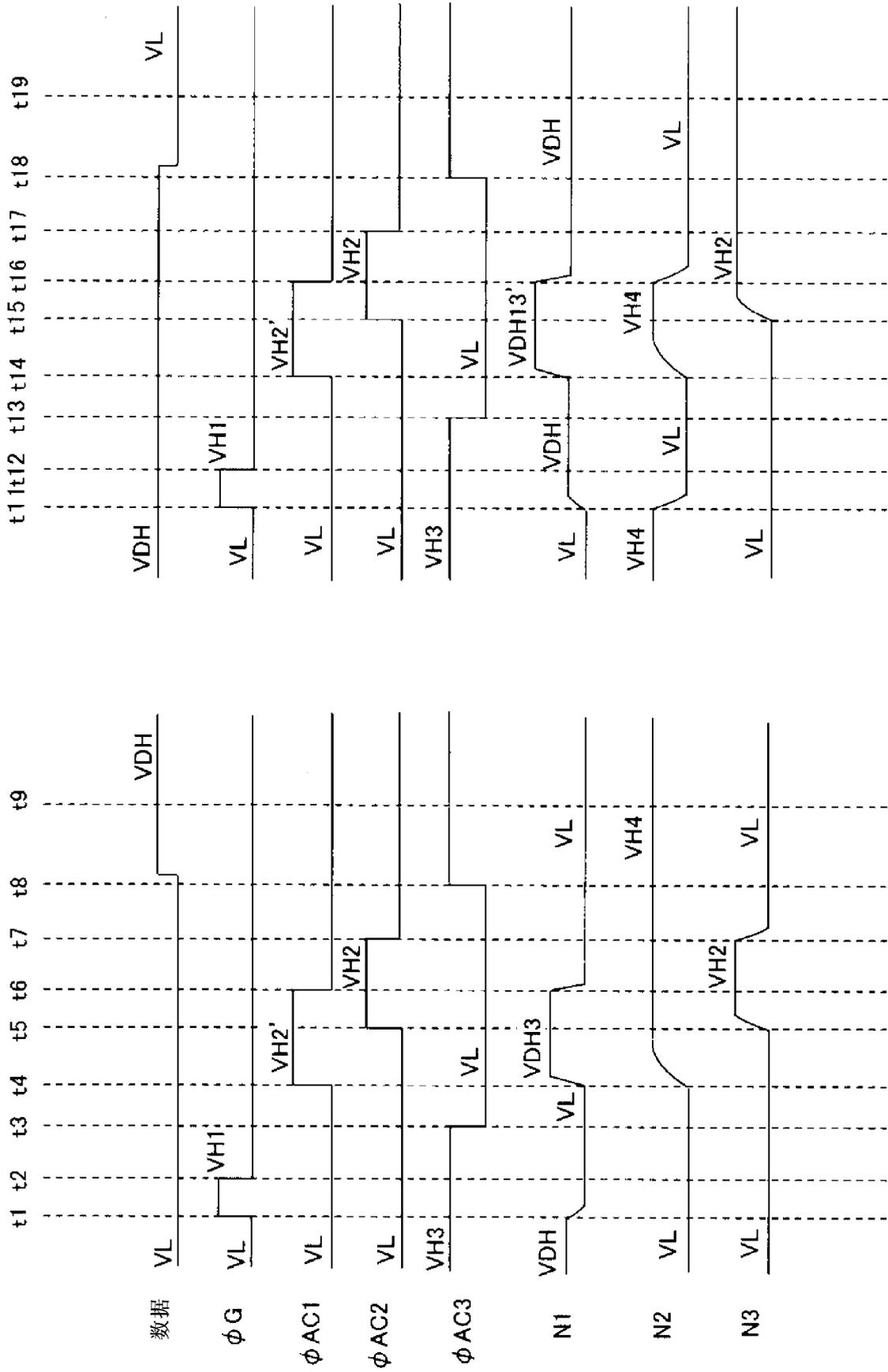


图 5

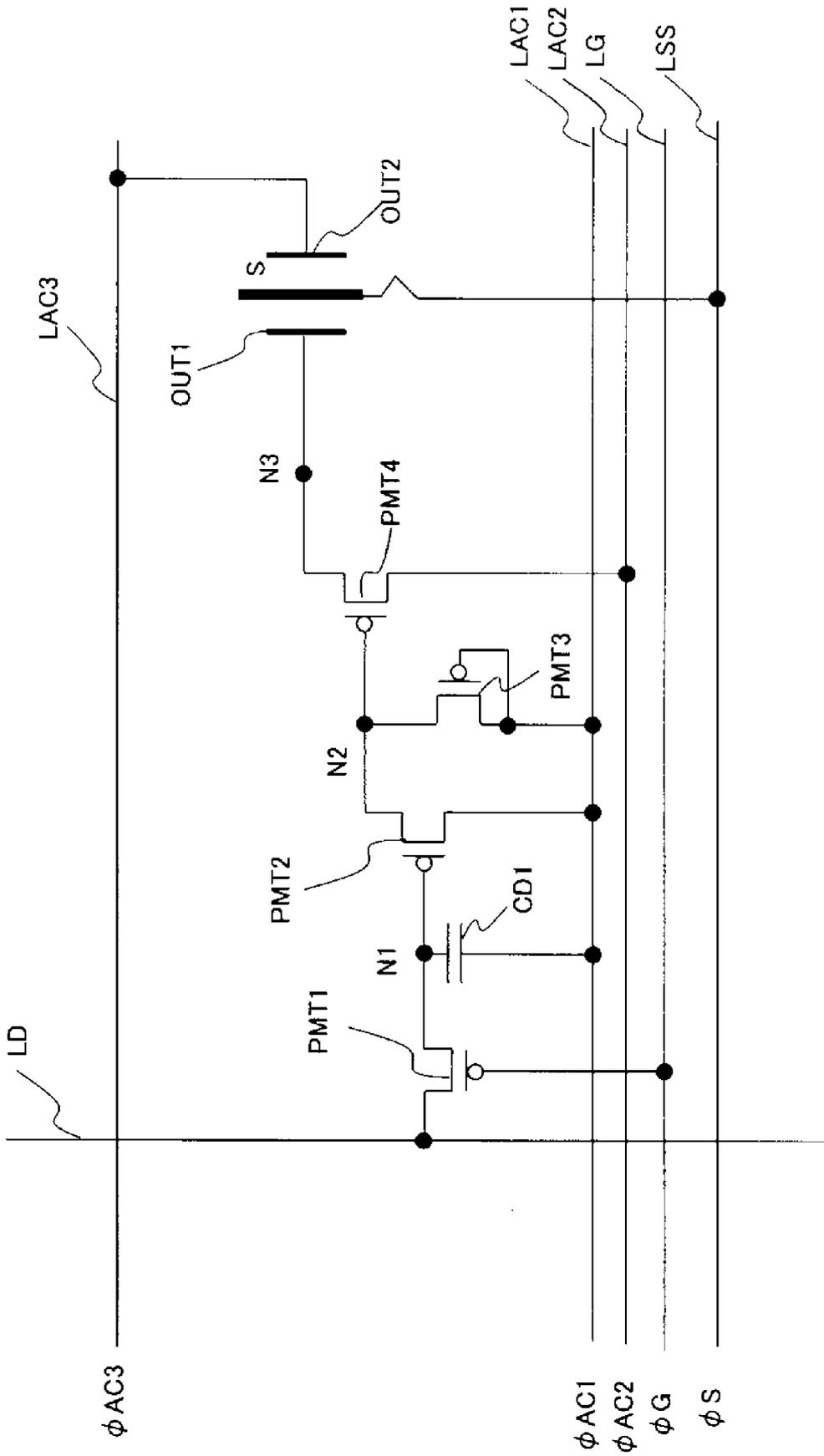


图 6

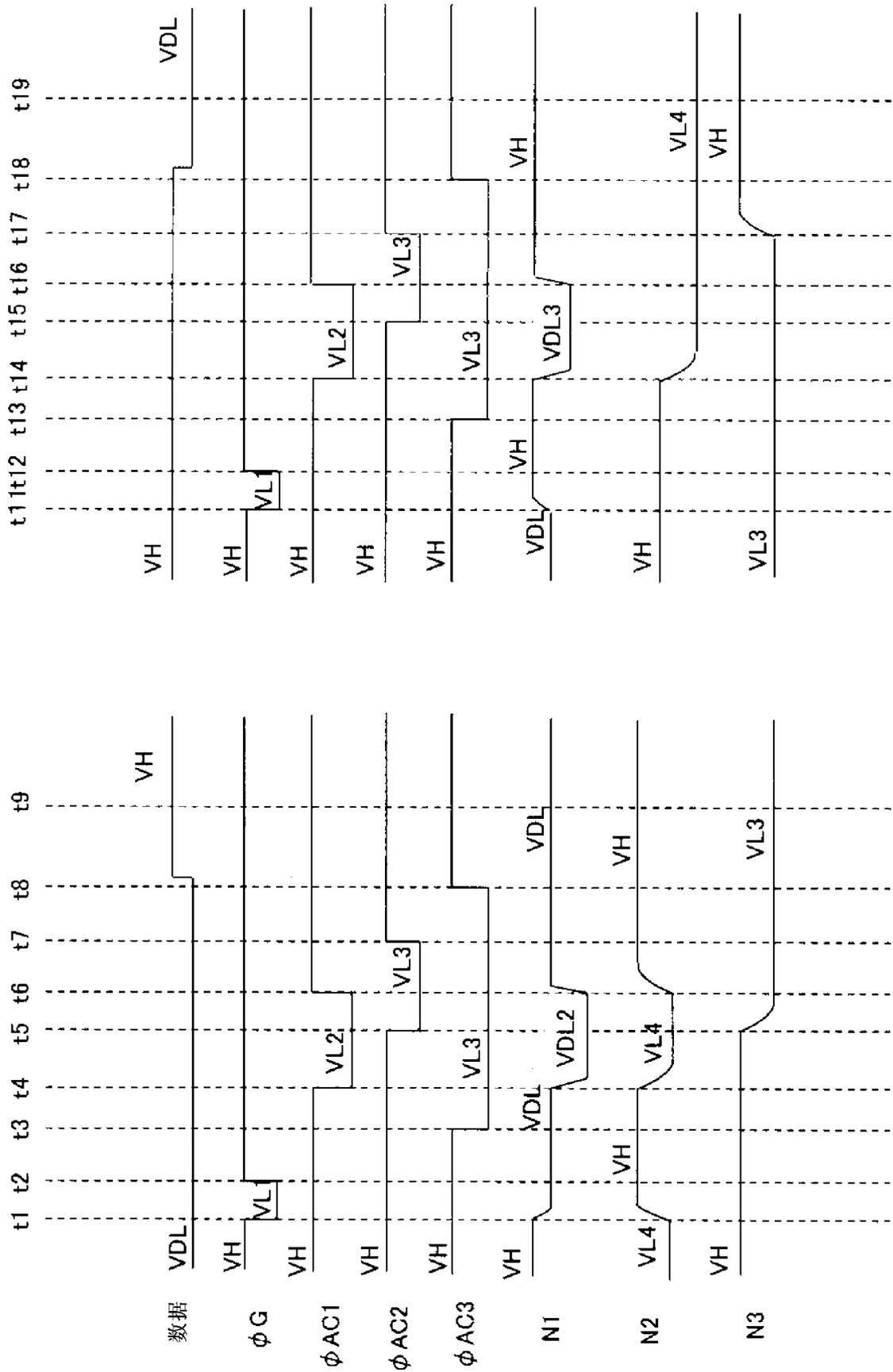


图 7

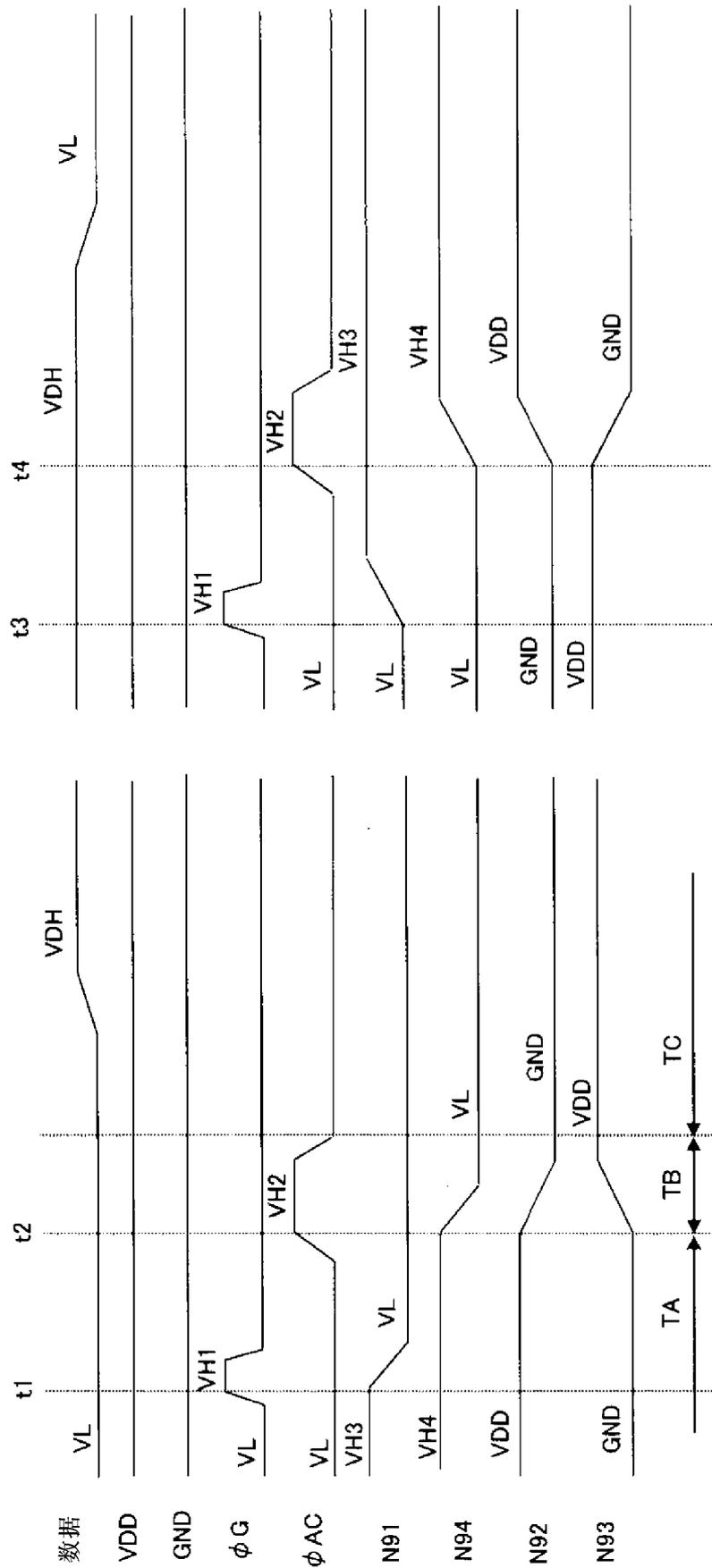


图 9

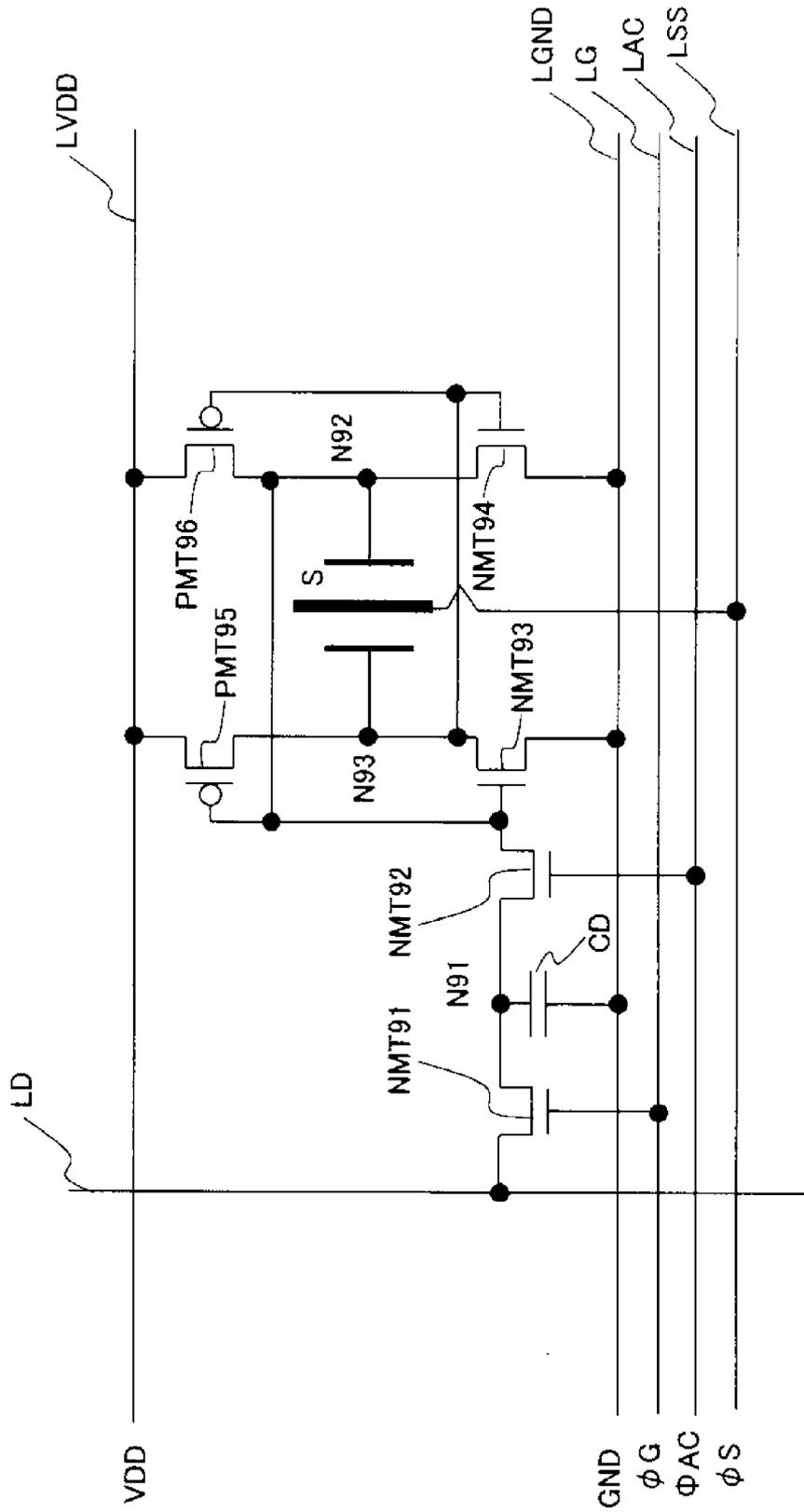


图 10