(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0023269
(43) 공개일자 2023년02월17일

(51) 국제특허분류(Int. Cl.)
H10B 63/00 (2023.01) *G06F 17/15* (2006.01)
G06N 3/063 (2023.01) *H10N 70/00* (2023.01)
(52) CPC특허분류
H10B 63/80 (2023.02)
G06F 17/153 (2013.01)
(21) 출원번호 10-2021-0105238
(22) 출원일자 2021년08월10일
심사청구일자 2021년08월10일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
왕건욱
서울특별시 강북구 삼양로19길 25, 112동 1103호
장진곤
서울특별시 성북구 안암로 145, 509호
(뒷면에 계속)
(74) 대리인
권성현, 유광철, 백두진, 강일신, 김정연

전체 청구항 수 : 총 13 항

(54) 발명의 명칭 **3 전극 대각 멤트랜지스터 시스템, 이를 이용한 컨볼루션 네트워크 연산 장치 및 방법**

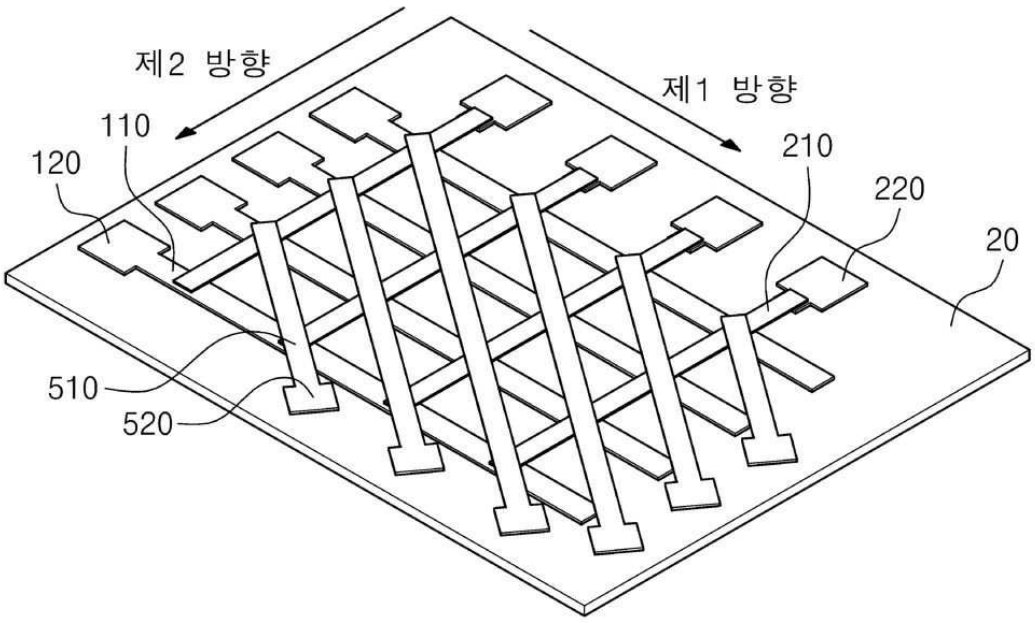
(57) 요 약

컨볼루션 연산 및 풀링 과정에 소모되는 시간과 에너지를 줄여서 전체 시스템의 효율성을 높일 수 있는 대각 멤트랜지스터 시스템 및 그 제조 방법과, 대각 멤트랜지스터 시스템을 이용한 컨볼루션 네트워크 연산 장치 및 방법이 개시된다. 본 발명의 일 실시예에 따른 대각 멤트랜지스터 시스템은 제1 방향으로 형성되고, 상기 제1 방향

(뒷면에 계속)

대 표 도 - 도1

10



과 상이한 제2 방향을 따라 배열되는 복수개의 소스 전극 라인; 상기 제2 방향으로 형성되고, 상기 소스 전극 라인과 교차하고, 상기 소스 전극 라인과 교차되는 교차 영역이 상기 소스 전극 라인 상에 적층되며, 상기 제1 방향을 따라 배열되는 복수개의 드레인 전극 라인; 상기 복수개의 소스 전극 라인과 상기 복수개의 드레인 전극 라인 사이의 교차 영역들에 제공되는 반도체층과, 상기 드레인 전극 라인의 상기 교차 영역의 페르미 준위를 조절하기 위한 조절층을 포함하는 복수개의 시냅스 소자; 및 상기 제1 방향과 상기 제2 방향의 사이 방향인 대각 방향으로 형성되고, 상기 교차 영역에서 상기 소스 전극 라인 및 상기 드레인 전극 라인과 교차하며, 상기 조절층 상에 적층되는 적어도 하나의 대각 게이트 전극 라인;을 포함한다.

(52) CPC특허분류
G06N 3/063 (2013.01)
H10N 70/253 (2023.02)
H10N 70/821 (2023.02)
H10N 70/841 (2023.02)
H10N 70/8836 (2023.02)

(72) 발명자
함성길
인천광역시 부평구 후정로 12, 103동 404호

장성훈
서울특별시 노원구 한글비석로24다길 48, 501호

이 발명을 지원한 국가연구개발사업
과제고유번호 1711135355
과제번호 2021M3H4A1A01079420
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 나노미래소재원천기술개발(R&D)
연구과제명 신개념 대각선-게이트 멤트랜지스터 어레이를 통한 극저전력 원-스텝 컨볼루션 신경망 원천 기술 개발
기 여 율 1/2
과제수행기관명 고려대학교
연구기간 2021.05.10 ~ 2021.12.31
이 발명을 지원한 국가연구개발사업
과제고유번호 1711086379
과제번호 2019R1A2C2003704
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 개인기초연구(과기정통부)(R&D)
연구과제명 에너지 절감형 스마트 단일 뉴럴 네트워크를 위한 가소성 고차원 튜닝 및 누설 뉴럴 신호 제어 가능한 이종접합형 인공시냅스 소재/소자 개발
기 여 율 1/2
과제수행기관명 고려대학교
연구기간 2019.03.01 ~ 2022.02.28

명 세 서

청구범위

청구항 1

제1 방향으로 형성되고, 상기 제1 방향과 상이한 제2 방향을 따라 배열되는 복수개의 소스 전극 라인;

상기 제2 방향으로 형성되고, 상기 소스 전극 라인과 교차하고, 상기 소스 전극 라인과 교차되는 교차 영역이 상기 소스 전극 라인 상에 적층되며, 상기 제1 방향을 따라 배열되는 복수개의 드레인 전극 라인;

상기 복수개의 소스 전극 라인과 상기 복수개의 드레인 전극 라인 사이의 교차 영역들에 제공되는 반도체층과, 상기 드레인 전극 라인의 상기 교차 영역의 페르미 준위를 조절하기 위한 조절층을 포함하는 복수개의 시냅스 소자; 및

상기 제1 방향과 상기 제2 방향의 사이 방향인 대각 방향으로 형성되고, 상기 교차 영역에서 상기 소스 전극 라인 및 상기 드레인 전극 라인과 교차하며, 상기 조절층 상에 적층되는 적어도 하나의 대각 게이트 전극 라인;을 포함하는, 대각 멤트랜지스터 시스템.

청구항 2

제1항에 있어서,

상기 대각 게이트 전극 라인을 따라 상기 대각 방향으로 배열된 다수의 시냅스 소자의 가중치를 동시에 학습하기 위한 가중치 제어 신호를 상기 대각 게이트 전극 라인에 인가하도록 구성되는 대각 게이트 전극;을 더 포함하는, 대각 멤트랜지스터 시스템.

청구항 3

제2항에 있어서,

각 드레인 전극 라인 또는 각 소스 전극 라인에 인가될 입력 신호, 및 각 대각 게이트 전극 라인에 인가될 상기 가중치 제어 신호를 결정하도록 구성되는 제어부;를 더 포함하고,

상기 제어부는:

입력 데이터를 컨볼루션 처리하기 위한 컨볼루션 필터의 필터값들을 기초로 상기 가중치 제어 신호를 결정하고;

상기 입력 데이터의 입력값들을 기초로 상기 입력 신호를 생성하도록 구성되는, 대각 멤트랜지스터 시스템.

청구항 4

제1항에 있어서,

상기 드레인 전극 라인은 상기 교차 영역에서 상기 반도체층 상에 형성되는 그래핀층을 포함하는, 대각 멤트랜지스터 시스템.

청구항 5

제4항에 있어서,

상기 조절층은 상기 대각 게이트 전극 라인을 통해 인가되는 전압에 따라 상기 그래핀층의 페르미 준위를 조절하도록 구성되는, 대각 멤트랜지스터 시스템.

청구항 6

제1항에 있어서,

상기 반도체층은 IGZO(indium gallium zinc oxide)층을 포함하고, 상기 조절층은 강유전체층 및 고체 전해질층 중의 적어도 하나를 포함하는, 대각 멤트랜지스터 시스템.

청구항 7

제6항에 있어서,

상기 조절층은 PVDF-TrFE(poly-vinylidene fluoride-trifluoro-ethylene)층을 포함하는, 대각 멤트랜지스터 시스템.

청구항 8

입력 데이터를 컨볼루션 필터를 이용하여 컨볼루션 처리하기 위한 컨볼루션 네트워크 연산 장치에 있어서,

제1항 내지 제7항 중 어느 한 항에 기재된 대각 멤트랜지스터 시스템을 포함하고,

상기 대각 멤트랜지스터 시스템은:

상기 입력 데이터의 입력값들을 기초로 입력 신호들을 생성하고;

상기 컨볼루션 필터의 필터값들을 기초로 가중치 제어 신호들을 결정하고;

상기 입력 신호들을 상기 복수의 드레인 전극 라인 또는 상기 복수의 소스 전극 라인에 인가하고;

상기 가중치 제어 신호들을 상기 복수의 대각 게이트 전극 라인에 인가하고;

상기 복수의 소스 전극 라인 또는 상기 복수의 드레인 전극 라인으로 출력되는 출력 신호들을 기초로 컨볼루션 연산 결과를 산출하도록 구성되는, 컨볼루션 네트워크 연산 장치.

청구항 9

제8항에 있어서,

상기 대각 멤트랜지스터 시스템은:

상기 입력 데이터의 크기 및 상기 컨볼루션 필터의 크기를 기초로 상기 출력 신호들 중 상기 컨볼루션 필터의 슬라이딩에 따른 컨볼루션 연산값들과 관련된 특징 신호들을 추출하고, 상기 특징 신호들을 풀링하여 컨볼루션 특징 맵을 생성하도록 구성되는, 컨볼루션 네트워크 연산 장치.

청구항 10

입력 데이터를 컨볼루션 필터를 이용하여 컨볼루션 처리하는 컨볼루션 네트워크 연산 방법에 있어서,

제1항 내지 제7항 중 어느 한 항에 기재된 대각 멤트랜지스터 시스템에 의해 상기 컨볼루션 처리를 수행하는 단계를 포함하고,

상기 컨볼루션 처리를 수행하는 단계는:

상기 입력 데이터의 입력값들을 기초로 입력 신호들을 생성하는 단계;

상기 컨볼루션 필터의 필터값들을 기초로 가중치 제어 신호들을 결정하는 단계;

상기 입력 신호들을 상기 복수의 드레인 전극 라인 또는 상기 복수의 소스 전극 라인에 인가하는 단계;

상기 가중치 제어 신호들을 상기 복수의 대각 게이트 전극 라인에 인가하는 단계; 및

상기 복수의 소스 전극 라인 또는 상기 복수의 드레인 전극 라인으로 출력되는 출력 신호들을 기초로 컨볼루션 연산 결과를 산출하는 단계;를 포함하는, 컨볼루션 네트워크 연산 방법.

청구항 11

제10항에 있어서,

상기 대각 멤트랜지스터 시스템에 의해, 상기 입력 데이터의 크기 및 상기 컨볼루션 필터의 크기를 기초로 상기 출력 신호들 중 상기 컨볼루션 필터의 슬라이딩에 따른 컨볼루션 연산값들과 관련된 특징 신호들을 추출하는 단계; 및

상기 대각 멤트랜지스터 시스템에 의해, 상기 입력 데이터의 크기 및 상기 컨볼루션 필터의 크기를 기초로 추출

된 상기 특징 신호들을 풀링하여 컨볼루션 특징 맵을 생성하는 단계;를 포함하는, 컨볼루션 네트워크 연산 방법.

청구항 12

기판 상에 복수개의 소스 전극 라인을 제1 방향으로 형성하되, 상기 제1 방향과 상이한 제2 방향을 따라 배열되도록 상기 복수개의 소스 전극 라인을 형성하는 단계;

상기 기판 상에 상기 소스 전극 라인과 교차하도록 복수개의 드레인 전극 라인을 상기 제2 방향으로 형성하되, 상기 제1 방향을 따라 배열되고 상기 소스 전극 라인과 교차되는 교차 영역 상에 적층되도록 상기 복수개의 드레인 전극 라인을 형성하는 단계;

상기 복수개의 소스 전극 라인과 상기 복수개의 드레인 전극 라인 사이의 교차 영역들에 반도체층과, 상기 드레인 전극 라인의 상기 교차 영역의 페르미 준위를 조절하기 위한 조절층을 형성하여 복수개의 시냅스 소자를 형성하는 단계; 및

상기 제1 방향과 상기 제2 방향의 사이 방향인 대각 방향으로 적어도 하나의 대각 게이트 전극 라인을 형성하되, 상기 교차 영역에서 상기 소스 전극 라인 및 상기 드레인 전극 라인과 교차하여 상기 조절층 상에 적층되도록 상기 적어도 하나의 대각 게이트 전극 라인을 형성하는 단계;를 포함하는, 대각 멤트랜지스터 시스템 제조 방법.

청구항 13

제12항에 있어서,

상기 복수개의 시냅스 소자를 형성하는 단계는:

각 시냅스 소자에 해당하는 상기 교차 영역에 반도체층을 형성하는 단계;

상기 반도체층 상에 그래핀층을 전사하는 단계; 및

상기 그래핀층 상에 상기 그래핀층의 페르미 준위를 조절하기 위한 조절층을 형성하는 단계;를 포함하는, 대각 멤트랜지스터 시스템 제조 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 3 전극 대각 멤트랜지스터 시스템, 이를 이용한 컨볼루션 네트워크 연산 장치 및 방법에 관한 것이다.

배 경 기 술

[0002] 이미지/영상 인식 기술은 얼굴인식, 자율주행, 파형분석 등 빅데이터 응용 분야의 많은 부분을 차지하고 있으며, 현재 가장 발전된 인식 시스템으로는 컨볼루션 뉴럴 네트워크를 통한 위치에 무관한 신뢰성 높은 입력 데이터 처리 기술이 사용되고 있다.

[0003] 컨볼루션 네트워크 시스템은 여러 개의 필터 네트워크를 통한 입력 신호 변환을 통해 새로운 컨볼루션 특징 맵을 생성하며, 이것의 평균에 기반한 연산 과정을 통해 정확하고 높은 학습 성능을 나타내고 있다.

[0004] 이러한 컨볼루션 네트워크의 기반 소자로써 아날로그 스위칭이 가능한 멤리스터 및 멤트랜지스터가 각광받고 있으며, 신호 전달 매체 없이 연산 및 데이터 저장이 가능한 장점으로 인해 높은 에너지 효율성을 갖는다.

[0005] 하지만 현재의 컨볼루션 변환 기술은 이미지나 필터의 크기가 커지거나 레이어가 많아질수록 연산해야 하는 범위가 늘어나게 되어 에너지 소모가 극심하고, 각각의 평균값을 추출하는 풀링 과정에서의 정보 저장과 재 연산 과정이 수반되기 때문에 효율적인 인식 과정의 어려움이 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 대한민국 공개특허공보 10-2019-0066473

(특허문헌 0002) 대한민국 공개특허공보 10-2020-0024419

발명의 내용

해결하려는 과제

[0007] 본 발명은 컨볼루션 연산 및 풀링 과정에 소모되는 시간과 에너지를 줄여서 전체 시스템의 효율성을 높일 수 있는 대각 멤트랜지스터 시스템 및 그 제조 방법과, 대각 멤트랜지스터 시스템을 이용한 컨볼루션 네트워크 연산 장치 및 방법을 제공하기 위한 것이다.

[0008] 한편, 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 본 발명의 실시예에 따른 대각 멤트랜지스터 시스템은: 제1 방향으로 형성되고, 상기 제1 방향과 상이한 제2 방향을 따라 배열되는 복수개의 소스 전극 라인; 상기 제2 방향으로 형성되고, 상기 소스 전극 라인과 교차하고, 상기 소스 전극 라인과 교차되는 교차 영역이 상기 소스 전극 라인 상에 적층되며, 상기 제1 방향을 따라 배열되는 복수개의 드레인 전극 라인; 상기 복수개의 소스 전극 라인과 상기 복수개의 드레인 전극 라인 사이의 교차 영역들에 제공되는 반도체층과, 상기 드레인 전극 라인의 상기 교차 영역의 페르미 준위를 조절하기 위한 조절층을 포함하는 복수개의 시냅스 소자; 및 상기 제1 방향과 상기 제2 방향의 사이 방향인 대각 방향으로 형성되고, 상기 교차 영역에서 상기 소스 전극 라인 및 상기 드레인 전극 라인과 교차하며, 상기 조절층 상에 적층되는 적어도 하나의 대각 게이트 전극 라인;을 포함한다.

[0010] 본 발명의 실시예에 따른 대각 멤트랜지스터 시스템은: 상기 대각 게이트 전극 라인을 따라 상기 대각 방향으로 배열된 다수의 시냅스 소자의 가중치를 동시에 학습하기 위한 가중치 제어 신호를 상기 대각 게이트 전극 라인에 인가하도록 구성되는 대각 게이트 전극;을 더 포함할 수 있다.

[0011] 본 발명의 실시예에 따른 대각 멤트랜지스터 시스템은: 각 드레인 전극 라인 또는 각 소스 전극 라인에 인가될 입력 신호 및 각 대각 게이트 전극 라인에 인가될 상기 가중치 제어 신호를 결정하도록 구성되는 제어부;를 더 포함할 수 있다.

[0012] 상기 제어부는: 입력 데이터를 컨볼루션 처리하기 위한 컨볼루션 필터의 필터값들을 기초로 상기 가중치 제어 신호를 결정하고; 상기 입력 데이터의 입력값들을 기초로 상기 입력 신호를 생성하도록 구성될 수 있다.

[0013] 상기 드레인 전극 라인은 상기 교차 영역에서 상기 반도체층 상에 형성되는 그래핀층을 포함할 수 있다.

[0014] 상기 조절층은 상기 대각 게이트 전극 라인을 통해 인가되는 전압에 따라 상기 그래핀층의 페르미 준위를 조절하도록 구성될 수 있다.

[0015] 상기 반도체층은 IGZO(indium gallium zinc oxide)층을 포함하고, 상기 조절층은 강유전체층 및 고체 전해질층 중의 적어도 하나를 포함할 수 있다.

[0016] 상기 조절층은 PVDF-TrFE(poly-vinylidene fluoride-trifluoro-ethylene)층을 포함할 수 있다.

[0017] 본 발명의 실시예에 따른 컨볼루션 네트워크 연산 장치는: 입력 데이터를 컨볼루션 필터를 이용하여 컨볼루션 처리하기 위한 컨볼루션 네트워크 연산 장치에 있어서, 상기 대각 멤트랜지스터 시스템을 포함하고, 상기 대각 멤트랜지스터 시스템은: 상기 입력 데이터의 입력값들을 기초로 입력 신호들을 생성하고; 상기 컨볼루션 필터의 필터값들을 기초로 가중치 제어 신호들을 결정하고; 상기 입력 신호들을 상기 복수의 드레인 전극 라인 또는 상기 복수의 소스 전극 라인에 인가하고; 상기 가중치 제어 신호들을 상기 복수의 대각 게이트 전극 라인에 인가하고; 상기 복수의 소스 전극 라인 또는 상기 복수의 드레인 전극 라인으로 출력되는 출력 신호들을 기초로 컨볼루션 연산 결과를 산출하도록 구성된다.

[0018] 상기 대각 멤트랜지스터 시스템은: 상기 입력 데이터의 크기 및 상기 컨볼루션 필터의 크기를 기초로 상기 출력

신호들 중 상기 컨볼루션 필터의 슬라이딩에 따른 컨볼루션 연산값들과 관련된 특징 신호들을 추출하고, 상기 특징 신호들을 풀링하여 컨볼루션 특징 맵을 생성하도록 구성될 수 있다.

[0019] 본 발명의 실시예에 따른 컨볼루션 네트워크 연산 방법은: 입력 데이터를 컨볼루션 필터를 이용하여 컨볼루션 처리하는 컨볼루션 네트워크 연산 방법에 있어서, 상기 대각 멤트랜지스터 시스템에 의해 상기 컨볼루션 처리를 수행하는 단계를 포함하고, 상기 컨볼루션 처리를 수행하는 단계는: 상기 입력 데이터의 입력값들을 기초로 입력 신호들을 생성하는 단계; 상기 컨볼루션 필터의 필터값들을 기초로 가중치 제어 신호들을 결정하는 단계; 상기 입력 신호들을 상기 복수의 드레인 전극 라인 또는 상기 복수의 소스 전극 라인에 인가하는 단계; 상기 가중치 제어 신호들을 상기 복수의 대각 게이트 전극 라인에 인가하는 단계; 상기 복수의 소스 전극 라인 또는 상기 복수의 드레인 전극 라인으로 출력되는 출력 신호들을 기초로 컨볼루션 연산 결과를 산출하는 단계;를 포함한다.

[0020] 본 발명의 실시예에 따른 컨볼루션 네트워크 연산 방법은: 상기 대각 멤트랜지스터 시스템에 의해, 상기 입력 데이터의 크기 및 상기 컨볼루션 필터의 크기를 기초로 상기 출력 신호들 중 상기 컨볼루션 필터의 슬라이딩에 따른 컨볼루션 연산값들과 관련된 특징 신호들을 추출하는 단계; 및 상기 대각 멤트랜지스터 시스템에 의해, 상기 입력 데이터의 크기 및 상기 컨볼루션 필터의 크기를 기초로 추출된 상기 특징 신호들을 풀링하여 컨볼루션 특징 맵을 생성하는 단계;를 포함할 수 있다.

[0021] 본 발명의 실시예에 따른 대각 멤트랜지스터 시스템 제조 방법은: 기판 상에 복수개의 소스 전극 라인을 제1 방향으로 형성하되, 상기 제1 방향과 상이한 제2 방향을 따라 배열되도록 상기 복수개의 소스 전극 라인을 형성하는 단계; 상기 기판 상에 상기 소스 전극 라인과 교차하도록 복수개의 드레인 전극 라인을 상기 제2 방향으로 형성하되, 상기 제1 방향을 따라 배열되고 상기 소스 전극 라인과 교차되는 교차 영역 상에 적층되도록 상기 복수개의 드레인 전극 라인을 형성하는 단계; 상기 복수개의 소스 전극 라인과 상기 복수개의 드레인 전극 라인 사이의 교차 영역들에 반도체층과, 상기 드레인 전극 라인의 상기 교차 영역의 페르미 준위를 조절하기 위한 조절층을 형성하여 복수개의 시냅스 소자를 형성하는 단계; 및 상기 제1 방향과 상기 제2 방향의 사이 방향인 대각 방향으로 적어도 하나의 대각 게이트 전극 라인을 형성하되, 상기 교차 영역에서 상기 소스 전극 라인 및 상기 드레인 전극 라인과 교차하여 상기 조절층 상에 적층되도록 상기 적어도 하나의 대각 게이트 전극 라인을 형성하는 단계;를 포함한다.

[0022] 상기 복수개의 시냅스 소자를 형성하는 단계는: 각 시냅스 소자에 해당하는 상기 교차 영역에 반도체층을 형성하는 단계; 상기 반도체층 상에 그래핀층을 전사하는 단계; 및 상기 그래핀층 상에 상기 그래핀층의 페르미 준위를 조절하기 위한 조절층을 형성하는 단계;를 포함할 수 있다.

발명의 효과

[0023] 본 발명의 실시예에 의하면, 이미지 슬라이딩 횟수를 감소시키고, 데이터 입출력 프로세스 횟수를 감소시킴으로써 컨볼루션 연산 및 풀링 과정에 소모되는 시간과 에너지를 줄여 전체 시스템의 효율성을 높일 수 있는 대각 멤트랜지스터 시스템 및 그 제조 방법과, 대각 멤트랜지스터 시스템을 이용한 컨볼루션 네트워크 연산 장치 및 방법이 제공된다.

[0024] 또한, 본 발명의 일 실시예에 의하면, n×n 풀링을 한번에 연산함으로써 풀링 연산 프로세스 및 에너지 소모량을 기존의 방법에 비해 1/(n×n)으로 감소시킬 수 있다.

[0025] 한편, 본 발명에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 일 실시예에 따른 대각 멤트랜지스터 시스템(10)을 나타낸 도면이다.

도 2는 대각 멤트랜지스터 시스템(10)에 포함된 대각 멤트랜지스터 소자(11) 하나를 확대하여 나타낸 도면이다.

도 3은 본 발명의 일 실시예에 따른 대각 멤트랜지스터 소자 시스템 제조 방법에 의해 대각 멤트랜지스터 시스템(10)이 제조되는 과정을 순차적으로 나타낸 도면이다.

도 4는 4x4 입력 데이터와 3x3 커널(컨볼루션 필터)의 조건 하에서, 기존의 CNN 어레이의 구동 방식을 개략적으

로 나타낸 도면이다.

도 5는 도 4의 과정을 보다 상세히 나타낸 도면으로, 컨볼루션 필터의 슬라이딩에 따라 입력 데이터에 대해 컨볼루션 연산이 수행되는 과정을 순차적으로 나타낸 도면이다.

도 6은 도 4와 같은 조건 하에서, 대각 멤트랜지스터 시스템(10)에 의한 동작 방식을 개략적으로 나타낸 도면이다.

도 7은 도 6의 과정을 보다 상세히 나타낸 도면으로, 대각선 어레이(대각 게이트 전극 라인이 대각선 방향으로 형성되는 본 발명의 구조)를 갖는 대각 멤트랜지스터 시스템(10)에 의하여 특징 맵 데이터를 이용하여 별도의 정보를 저장하는 과정 없이, 풀링 과정을 통해 한번에 컨볼루션 연산 결과가 출력되는 모습을 나타낸 도면이다.

도 8은 도 6 및 도 7에 도시된 방식으로 소스 전극(120)을 통해 입력 데이터를 입력 받고, 드레인 전극(220)을 통해 데이터가 출력되는 모습을 나타낸 예시도이다.

도 9는 기존의 시냅스 어레이 중 어느 하나의 멤트랜지스터 소자에 대하여 가중치 학습을 위한 펄스 시퀀스를 입력하는 모습을 나타낸 도면이다.

도 10은 본 발명의 일 실시예에 따른 대각 멤트랜지스터 시스템(10)에 있어서 한 번의 펄스 시퀀스 입력으로 복수의 대각 멤트랜지스터 소자(11)에 가중치를 학습시키는 모습을 나타낸 도면이다.

도 11은 강유전체층에 분극이 일어난 모습을 나타낸 도도면이다.

도 12는 대각 멤트랜지스터 소자(11)의 게이트 전압에 따른 드레인-소스 전류 변화 특성을 나타낸 도면이다.

도 13은 대각 멤트랜지스터 소자(11)의 펄스 게이트 전압 인가에 따른 PSC(postsynaptic currents) 변화 특성을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0027] 본 발명의 다른 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술 되는 실시 예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0028] 만일 정의되지 않더라도, 여기서 사용되는 모든 용어들(기술 혹은 과학 용어들을 포함)은 이 발명이 속한 종래 기술에서 보편적 기술에 의해 일반적으로 수용되는 것과 동일한 의미를 가진다. 일반적인 사전들에 의해 정의된 용어들은 관련된 기술 그리고/혹은 본 출원의 본문에 의미하는 것과 동일한 의미를 갖는 것으로 해석될 수 있고, 그리고 여기서 명확하게 정의된 표현이 아니더라도 개념화되거나 혹은 과도하게 형식적으로 해석되지 않을 것이다. 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다.

[0029] 명세서에서 사용되는 '포함한다' 및/또는 이 동사의 다양한 활용형들 예를 들어, '포함', '포함하는', '포함하고', '포함하며' 등은 언급된 조성, 성분, 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 조성, 성분, 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다. 본 명세서에서 '및/또는' 이라는 용어는 나열된 구성들 각각 또는 이들의 다양한 조합을 가리킨다.

[0030] 한편, 본 명세서 전체에서 사용되는 '~부'는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미할 수 있다. 예를 들어 소프트웨어, FPGA 또는 ASIC과 같은 하드웨어 구성요소를 의미할 수 있다. 그렇지만 '~부'가 소프트웨어 또는 하드웨어에 한정되는 의미는 아니다. '~부'는 어드레싱할 수 있는 저장 매체에 있도록 구성될 수도 있고 하나 또는 그 이상의 프로세서들을 재생시키도록 구성될 수도 있다. 따라서, 일 예로서 '~부'는 소프트웨어 구성요소들, 객체지향 소프트웨어 구성요소들, 클래스 구성요소들 및 태스크 구성요소들과 같은 구성요소들과, 프로세스들, 함수들, 속성들, 프로시저들, 서브루틴들, 프로그램 코드의 세그먼트들, 드라이버들, 펌웨어, 마이크로 코드, 회로, 데이터, 데이터베이스, 데이터 구조들, 테이블들, 어레이들 및 변수들을 포함한다. 구성요소들과 '~부' 안에서 제공되는 기능은 더 작은 수의 구성요소들 및 '~부'들로 결합되거나 추가적인 구성요소들과 '~부'들로 더 분리될 수 있다.

[0031] 본 명세서에서 어떠한 구성요소 A가 다른 구성요소 B '상에' 위치하거나 형성된다는 것은 특별히 언급되지 않은

한, 그 구성요소 A가 또 다른 구성요소 C가 개재되지 않은 상태로 직접 구성요소 B 상에 위치 또는 형성될 수 있는 것은 물론, 구성요소 A와 구성요소 B 사이에 구성요소 C가 개재된 상태로 구성요소 A가 구성요소 B 상에 위치 또는 형성되는 것을 포괄하는 것으로 이해되어야 한다.

[0032] 이하, 본 명세서의 첨부된 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다.

[0033] 도 1은 본 발명의 일 실시예에 따른 대각 멤트랜지스터 시스템(10)을 나타낸 도면이고, 도 2는 대각 멤트랜지스터 시스템(10)에 포함된 대각 멤트랜지스터 소자(11) 하나를 확대하여 나타낸 도면이다.

[0034] 도 1 및 도 2를 참조하면, 대각 멤트랜지스터 시스템(10)은 복수개의 소스 전극 라인(110), 복수개의 드레인 전극 라인(210), 복수개의 시냅스 소자(300, 400), 및 대각 게이트 전극 라인(510)을 포함할 수 있다. 복수개의 소스 전극 라인(110), 복수개의 드레인 전극 라인(210), 복수개의 시냅스 소자(300, 400), 및 대각 게이트 전극 라인(510)은 기판(20) 상에 형성될 수 있다.

[0035] 각 소스 전극 라인(110)은 소정의 제1 방향으로 형성될 수 있다. 복수개의 소스 전극 라인(110)은 제1 방향과 상이한 제2 방향을 따라 서로 나란하게 배열될 수 있다.

[0036] 소스 전극 라인(110)은 소스 전극(120)의 일측으로부터 제1 방향으로 연장되도록 구성될 수 있다. 소스 전극 라인(110) 및 소스 전극(120)은 미리 설정된 전압이 인가될 수 있다. 일 예로, 소스 전극(120) 및 소스 전극 라인(110)에는 기준 전압(예를 들어, 접지 전압)이 인가되거나, 입력 데이터에 해당하는 입력값이 인가될 수 있다. 각 드레인 전극 라인(210)은 드레인 전극(220)으로부터 제2 방향으로 연장되게 형성될 수 있다. 복수개의 드레인 전극 라인(210)은 복수개의 소스 전극 라인(110)과 교차하도록 형성될 수 있다. 복수개의 드레인 전극 라인(210)은 제1 방향을 따라 서로 나란하게 배열될 수 있다.

[0037] 드레인 전극 라인(210)은 시냅스 소자(300, 400)의 반도체층(300) 상에 형성될 수 있다. 드레인 전극 라인(210)은 소스 전극 라인(110)과 교차되는 일부 영역(교차 영역)이 소스 전극 라인(110)의 일부 영역 상에 적층되도록 구성될 수 있다.

[0038] 예를 들어, 제2 방향이 제1 방향과 수직할 경우, 드레인 전극 라인(210)의 일부 영역은 소스 전극 라인(110)의 일부 영역과 서로 수직을 이루며, 소스 전극 라인(110) 상에 적층될 수 있다. 따라서, 도 1에 도시된 바와 같이 격자 형상(크로스바 어레이 구조)을 이룰 수 있다.

[0039] 드레인 전극 라인(210) 및 드레인 전극(220)은 미리 설정된 전압이 인가될 수 있다. 일 예로, 드레인 전극(220) 및 드레인 전극 라인(210)에는 기준 전압(예를 들어, 접지 전압)이 인가되거나, 입력 데이터에 해당하는 입력값이 인가될 수 있다.

[0040] 소스 전극 라인(110)과 드레인 전극 라인(210)은 금속 등의 전도성 물질로 형성될 수 있다. 실시예에서, 드레인 전극 라인(210)은 그래핀층을 포함할 수 있다.

[0041] 시냅스 소자(300, 400)는 복수개의 소스 전극 라인(110)과 복수개의 드레인 전극 라인(210) 사이의 교차 영역들에 각각 제공될 수 있다. 시냅스 소자(300, 400)는 소스 전극 라인(110)과 드레인 전극 라인(210) 사이의 교차 영역에 제공되는 반도체층(300)과, 드레인 전극 라인(210)의 교차 영역의 페르미 준위(Fermi level)를 조절하기 위한 조절층(400)을 포함할 수 있다.

[0042] 반도체층(300)은 소스 전극 라인(110)과 드레인 전극 라인(210) 사이에 제공될 수 있다. 보다 상세히 말하면, 반도체층(300)은 소스 전극 라인(110)과 드레인 전극 라인(210)이 서로 겹쳐지는 영역에 있어서, 소스 전극 라인(110)과, 소스 전극 라인(110) 상에 적층된 드레인 전극 라인(210)의 사이에 제공될 수 있다.

[0043] 실시예에서, 반도체층(300)은 IGZO(Indium Gallium Zinc Oxide)층으로 구성될 수 있으나, 반도체층(300)을 구성하는 물질이 이에 한정되지는 않는다.

[0044] 조절층(400)은 반도체층(300)의 상면을 덮도록 구성될 수 있다. 보다 상세히 말하면, 조절층(400)은 반도체층(300)과, 반도체층(300) 상에 제공되는 드레인 전극 라인(210)을 함께 덮도록 구성될 수 있다.

[0045] 조절층(400)은 대각 게이트 전극 라인(510)을 통해 인가되는 게이트 전압에 의해 드레인 전극 라인(210)의 그래핀층의 페르미 준위를 조절하여 반도체층(300)과 그래핀층 간의 쇼트키 장벽(Shottky barrier)을 조절할 수 있는 물질로 형성될 수 있다. 이러한 물질의 예에는 PVDF-TrFE(poly-vinylidene fluoride-trifluoro-ethylene)층과 같은 강유전체층이나, 고체 전해질층이 있다.

[0046] 대각 게이트 전극 라인(510)은 소스 전극 라인(110)과 드레인 전극 라인(210)의 교차 영역에서 소스 전극 라인(110) 및 드레인 전극 라인(210)과 교차하도록 형성될 수 있다. 대각 게이트 전극 라인(510)은 소스 전극 라인(110) 및 드레인 전극 라인(210)과의 교차 영역에서 조절층(400) 상에 적층될 수 있다. 대각 게이트 전극 라인(510)은 조절층(400)의 상면과 접촉하며, 제3 방향으로 형성될 수 있다.

[0047] 제3 방향은 제1 방향과 제2 방향의 사이 방향일 수 있다. 대각 게이트 전극 라인(510)의 길이 방향은 소스 전극 라인(110)의 길이 방향과 드레인 전극 라인(210)의 길이 방향의 사이 방향으로 형성될 수 있다. 따라서, 도 1에 도시된 바와 같이, 대각 멤트랜지스터 시스템(10)의 형상을 전체적으로 살펴보면, 대각 게이트 전극 라인(510)이 대각선 방향으로 형성됨을 알 수 있다.

[0048] 대각 멤트랜지스터 시스템(10)은 소스 전극(120), 드레인 전극(220) 및 대각 게이트 전극(520)을 더 포함할 수 있다. 대각 게이트 전극(520)은 대각 게이트 전극(510)을 따라 대각 방향으로 배열된 다수의 시냅스 소자(300, 400)의 가중치(weight)를 동시에 학습하기 위한 가중치 제어 신호를 대각 게이트 전극 라인(510)에 인가하도록 구성될 수 있다.

[0049] 소스 전극(120)은 소스 전극 라인(110)의 끝단에 제공될 수 있다. 드레인 전극(220)은 드레인 전극 라인(210)의 끝단에 제공될 수 있다. 대각 게이트 전극(520)은 대각 게이트 전극 라인(510)의 끝단에 제공될 수 있다.

[0050] 본 발명의 실시예에 따른 대각 멤트랜지스터 시스템(10)은 제어부(도시 생략)를 더 포함할 수 있다. 제어부는 각 드레인 전극 라인(210) 또는 각 소스 전극 라인(110)에 인가될 입력 신호 및 각 대각 게이트 전극 라인(510)에 인가될 가중치 제어 신호를 결정하도록 구성될 수 있다. 드레인 전극 라인(210)과 소스 전극 라인(110) 중 어느 하나는 입력으로, 다른 하나는 출력으로 활용될 수 있다.

[0051] 실시예에서, 제어부는 입력 데이터를 컨볼루션 처리하기 위한 컨볼루션 필터의 필터값들을 기초로 가중치 제어 신호를 결정하여 대각 게이트 전극(520) 및 대각 게이트 전극 라인(510)에 인가하고, 입력 데이터의 입력값들을 기초로 입력 신호를 생성하여 드레인 전극(220) 또는 소스 전극(120)에 인가할 수 있다.

[0052] 대각 멤트랜지스터 시스템(10)은 복수의 소스 전극 라인(110) 또는 복수의 드레인 전극 라인(210)으로 출력되는 출력 신호들을 기초로 컨볼루션 연산 결과를 산출할 수 있다. 대각 멤트랜지스터 시스템(10)은 입력 데이터의 크기 및 컨볼루션 필터의 크기를 기초로, 복수의 소스 전극 라인(120)의 출력 신호들 중, 컨볼루션 필터의 슬라이딩에 따른 컨볼루션 연산값들과 관련된 특징 신호들을 추출하고, 추출된 특징 신호들을 풀링(pooling)하여 컨볼루션 특징 맵을 생성할 수 있다.

[0053] 도 3은 본 발명의 일 실시예에 따른 대각 멤트랜지스터 소자 시스템 제조 방법(S10)에 의해 대각 멤트랜지스터 시스템(10)이 제조되는 과정을 순차적으로 나타낸 도면이다.

[0054] 도 3을 참조하면, 대각 멤트랜지스터 소자 시스템 제조 방법(S10)은 S100 내지 S500 단계를 포함한다.

[0055] S100 단계에서, 기판 상에 복수개의 소스 전극(120), 제1 방향을 길이 방향으로 갖는 복수개의 소스 전극 라인(110) 및 복수개의 드레인 전극(220)이 형성될 수 있다.

[0056] 일 예로, S100 단계는 SiO_2/Si 기판을 에탄올에 15분, 아세톤에 15분 순으로 초음파 세척한 후, 흐르는 순수(DI water)로 세척한 다음 질소 에어건 블로잉을 수행하는 단계(S110), AZ5214 Photoresist를 스핀 코팅한 후 1분간 120 ° C에서 베이킹(baking)하는 단계(S120), 포토마스크(Photo mask)를 활용하여 소스 전극(120), 소스 전극 라인(110) 및 드레인 전극(220)에 해당하는 패턴 부분을 노광한 후, MIF300 현상액에 15초 동안 현상하는 단계(S130) 및 열증착기(Thermally evaporator)를 이용하여 알루미늄(Al)을 3nm 두께로 증착한 후 금(Au)을 22 nm 두께로 증착한 후 아세톤을 이용하여 리프트 오프(lift off) 공정을 진행하여 PR(감광액)을 제거하는 단계(S140)를 포함할 수 있다.

[0057] S200단계에서, 소스 전극 라인(110) 상의 일부 영역(드레인 전극 라인 및 대각 게이트 전극 라인과의 교차 영역)에 반도체층(300)이 형성될 수 있다.

[0058] 일 예로, S200 단계는 반도체층(300)을 위한 포토리소그래피(photolithography)를 진행하는 단계(S210) 및 80 um^2 사이즈의 반도체층(300) 형성을 위해 RF-스퍼터링 시스템(sputtering system)을 이용하여 IGZO를 증착 조건 50 W, Ar 19sccm, O_2 2 sccm, 20 mTorr 하에서 두께 15 nm로 증착한 후 아세톤으로 리프트 오프를 진행하는 단계(S220)를 포함할 수 있다.

[0059] S300 단계에서, 반도체층(300) 상의 일부 영역과 드레인 전극(220) 상의 일부 영역을 연결하는 복수개의 드레인 전극 라인(210)이 제2 방향으로 형성될 수 있다.

[0060] 일 예로, S300 단계는 소스 전극 라인(110)과 드레인 전극 라인(210) 간의 교차 영역에 해당하는 반도체층(300) 상에 그래핀(Graphene)층을 대면적 전사하고, 아세톤에 20분 담근 후 DI water로 세척함으로써 그래핀 보호층인 PMMA를 제거하는 단계(S310), 포토리소그래피 를 통해 그래핀층 위의 넓이 40 um^2의 드레인 전극 라인(210) 부분을 제외한 감광액을 제거하여 현상하는 단계(S320) 및 RIE(reactive-ion etching) 공정을 통해 드레인 전극 라인(210)을 제외한 그래핀층을 RIE 조건 40 W, Ar 10 sccm, O_2 10 sccm, 0.2 Torr 하에서 에칭 후 아세톤을 이용하여 감광액을 리프트 오프 처리하는 단계(S330)를 포함할 수 있다.

[0061] S400 단계에서, 반도체층(300)과, 반도체층(300) 상에 제공되는 드레인 전극 라인(210)의 그래핀층을 함께 덮도록 구성되는 조절층(400)이 형성될 수 있다.

[0062] 일 예로, S400 단계는 유기 강유전체 고분자인 폴리비닐리덴-트리플루오로에틸렌(PVDF-TrFE)(70:30)를 DMF용매에 8 wt%로 녹여준 용액을 스핀-코팅(spin-coating)한 후, 135 ° C에서 2시간 동안 어닐링(annealing)하여 결정화 시키는 단계를 포함할 수 있다.

[0063] S500 단계에서, 조절층(400) 상면의 일부 영역에 접촉되도록 대각 게이트 전극 라인(510)이 제1 방향과 제2 방향의 사이 방향인 제3 방향(대각 방향)으로 형성될 수 있다.

[0064] 일 예로, S500 단계는 반도체층(300)을 포함하는 각 시냅스 소자의 채널 면적을 덮을 수 있는 대각 게이트 전극 라인(510)을 포토리소그래피를 통해 현상 후 열증착에 의해 Al을 25 nm 두께로 증착하는 단계(S510) 및 유기소재인 PVDF-TrFE위 게이트 패턴의 리프트 오프를 위해 감광액만 선택적으로 제거할 수 있는 PGMEA(Propylene glycol monomethyl ether acetate) 용매에 10분 동안 노출하여 리프트 오프를 진행하는 단계(S520)를 포함할 수 있다.

[0065] 도 4는 4x4 입력 데이터와 3x3 커널(컨볼루션 필터)의 조건 하에서, 기존의 CNN 어레이의 구동 방식을 개략적으로 나타낸 도면이고, 도 5는 도 4의 과정을 보다 상세히 나타낸 도면으로, 컨볼루션 필터의 슬라이딩에 따른 입력 데이터에 대한 컨볼루션 연산 과정을 순차적으로 나타낸 도면이다.

[0066] 도 4 및 도 5를 참조하면, 기존의 CNN 어레이 구동 방식의 경우, 커널을 이용한 슬라이딩을 4회 실시하여, 이를 통해 특징 맵(feature map)을 추출한 후, 특징 맵에 최대 풀링(max pooling)을 적용하여 출력한다.

[0067] 도 6은 도 4와 같은 조건 하에서, 본 발명의 실시예에 따른 대각 멤트랜지스터 시스템(10)에 의한 컨볼루션 연산 과정을 개략적으로 나타낸 도면이고, 도 7은 도 6의 과정을 보다 상세히 나타낸 도면으로, 대각선 어레이(대각 게이트 전극 라인이 대각선 방향으로 형성되는 본 발명의 구조)를 갖는 대각 멤트랜지스터 시스템(10)에 의하여 특징 맵(feature map) 데이터를 이용하여 별도의 정보를 저장하는 과정 없이, 풀링(pooling) 과정을 통해 한번에 컨볼루션 연산 결과가 출력되는 모습을 나타낸 도면이고, 도 8은 도 6 및 도 7에 도시된 방식으로 소스 전극(120)을 통해 인풋 데이터를 입력 받고, 드레인 전극(220)을 통해 데이터가 출력되는 모습을 나타낸 예시도이다.

[0068] 도 6 내지 도 7을 참조하면, 본 발명의 일 실시예에 따른 대각 멤트랜지스터 시스템(10)은 한번의 입력 데이터의 입력을 통해 특징 맵을 도출할 수 있으며, 도출된 특징 맵을 별도로 저장하는 과정 없이, 곧바로 풀링 과정을 통해 컨볼루션 연산 결과 데이터를 출력할 수 있다.

[0069] 예를 들어, 도 6 및 도 7에 도시된 바와 같이 입력 데이터가 1 부터 16까지의 총 16개의 화소값들에 해당하는 입력값들을 포함하고 있는 경우, 각각의 입력값이 각각의 소스 전극(120)에 한번에 컬럼 형태로 입력될 수 있다. 이를 위해, 소스 전극의 개수는 입력 데이터를 구성하는 입력값들의 개수(예를 들어, 컨볼루션 처리 단위인 영상 내의 화소들의 개수)와 같은 16개로 구성되거나, 그보다 많아야 한다. 일 예로, 입력 데이터가 NXN 크기를 가지는 경우, 소스 전극 라인(110) 및 드레인 전극 라인(120)의 개수는 각각 N^2 개로 구현될 수 있다. 특징 맵 도출과 풀링 과정을 거쳐 생성된 출력 데이터는 드레인 전극(220)을 통해 출력되는데, 도시된 예의 경우, 첫번째 드레인 전극(220)을 통해 A 아웃풋이 출력되고, 두번째 드레인 전극(220)을 통해 B 아웃풋이 출력되고, 5번째 드레인 전극(220)을 통해 C 아웃풋이 출력되고, 6번째 드레인 전극(220)을 통해 D 아웃풋이 출력될 수 있다.

[0070] 이때 아웃풋 A 내지 D는 대각 멤트랜지스터 시스템(10)에 의해 다수의 드레인 전극(220)을 통해 동시에 출력될

수 있다. 즉, 대각 게이트라인을 공유하는 16x4 어레이 소자 구조에서 옴의 법칙(Ohm's law) 과 키르히호프(Kirchhoff's) 법칙을 통한 벡터 연산을 통해 A, B, C, D 연산 값이 한번에 추출된다. 이에 따라 본 발명의 실시예에 의하면 빠르고 효율적인 컨볼루션 연산이 가능하다.

[0071] 도 9는 기존의 시냅스 어레이 중 어느 하나의 멤트랜지스터 소자에 대하여 가중치 학습을 위한 펄스 시퀀스를 입력하는 모습을 나타낸 도면이고, 도 10은 본 발명의 일 실시예에 따른 대각 멤트랜지스터 시스템(10)에 있어서 한 번의 펄스 시퀀스 입력으로 복수의 대각 멤트랜지스터 소자(11)에 가중치를 학습시키는 모습을 나타낸 도면이다.

[0072] 도 9를 참조하면, 붉은색으로 도시된 하나의 멤트랜지스터 소자에 대하여 가중치를 학습시키기 위해서는 소스 전극 라인과 드레인 전극 라인 각각에 펄스 시퀀스를 입력해야 한다.

[0073] 이와 달리, 도 10을 참조하면, 본 발명의 일 실시예에 따른 대각 멤트랜지스터 시스템(10)는, 대각 게이트 전극 라인(510)을 통한 한 번의 펄스 시퀀스 인가를 통해 복수의 대각 멤트랜지스터 소자(11)(대각 방향으로 배열된 복수의 시냅스 소자의 그룹)에 대하여 동시에 학습에 사용되는 가중치 제어 신호를 전달할 수 있다.

[0074] 대각 멤트랜지스터 시스템(10)의 경우, 각각의 색깔 별로 도시된 복수의 대각 멤트랜지스터 소자(11)에 대하여 가중치를 학습시키고자 할 경우, 대각 멤트랜지스터 소자(11)를 지나는 하나의 대각 게이트 전극 라인(510)에 펄스 시퀀스를 입력하는 것 만으로 목적한 바를 달성할 수 있다.

[0075] 다시 도 2를 참조하면, 대각 멤트랜지스터 소자(11)는 3단자 구조를 갖는데, 소스 전극 라인(110)과 드레인 전극 라인(210)이 채널층인 반도체층(예를 들어, IGZO층)을 사이에 두고 수직으로 교차할 수 있으며, 그 위로 강유전체층(예를 들어, PVDF-TrFE층)이 위치하도록 하여 대각 게이트 전극 라인(510)을 대각 방향으로 제작할 수 있다.

[0076] 상술한 바와 같은 본 발명의 실시예에 따른 대각 멤트랜지스터 시스템(10)은 컨볼루션 네트워크 연산을 수행하는 컨볼루션 네트워크 연산 장치 및 방법으로 응용될 수 있다. 컨볼루션 네트워크 연산 장치는 입력 데이터의 입력값들을 기초로 입력 신호들을 생성하여 복수의 드레인 전극 라인(또는 복수의 소스 전극 라인)에 인가하고, 컨볼루션 필터의 필터값들을 기초로 가중치 제어 신호들을 결정하여 복수의 대각 게이트 전극 라인에 인가할 수 있다.

[0077] 컨볼루션 네트워크 연산 장치는 복수의 소스 전극 라인(또는 복수의 드레인 전극 라인)으로 출력되는 출력 신호들을 기초로 컨볼루션 연산 결과를 산출할 수 있다. 이때, 컨볼루션 네트워크 연산 장치는 입력 데이터의 크기 및 컨볼루션 필터의 크기를 기초로 출력 신호들 중 컨볼루션 필터의 슬라이딩에 따른 컨볼루션 연산값들과 관련된 특징 신호들을 추출하고, 특징 신호들을 풀링하여 컨볼루션 특징 맵을 생성할 수 있다.

[0078] 도 7에 도시된 실시예의 경우, 첫번째 내지 여섯번째 소스 전극 라인 중, 첫번째, 두번째, 다섯번째 및 여섯번째 소스 전극 라인의 출력 신호들이 특징 신호들로 추출되고, 해당 특징 신호들을 풀링하여 컨볼루션 특징 맵을 생성하게 된다. 입력 데이터의 행과 열 순으로 순차로 순번을 부여할 경우, 출력 신호들 중에서 추출되는 특징 신호들의 순번은 예를 들어, Nk+1, Nk+2, ..., Nk+N-M+1 (k는 0, 1, ..., N-M) (N: 입력 데이터의 크기, M: 컨볼루션 필터의 크기) 일 수 있다. 이 경우, N^2 개의 출력 신호들 중에서, $(N-M+1)^2$ 개의 특징 신호들이 추출될 수 있다. 도 7의 경우, N = 4, M = 3 이므로, 1, 2번째 순번(k = 0 인 경우)과, 5, 6번째 순번(k = 1 인 경우)에 해당하는 4개(2^2개)의 특징 신호들(A, B, C, D)이 소스 전극들을 통해 출력된다.

[0079] 도 11은 강유전체층에 분극이 일어난 모습을 나타낸 도면이고, 도 12는 대각 멤트랜지스터 소자(11)의 게이트 전압에 따른 드레인-소스 전류 변화 특성을 나타낸 도면이고, 도 13은 대각 멤트랜지스터 소자(11)의 펄스 게이트 전압 인가에 따른 PSC(postsynaptic currents) 변화 특성을 나타낸 도면이다. 도 12의 가로축은 대각 멤트랜지스터 소자(11)의 게이트 전극에 인가되는 게이트 전압, 세로축은 드레인-소스 간에 흐르는 전류이다. 도 12의 실험에서 드레인-소스 전압은 1V로 일정하게 유지되었다.

[0080] 도 13의 가로축은 대각 멤트랜지스터 소자(11)의 게이트 전극에 인가되는 펄스 전압, 세로축은 펄스 전압에 따른 후시냅스 전류(postsynaptic currents)이다. 도 13의 실험은 대각 멤트랜지스터 소자(11)의 게이트 전극에 시냅스 소자의 가중치를 증가시키는 강화 펄스(potentiating pulse)에 해당하는 30V 펄스 전압을 500 ms 주기로 30초 동안 반복적으로 인가한 후, 다시 시냅스 소자의 가중치를 감소시키는 억제 펄스(depressing pulse)에 해당하는 -30V 펄스 전압을 500 ms 주기로 30초 동안 반복적으로 인가하는 방식으로 수행되었으며, 드레인-소스 전압은 1.5 V로 일정하게 유지하였다.

[0081] 도 11 내지 도 13을 참조하면, 대각 게이트 전극(520) 및 대각 게이트 전극 라인(510)에 인가된 전기장은 강유전체층(Ferroelectric layer)에 분극을 일으키고, 이 분극의 방향에 따라 그래핀의 페르미 레벨을 조절할 수 있게 된다.

[0082] 이는 곧 그래핀층과 반도체층 사이의 쇼트키 장벽(Schottky barrier)의 높이 조절과 연결되며, 그에 따라 대각 멤트랜지스터 소자(11)의 컨덕턴스(conductance) 조절이 가능하게 된다.

[0083] 도 2, 도 11 내지 도 13을 다시 참조하면, 드레인 전극 라인(210)의 그래핀층과 조절층(400)의 강유전체를 사용하여 쇼트키 장벽을 조절하는 배리스터(barristor) 구조 디바이스로 대각 멤트랜지스터 소자(11)를 수직 구조로 제조하는 경우, 수평형 인공 시냅스 소자에 비해 풋-프린트(foot-print)를 줄일 수 있다. 특히, 본 발명의 실시예에 의하면, 대각화 게이트 어레이를 구성하는 웨이트 업데이트 영역과 행렬곱연산 구동 영역을 구분하여, 동시적 학습 용이성을 확보할 수 있다.

[0084] 상술한 바와 같은 본 발명의 실시예에 따른 대각 멤트랜지스터 시스템에 의하면, 입력 데이터와 컨볼루션 필터 간의 데이터 슬라이딩 동작이 필요하지 않아 회로를 간소화할 수 있으며, 컨볼루션과 풀링을 동시적으로 연산 처리를 수행할 수 있어 연산량을 종래 기술 대비 1/4 미만으로 줄이고, 연산 속도를 비약적으로 높일 수 있다. 또한, 시냅스 소자의 가중치 동시 학습 효율을 높일 수 있으며, 풀링 처리를 위해 특징 맵을 저장할 필요가 없고 별도의 풀링층을 필요로 하지 않아 데이터 입/출력 및 연산량을 추가로 감소할 수 있다.

[0085] 이상에서 실시예를 통해 본 발명을 설명하였으나, 위 실시예는 단지 본 발명의 사상을 설명하기 위한 것으로 이에 한정되지 않는다. 통상의 기술자는 전술한 실시예에 다양한 변형이 가해질 수 있음을 이해할 것이다. 본 발명의 범위는 첨부된 특허청구범위의 해석을 통해서만 정해진다.

부호의 설명

[0086] 10 대각 멤트랜지스터 시스템

20 기판

110 소스 전극 라인

120 소스 전극

210 드레인 전극 라인

220 드레인 전극

300 반도체층

400 조절층

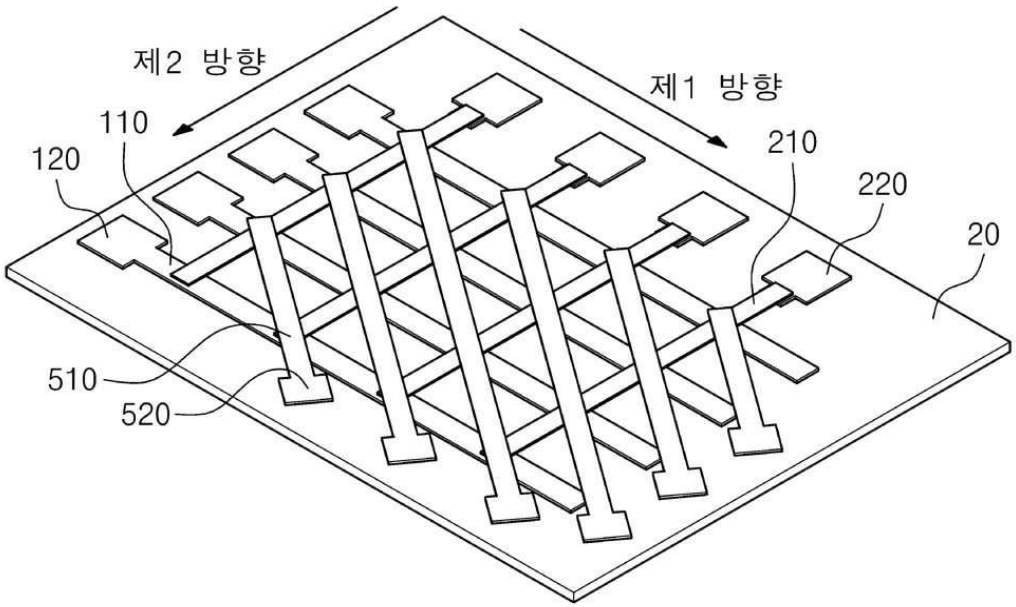
510 대각 게이트 전극 라인

520 대각 게이트 전극

도면

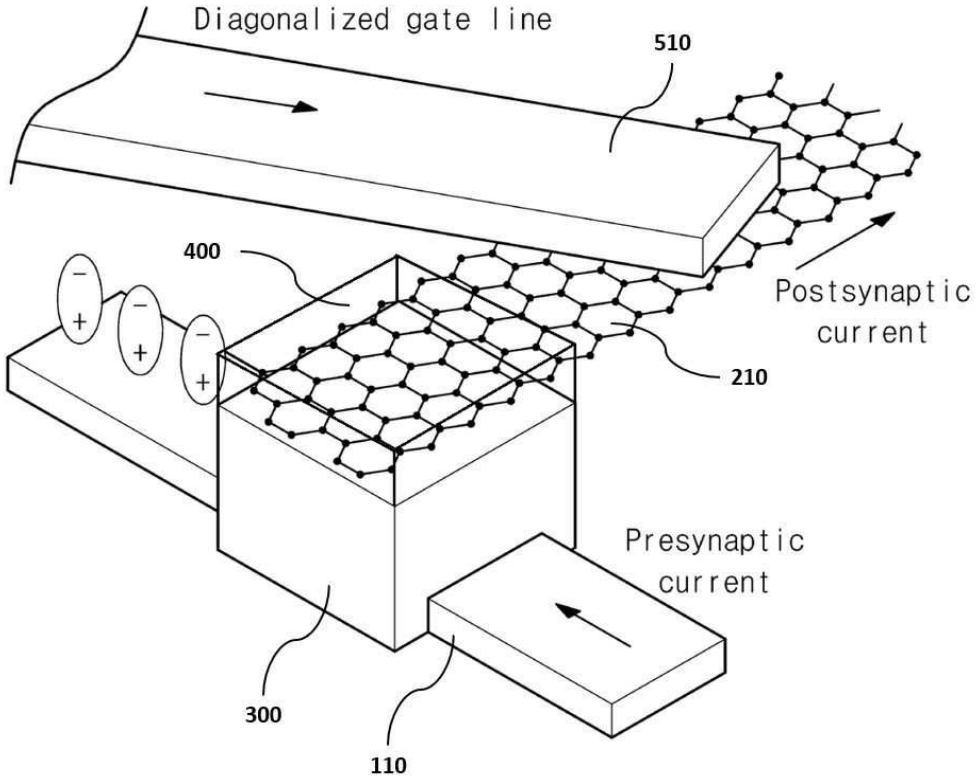
도면1

10



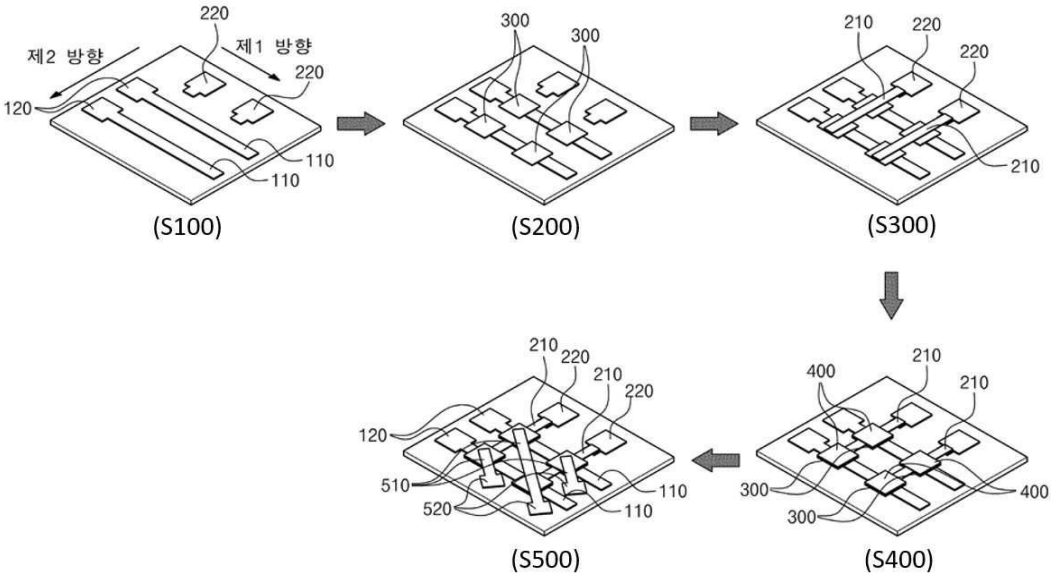
도면2

11

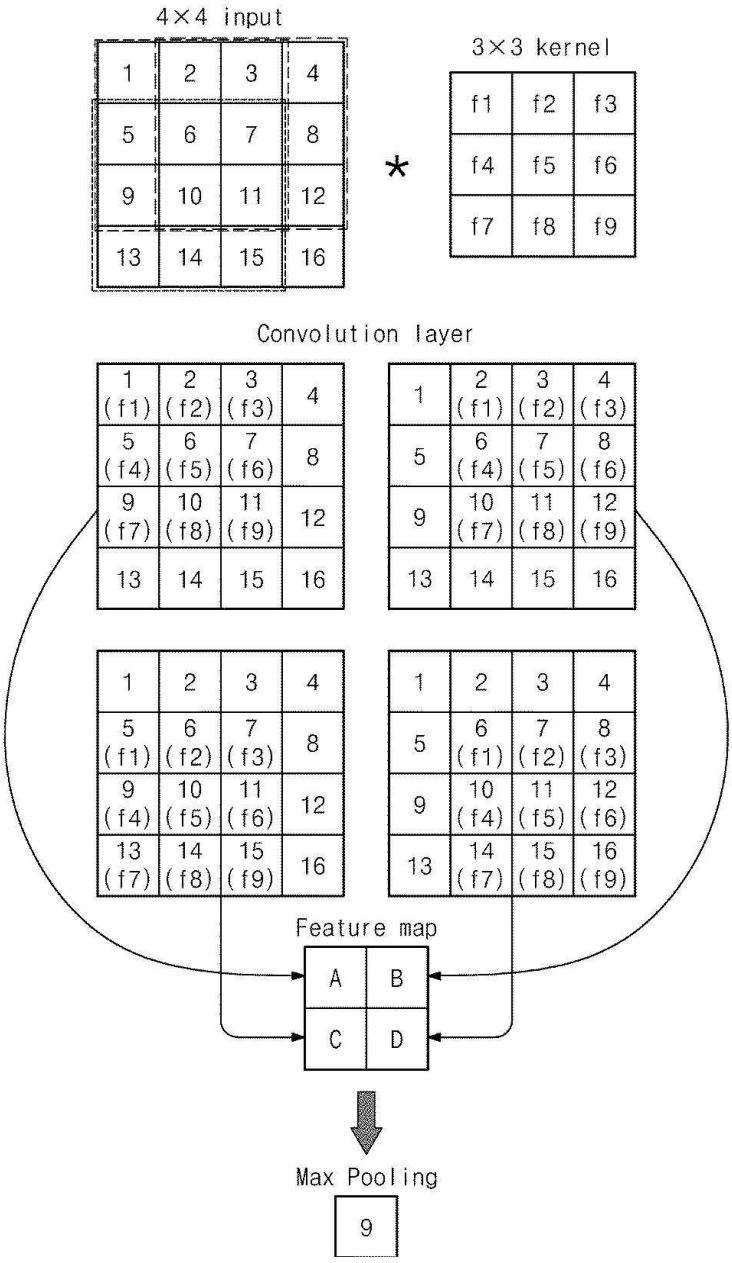


도면3

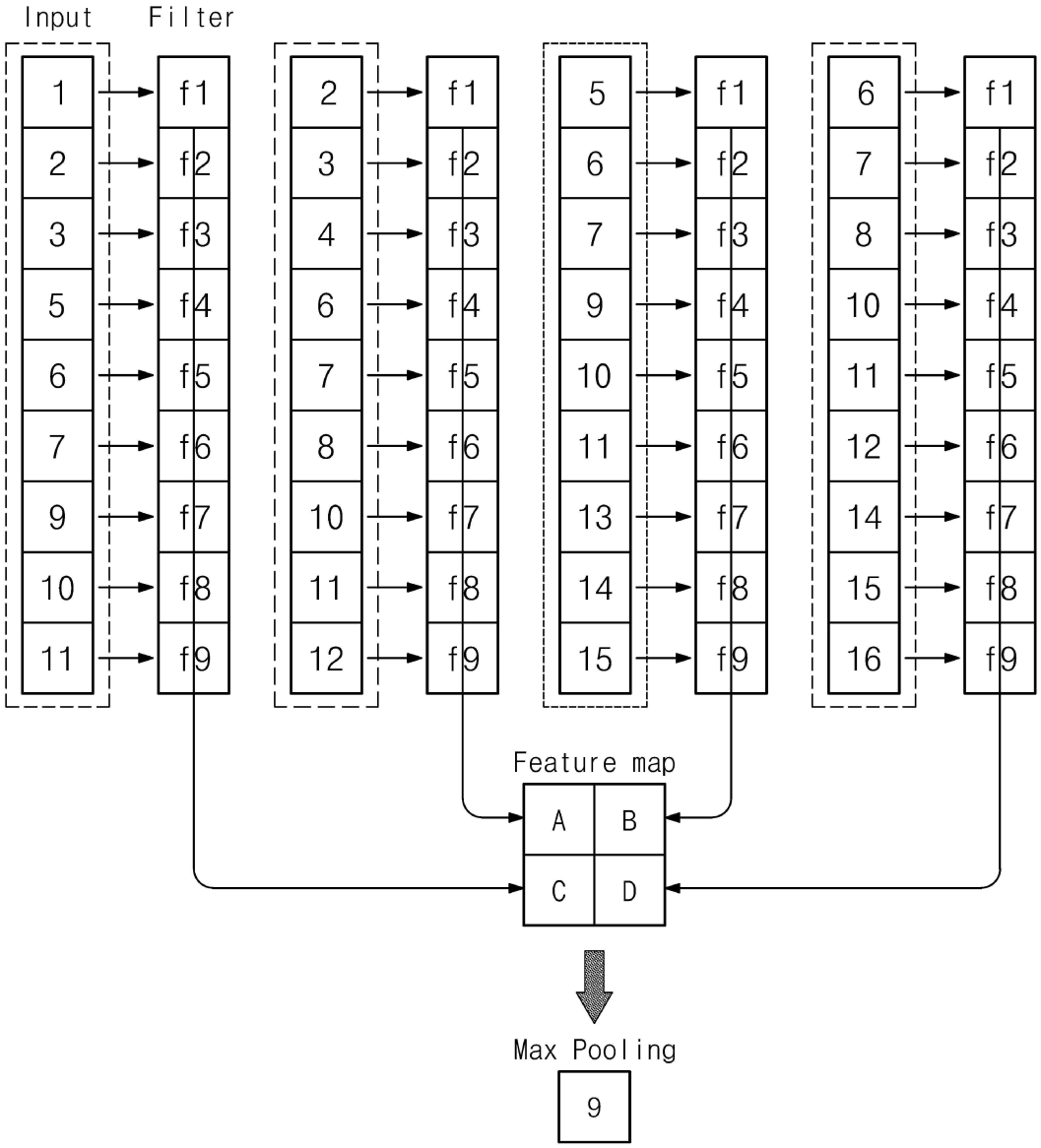
S10


220
제1 방향
제2 방향
220
120
110
110
(S100)
300
300
(S200)
210
220
220
210
(S300)
210
400
210
210
300
300
400
(S400)
210
220
210
220
120
510
520
110
110
(S500)

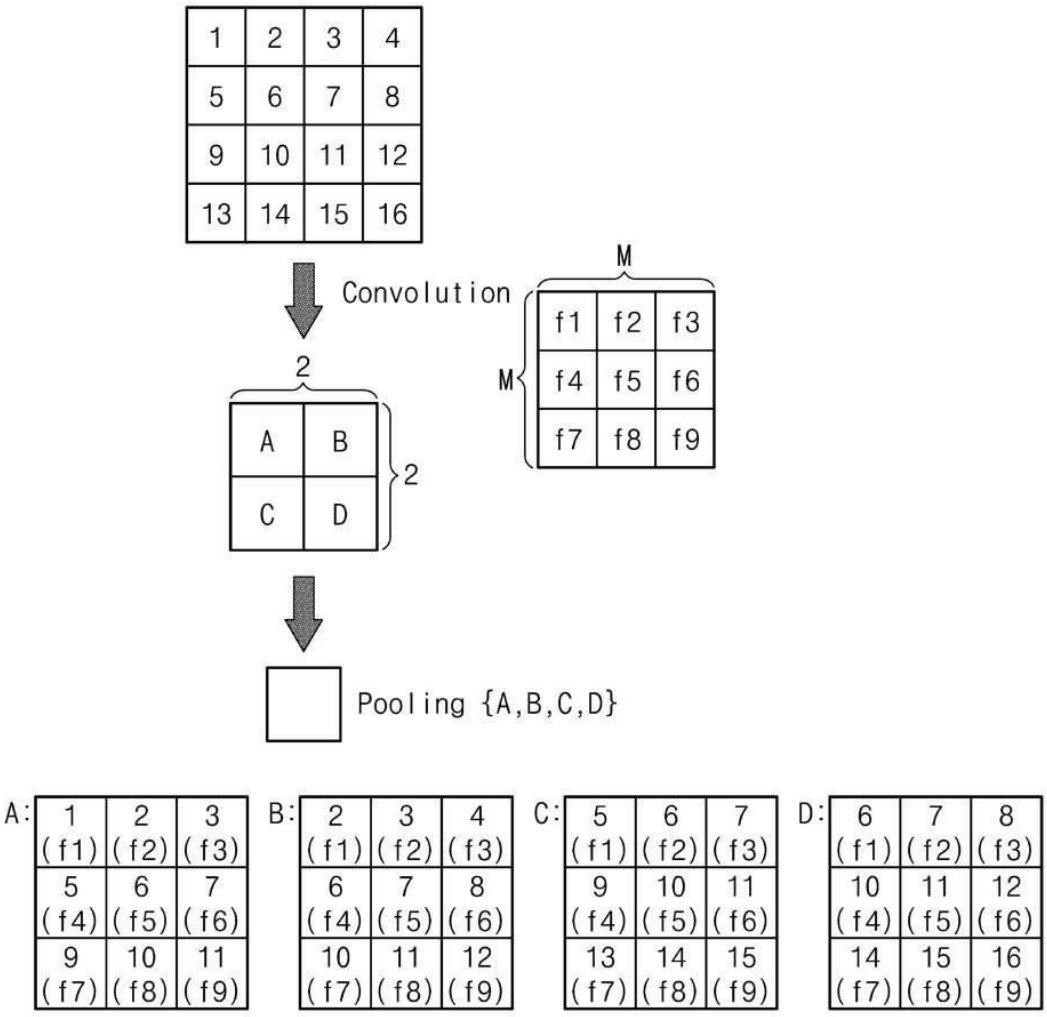
도면4


4×4 input
3×3 kernel
*
Convolution layer
Feature map
A
B
C
D
Max Pooling
9

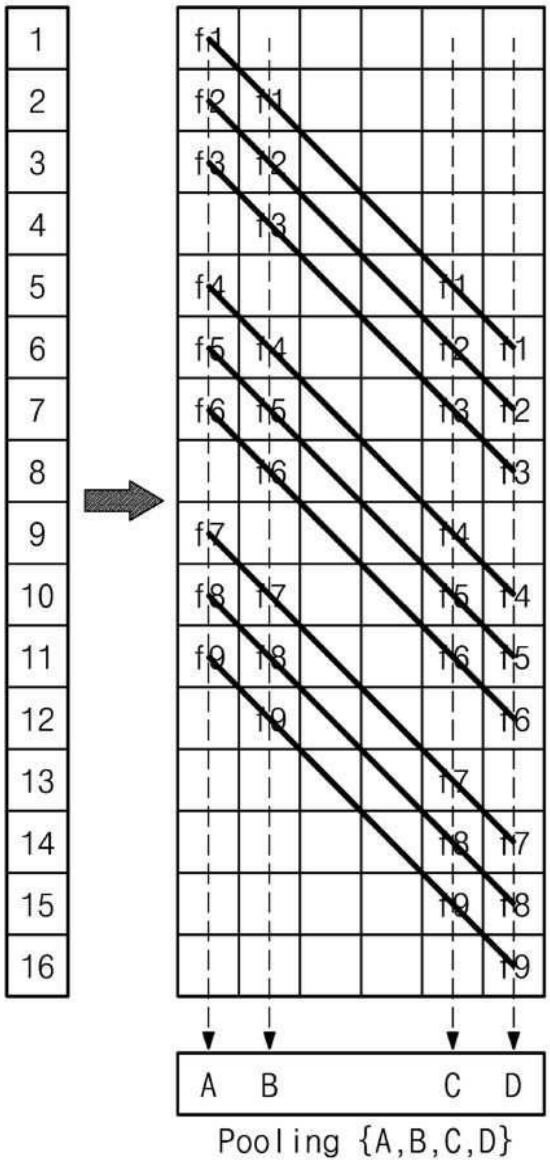
도면5


Input
Filter
1
2
3
5
6
7
9
10
11
f1
f2
f3
f4
f5
f6
f7
f8
f9
2
3
4
6
7
8
10
11
12
5
6
7
9
10
11
13
14
15
6
7
8
10
11
12
14
15
16
Feature map
A
B
C
D
Max Pooling
9

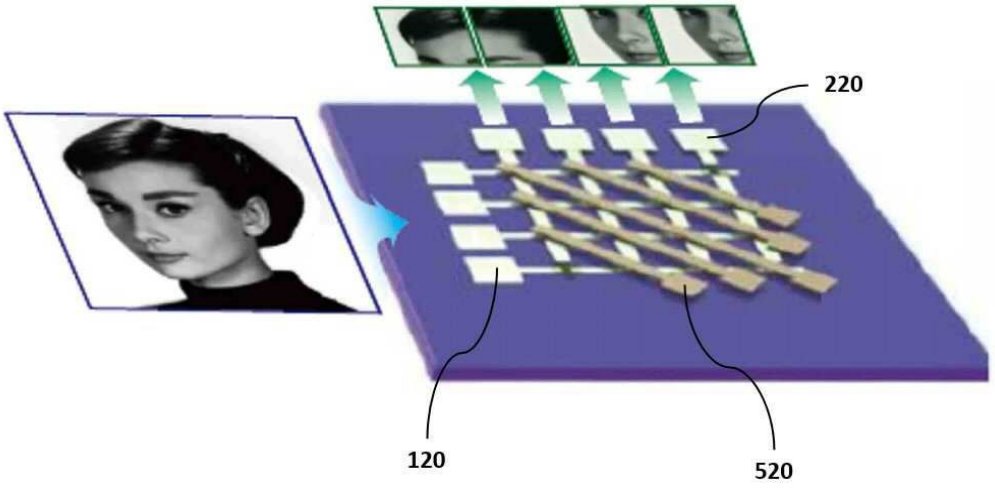
도면6


1 2 3 4
5 6 7 8
9 10 11 12
13 14 15 16
Convolution
M
f1 f2 f3
f4 f5 f6
f7 f8 f9
2
A B
C D
2
Pooling {A,B,C,D}
A:
1 (f1) 2 (f2) 3 (f3)
5 (f4) 6 (f5) 7 (f6)
9 (f7) 10 (f8) 11 (f9)
B:
2 (f1) 3 (f2) 4 (f3)
6 (f4) 7 (f5) 8 (f6)
10 (f7) 11 (f8) 12 (f9)
C:
5 (f1) 6 (f2) 7 (f3)
9 (f4) 10 (f5) 11 (f6)
13 (f7) 14 (f8) 15 (f9)
D:
6 (f1) 7 (f2) 8 (f3)
10 (f4) 11 (f5) 12 (f6)
14 (f7) 15 (f8) 16 (f9)

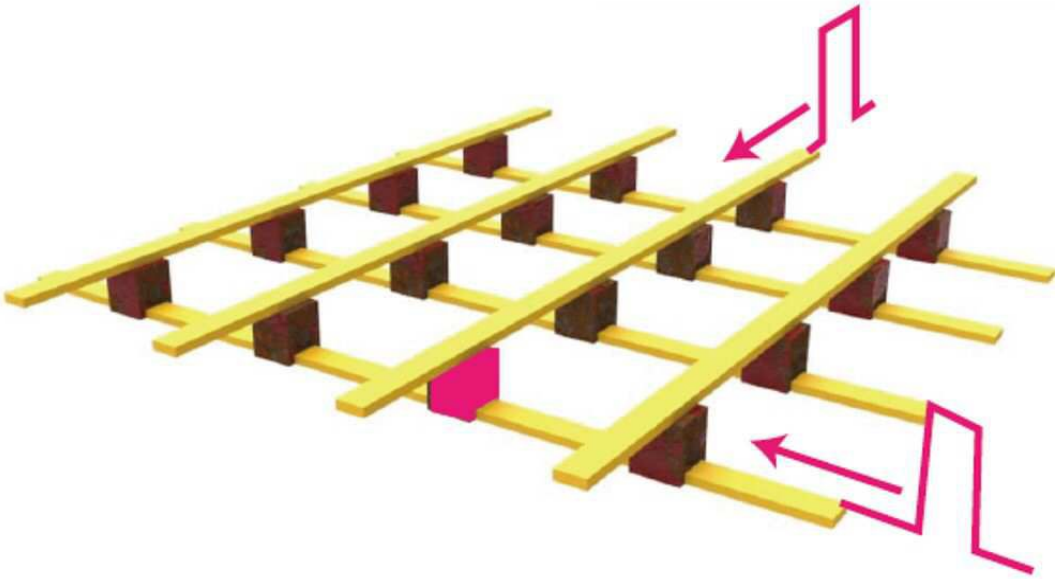
도면7



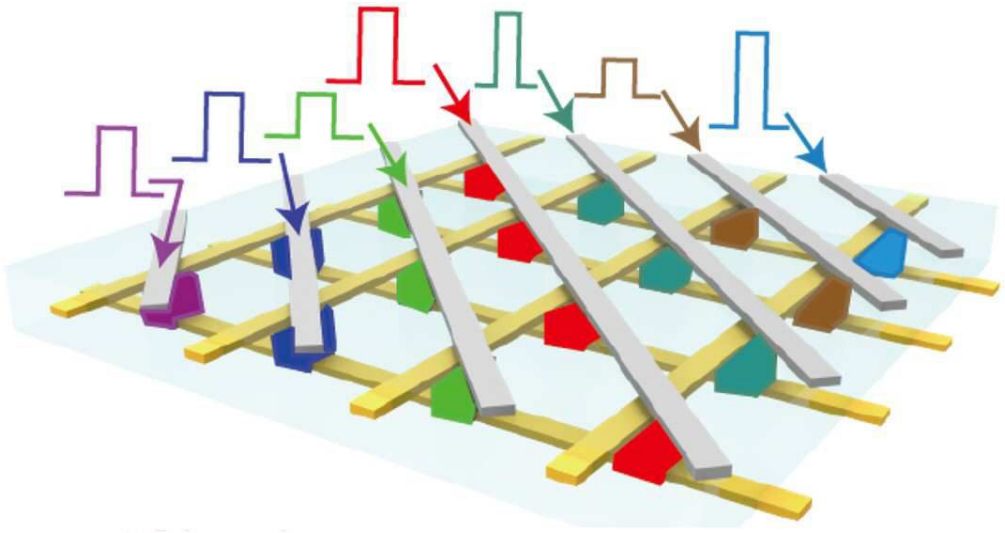
도면8



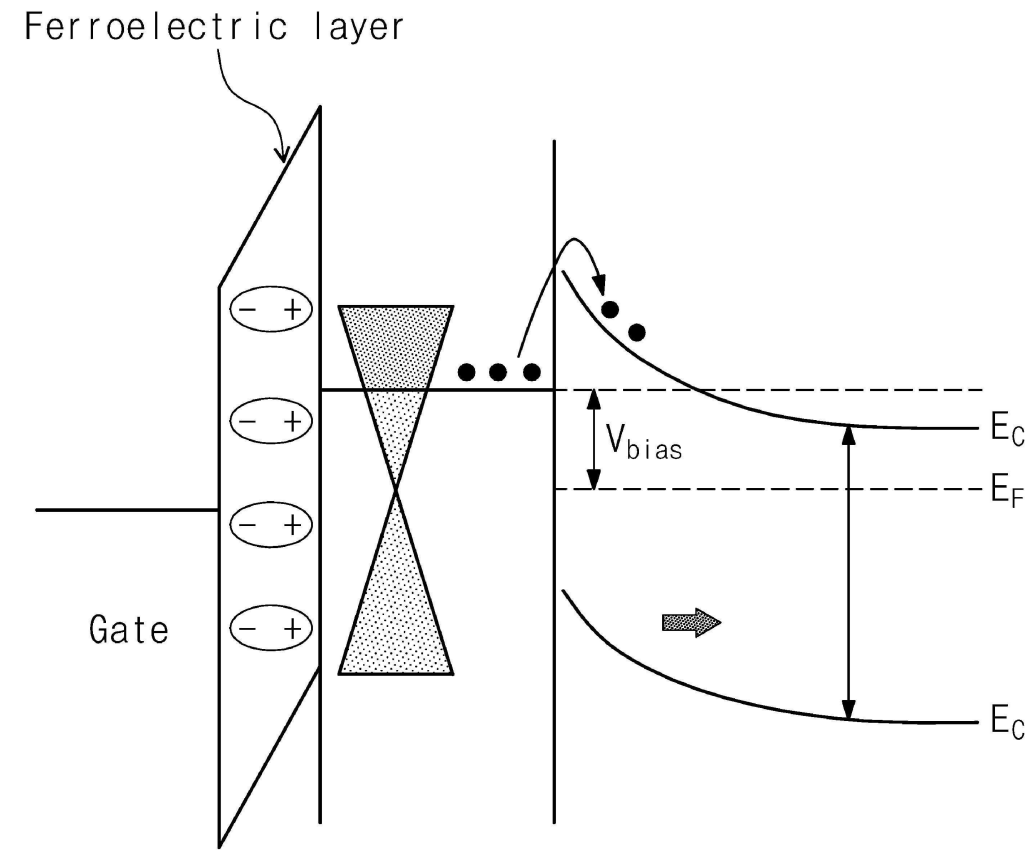
도면9



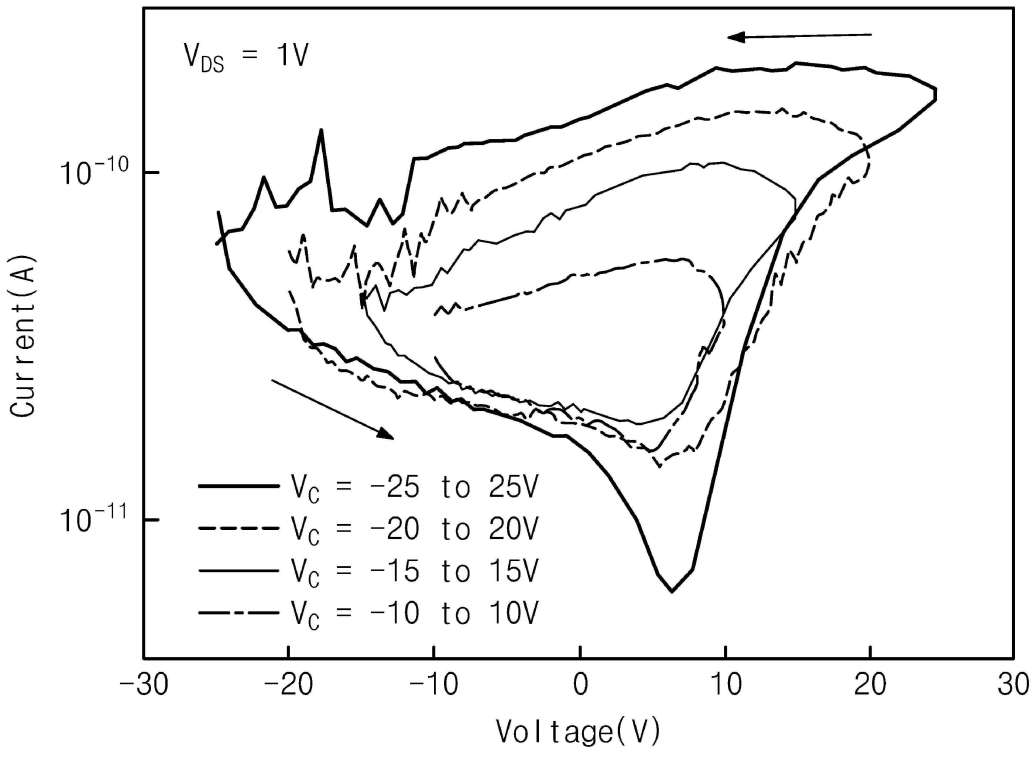
도면10



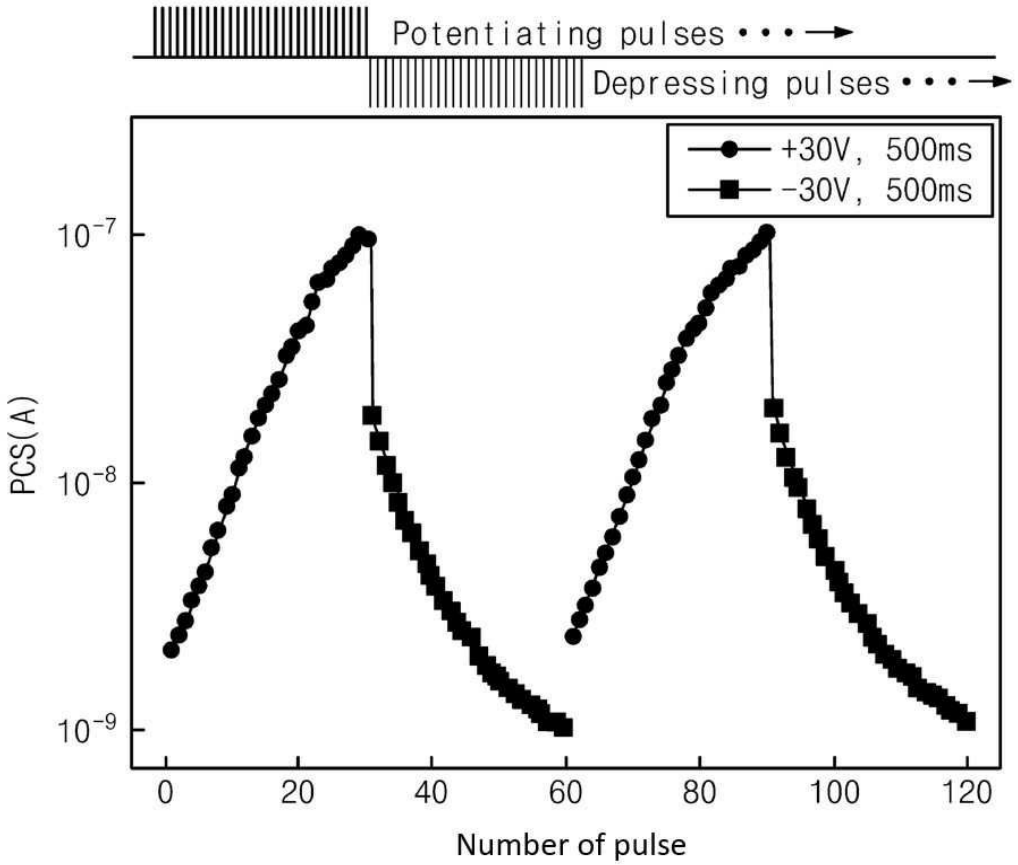
도면11


Ferroelectric layer
Gate
V_{bias}
E_C
E_F
E_C

도면12


V_{DS} = 1V
10^{-10}
10^{-11}
Current(A)
V_C = -25 to 25V
V_C = -20 to 20V
V_C = -15 to 15V
V_C = -10 to 10V
-30
-20
-10
0
10
20
30
Voltage(V)

도면13


Potentiating pulses
Depressing pulses
+30V, 500ms
-30V, 500ms
PCS(A)
10^{-7}
10^{-8}
10^{-9}
0
20
40
60
80
100
120
Number of pulse