



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0045427
(43) 공개일자 2025년04월01일

(51) 국제특허분류(Int. Cl.)
H03L 7/081 (2006.01) H03L 7/087 (2006.01)
H03L 7/093 (2006.01) H03L 7/099 (2006.01)
(52) CPC특허분류
H03L 7/0814 (2013.01)
H03L 7/087 (2013.01)
(21) 출원번호 10-2023-0170067
(22) 출원일자 2023년11월29일
심사청구일자 없음
(30) 우선권주장
1020230128528 2023년09월25일 대한민국(KR)

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
박진욱
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
박종민
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 10 항

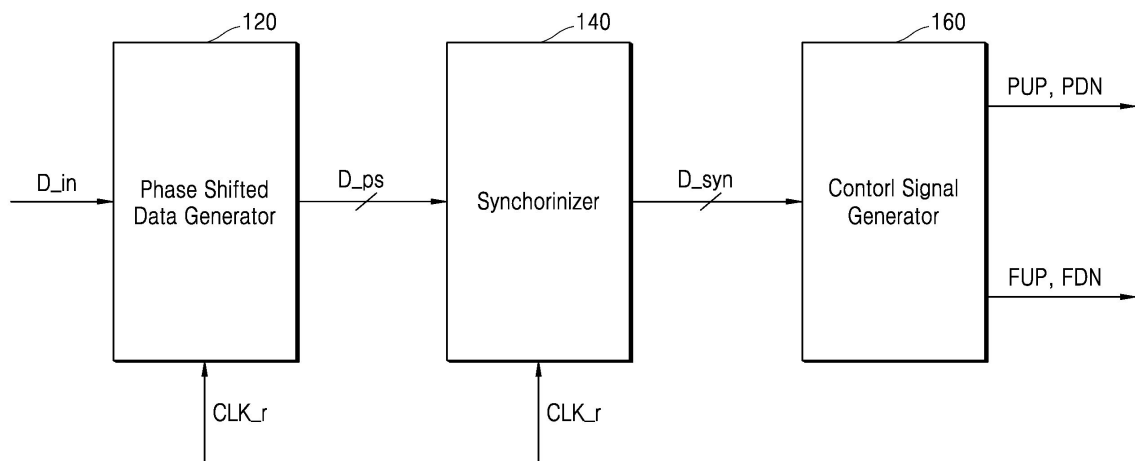
(54) 발명의 명칭 클락 신호의 주파수 및 위상을 감지하는 집적 회로, 이의 동작 방법 및 집적 회로를 포함하는 클락 및 데이터 복원 회로

(57) 요약

집적 회로, 집적 회로의 동작 방법 및 집적 회로를 포함하는 클락 및 데이터 복원 회로가 개시된다. 본 개시의 집적 회로는, 서로 다른 위상을 갖는 복수의 클락 신호들에 기초하여, 입력 데이터로부터 복수의 위상 천이 데이터(phase shifted data)들을 생성하는 위상 천이 데이터 생성 회로, 수신된 복수의 위상 천이 데이터들에 복수의 (뒷면에 계속)

대표도

100



클락 신호들을 적용함으로써 복수의 동기화 데이터들을 생성하는 동기화 회로, 및 수신된 복수의 동기화 데이터들에 논리 연산을 수행함으로써 기준 클락 신호의 위상 및 주파수 중 적어도 하나를 제어하기 위한 기준 클락 제어 신호를 생성하는 제어 신호 생성 회로를 포함하고, 복수의 클락 신호들은, 기준 클락 신호 및 기준 클락 신호와 사전에 결정된 간격의 위상 차를 가지는 적어도 하나의 위상 천이 클락 신호를 포함하고, 논리 연산의 기초가 되는 복수의 동기화 데이터들 중 가장 큰 위상 차를 갖는 두 데이터의 위상 간격은, 기준 클락 신호의 신호 주기보다 클 수 있다.

(52) CPC특허분류

H03L 7/093 (2013.01)

H03L 7/099 (2013.01)

명세서

청구범위

청구항 1

서로 다른 위상을 갖는 복수의 클락 신호들에 기초하여, 입력 데이터로부터 복수의 위상 천이 데이터(phase shifted data)들을 생성하는 위상 천이 데이터 생성 회로;

수신된 상기 복수의 위상 천이 데이터들에 상기 복수의 클락 신호들을 적용함으로써 복수의 동기화 데이터들을 생성하는 동기화 회로; 및

수신된 상기 복수의 동기화 데이터들에 논리 연산을 수행함으로써 상기 기준 클락 신호의 위상 및 주파수 중 적어도 하나를 제어하기 위한 기준 클락 제어 신호를 생성하는 제어 신호 생성 회로를 포함하고,

상기 복수의 클락 신호들은, 상기 기준 클락 신호 및 상기 기준 클락 신호와 사전에 결정된 간격의 위상 차를 가지는 적어도 하나의 위상 천이 클락 신호를 포함하고,

상기 논리 연산의 기초가 되는 상기 복수의 동기화 데이터들 중 가장 큰 위상 차를 갖는 두 데이터의 위상 간격은, 상기 기준 클락 신호의 신호 주기보다 큰, 집적 회로.

청구항 2

청구항 1에서,

상기 복수의 위상 천이 데이터들은,

상기 입력 데이터의 신호 간 경계에서 임계 위상값 이상의 위상 차를 갖는 위치를 타겟으로 샘플링하여 형성되는 적어도 하나의 비균등 위상 천이 데이터를 포함하는 것을 특징으로 하는, 집적 회로.

청구항 3

청구항 2에 있어서,

상기 기준 클락 신호는 하프-레이트(half-rate)기반으로 동작하고,

적어도 하나의 위상 천이 클락 신호는,

상기 기준 클락 신호와 90도의 자연수 배수의 위상 차를 갖는 복수의 균등 클락 신호들; 및

상기 복수의 균등 클락 신호들 중 어느 하나의 클락 신호와 P도(P는 90 미만의 양의 실수(real number))의 위상 차를 갖는 적어도 하나의 비균등 클락 신호를 포함하고,

상기 적어도 하나의 비균등 위상 천이 데이터는, 상기 적어도 하나의 비균등 클락 신호에 기초하여 생성되는 것을 특징으로 하는, 집적 회로.

청구항 4

청구항 2에 있어서,

상기 기준 클락 신호는 풀-레이트(full-rate)기반으로 동작하고,

적어도 하나의 위상 천이 클락 신호는,

상기 기준 클락 신호와 180도의 자연수 배수의 위상 차를 갖는 복수의 균등 클락 신호들; 및

상기 복수의 균등 클락 신호들 중 어느 하나의 클락 신호와 P도(P는 180 미만의 양의 실수(real number))의 위상 차를 갖는 적어도 하나의 비균등 클락 신호를 포함하고,

상기 적어도 하나의 비균등 위상 천이 데이터는, 상기 적어도 하나의 비균등 클락 신호에 기초하여 생성되는 것을 특징으로 하는, 집적 회로.

청구항 5

청구항 1에 있어서,

상기 기준 클락 제어 신호는,

상기 기준 클락 신호의 위상을 제어하기 위한 위상 제어 신호 및 상기 기준 클락 신호의 주파수를 제어하기 위한 주파수 제어 신호를 포함하는 것을 특징으로 하는, 집적 회로.

청구항 6

청구항 1에 있어서,

상기 위상 천이 데이터 생성 회로는,

상기 복수의 클락 신호들을 하나씩 입력받는 복수의 플립플롭들을 포함하고,

각각의 상기 복수의 플립플롭들은 병렬적으로 연결되어 입력 데이터로부터 상기 복수의 동기화 데이터들을 상기 동기화 회로로 출력하는 것을 특징으로 하는, 집적 회로.

청구항 7

입력 데이터 및 기준 클락 신호에 기초하여, 상기 기준 클락 신호의 위상을 제어하기 위한 위상 제어 신호 및 상기 기준 클락 신호의 주파수를 제어하기 위한 주파수 제어 신호를 생성하는 집적 회로의 동작 방법에 있어서, 서로 다른 위상을 갖는 복수의 클락 신호들에 기초하여, 입력 데이터로부터 복수의 위상 천이 데이터(phase shifted data)들을 생성하는 단계;

상기 복수의 위상 천이 데이터들에 상기 복수의 클락 신호들을 적용함으로써 복수의 동기화 데이터들을 생성하는 단계; 및

상기 복수의 동기화 데이터들에 논리 연산을 수행함으로써 상기 위상 제어 신호 및 상기 주파수 제어 신호를 생성하는 단계를 포함하고,

상기 복수의 클락 신호들은, 상기 기준 클락 신호 및 상기 기준 클락 신호와 사전에 결정된 간격의 위상 차를 가지는 적어도 하나의 위상 천이 클락 신호를 포함하고,

상기 논리 연산의 기초가 되는 상기 복수의 동기화 데이터들 중 가장 큰 위상 차를 갖는 두 데이터의 위상 간격은, 상기 기준 클락 신호의 신호 주기보다 큰, 집적 회로의 동작 방법.

청구항 8

청구항 7에 있어서,

상기 복수의 위상 천이 데이터들은,

상기 입력 데이터의 신호 간 경계에서 임계 위상값 이상의 위상 차를 갖는 위치를 타겟으로 샘플링하여 형성되는 적어도 하나의 비균등 위상 천이 데이터를 포함하는 것을 특징으로 하는, 집적 회로의 동작 방법.

청구항 9

청구항 8에 있어서,

상기 기준 클락 신호는 하프-레이트(half-rate)기반으로 동작하고,

적어도 하나의 위상 천이 클락 신호는,

상기 기준 클락 신호와 90도의 자연수 배수의 위상 차를 갖는 복수의 균등 클락 신호들; 및

상기 복수의 균등 클락 신호들 중 어느 하나의 클락 신호와 P도(P는 90 미만의 양의 실수(real number))의 위상 차를 갖는 적어도 하나의 비균등 클락 신호를 포함하고,

상기 적어도 하나의 비균등 위상 천이 데이터는, 상기 적어도 하나의 비균등 클락 신호에 기초하여 생성되는 것을 특징으로 하는, 집적 회로의 동작 방법.

청구항 10

입력 데이터 및 기준 클락 신호에 기초하여, 상기 기준 클락 신호의 위상을 제어하기 위한 위상 제어 신호 및 상기 기준 클락 신호의 주파수를 제어하기 위한 주파수 제어 신호를 생성하는 위상 및 주파수 검출 회로;

수신된 상기 위상 제어 신호 및 상기 주파수 제어 신호에 기초하여, 상기 기준 클락 신호의 주파수를 제어하기 위한 주파수 제어 워드(frequency control word)를 생성하는 루프 필터; 및

수신된 상기 주파수 제어 워드에 기초해 발진함으로써 상기 기준 클락 신호를 생성하는 발진기를 포함하고, 상기 위상 및 주파수 검출 회로는,

수신된 기준 클락 신호 및 입력 데이터에 기초하여 생성된 복수의 제1 데이터들에 논리 연산을 수행함으로써 상기 주파수 제어 신호를 생성하고,

상기 논리 연산의 기초가 되는 상기 복수의 제1 데이터들 중 가장 큰 위상 차를 갖는 두 데이터의 위상 간격은, 상기 기준 클락 신호의 신호 주기보다 큰, 클락 및 데이터 복원 회로.

발명의 설명

기술 분야

[0001] 본 개시의 기술적 사상은 집적 회로 및 클락 및 데이터 복원 회로에 관한 것으로서, 자세하게는 클락 신호의 주파수 및 위상을 감지하는 집적 회로, 이의 동작 방법 및 집적 회로를 포함하는 클락 및 데이터 복원 회로에 관한 것이다.

배경 기술

[0002] 수신 장치는 송신 장치로부터 클락 신호를 직접 수신하는 대신, 수신된 데이터로부터 클락 신호를 복구할 수 있는 CDR(Clock and Data Recovery) 회로를 채용할 수 있다. CDR 회로는 송신 장치와 수신 장치간 통신 채널의 복잡도를 감소시키고 통신 속도를 향상시키는 데 기여할 수 있다.

[0003] 클락 신호는 전자 장치의 동작과 관련될 수 있고, 따라서 CDR 회로에 의해 클락 신호를 정확하게 복구하는 것이 중요할 수 있다. 그러나, 통신 속도의 증가, 회로 크기의 감소 등과 같은 다양한 요인으로 인하여, 클락 신호를 정확하게 복구하는 것이 어려워지고 있다. 게다가, 통신 속도를 더 증가시키고 많은 양의 데이터를 빠르게 교환하기 위해 복수의 통신 선로 및 복수의 클락 신호를 채용하는 회로 디자인이 다루어짐에 따라, 클락 신호들을 정확하게 다루는 것이 점점 더 어려워지고 있다.

발명의 내용

해결하려는 과제

[0004] 본 개시의 기술적 사상이 해결하려는 과제는, 데이터의 왜곡(distortion)에도 안정적으로 동작할 수 있는 집적 회로, 집적 회로의 동작 방법 및 집적 회로를 포함하는 클락 및 데이터 복원 회로를 제공하는 데에 있다.

과제의 해결 수단

[0005] 본 개시의 기술적 사상의 일 측면에 따라, 집적 회로는, 서로 다른 위상을 갖는 복수의 클락 신호들에 기초하여, 입력 데이터로부터 복수의 위상 천이 데이터(phase shifted data)들을 생성하는 위상 천이 데이터 생성 회로, 수신된 복수의 위상 천이 데이터들에 복수의 클락 신호들을 적용함으로써 복수의 동기화 데이터들을 생성하는 동기화 회로, 및 수신된 복수의 동기화 데이터들에 논리 연산을 수행함으로써 기준 클락 신호의 위상 및 주파수 중 적어도 하나를 제어하기 위한 기준 클락 제어 신호를 생성하는 제어 신호 생성 회로를 포함하고, 복수의 클락 신호들은, 기준 클락 신호 및 기준 클락 신호와 사전에 결정된 간격의 위상 차를 가지는 적어도 하나의 위상 천이 클락 신호를 포함하고, 논리 연산의 기초가 되는 복수의 동기화 데이터들 중 가장 큰 위상 차를 갖는 두 데이터의 위상 간격은, 기준 클락 신호의 신호 주기보다 클 수 있다.

[0006] 본 개시의 기술적 사상의 일 측면에 따라, 입력 데이터 및 기준 클락 신호에 기초하여 기준 클락 신호의 위상을

제어하기 위한 위상 제어 신호 및 기준 클락 신호의 주파수를 제어하기 위한 주파수 제어 신호를 생성하는 집적 회로의 동작 방법은, 서로 다른 위상을 갖는 복수의 클락 신호들에 기초하여, 입력 데이터로부터 복수의 위상 천이 데이터(phase shifted data)들을 생성하는 단계, 복수의 위상 천이 데이터들에 복수의 클락 신호들을 적용함으로써 복수의 동기화 데이터들을 생성하는 단계, 및 복수의 동기화 데이터들에 논리 연산을 수행함으로써 위상 제어 신호 및 주파수 제어 신호를 생성하는 단계를 포함하고, 복수의 클락 신호들은, 기준 클락 신호 및 기준 클락 신호와 사전에 결정된 간격의 위상 차를 가지는 적어도 하나의 위상 천이 클락 신호를 포함하고, 논리 연산의 기초가 되는 복수의 동기화 데이터들 중 가장 큰 위상 차를 갖는 두 데이터의 위상 간격은, 기준 클락 신호의 신호 주기보다 클 수 있다.

[0007] 본 개시의 기술적 사상의 일 측면에 따라, 클락 및 데이터 복원 회로는, 입력 데이터 및 기준 클락 신호에 기초하여, 기준 클락 신호의 위상을 제어하기 위한 위상 제어 신호 및 기준 클락 신호의 주파수를 제어하기 위한 주파수 제어 신호를 생성하는 위상 및 주파수 검출 회로, 수신된 위상 제어 신호 및 주파수 제어 신호에 기초하여, 기준 클락 신호의 주파수를 제어하기 위한 주파수 제어 워드(frequency control word)를 생성하는 루프 필터, 및 수신된 주파수 제어 워드에 기초해 발진함으로써 기준 클락 신호를 생성하는 발진기를 포함하고, 위상 및 주파수 검출 회로는, 수신된 기준 클락 신호 및 입력 데이터에 기초하여 생성된 복수의 제1 데이터들에 논리 연산을 수행함으로써 주파수 제어 신호를 생성하고, 논리 연산의 기초가 되는 복수의 제1 데이터들 중 가장 큰 위상 차를 갖는 두 데이터의 위상 간격은, 기준 클락 신호의 신호 주기보다 클 수 있다.

발명의 효과

[0008] 본 개시의 예시적 실시예에 따른 방법 및 장치에 의하면, 데이터의 스큐(skew), 지터(jitter) 등의 왜곡에도 안정적으로 위상 및 주파수를 검출할 수 있다.

[0009] 또한, 본 개시의 예시적 실시예에 따른 방법 및 장치에 의하면, 별도의 주파수 고정 루프 없이도 주파수 에러를 추적할 수 있으며, 빠르게 목표 주파수를 찾을 수 있기 때문에 전체 시스템 구조를 간소화할 수 있다.

[0010] 본 개시의 예시적 실시예들에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 아니하며, 언급되지 아니한 다른 효과들은 이하의 설명으로부터 본 개시의 예시적 실시예들이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 도출되고 이해될 수 있다. 즉, 본 개시의 예시적 실시예들을 실시함에 따른 의도하지 아니한 효과들 역시 본 개시의 예시적 실시예들로부터 당해 기술분야의 통상의 지식을 가진 자에 의해 도출될 수 있다.

도면의 간단한 설명

[0011] 도 1은 본 개시의 예시적 실시예에 따른 클락 및 데이터 복원 회로를 나타내는 블록도이다.

도 2는 본 개시의 예시적 실시예에 따른 위상 및 주파수 검출기를 나타내는 블록도이다.

도 3a 및 도 3b는 본 개시의 예시적 실시예에 따른 위상 및 주파수 검출기가 각각 풀-레이트 및 하프-레이트로 동작하는 경우의 입력 데이터 및 기준 클락 신호를 나타내는 도면이다.

도 4는 본 개시의 예시적 실시예에 따른 데이터의 왜곡을 나타내는 도면이다.

도 5a 내지 도 5c는 본 개시의 비교예에 따른 데이터의 왜곡에 따른 위상 및 주파수 검출기의 검출 오류를 나타내는 도면이다.

도 6은 본 개시의 예시적 실시예에 따른 위상 및 주파수 검출기를 나타내는 블록도이다.

도 7a 내지 도 7c는 본 개시의 예시적 실시예에 따른 위상 및 주파수 검출기의 주파수 검출 방법을 나타내는 도면이다.

도 8a 내지 도 8c는 본 개시의 예시적 실시예에 따른 위상 및 주파수 검출기의 주파수 검출 방법을 나타내는 도면이다.

도 9a 내지 도 9e는 본 개시의 예시적 실시예에 따른 위상 및 주파수 검출기의 위상 검출 방법을 나타내는 도면이다.

도 10은 본 개시의 예시적 실시예에 따른 위상 및 주파수 검출기를 나타내는 블록도이다.

도 11은 본 개시의 예시적 실시예에 따른 제어 신호 생성기를 나타내는 블록도이다.

도 12는 본 개시의 예시적 실시예에 따른 클락 및 데이터 복원 회로를 포함하는 장치를 나타내는 블록도이다.

도 13은 본 개시의 예시적 실시예에 따른 클락 및 데이터 복원 회로가 포함된 시스템을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 이하, 첨부한 도면을 참조하여 본 개시의 실시예에 대해 상세히 설명한다.
- [0013] 도 1은 본 개시의 예시적 실시예에 따른 클락 및 데이터 복원 회로(10)를 나타내는 블록도이다.
- [0014] 클락 및 데이터 복원 회로(10)는 위상 및 주파수 검출기(100), 디시리얼라이저(200), 루프 필터(300) 및 발진기(400)를 포함할 수 있다. 도시되지는 아니하였으나, 경우에 따라 클락 및 데이터 복원 회로(10)는 입력 데이터(D_{in})의 신호 특성을 개선하는 이퀄라이저를 더 포함할 수 있다. 이퀄라이저는 입력 데이터를 증폭시키거나, 데이터의 트랜지션이 용이하게 검출되도록 대역 통과 필터를 통해 데이터를 처리할 수 있다. 예를 들어, 클락 및 데이터 복원 회로(10)는 수신된 입력 데이터(D_{in})의 지터(jitter) 특성을 향상시키는 CTLE(Continuous-time Linear equalizer)를 더 포함할 수 있다. 클락 및 데이터 복원 장치(10)는 입력 데이터(D_{in})를 수신할 수 있고, 클락 및 데이터를 복원할 수 있다. 일 실시예에서, 클락 및 데이터 복원 장치(10)는 단일 루프의 레퍼런스-리스(reference-less) CDR(clock and data recovery) 회로로 구현될 수 있다. 또한 도시는 예시적인 것으로서, 클락 및 데이터 복원 회로(10)는 아날로그 방식의 회로로 구성될 수도 있다. 예를 들어, 클락 및 데이터 복원 회로(10)는 위상 및 주파수 검출기(100), 차지 펌프, 루프 필터 내지는 저역 통과 필터 및 발진기(400)로 구성될 수도 있다.
- [0015] 위상 및 주파수 검출기(100)는 위상 및 주파수를 검출할 수 있다. 위상 및 주파수 검출기(100)는, 입력 데이터(D_{in}) 및 기준 클락 신호(CLK_r)를 기초로, 기준 클락 신호(CLK_r)의 위상을 제어하기 위한 위상 제어 신호 및 기준 클락 신호(CLK_r)의 주파수를 제어하기 위한 주파수 제어 신호를 생성할 수 있다. 일 실시예에서, 위상 제어 신호는 위상 당김 신호(PUP) 및 위상 지연 신호(PDN)를 포함할 수 있고, 주파수 제어 신호는 주파수 증가 신호(FUP) 및 주파수 감소 신호(FDN)를 포함할 수 있다. 일 실시예에서, 위상 및 주파수 검출기(100)는 발진기(400)로부터 기준 클락 신호(CLK_r)를 포함하는 복수의 클락 신호들을 제공받을 수 있고, 복수의 클락 신호들과 입력 데이터(D_{in}) 사이의 위상 및 주파수 차이를 검출함으로써 상기 위상 제어 신호 및 상기 주파수 제어 신호를 생성할 수 있다. 위상 및 주파수 검출기(100)는 복수의 클락 신호들 중 하나를 통해 입력 데이터를 확인함으로써 위상 천이 데이터를 출력할 수 있다. 위상 및 주파수 검출기(100)는 위상 및 주파수 검출 회로로서 지칭될 수 있다.
- [0016] 디시리얼라이저(deserializer; 200)는 위상 및 주파수 검출기(100)에 의해 생성된 위상 제어 신호 및 주파수 제어 신호를 각각 병렬화 된 위상 당김 신호(dPUP), 병렬화 된 위상 지연 신호(dPDN), 주파수 증가 신호(dFUP) 및 병렬화 된 주파수 감소 신호(dFDN)로 병렬화 할 수 있다. 디시리얼라이저(200)는 다-멀티플렉서로 구현될 수 있으며, 위상 제어 신호 및 주파수 제어 신호를 특정 비트수로 표현되는 신호로 역다중화(de-multiplexing) 할 수 있다. 디시리얼라이저(200)는 병렬화된 제어 신호들을 루프 필터(300)에 제공할 수 있다.
- [0017] 루프 필터(300)는 병렬 위상 제어 신호 및 병렬 주파수 제어 신호를 필터링 할 수 있고, 필터링 된 신호들을 기초로 기준 클락 신호(CLK_r)의 주파수를 제어하기 위한 주파수 제어 워드(frequency control word; FCW)를 생성할 수 있다. 루프 필터(300)는 생성된 주파수 제어 워드(FCW)를 발진기(400)에 제공할 수 있다. 주파수 제어 워드(FCW)는 숫자를 표현할 수 있는 데이터 내지 신호일 수 있으며, 주파수 제어를 위한 데이터를 발진기(400)에 제공할 수 있다.
- [0018] 일 실시예에서, 주파수 제어 신호가 주파수의 증가를 나타내는 경우, 루프 필터(300)는 발진기(400)가 기준 클락 신호(CLK_r)의 주파수를 상승시키도록 주파수 제어 워드(FCW)를 생성할 수 있다. 예를 들어, 주파수 증가 신호(FUP)가 제1 논리 레벨(예를 들어, '1')을 나타내는 경우, 루프 필터(300)는 발진기(400)가 기준 클락 신호(CLK_r)의 주파수를 상승시키도록 주파수 제어 워드(FCW)를 생성할 수 있다. 마찬가지로, 일 실시예에서, 주파수 제어 신호가 주파수의 감소를 나타내는 경우, 루프 필터(300)는 발진기(400)가 기준 클락 신호(CLK_r)의 주파수를 감소시키도록 주파수 제어 워드(FCW)를 생성할 수 있다. 예를 들어, 주파수 감소 신호(FDN)가 제1 논리 레벨(예를 들어, '1')을 나타내는 경우, 루프 필터(300)는 발진기(400)가 기준 클락 신호(CLK_r)를 감소시키도록 주파수 제어 워드(FCW)를 생성할 수 있다. 또한, 일 실시예에서, 루프 필터(300)는 입력 데이터(D_{in})와 기준 클락 신호(CLK_r)의 주파수가 매칭되면 주파수 고정을 결정할 수 있고, 주파수 고정을 결정한 뒤 위상 제어 신호를 기초로 주파수 제어 워드(FCW)를 생성할 수 있다.

- [0019] 루프 필터(300)는 예시적인 것으로서, 디지털 회로로 구현된 디지털 루프 필터일 수도 있고, 저역 통과 필터(low pass filter; LPF) 등의 아날로그 회로로 구현되어 발진기(400)를 제어하도록 하는 신호를 출력할 수도 있다.
- [0020] 발진기(400)는, 루프 필터(300)로부터 제공되는 주파수 제어 워드(FCW)에 기초해 발진함으로써 기준 클락 신호(CLK_r)를 생성할 수 있다. 일 실시예에서, 발진기(400)는 기준 클락 신호(CLK_r)를 포함하는 복수의 클락 신호들을 생성할 수 있고, 복수의 클락 신호들을 위상 및 주파수 검출기(100)에 제공할 수 있다. 일 실시예에서, 발진기(400)는 복수의 클락 신호들을 입력 데이터(D_{in})와의 관계에서 풀-레이트(full-rate), 하프-레이트(half-rate), 쿼터-레이트(quarter-rate) 및 그 이상의 레이트로 생성할 수 있다. 풀-레이트로 동작하는 클락 신호는 입력 데이터 주기와 같은 주기를 갖는 클락 신호를 사용할 수 있으며, 풀-레이트로 동작하는 클락 신호는 입력 데이터 주기의 2배 주기를 갖는 클락 신호를 사용할 수 있다. 레이트는 입력 데이터를 몇 개의 클락들을 사용해 커버하느냐의 기술적 차이를 가질 수 있으며, 풀-레이트 및 하프-레이트로 동작하는 경우에 관한 자세한 설명은 도 3a 및 도 3b에서 후술될 것이다. 쿼터-레이트 또는 그 이상의 레이트에 대응되는 실시예는 풀-레이트 및 하프-레이트와 동일한 방식에 의해 동작할 수 있는 것으로 충분히 이해될 수 있을 것이다.
- [0021] 일 실시예에서, 발진기(400)는 디지털 제어 발진기(digital controlled oscillator; DCO)로 구현될 수 있다. 이는 예시적인 것으로서, 발진기(400)는 경우에 따라 전압을 입력 받는 전압 제어 발진기(voltage controlled oscillator; VCO)로 구성될 수도 있다.
- [0022] 일 실시예에서, 위상 및 주파수 검출 회로는 수신된 기준 클락 신호 및 입력 데이터에 기초하여 생성된 복수의 제1 데이터들에 논리 연산을 수행함으로써 주파수 제어 신호를 생성할 수 있다. 이때 논리 연산의 기초가 되는 복수의 제1 데이터들 중 가장 큰 위상 차를 갖는 두 데이터의 위상 간격은, 기준 클락 신호의 신호 주기보다 클 수 있다. 위상 간격과 논리 연산에 따른 주파수 제어 신호의 생성에 관하여는, 이하의 도면들을 통해 더욱 자세히 설명된다.
- [0023] 도 2는 본 개시의 예시적 실시예에 따른 위상 및 주파수 검출기를 나타내는 블록도이다.
- [0024] 도 2를 참조하면, 위상 및 주파수 검출기(100)는 위상 천이 데이터 생성기(120), 동기화 장치(synchronizer)(140) 및 제어 신호 생성기(160)를 포함할 수 있다. 위상 및 주파수 검출기(100)는 집적 회로(integrated circuit)로 구현될 수 있으며, 도 1과 같은 CDR(clock and data recovery circuit)에 사용되거나, PLL(Phase Locked Loop)에 사용될 수 있다. 위상 및 주파수 검출기(100)와 관련하여 도 1과 중복되는 서술은 생략하며, 이하에서 도 2는 도 1을 참조하여 서술될 것이다.
- [0025] 일 실시예에 따른 위상 및 주파수 검출기(100)는 뱅뱅 위상 및 주파수 검출기(Bang-Bang Phase and Frequency Detector; BBPDF)로 구현될 수 있다. 즉, 위상 및 주파수 검출기(100)는 이진(binary) 형식으로 동작하는 이진 위상 및 주파수 검출기일 수 있다.
- [0026] 위상 천이 데이터 생성기(120)는 입력 데이터(D_{in}) 및 기준 클락 신호(CLK_r)를 수신할 수 있다. 일 실시예에서, 위상 천이 데이터 생성기(120)는 기준 클락 신호(CLK_r)를 포함하는 복수의 클락 신호들을 수신할 수 있다. 위상 천이 데이터 생성기(120)는 복수의 클락 신호들을 기초로, 입력 데이터(D_{in})로부터 복수의 위상 천이 데이터들(phase shifted data; D_{ps})을 생성할 수 있다. 일 실시예에서, 위상 천이 데이터 생성기(120)는, 복수의 클락 신호들의 상승 엣지 및/또는 하강 엣지에서 입력 데이터(D_{in})를 포획(capture)함으로써 복수의 위상 천이 데이터들(D_{ps})을 생성할 수 있다. 이를 위해, 위상 천이 데이터 생성기(120)는 복수의 플립플롭들을 포함할 수 있다. 위상 천이 데이터 생성기(120)는 위상 천이 데이터 생성 회로로 지칭될 수 있다.
- [0027] 동기화 장치(140)는 위상 천이 데이터 생성기(120)로부터 제공된 복수의 위상 천이 데이터들(D_{ps})에 복수의 클락 신호들을 적용함으로써 복수의 동기화 데이터들(D_{syn})을 생성할 수 있다. 일 실시예에서, 복수의 동기화 데이터들은, 기준 클락 신호(CLK_r)의 위상을 기초로 생성되는 데이터(D0), 데이터(D0+), 데이터(D0++) 및 반전된 기준 클락 신호의 위상을 기초로 생성되는 데이터(D180), 데이터(D180+)를 포함할 수 있다. 복수의 동기화 데이터들에 대해서는 이하의 도면들을 통해 보다 자세히 설명된다. 동기화 장치(140)는 동기화 회로로 지칭될 수 있다.
- [0028] 제어 신호 생성기(160)는 복수의 동기화 데이터들에 논리 연산을 수행함으로써, 복수의 클락 신호들의 위상을 제어하기 위한 위상 제어 신호 및 복수의 클락 신호들의 주파수를 제어하기 위한 주파수 제어 신호 중 적어도 하나를 생성할 수 있다. 예를 들어, 제어 신호 생성기(160)는 복수의 동기화 데이터들 중 적어도 일부에 논리합(OR), 논리곱(AND), 논리부정(NOT), 부정 논리합(NOR), 부정 논리곱(NAND), 배타적 논리합(XOR) 및 배타적 부

정 논리합(XNOR) 중 적어도 일부를 이용하여 논리 연산을 수행할 수 있다. 제어 신호 생성기(160)는 논리 연산을 통해 입력 데이터(D_{in})와 기준 클락 신호(CLK_r) 사이의 위상 및 주파수 차이를 검출할 수 있다. 제어 신호 생성기(160)는 제어 신호 생성 회로로 지칭될 수 있다.

[0029] 일 실시예에서, 위상 제어 신호는 위상 당김 신호(PUP) 및 위상 지연 신호(PDN)를 포함할 수 있다. 제어 신호 생성기(160)의 논리 연산에 따라 기준 클락 신호(CLK_r)의 위상이 입력 데이터(D_{in})의 위상보다 느린 경우, 제어 신호 생성기(160)는 제1 논리 레벨(예를 들어, '1')의 위상 당김 신호(PUP)를 생성할 수 있다. 마찬가지로, 제어 신호 생성기(160)의 논리 연산에 따라 기준 클락 신호(CLK_r)의 위상이 입력 데이터(D_{in})의 위상보다 빠른 경우, 제어 신호 생성기(160)는 제1 논리 레벨(예를 들어, '1')의 위상 지연 신호(PDN)를 생성할 수 있다.

[0030] 일 실시예에서, 주파수 제어 신호는 주파수 증가 신호(FUP) 및 주파수 감소 신호(FDN)를 포함할 수 있다. 제어 신호 생성기(160)의 논리 연산에 따라 기준 클락 신호(CLK_r)의 주파수가 작은 경우, 제어 신호 생성기(160)는 제1 논리 레벨(예를 들어, '1')의 주파수 증가 신호(FUP)를 생성할 수 있다. 마찬가지로, 제어 신호 생성기(160)의 논리 연산에 따라 기준 클락 신호(CLK_r)의 주파수가 큰 경우, 제어 신호 생성기(160)는 제1 논리 레벨(예를 들어, '1')의 주파수 감소 신호(FDN)를 생성할 수 있다.

[0031] 도 3a 및 도 3b는 본 개시의 예시적 실시예에 따른 위상 및 주파수 검출기가 각각 풀-레이트 및 하프-레이트로 동작하는 경우의 입력 데이터 및 기준 클락 신호를 나타내는 도면이다.

[0032] 구체적으로, 도 3a는 위상 및 주파수 검출기(100)가 풀-레이트로 동작하는 경우를 도시한다. 즉, 도 3a의 기준 클락 신호(CLK_r)는 풀-레이트 기반으로 동작하며, 입력 데이터(D_{in})의 주파수와 기준 클락 신호(CLK_r)의 주기가 동일하게 동작하도록 설정될 수 있다. 다시 말해, 기준 클락 신호(CLK_r)의 상승 엣지는 입력 데이터(D_{in})의 동일한 위상에 정렬됨으로써, 위상 및 주파수 검출기(100)는 일정한 시간마다 입력 데이터(D_{in})를 포획(capture)할 수 있다.

[0033] 도 3b는 위상 및 주파수 검출기(100)가 하프-레이트로 동작하는 경우를 도시한다. 즉, 도 3b의 기준 클락 신호(CLK_r)는 하프-레이트 기반으로 동작하며, 기준 클락 신호(CLK_r)는 제1 클락 신호(CLK1) 및 제2 클락 신호(CLK2)를 포함할 수 있다. 또한, 기준 클락 신호(CLK_r)의 주기가 입력 데이터(D_{in})의 주파수의 2배로 동작하도록 설정될 수 있다. 다시 말해, 제1 클락 신호(CLK1) 및 제2 클락 신호(CLK2)의 상승 엣지는 번갈아가면서 입력 데이터(D_{in})의 동일한 위상에 정렬됨으로써, 위상 및 주파수 검출기(100)는 일정한 시간마다 입력 데이터(D_{in})를 포획(capture)할 수 있다.

[0034] 복수의 클락 신호들은 입력 데이터(D_{in})와의 관계에서 풀-레이트, 하프-레이트, 쿼터-레이트 및 그 이상의 레이트로 생성될 수 있다. 레이트는 입력 데이터를 몇 개의 클락들을 사용해 커버하느냐의 기술적 차이를 가질 수 있으나, 주파수 및 위상을 검출하기 위해 활용되는 방법에 있어서는 동일하게 적용될 수 있다. 이하의 도면에서는 설명의 편의상 하프-레이트를 기준으로 클락 신호 및 데이터의 위상을 나타낼 것이나, 본 발명이 하프-레이트로만 제한되지 아니함이 유의된다.

[0035] 도 4는 본 개시의 예시적 실시예에 따른 데이터의 왜곡을 나타내는 도면이다.

[0036] 도 4를 참조하면, 입력 데이터(D_{in})에서 지터(jitter), 스큐(skew)의 발생에 따른 시간적 왜곡(distortion)이 발생할 수 있다. 스큐는 플립플롭(flipflop) 등의 소자 별 내부 요소 또는 온도 변화 등의 외부 요소에 의한 데이터의 시간적 차이를 의미할 수 있으며, 지터는 내/외부적 요소에 따라 주기적으로 동작해야 할 신호가 주기마다 발생할 수 있는 시간적 차이를 의미할 수 있다.

[0037] 입력 데이터(D_{in})에서 데이터 왜곡이 발생할 수 있으며, 그 왜곡 범위 내에서 데이터 샘플링, 즉 클락 신호에 따른 데이터 포획이 이루어지는 경우, 왜곡 범위 내의 위상 천이 데이터(D_{S2}, D_{S3})들은 데이터 왜곡에 영향을 받을 수 있다. 가령, 위상 천이 데이터(D_{S2}) 및 위상 천이 데이터(D_{S3})는 각각 이상적인 입력 데이터(D_{in})가 도달한 경우, 각각 제1 논리 레벨(예를 들어, '1') 및 제2 논리 레벨(예를 들어, '0')을 포획할 수 있다. 그러나, 입력 데이터(D_{in})에서 데이터 왜곡이 발생할 수 있고, 이에 따라 왜곡 범위 내의 위상 천이 데이터(D_{S2}, D_{S3})들은 다른 값을 포획할 수 있다.

[0038] 반면, 왜곡 범위 밖에서 클락 신호에 따른 데이터 포획이 이루어지는 경우, 위상 천이 데이터(D_{S1}, D_{S4})들은 데이터 왜곡과 무관하게 입력 데이터(D_{in})를 읽어들이 수 있다. 따라서, 데이터의 신호 간 경계가 아닌 위치를 타겟으로 샘플링하여 데이터 왜곡에도 안정적인 주파수 검출을 수행할 수 있다.

- [0039] 데이터의 신호 간 경계, 즉 입력 데이터(D_{in})의 에지에서 데이터 포획이 이루어지는 방법은, 입력 데이터(D_{in})의 왜곡에 영향을 받을 수 있으며 이는 도 5a 내지 도 5c에서 설명될 것이다.
- [0040] 도 5a 내지 도 5c는 본 개시의 비교예에 따른 데이터의 왜곡에 따른 위상 및 주파수 검출기의 검출 오류를 나타내는 도면이다.
- [0041] 도 5a 내지 도 5c는 0도, 90도, 180도에서 입력 데이터(D_{in})를 포획하는 경우를 나타낸다. 설명의 편의상 도 5a 내지 도 5c의 입력 데이터(D_{in})는 '010'을 나타내는 것으로 예시되었으며, 도 4와 중복되는 서술은 생략한다.
- [0042] 도 5a는, 입력 데이터(D_{in})의 왜곡이 없는 경우를 가정한 때의 검출을 나타낸 것이다. 위상 및 주파수 검출기(100)는 0도, 90도, 180도에서 입력 데이터(D_{in})를 포획하면 정상적으로 입력 데이터(D_{in})를 읽어들이어 위상 및 주파수 검출을 정상적으로 수행할 수 있다. 클럭 신호의 0도, 90도, 180도 위치에 각각 입력 데이터(D_{in})의 데이터 경계와 데이터 중앙이 위치함으로써 주파수의 비교도 정상적으로 인식할 수 있다.
- [0043] 반면, 도 5b 내지 도 5c는 입력 데이터(D_{in})에 왜곡이 발생한 경우를 도시한다. 도 5b를 참조하면, 입력 데이터(D_{in})의 왜곡이 발생함에 따라 위상 및 주파수 검출기(100)는 0도, 90도, 180도에서 입력 데이터(D_{in})를 포획하면 '111'로 인식할 수 있다. 즉, 데이터의 신호 간 경계에서의 포획은 데이터 왜곡에 영향을 받아 주파수 제어 신호를 위한 데이터 생성에 문제가 발생할 수 있다.
- [0044] 도 5c를 참조하면, 입력 데이터(D_{in})의 왜곡이 발생함에 따라 위상 및 주파수 검출기(100)는 0도, 90도, 180도에서 입력 데이터(D_{in})를 포획하면 '010'으로 인식할 수 있다. 입력 데이터(D_{in})의 왜곡이 발생함에 따라, 데이터의 신호 간 경계에서의 데이터 포획이 수행되지 않으므로, 위상 및 주파수 검출기(100)는 기준 클럭 신호가 빠른 것으로 잘못 판단할 수 있다. 따라서, 데이터의 신호 간 경계가 아닌 위치를 타겟으로 샘플링하여 데이터 왜곡에도 안정적인 주파수 검출을 수행하는 것이 필요할 수 있다.
- [0045] 또한 넓은 범위에서의 입력 데이터(D_{in})의 주파수는 도 5a 내지 도 5c에서 차이가 없을 수 있다. 그러나 국소적으로 입력 데이터(D_{in})의 왜곡이 발생함에 따라, 위상 및 주파수 검출기(100)는 도 5b의 경우에는 기준 클럭 신호가 느린 것으로, 도 5c의 경우에는 기준 클럭 신호가 빠른 것으로 잘못 판단할 수 있다. 따라서 기준 클럭 신호의 주기보다 큰 위상 스펙트럼 영역에서 입력 데이터(D_{in})의 포획이 요구될 수 있다.
- [0046] 도 6은 본 개시의 예시적 실시예에 따른 위상 및 주파수 검출기(100)를 나타내는 블록도이다.
- [0047] 도 6을 참조하면, 위상 및 주파수 검출기(100)는 위상 천이 데이터 생성기(120), 동기화 장치(140) 및 제어 신호 생성기(160)를 포함할 수 있다. 위상 및 주파수 검출기(100)에 대한 도 1 및 도 2와 중복되는 설명은 생략하며, 이하에서 도 6은 도 1 및 도 2를 참조하여 설명될 것이다.
- [0048] 위상 천이 데이터 생성기(120)는 복수의 플립플롭들을 포함할 수 있다. 예를 들어, 위상 천이 데이터 생성기(120)는 제1 플립플롭(121), 제2 플립플롭(122), 제3 플립플롭(123), 제4 플립플롭(124), 제5 플립플롭(125) 및 제6 플립플롭(126)을 포함할 수 있다. 일 실시예에서, 제1 플립플롭(121)은 클럭 신호(CLK_I)를 이용하여 입력 데이터(D_{in})로부터 제1 데이터(D1)를 생성할 수 있다. 클럭 신호(CLK_I)는 기준 클럭 신호(CLK_r)와 같은 위상을 가지는 클럭 신호일 수 있다. 일 실시예에서, 제2 플립플롭(122)은 클럭 신호(CLK_Q)를 이용하여 입력 데이터(D_{in})로부터 제2 데이터(D2)를 생성할 수 있다. 클럭 신호(CLK_Q)는 기준 클럭 신호(CLK_r)와 90도의 위상차를 가지는 클럭 신호일 수 있다. 일 실시예에서, 제3 플립플롭(123)은 클럭 신호(CLK_{IB})를 이용하여 입력 데이터(D_{in})로부터 제3 데이터(D3)를 생성할 수 있다. 클럭 신호(CLK_{IB})는 반전된 클럭 신호(CLK_I)로서, 클럭 신호(CLK_I)와 180도(π)의 위상차를 가지는 클럭 신호일 수 있다. 일 실시예에서, 제4 플립플롭(124)은 클럭 신호(CLK_{QB})를 이용하여 입력 데이터(D_{inv})로부터 제4 데이터(D4)를 생성할 수 있다. 클럭 신호(CLK_{QB})는 반전된 클럭 신호(CLK_Q)로서, 클럭 신호(CLK_Q)와 180도(π)의 위상차를 가지는 클럭 신호일 수 있다.
- [0049] 일 실시예에서, 제5 플립플롭(125)은 클럭 신호(CLK_x)를 이용하여 입력 데이터(D_{in})로부터 제5 데이터(D5)를 생성할 수 있다. 일 실시예에서, 제6 플립플롭(126)은 클럭 신호(CLK_y)를 이용하여 입력 데이터(D_{in})로부터 제6 데이터(D6)를 생성할 수 있다. 클럭 신호(CLK_x)는 기준 클럭 신호(CLK_r)와 특정 위상 차를 가지는 클럭 신호일 수 있다. 클럭 신호(CLK_y)는 기준 클럭 신호(CLK_r)와 특정 위상 차를 가지는 클럭 신호일 수 있다. 도 6은 하프-레이트를 기준으로 예시적으로 도시된 도면으로서, 일 실시예에 따른 클럭 신호(CLK_x) 및 클럭 신호(CLK_y)는 기준 클럭 신호(CLK_r)와 90도 미만의 위상차를 가질 수 있다.
- [0050] 위상 천이 데이터 생성기(120)는 기준 클럭 신호 및 기준 클럭 신호와 사전에 결정된 간격의 위상 차를 가지는

적어도 하나의 위상 천이 클락 신호를 포함하는 복수의 클락 신호들을 입력받아 복수의 위상 천이 데이터들을 생성할 수 있다. 예를 들어, 도 6에 예시된 바와 같이 위상 천이 데이터 생성기(120)는 기준 클락 신호에 대응하는 클락 신호(CLK_I), 및 기준 클락 신호와 사전에 결정된 간격의 위상 차를 가지는 적어도 하나의 위상 천이 클락 신호(CLK_Q, CLK_IB, CLK_QB, CLK_x, CLK_y)를 포함하는 복수의 클락 신호들을 입력받아 복수의 위상 천이 데이터들을 생성할 수 있다.

[0051] 위상 천이 데이터 생성기(120)는 상이한 수의 플립플롭을 포함할 수도 있다. 또한 만약 폴-레이트를 기준으로 동작하는 위상 및 주파수 검출기(100)라면, 플립플롭의 수 및 클락 신호의 기준 클락 신호와의 위상차는 다를 수 있다. 폴-레이트를 기준으로 동작하는 경우, 하프-레이트를 기준으로 동작하는 경우의 기준 클락 신호와의 위상차의 2배 위상차를 가질 수 있다. 예를 들어, 폴-레이트를 기준으로 동작하는 경우, 일예시에 따른 클락 신호(CLK_x) 및 클락 신호(CLK_y)는 기준 클락 신호(CLK_r)와 180도 미만의 위상차를 가질 수 있다.

[0052] 도 7a 내지 도 7c는 본 개시의 예시적 실시예에 따른 위상 및 주파수 검출기(100)의 주파수 검출 방법을 나타내는 도면이다.

[0053] 도 7a 내지 도 7c는 설명의 편의를 위해, 도 6의 클락 신호(CLK_x) 및 클락 신호(CLK_y)가 각각 클락 신호(CLK45) 및 클락 신호(CLK315)로 예시되어 도시되었다. 또한 하프-레이트를 기준으로 동작하는 경우를 예시하여 도시된 것으로서, 폴-레이트를 기준으로 동작하는 경우 등 다른 레이트로 동작하는 경우는 해당 레이트에 맞는 위상차를 가질 수 있다. 또한, 설명의 편의상 도 7a 내지 도 7c의 입력 데이터(D_in)는 '0101'을 나타내는 것으로 예시되었다. 이하에서 도 7a 내지 도 7c는 전술된 실시예들을 참조하여 설명될 것이며, 전술된 내용과 중복되는 서술은 생략한다.

[0054] 도 7a를 참조하면, 위상 및 주파수 검출기(100)는 복수의 클락 신호들을 기초로 포획된 후 동기화된 데이터들(D90, D180, D315, D45+, D180+, D270+)을 기초로 하여 주파수 제어 신호를 생성할 수 있다. 데이터들(D45+, D180+, D270+)는 각각 데이터들(D45+, D180+, D270+)과 한주기 차이나는 데이터들을 의미할 수 있다. 즉, 위상 및 주파수 검출기(100)는 주파수 제어 신호를 생성하기 위한 논리 연산의 기초가 되는 복수의 동기화 데이터들의 위상 스펙트럼은, 기준 클락 신호의 신호 주기보다 크게 형성될 수 있다. 다시 말해, 복수의 동기화 데이터들 중 가장 큰 위상 차를 갖는 두 데이터의 위상 간격은, 기준 클락 신호의 신호 주기보다 클 수 있다. 도 7a 내지 도 7c에서 예시된 도면에 의하면, 주파수 제어 신호를 생성하기 위한 논리 연산의 기초가 되는 복수의 동기화 데이터들의 위상 스펙트럼은 2주기(C1, C2)에 걸쳐 형성되고 있음을 확인할 수 있다.

[0055] 또한, 복수의 동기화된 데이터들(D90, D180, D315, D45+, D180+, D270+)은 적어도 하나의 비균등 위상 천이 데이터에 기초하여 생성된 데이터일 수 있다. 비균등 위상 천이 데이터는 입력 데이터(D_in)의 신호 간 경계가 아닌 위치를 타겟으로 샘플링하여 형성되는 데이터일 수 있다. 예를 들어, 동기화된 데이터들(D90, D315, D45+, D270+)은 입력 데이터(D_in)의 신호 간 경계가 아닌 위치를 타겟으로 샘플링하여 형성되는 데이터일 수 있다. 이와 관련하여 도 4와 중복되는 서술은 생략한다.

[0056] 도 7b를 참조하면, 기준 클락 신호(CLK_r)의 주파수가 입력 데이터(D_in)의 주파수보다 작을 수 있다. 위상 및 주파수 검출기(100)는 복수의 클락 신호들을 기초로 포획된 후 동기화된 데이터들(D90, D180, D315, D45+, D180+, D270+)을 기초로 하여 주파수 제어 신호를 생성할 수 있다. 예를 들어, 데이터들이 '001011' 또는 '110100'의 값을 가지는 경우, 위상 및 주파수 검출기(100)는 기준 클락 신호(CLK_r)의 주파수가 입력 데이터(D_in)의 주파수보다 작다고 판단할 수 있다. 위상 및 주파수 검출기(100)는 기준 클락 신호(CLK_r)의 주파수가 입력 데이터(D_in)의 주파수보다 작다고 판단하면 제1 논리 레벨(예를 들어, '1')의 주파수 증가 신호(FUP)를 출력할 수 있다.

[0057] 도 7c를 참조하면, 기준 클락 신호(CLK_r)의 주파수가 입력 데이터(D_in)의 주파수보다 클 수 있다. 위상 및 주파수 검출기(100)는 복수의 클락 신호들을 기초로 포획된 후 동기화된 데이터들(D90, D180, D315, D45+, D180+, D270+)을 기초로 하여 주파수 제어 신호를 생성할 수 있다. 예를 들어, 데이터들이 '011001' 또는 '100110'의 값을 가지는 경우, 위상 및 주파수 검출기(100)는 기준 클락 신호(CLK_r)의 주파수가 입력 데이터(D_in)의 주파수보다 크다고 판단할 수 있다. 위상 및 주파수 검출기(100)는 기준 클락 신호(CLK_r)의 주파수가 입력 데이터(D_in)의 주파수보다 크다고 판단하면 제1 논리 레벨(예를 들어, '1')의 주파수 감소 신호(FDN)를 출력할 수 있다.

[0058] 데이터의 신호 간 경계가 아닌 위치 또한 타겟으로 샘플링하여 데이터 왜곡에도 안정적인 주파수 검출을 수행할 수 있다. 또한, 기준 클락 신호의 주기보다 큰 위상 스펙트럼 영역에서 입력 데이터(D_in)의 포획을 통해 보다

안정적인 주파수 제어가 가능하다.

- [0059] 전술된 실시예에 의하면, 위상 및 주파수 검출기(100)는 데이터의 스큐, 지터 등의 왜곡에도 안정적으로 위상 및 주파수를 검출할 수 있다. 또한, 전술된 실시예에 의하면, 클락 및 데이터 복원 회로(10)는 별도의 주파수 고정 루프 없이도 주파수 에러를 추적할 수 있으며, 빠르게 목표 주파수를 찾을 수 있기 때문에 전체 시스템 구조를 간소화할 수 있다.
- [0060] 도 8a 내지 도 8c는 본 개시의 예시적 실시예에 따른 위상 및 주파수 검출기의 주파수 검출 방법을 나타내는 도면이다.
- [0061] 도 8a 내지 도 8c는 설명의 편의를 위해, 하프-레이트를 기준으로 동작하는 경우를 예시하여 도시된 것으로서, 풀-레이트를 기준으로 동작하는 경우 등 다른 레이트로 동작하는 경우는 해당 레이트에 맞는 위상차를 가질 수 있다. 또한, 설명의 편의상 도 8a 내지 도 8c의 입력 데이터(D_{in})는 '1010'을 나타내는 것으로 예시되었다. 이하에서 도 8a 내지 도 8c는 전술된 실시예들을 참조하여 설명될 것이며, 전술된 내용과 중복되는 서술은 생략한다.
- [0062] 도 8a를 참조하면, 위상 및 주파수 검출기(100)는 복수의 클락 신호들을 기초로 포획된 후 동기화된 데이터들(D0, D90, D270, D0+)을 기초로 하여 주파수 제어 신호를 생성할 수 있다. 또한, 복수의 동기화된 데이터들(D0, D90, D270, D0+)은 적어도 하나의 비균등 위상 천이 데이터에 기초하여 생성된 데이터일 수 있다. 비균등 위상 천이 데이터는 입력 데이터(D_{in})의 신호 간 경계가 아닌 위치를 타겟으로 샘플링하여 형성되는 데이터일 수 있다. 예를 들어, 동기화된 데이터들(D90, D270)은 입력 데이터(D_{in})의 신호 간 경계가 아닌 위치를 타겟으로 샘플링하여 형성되는 데이터일 수 있다. 이와 관련하여 도 4와 중복되는 서술은 생략한다.
- [0063] 도 8b를 참조하면, 기준 클락 신호(CLK_r)의 주파수가 입력 데이터(D_{in})의 주파수보다 작을 수 있다. 위상 및 주파수 검출기(100)는 복수의 클락 신호들을 기초로 포획된 후 동기화된 데이터들(D0, D90, D270, D0+)을 기초로 하여 주파수 제어 신호를 생성할 수 있다. 예를 들어, 데이터들이 '1010' 또는 '0101'의 값을 가지는 경우, 위상 및 주파수 검출기(100)는 기준 클락 신호(CLK_r)의 주파수가 입력 데이터(D_{in})의 주파수보다 작다고 판단할 수 있다. 위상 및 주파수 검출기(100)는 기준 클락 신호(CLK_r)의 주파수가 입력 데이터(D_{in})의 주파수보다 작다고 판단하면 제1 논리 레벨(예를 들어, '1')의 주파수 증가 신호(FUP)를 출력할 수 있다.
- [0064] 도 7c를 참조하면, 기준 클락 신호(CLK_r)의 주파수가 입력 데이터(D_{in})의 주파수보다 클 수 있다. 위상 및 주파수 검출기(100)는 복수의 클락 신호들을 기초로 포획된 후 동기화된 데이터들(D0, D90, D270, D0+)을 기초로 하여 주파수 제어 신호를 생성할 수 있다. 예를 들어, 데이터들이 '0011' 또는 '1100'의 값을 가지는 경우, 위상 및 주파수 검출기(100)는 기준 클락 신호(CLK_r)의 주파수가 입력 데이터(D_{in})의 주파수보다 크다고 판단할 수 있다. 위상 및 주파수 검출기(100)는 기준 클락 신호(CLK_r)의 주파수가 입력 데이터(D_{in})의 주파수보다 크다고 판단하면 제1 논리 레벨(예를 들어, '1')의 주파수 감소 신호(FDN)를 출력할 수 있다.
- [0065] 데이터의 신호 간 경계가 아닌 위치 또한 타겟으로 샘플링하여 데이터 왜곡에도 안정적인 주파수 검출을 수행할 수 있다. 또한, 기준 클락 신호의 주기보다 큰 위상 스펙트럼 영역에서 입력 데이터(D_{in})의 포획을 통해 보다 안정적인 주파수 제어가 가능하다.
- [0066] 전술된 실시예에 의하면, 위상 및 주파수 검출기(100)는 데이터의 스큐, 지터 등의 왜곡에도 안정적으로 위상 및 주파수를 검출할 수 있다. 또한, 전술된 실시예에 의하면, 클락 및 데이터 복원 회로(10)는 별도의 주파수 고정 루프 없이도 주파수 에러를 추적할 수 있으며, 빠르게 목표 주파수를 찾을 수 있기 때문에 전체 시스템 구조를 간소화할 수 있다.
- [0067] 도 9a 내지 도 9e는 본 개시의 예시적 실시예에 따른 위상 및 주파수 검출기의 위상 검출 방법을 나타내는 도면이다.
- [0068] 도 9a 내지 도 9e는 설명의 편의를 위해, 하프-레이트를 기준으로 동작하는 경우를 예시하여 도시된 것으로서, 풀-레이트를 기준으로 동작하는 경우 등 다른 레이트로 동작하는 경우는 해당 레이트에 맞는 위상차를 가질 수 있다. 또한, 설명의 편의상 도 9a 내지 도 9e의 입력 데이터(D_{in})는 '1010'을 나타내는 것으로 예시되었다. 이하에서 도 9a 내지 도 9e는 전술된 실시예들을 참조하여 설명될 것이며, 전술된 내용과 중복되는 서술은 생략한다.
- [0069] 도 9a는 기준 클락 신호(CLK_r)의 위상이 입력 데이터(D_{in})의 위상과 동일한 경우를 나타낸다. 동기화 장치(140)에 의해 포획되는 데이터는 데이터들(D0, D90, D180, D270, D0+)일 수 있다. 동기화 장치(140)에 의해 포

획된 데이터들 중 데이터(D90) 및 데이터(D270)는 입력 데이터(D_{in})의 데이터 윈도우 중앙에 정렬될 수 있다. 또한, 동기화 장치(140)에 의해 포획된 데이터들 중 데이터(D0), 데이터(D180) 및 데이터(D0+)는 입력 데이터(D_{in})의 엣지에 정렬될 수 있다.

[0070] 반면 도 9b 및 도 9c는 기준 클럭 신호(CLK_r)의 위상이 입력 데이터의 위상보다 느린 경우를 나타낸다. 도 9b 및 도 9c를 참조하면, 동기화 장치(140)에 의해 포획되는 데이터는 데이터들(D0, D90, D180, D270, D0+)일 수 있다. 기준 클럭 신호(CLK_r)의 위상이 입력 데이터(D_{in})의 위상보다 느리기 때문에, 동기화 장치(140)에 의해 포획되는 데이터들 또한 입력 데이터(D_{in})에 비해 위상이 느릴 수 있다. 도 9b와 같이 데이터들(D0, D90, D180)을 기준으로 '001' 또는 '110'의 값을 가지는 경우, 제어 신호 생성기(160)는 제1 논리 레벨(예를 들어, '1')의 위상 당김 신호(PUP)를 출력할 수 있다. 또는 도 9c와 같이 데이터들(D180, D270, D0+)을 기준으로 '001' 또는 '110'의 값을 가지는 경우, 제어 신호 생성기(160)는 제1 논리 레벨(예를 들어, '1')의 위상 당김 신호(PUP)를 출력할 수 있다. 이와 같이, 기준 클럭 신호(CLK_r)의 위상이 입력 데이터(D_{in})의 위상보다 느린 경우, 위상 및 주파수 검출기(100)가 제1 논리 레벨의 위상 당김 신호(PUP)를 출력함으로써 클럭 및 데이터 복원 회로(10)는 기준 클럭 신호(CLK_r)의 위상을 앞당김으로써 시스템의 동작을 정상화 할 수 있다.

[0071] 도 9d 및 도 9e는 기준 클럭 신호(CLK_r)의 위상이 입력 데이터의 위상보다 빠른 경우를 나타낸다. 도 9d 및 도 9e를 참조하면, 동기화 장치(140)에 의해 포획되는 데이터는 데이터들(D0, D90, D180, D270, D0+)일 수 있다. 기준 클럭 신호(CLK_r)의 위상이 입력 데이터(D_{in})의 위상보다 빠르기 때문에, 동기화 장치(140)에 의해 포획되는 데이터들 또한 입력 데이터(D_{in})에 비해 위상이 빠를 수 있다. 도 9d와 같이 데이터들(D0, D90, D180)을 기준으로 '100' 또는 '011'의 값을 가지는 경우, 제어 신호 생성기(160)는 제1 논리 레벨(예를 들어, '1')의 위상 지연 신호(PDN)를 출력할 수 있다. 또는 도 9e와 같이 데이터들(D180, D270, D0+)을 기준으로 '011' 또는 '100'의 값을 가지는 경우, 제어 신호 생성기(160)는 제1 논리 레벨(예를 들어, '1')의 위상 지연 신호(PDN)를 출력할 수 있다. 이와 같이, 기준 클럭 신호(CLK_r)의 위상이 입력 데이터(D_{in})의 위상보다 빠른 경우, 위상 및 주파수 검출기(100)가 제1 논리 레벨의 위상 지연 신호(PDN)를 출력함으로써 클럭 및 데이터 복원 회로(10)는 기준 클럭 신호(CLK_r)의 위상을 지연시킴으로써 시스템의 동작을 정상화 할 수 있다.

[0072] 도 10은 본 개시의 예시적 실시예에 따른 위상 및 주파수 검출기를 나타내는 블록도이다.

[0073] 도 10을 참조하면, 위상 및 주파수 검출기(100)는 위상 천이 데이터 생성기(120), 동기화 장치(140) 및 제어 신호 생성기(160)를 포함할 수 있다. 위상 및 주파수 검출기(100)에 대한 도 1, 도 2 및 도 6과 중복되는 설명은 생략하며, 이하에서 도 10은 도 1, 도 2 및 도 6을 참조하여 설명될 것이다.

[0074] 위상 천이 데이터 생성기(120)는 복수의 플립플롭들을 포함할 수 있다. 예를 들어, 위상 천이 데이터 생성기(120)는 제1 플립플롭(121), 제2 플립플롭(122), 제3 플립플롭(123), 제4 플립플롭(124), 제5 플립플롭(125) 및 제6 플립플롭(126)을 포함할 수 있다. 설명의 편의를 위해, 도 10은 클럭 신호(CLK_I)는 기준 클럭 신호(CLK_r)와 같은 위상을 가지는 클럭 신호, 클럭 신호(CLK_Q)는 기준 클럭 신호(CLK_r)와 90도의 위상차를 가지는 클럭 신호, 클럭 신호(CLK_{IB})는 반전된 클럭 신호(CLK_I)로서, 클럭 신호(CLK_I)와 180도(π)의 위상차를 가지는 클럭 신호, 클럭 신호(CLK_{QB})는 반전된 클럭 신호(CLK_Q)로서, 클럭 신호(CLK_Q)와 180도(π)의 위상차를 가지는 클럭 신호인 경우를 예시한다. 또한, 설명의 편의를 위해 클럭 신호(CLK_x) 및 클럭 신호(CLK_y)는 기준 클럭 신호(CLK_r)와 특정 위상 차를 가지는 클럭 신호인 경우를 예시하기로 한다.

[0075] 동기화 장치(140)는 복수의 플립플롭들을 포함할 수 있다. 예를 들어, 제1 플립플롭(121)으로부터 출력되는 제1 데이터(D1)는 세 개의 플립플롭들을 통해 출력될 수 있다. 제1 데이터(D1)가 통과하는 세 개의 플립플롭들은 모두 기준 클럭 신호(CLK_I)를 기초로 동작할 수 있다. 특정 시간을 기준으로 설명하면, 제1 데이터(D1)는 플립플롭들을 통과함에 따라 위상이 변화할 수 있다. 예를 들어, 제1 데이터(D1)는 플립플롭들을 통과함에 따라 순차적으로 데이터(D0++), 데이터(D0+) 및 데이터(D0)으로 나타날 수 있다.

[0076] 데이터(D0)는 기준이 되는 위상이 0인 데이터를 의미한다. 데이터(D0+)는 데이터(D0)와 360도(2π)의 위상 차를 갖는 데이터를 의미하며, 데이터(D0++)는 데이터(D0+)와 360도(2π)의 위상 차를 갖는 데이터를 의미한다. 다시 말해, 데이터(D0++)는 데이터(D0)와 720도(4π)의 위상 차를 갖는 데이터를 의미한다. 또한 마찬가지로, 데이터(D90)는 데이터(D0)와 90도($\pi/2$)의 위상 차를 갖는 데이터를 의미하며, 데이터(D90+)는 데이터(D90)와 360도(2π)의 위상 차를 갖는 데이터를 의미한다. 다시 말해, 데이터(D90+)는 데이터(D0)와 450도($5\pi/2$)의 위상 차를 갖는 데이터를 의미한다.

[0077] 마찬가지로, 제3 플립플롭(123)으로부터 출력되는 제3 데이터(D₃)는 세 개의 플립플롭들을 통해 출력될 수 있

다. 반전된 제1 데이터(D_3)가 통과하는 세 개의 플립플롭들 각각은 클락 신호(CLK_IB), 기준 클락 신호(CLK_I) 및 기준 클락 신호(CLK_I)를 기초로 동작할 수 있다. 특정 시간을 기준으로 설명하면, 제3 데이터(D_3)는 플립 플롭들을 통과함에 따라 위상이 변화할 수 있다. 예를 들어, 반전된 제1 데이터(D_3)는 플립플롭들을 통과함에 따라 순차적으로 데이터(D180+), 데이터(D180+) 및 데이터(D180)으로 나타날 수 있다.

[0078] 제2 플립플롭(122) 및 제4 플립플롭(124)으로부터 출력된 데이터들 또한 마찬가지로의 방식에 의해 동기화 될 수 있다.

[0079] 결과적으로, 동기화 장치(140)는 균등 분할 클락 신호들에 동기화 된 데이터들(D0, D0+, D90, D90+, D180, D180+, D270, D270+, DX, DX+, DY, DY+)을 출력할 수 있다. 전술된 실시예에 의하면, 위상 및 주파수 검출기(100)는 데이터의 스큐, 지터 등의 왜곡에도 안정적으로 위상 및 주파수를 검출할 수 있다. 또한, 전술된 실시예에 의하면, 클락 및 데이터 복원 회로(10)는 별도의 주파수 고정 루프 없이도 주파수 에러를 추적할 수 있으며, 빠르게 목표 주파수를 찾을 수 있기 때문에 전체 시스템 구조를 간소화할 수 있다.

[0080] 도 11은 본 개시의 예시적 실시예에 따른 제어 신호 생성기를 나타내는 블록도이다.

[0081] 도 11을 참조하면, 제어 신호 생성기(160)는 복수의 논리 연산기들을 포함할 수 있다. 도 11은 예시적인 도시로서, 도시된 논리 회로로만 제한되지 않을 것이 유의된다. 이하에서 도 11은 전술된 실시예들을 참조하여 설명될 것이며, 전술된 내용과 중복되는 서술은 생략한다.

[0082] 예를 들어, 제어 신호 생성기(160)는 적어도 하나의 OR 연산기, 적어도 하나의 NOR 연산기 및 적어도 하나의 AND 연산기를 포함할 수 있다. 제어 신호 생성기(160)는 복수의 논리 연산기들을 통해 위상 제어 신호 및 주파수 제어 신호를 생성할 수 있다. 위상 제어 신호는 위상 당김 신호(PUP) 및 위상 지연 신호(PDN)를 포함할 수 있다. 주파수 제어 신호는 주파수 증가 신호(FUP) 및 주파수 감소 신호(FDN)를 포함할 수 있다.

[0083] 도 12는 본 개시의 예시적 실시예에 따른 클락 및 데이터 복원 회로를 포함하는 장치를 나타내는 블록도이다.

[0084] 본 개시의 예시적 실시예에 따른 클락 및 데이터 복원 회로는, 수신 회로(1222)에 포함될 수 있다. 장치(1000)는 디스플레이 패널(1200)을 포함하는 컴퓨팅 시스템일 수 있고, 비제한적인 예로서, 데스크탑 컴퓨터, 서버, TV, 전광판과 같이 고정형(stationary) 시스템일 수도 있고, 랩탑 컴퓨터, 모바일 폰, 태블릿 PC, 웨어러블 기기 등과 같이 휴대용(mobile) 시스템일 수도 있다. 도 12에 도시된 바와 같이, 장치(1000)는 마더보드(1100) 및 디스플레이 패널(1200)을 포함할 수 있고, 데이터 라인(1300)을 통해서 입력 데이터(DATA_IN)가 마더보드(1100)로부터 디스플레이 패널(1200)에 전달될 수 있다.

[0085] 마더보드(1100)는 프로세서(1120)를 포함할 수 있고, 프로세서(1120)는 송신 회로(1122)를 포함할 수 있다. 프로세서(1120)는 마이크로프로세서, 마이크로 컨트롤러, ASIC(Application Specific Integrated Circuit), FPGA(Field Programmable Gate Array)와 같은 계산적(computational) 동작을 수행하는 프로세싱 유닛을 지칭할 수 있다. 일부 실시예들에서, 프로세서(1120)는 GPU(Graphic Processing Unit)와 같은 비디오 그래픽 프로세서일 수도 있다. 프로세서(1120)는 디스플레이 패널(1200)에 포함된 디스플레이(1240)를 통해서 출력되는 이미지에 대응하는 이미지 데이터를 생성할 수 있고, 이미지 데이터는 송신 회로(1122)에 제공될 수 있다.

[0086] 송신 회로(1122)는 이미지 데이터를 수신할 수 있고, 이미지 데이터를 직렬 데이터로 변환함으로써 입력 데이터(DATA_IN)를 생성할 수 있다. 예를 들면, 송신 회로(1122)는 디스플레이(1240)의 하나의 픽셀에 대응하는 픽셀 데이터가 하나의 패킷에 대응되도록 입력 데이터(DATA_IN)를 생성할 수 있다. 도 1을 참조하여 전술된 바와 같이, 입력 데이터(DATA_IN)는 임베디드 클락을 포함할 수 있다.

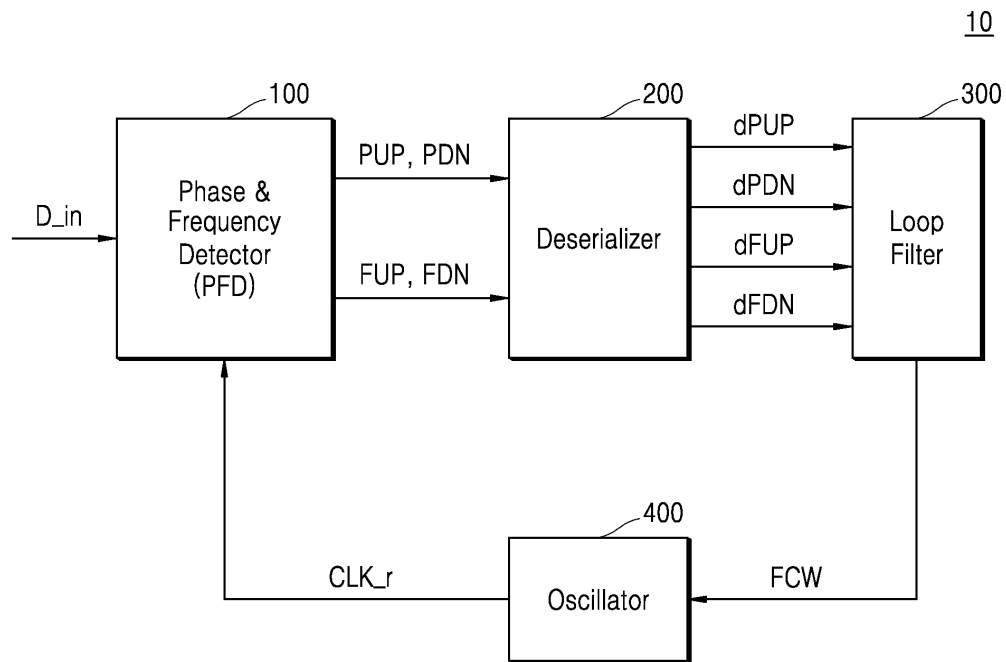
[0087] 디스플레이 패널(1200)은 디스플레이 컨트롤러(1220) 및 디스플레이(1240)를 포함할 수 있다. 디스플레이 컨트롤러(1220)는 마더보드(1100)로부터 직렬 데이터를 포함하는 입력 데이터(DATA_IN)를 수신할 수 있고, 입력 데이터(DATA_IN)를 처리함으로써 디스플레이(1240)에 디스플레이 신호(SIG)를 제공할 수 있다. 일부 실시예들에서, 디스플레이 컨트롤러(1220)는 디스플레이(1240)에 포함된 픽셀들을 제어하기 위한 디스플레이 신호(SIG)를 제공할 수 있고, DDI(Display Driver IC)로서 지칭될 수도 있다.

[0088] 디스플레이 컨트롤러(1220)는 수신 회로(1222)를 포함할 수 있고, 수신 회로(1222)는 입력 데이터(DATA_IN)를 수신할 수 있다. 수신 회로(1222)는 본 개시의 예시적 실시예들에 따른 클락 및 데이터 복원 회로를 포함할 수 있고, 입력 데이터(DATA_IN)로부터 클락 및 데이터를 복구할 수 있다. 디스플레이(1240)의 해상도가 상승하고 디스플레이(1240)를 통해서 업데이트되는 이미지의 개수, 즉 프레임 레이트가 상승함에 따라, 마더보드(1100)로부터 디스플레이 패널(1200)에 전달되는 데이터의 양이 현저하게 증가할 수 있다.

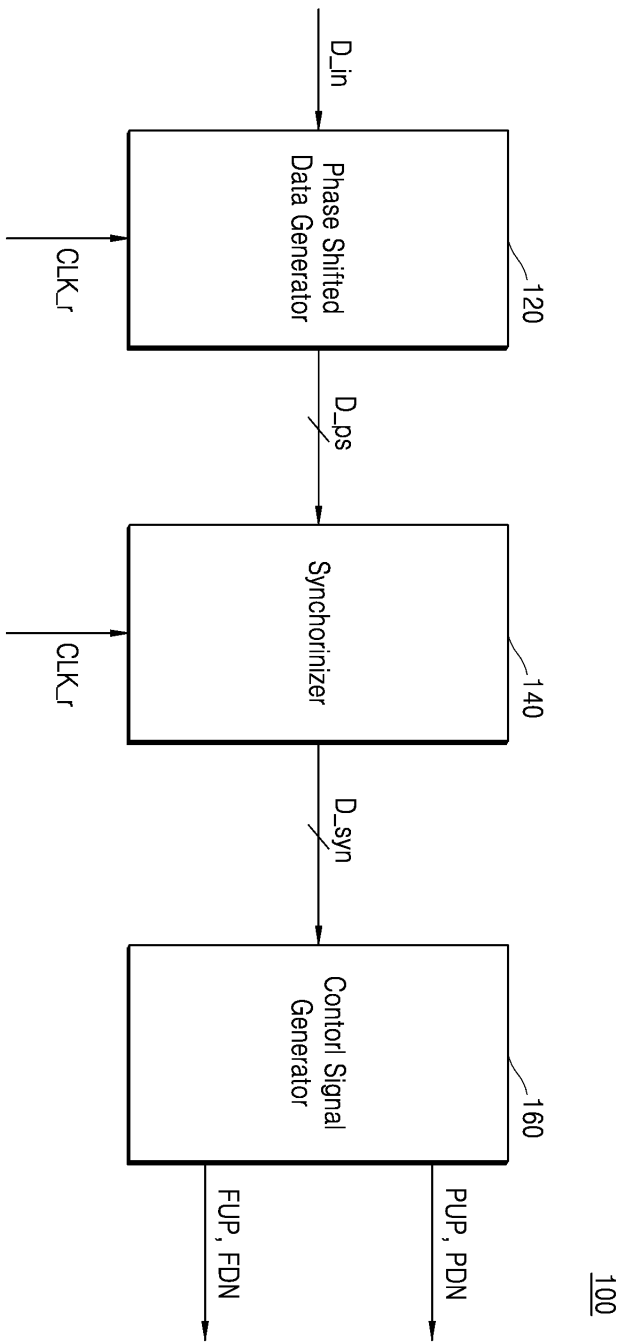
- [0089] 디스플레이(1240)는, 비제한적인 예시로서 LCD(Liquid Crystal Display), LED(Light Emitting Diode), Electroluminescent Display(ELD), CRT(cathode Ray Tube), PDP(Plasma Display Panel), LCoS(Liquid Crystal on Silicon)과 같은 임의의 유형의 디스플레이를 포함할 수 있다. 또한, 도 12에서 장치(1000)는 하나의 디스플레이 패널(1200)을 포함하는 것으로 도시되었으나, 일부 실시예들에서 장치(1000)는 2 이상의 디스플레이 패널들, 즉 2 이상의 디스플레이들을 포함할 수도 있다.
- [0090] 전술된 실시예에 의하면, 위상 및 주파수 검출기(100)는 데이터의 스큐, 지터 등의 왜곡에도 안정적으로 위상 및 주파수를 검출할 수 있다. 또한, 전술된 실시예에 의하면, 클락 및 데이터 복원 회로(10)는 별도의 주파수 고정 루프 없이도 주파수 에러를 추적할 수 있으며, 빠르게 목표 주파수를 찾을 수 있기 때문에 전체 시스템 구조를 간소화할 수 있다.
- [0091] 도 13은 본 개시의 예시적 실시예에 따른 클락 및 데이터 복원 회로가 포함된 시스템을 나타내는 블록도이다.
- [0092] 도 13을 참조하면, 시스템(2000)은 호스트(2200)와 스토리지 장치(2400)를 포함할 수 있다. 스토리지 장치(2400)는, 메모리 시스템 또는 스토리지 시스템으로 지칭될 수도 있고, 신호 커넥터(2001), 복수의 불휘발성 메모리들(2420_1~2420_n), 버퍼 메모리(2440) 및 컨트롤러(2460)를 포함할 수 있다. 예를 들어, 컨트롤러(2460)는 메모리 컨트롤러 또는 스토리지 컨트롤러로 지칭될 수 있다.
- [0093] 스토리지 장치(2400)는 신호 커넥터(2001)를 통해 호스트(2200)와 신호를 주고 받을 수 있다. 호스트(2200) 및 스토리지 장치(2400)는 전기적 신호 및/또는 광신호를 통해서 통신할 수 있고, 비제한적인 예시로서, UFS(Universal Flash Storage), SATA(Serial Advanced Technology Attachment), SATAe(SATA express), SCSI(Small Computer Small Interface), SAS(Serial Attached SCSI), PCIe(Peripheral Component Interconnect express), NVMe(Non-Volatile Memory Express), AHCI(Advanced Host Controller Interface) 또는 이들의 조합을 통해서 통신할 수 있다.
- [0094] 컨트롤러(2460)는 호스트(2200)로부터 수신된 신호에 응답하여 복수의 불휘발성 메모리들(2420_1~2420_n)을 제어할 수 있다. 컨트롤러(2460)는 데이터 송수신을 위한 직렬 통신 인터페이스 회로(2462)를 포함할 수 있고, 수신된 직렬 데이터의 클락 및 데이터를 복원하기 위하여 본 개시의 예시적 실시예들이 적용된 클락 및 데이터 복원 회로(2464)를 포함할 수 있다. 직렬 통신 인터페이스 회로(2462)는 UFS, SATA, SATAe, SCSI, SAS, PCIe, NVMe, AHCI 등과 같은 통신 인터페이스를 제공할 수 있다. 버퍼 메모리(2440)는 스토리지 장치(2400)의 버퍼 메모리로 동작할 수 있다. 한편, 호스트(2200)도 데이터 송수신을 위한 직렬 통신 인터페이스 회로(2220) 및 본 개시의 예시적 실시예들이 적용된 클락 및 데이터 복원 회로(2240)를 포함할 수 있다.
- [0095] 각각의 불휘발성 메모리들(2420_1~2420_n)은 메모리 셀 어레이를 포함할 수 있고, 메모리 셀 어레이는 메모리 블록들을 포함할 수 있으며, 메모리 블록들 각각은 페이지들로 나뉘어질 수 있으며, 페이지 각각은 불휘발성 메모리 셀들, 예컨대, 적어도 하나의 NAND 플래시 메모리 셀을 포함할 수 있다.
- [0096] 이상에서와 같이 도면과 명세서에서 예시적인 실시예들이 개시되었다. 본 명세서에서 특정한 용어를 사용하여 실시예들을 설명되었으나, 이는 단지 본 개시의 기술적 사상을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 개시의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 개시의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면

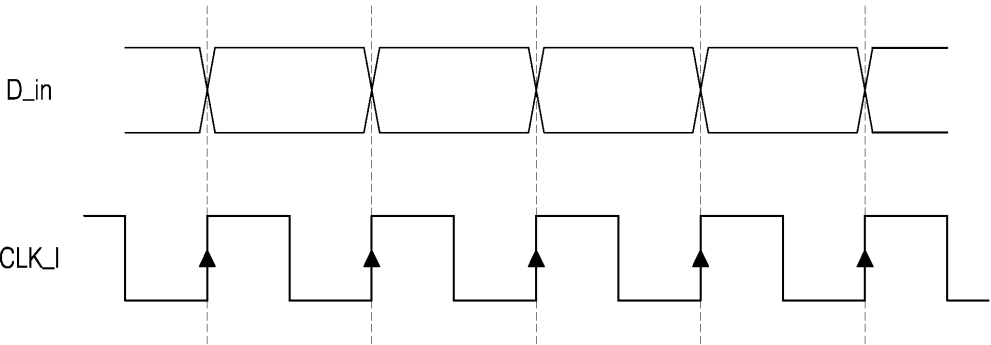
도면1



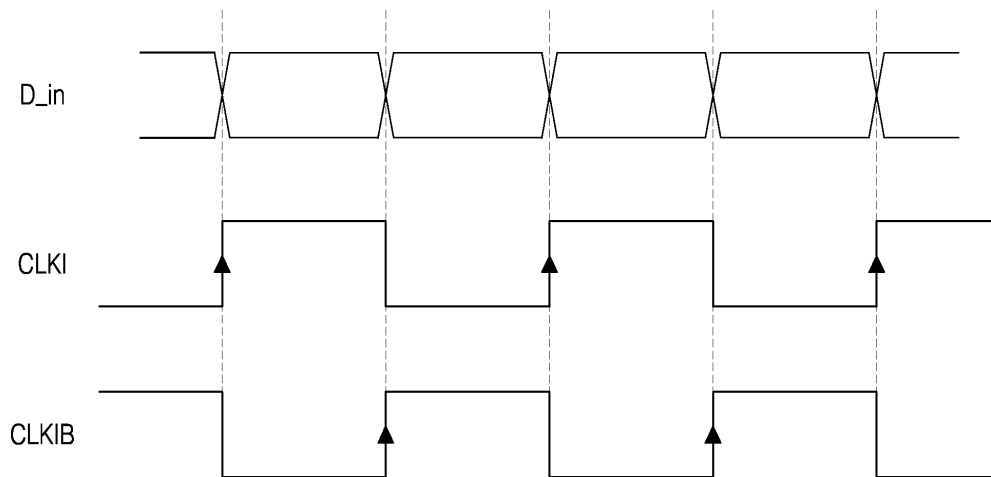
도면2



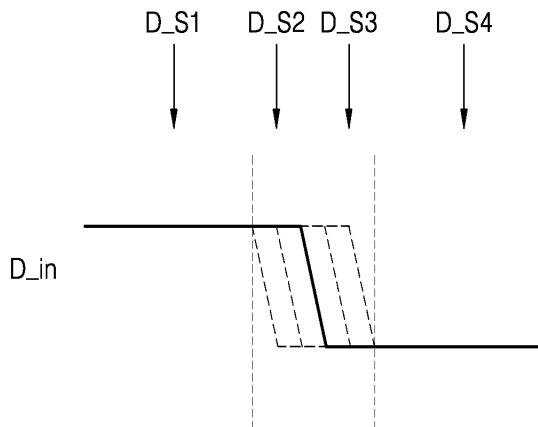
도면3a



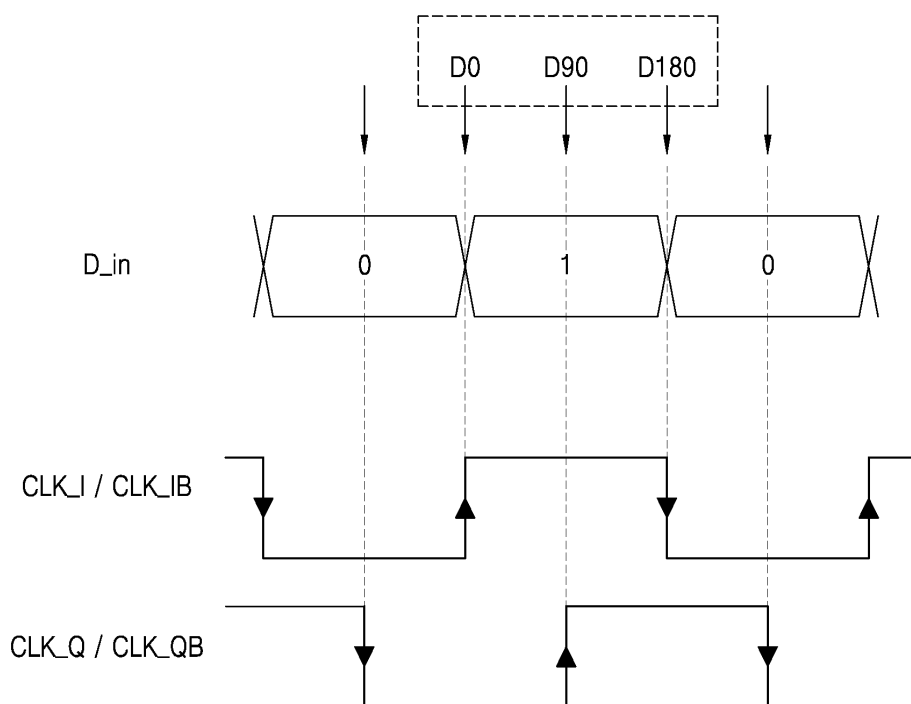
도면3b



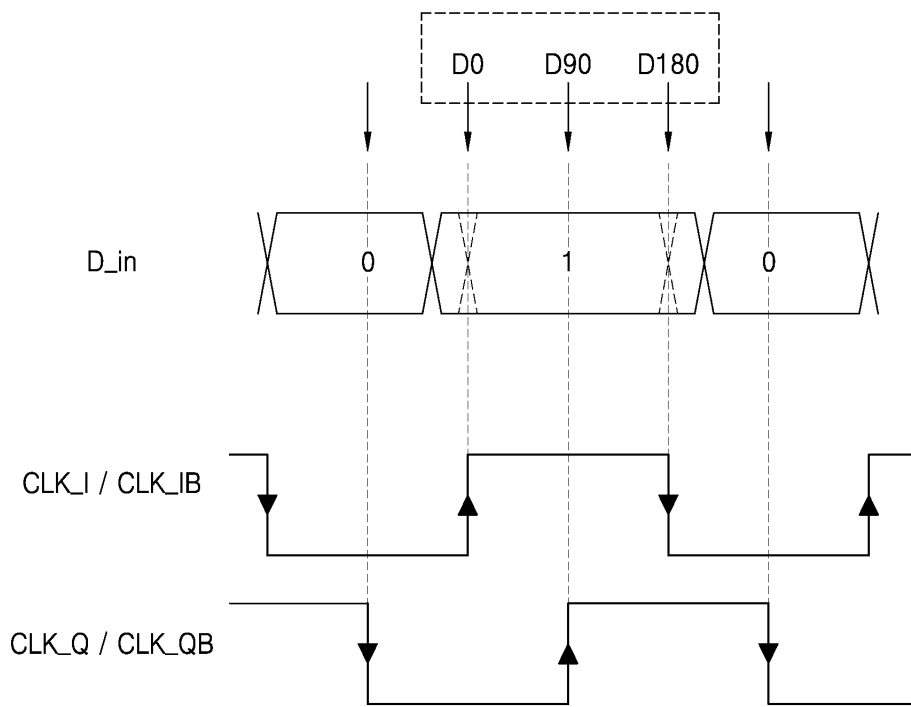
도면4



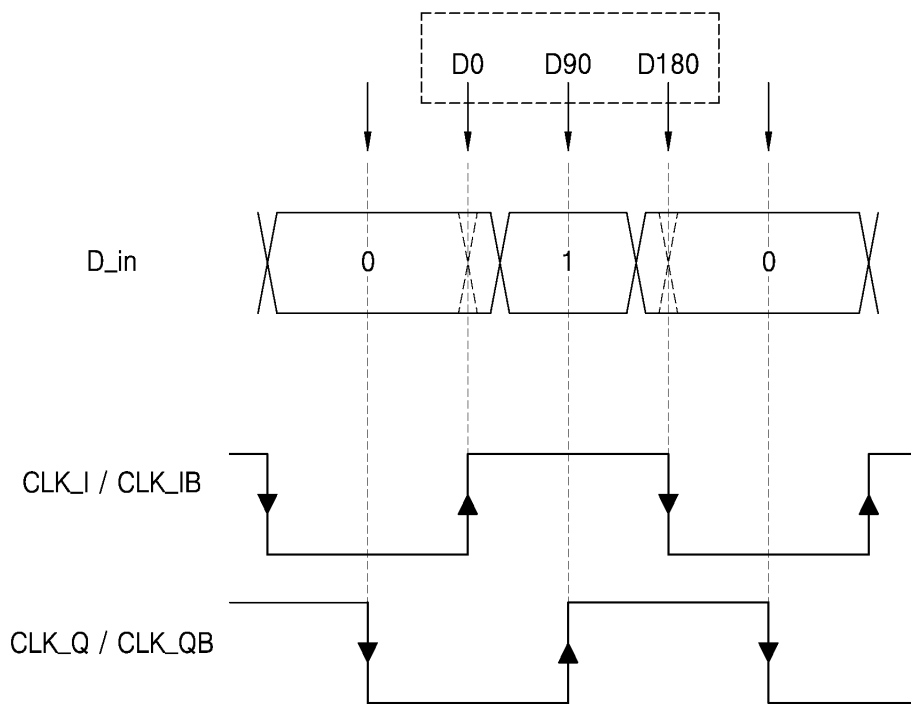
도면5a



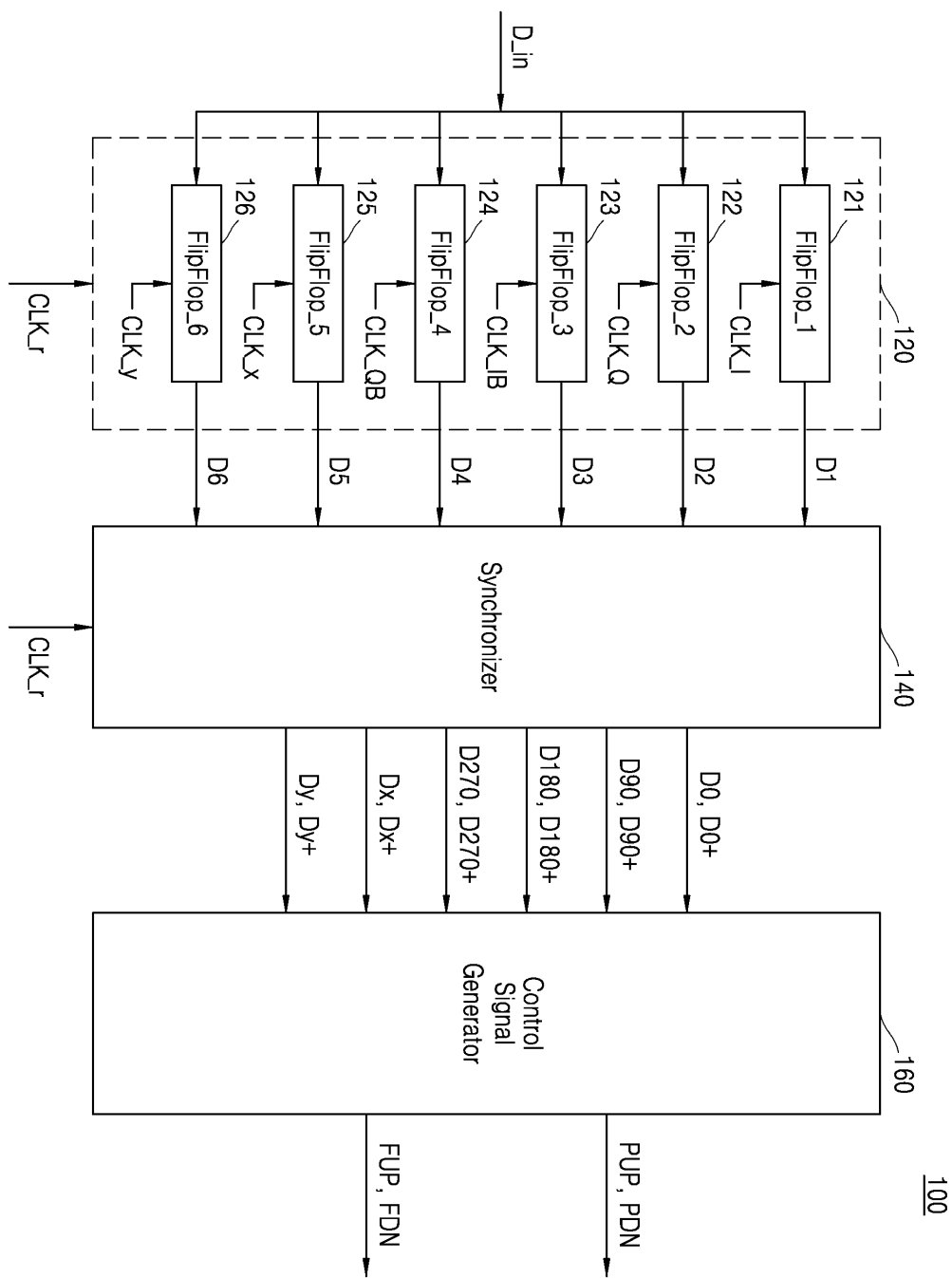
도면5b



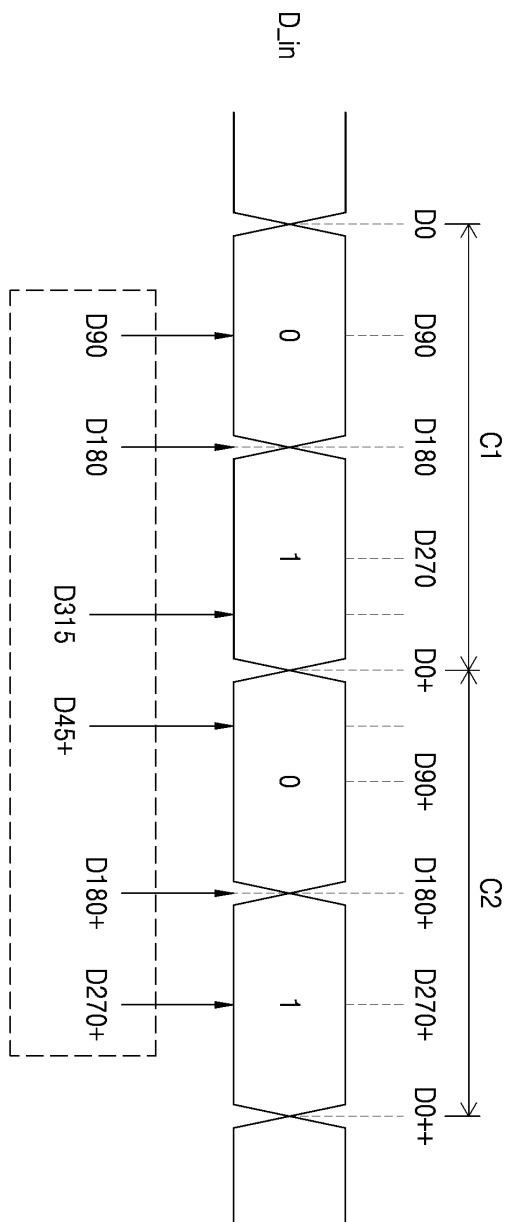
도면5c



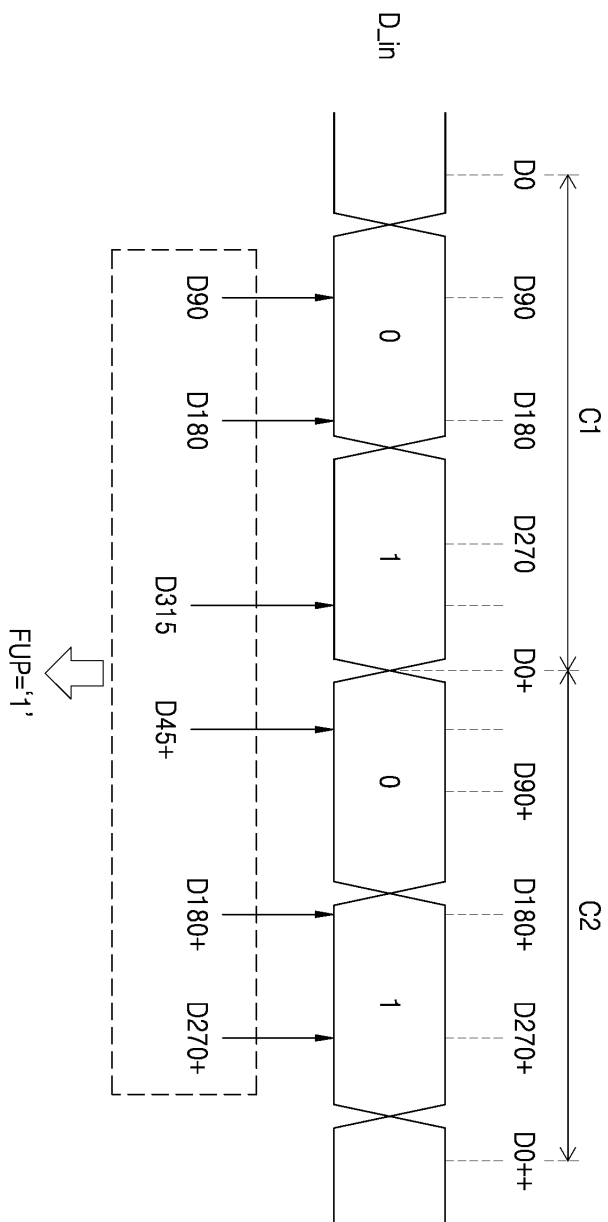
도면6



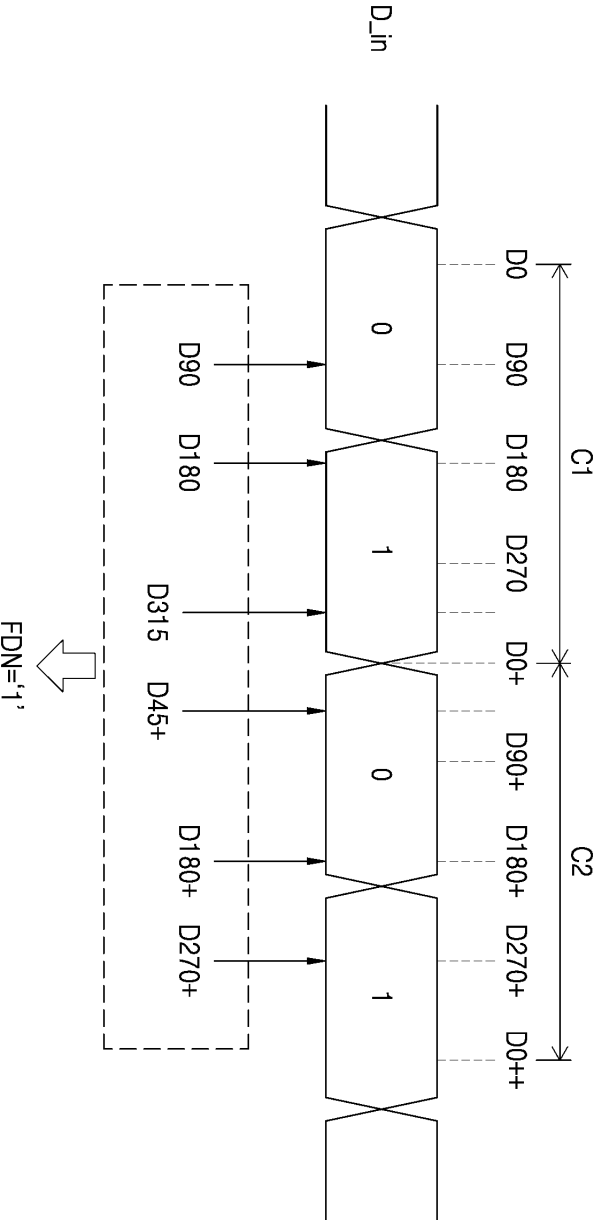
도면7a



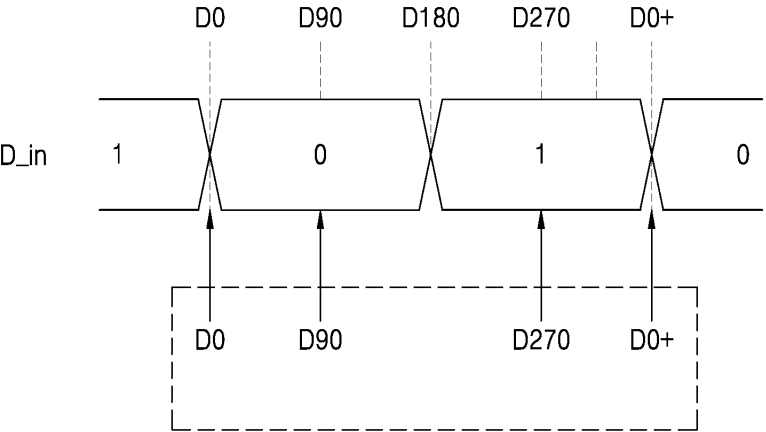
도면7b



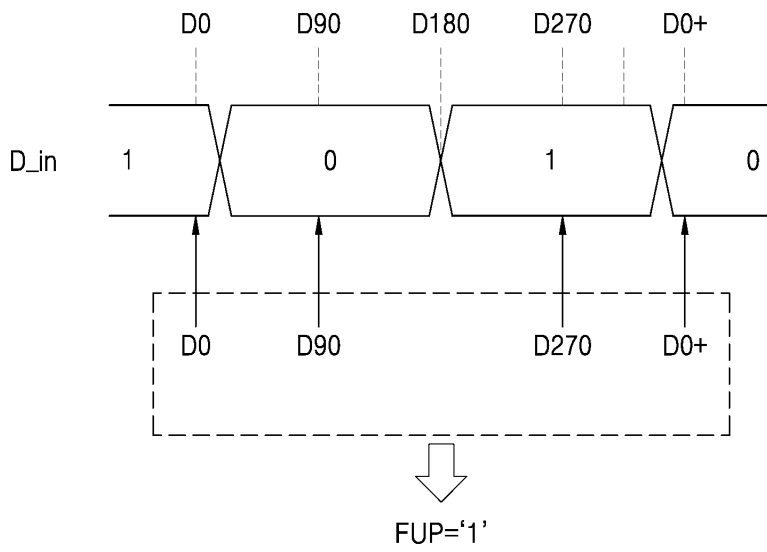
도면7c



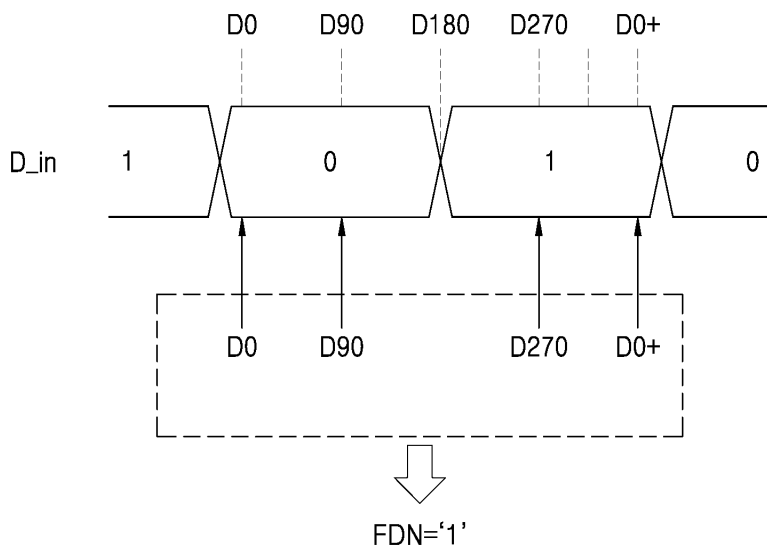
도면8a



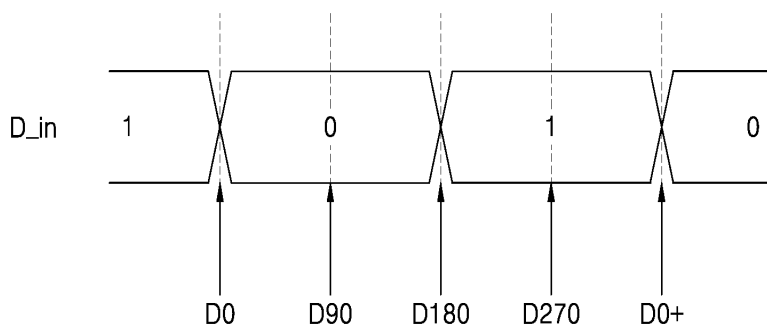
도면8b



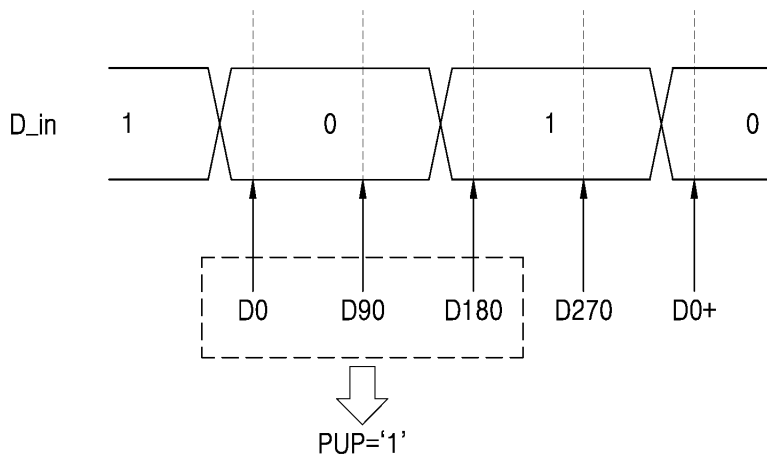
도면8c



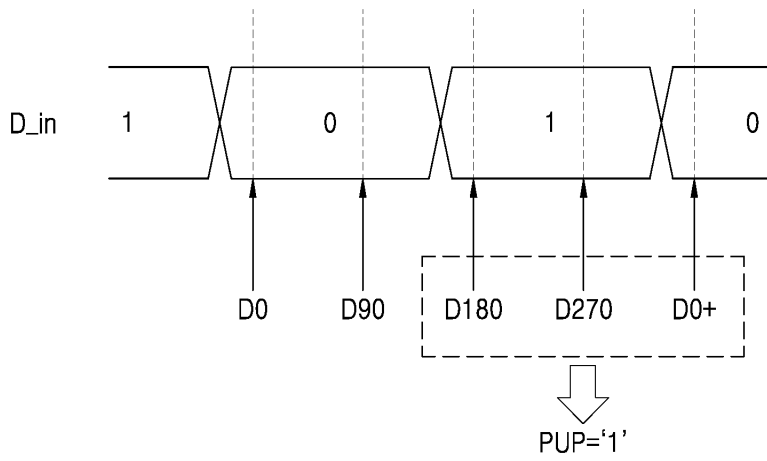
도면9a



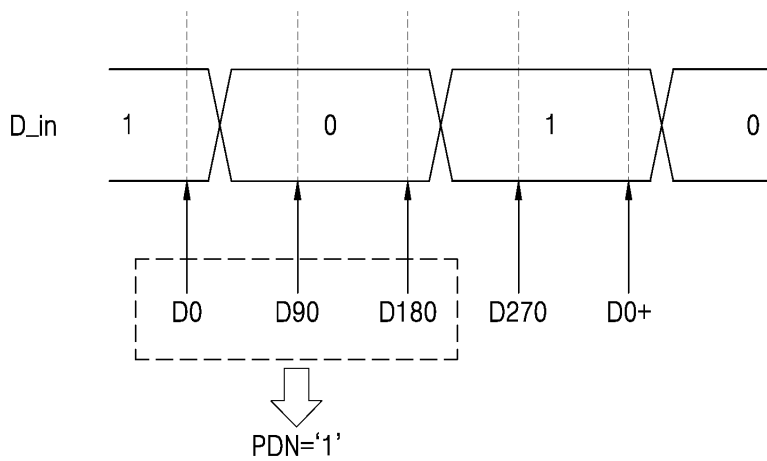
도면9b



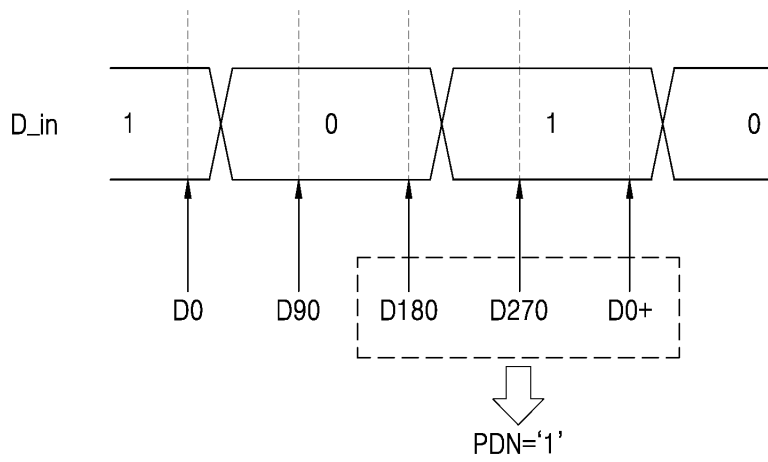
도면9c



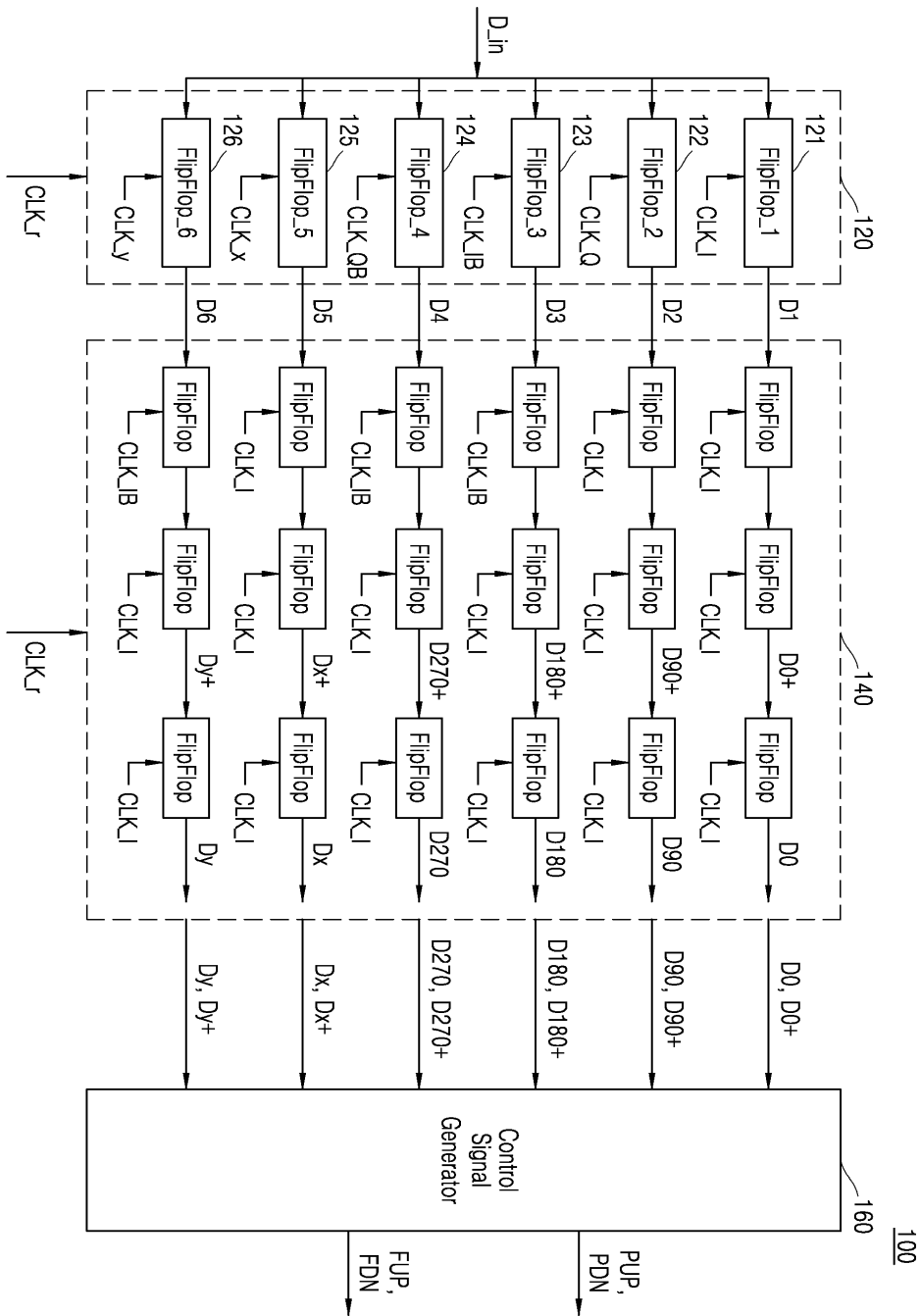
도면9d



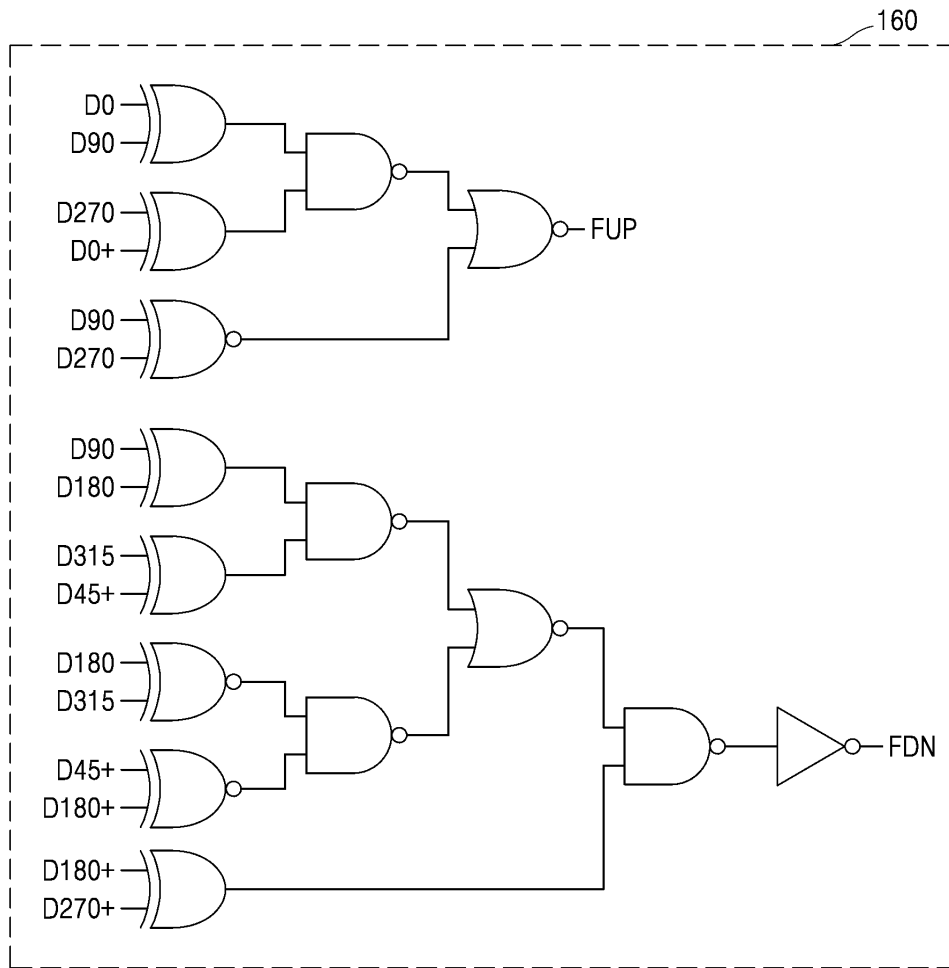
도면9e



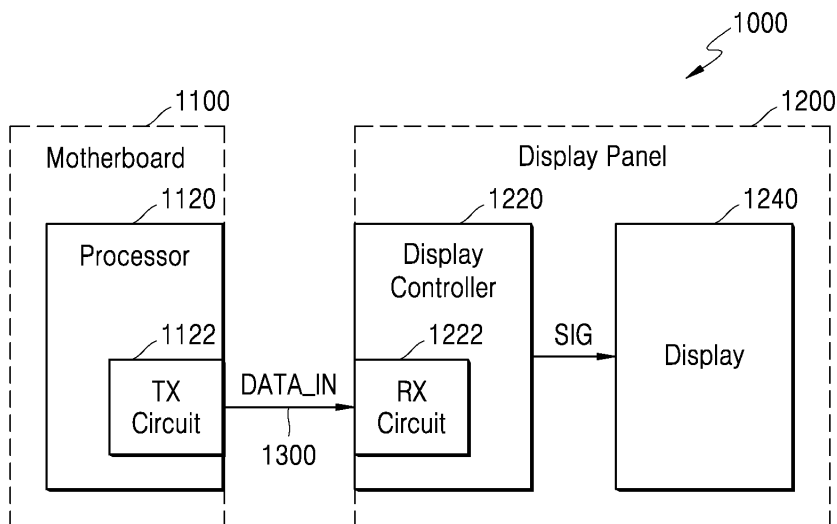
도면10



도면11



도면12



도면13

