(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3669195号
(P3669195)
(45)発行日　平成17年7月6日(2005.7.6)　(24)登録日　平成17年4月22日(2005.4.22)

(51)Int.Cl.[7]		F I		
G10H	1/18	G10H	1/18	
G10H	1/00	G10H	1/00	Z
H04H	7/00	H04H	7/00	

請求項の数 4　(全 13 頁)

(21)出願番号　特願平11-58908
(22)出願日　平成11年3月5日(1999.3.5)
(65)公開番号　特開2000-261391(P2000-261391A)
(43)公開日　平成12年9月22日(2000.9.22)
審査請求日　平成12年11月20日(2000.11.20)

(73)特許権者　000004075
ヤマハ株式会社
静岡県浜松市中沢町１０番１号
(74)代理人　100107995
弁理士　岡部　惠行
(72)発明者　青木　孝光
静岡県浜松市中沢町１０番１号　ヤマハ株式会社内

審査官　小宮　慎司

(56)参考文献　特許第３２２１１６２（ＪＰ，Ｂ２）
特開平０６－０９０２１０（ＪＰ，Ａ）
特開平０６－３１０９５７（ＪＰ，Ａ）

最終頁に続く

(54)【発明の名称】双方向カスケード接続ミキサ

(57)【特許請求の範囲】

【請求項１】

複数の入力信号を加算し入力加算信号を出力する入力加算手段と、

他のディジタルミキサから出力されるカスケード信号を入力するためのカスケード入力手段と、

前記入力加算信号とカスケード信号との加算信号又は前記入力加算信号をカスケード信号として出力するカスケード出力手段と、

前記カスケード出力手段により前記加算信号がカスケード信号として出力されるときは当該加算信号を出力し、前記カスケード出力手段により前記入力加算信号がカスケード信号として出力されるときは他のディジタルミキサからのカスケード信号を出力するスイッチ手段と、

このスイッチ手段から出力される信号をミキシング出力信号として出力するミキシング出力手段と

を具備することを特徴とする双方向カスケード接続ミキサ。

【請求項２】

複数の入力信号を加算し入力加算信号を出力する入力加算手段と、

下位及び最上位ディジタルミキサから出力されるカスケード信号を入力するためのカスケード入力手段と、

前記入力加算信号と下位ディジタルミキサからのカスケード信号との加算信号をカスケード信号として出力するカスケード出力手段と、

前記加算信号又は最上位ディジタルミキサからのカスケード信号の何れかを切替え出力するスイッチ手段と、
このスイッチ手段から出力される信号をミキシング出力信号として出力するミキシング出力手段と
を具備することを特徴とする双方向カスケード接続ミキサ。
【請求項３】
前記ミキシング出力手段は、ミキシング出力信号の位相を調整するための遅延手段を備えることを特徴とする請求項１又は２に記載の双方向カスケード接続ミキサ。
【請求項４】
さらに、
前記スイッチ手段の切替え及び前記遅延手段の遅延量を設定するための制御手段
を具備することを特徴とする請求項３に記載の双方向カスケード接続ミキサ。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、ディジタル音響機器においてディジタルミキサが複数台カスケード接続される双方向カスケード接続ミキサに関する。
【０００２】
【従来の技術】
従来より、複数の入力信号を処理して混合する機能を有するディジタルミキサを、複数台、カスケード接続して使用する場合、各ディジタルミキサは、自らの内部バスから入力される複数の入力信号を処理・混合するだけでなく、前段のディジタルミキサからのカスケード出力信号をミキシングして後段のディジタルミキサに与えるようにしている。
【０００３】
図１はこの種の従来技術を示す。例えば、ディジタルミキサＭＡ，ＭＢを図１（１）に示すようにカスケード接続した場合、各ミキサＭＡ，ＭＢでの自らの入力信号の加算結果を“ＳＡ”、“ＳＢ”としたとき、最終的な総加算結果“ＳＡ＋ＳＢ”は、カスケード・マスタであるディジタルミキサＭＡのみから得られ、カスケード・スレーブとなるディジタルミキサＭＢからは自身の加算結果“ＳＢ”しか得ることができない。
【０００４】
図１（２）は、図１（１）のカスケード接続による信号処理をブロック化して示したものである。ディジタルミキサＭＡはｘ本の入力チャンネル１，２，…，ｘｃｈを有し、ディジタルミキサＭＢはｙ本の入力チャンネル１，２，…，ｙｃｈを有している。ディジタルミキサＭＢの加算結果“ＳＢ”をカスケード出力してディジタルミキサＭＡにカスケード入力するので、マスタのディジタルミキサＭＡからは、このカスケード入力信号を自身の加算結果“ＳＡ”に加算することにより、加算結果“ＳＡ＋ＳＢ”が得られる。なお、ディジタルミキサＭＡ自身の入力加算器ＡＩとスレーブのディジタルミキサＭＢからのカスケード入力信号とのカスケード加算器ＡＣとの間のディレイ要素ＤＬは、両ディジタルミキサＭＡ，ＭＢ間の位相差を補正するために設けられたものである。
【０００５】
次に、更にスレーブのディジタルミキサＭＣを追加してディジタルミキサＭＡ，ＭＢ，ＭＣを図１（３）に示すようにカスケード接続した場合にも、最終的な加算結果“ＳＡ＋ＳＢ＋ＳＣ”を得ることができるのは、最終段のディジタルミキサＭＡのみであり、前段のディジタルミキサＭＢ，ＭＣからは、途中の加算結果“ＳＢ＋ＳＣ”，“ＳＣ”（ＳＣはミキサＭＣ自身の入力信号の加算結果）しか得ることができない。
【０００６】
このように、従来技術においては、複数台のディジタルミキサをカスケード接続した場合、ミキシングされるトータルの加算結果は、最終段のマスタ・ディジタルミキサＭＡにしか得ることができない。
【０００７】

【発明が解決しようとする課題】
この発明は、このような不都合に鑑み、複数台のディジタルミキサをカスケード接続した時にもミキシングされた信号を各ディジタルミキサで使用することができ、トータル出力を任意の位置のディジタルミキサから取り出すことができるようにした双方向カスケード接続ミキサを提供することを目的とする。
【０００８】
【課題を解決するための手段】
この発明によると、複数の入力信号（１ｃｈ～ｎｃｈ）を加算し入力加算信号（Ｓｉ）を出力する入力加算手段（１２）と、他のディジタルミキサから出力されるカスケード信号（Ｓｃ）を入力するためのカスケード入力手段（ＣＩ）と、入力加算信号（Ｓｉ）とカスケード信号（Ｓｃ）との加算信号（Ｓｉ＋Ｓｃ）又は入力加算信号（Ｓｉ）をカスケード信号として出力するカスケード出力手段（ＣＯ）と、カスケード出力手段（ＣＯ）により加算信号（Ｓｉ＋Ｓｃ）がカスケード信号として出力されるときは当該加算信号（Ｓｉ＋Ｓｃ）を出力し、カスケード出力手段（ＣＯ）により入力加算信号（Ｓｉ）がカスケード信号として出力されるときは他のディジタルミキサからのカスケード信号（Ｓｃ）を出力するスイッチ手段（１５３・１５４）と、このスイッチ手段から出力される信号をミキシング出力信号（ＢＵＳ）として出力するミキシング出力手段（ＢＯ）とを具備する双方向カスケード接続ミキサ〔請求項１〕、並びに、複数の入力信号（１ｃｈ～ｎｃｈ）を加算し入力加算信号（Ｓｉ）を出力する入力加算手段（２２）と、下位及び最上位ディジタルミキサから出力されるカスケード信号（Ｓｃ，ＴＬ）を入力するためのカスケード入力手段（ＣＩ，ＣＲ）と、入力加算信号（Ｓｉ）と下位ディジタルミキサからのカスケード信号（Ｓｃ）との加算信号（Ｓｉ＋Ｓｃ）をカスケード信号として出力するカスケード出力手段（ＣＯ）と、加算信号（Ｓｉ＋Ｓｃ）又は最上位ディジタルミキサ（２１ｍ，３１ｍ，４１ｍ）からのカスケード信号（ＴＬ）の何れかを切替え出力するスイッチ手段（２５５，３２・３３，４２・４３）と、このスイッチ手段から出力される信号をミキシング出力信号（ＢＵＳ，ＯＵＴｍ・ＯＵＴ１～ＯＵＴｋ）として出力するミキシング出力手段（ＢＯ）とを具備する双方向カスケード接続ミキサ〔請求項２〕が提供される。なお、括弧書きは、理解の便のために付加した実施例の参照記号である。
【０００９】
この発明の双方向カスケード接続ミキサにおいては、ミキシング出力手段にはミキシング出力信号の位相を調整するための遅延手段が備えられ、さらに、スイッチ手段の切替え及び遅延手段の遅延量を設定する制御手段をも具備する。
【００１０】
端的にいうと、出力するバスを切り替えるためのスイッチ手段により、ディジタルミキサ自らで加算した結果を出力するか、或いは、他のディジタルミキサで得られた加算結果を出力するかが切り替えられ、また、遅延手段により、各ディジタルミキサ出力の位相差を調整するためのディレイを与え、制御手段に備えられたメモリ装置により、各ディジタルミキサにバスの切替え及びディレイ量が設定される。
【００１１】
〔作用〕
この発明による双方向カスケード接続ミキサでは、２台縦続の場合は、複数の入力チャンネルからの信号を加算した入力加算信号或いはこの入力加算信号と他のディジタルミキサから出力されるカスケード信号との加算信号をカスケード出力として出力し、制御手段により切替え制御されるスイッチ手段は、当該ディジタルミキサがカスケードマスタかスレーブかに応じて、ミキシング出力段に与える信号を加算信号又はカスケード信号の何れかに切り替える。また、３台以上縦続の場合には、複数の入力チャンネルからの信号を加算した入力加算信号と下位ディジタルミキサから出力されるカスケード信号との加算信号をカスケード出力として出力し、制御手段により切替え制御されるスイッチ手段は、ミキシング出力段に与える信号を加算信号又は最上位ディジタルミキサからのカスケード信号の何れかに切り替える。さらに、ミキシング出力段には、制御手段による設定に基づいて

、各ディジタルミキサ間のミキシング出力信号の位相差を調整するスイッチ遅延回路が設けられる。

【００１２】

従って、この発明によると、カスケード接続されたバスの加算結果信号を他のディジタルミキサに送り、それを受ける各ディジタルミキサは、送られた信号を使うように切り替える機能が与えられる。つまり、全ての加算結果を他のディジタルミキサに戻すことによって、各バス出力を同様に扱うことができるようになる。従って、複数台のディジタルミキサのカスケード接続を利用するに当り、信号処理上、どのディジタルミキサがカスケード・マスタかカスケード・スレーブかを考慮する必要なく、各ディジタルミキサを取り扱うことができ、トータル出力を任意の位置のディジタルミキサから取り出すことができる。

【００１３】

【発明の実施の形態】

以下、図面を参照しつつ、この発明の好適な実施例について詳述する。なお、以下の実施例は、単なる一例であって、この発明の精神を逸脱しない範囲で種々の変更が可能である。

【００１４】

〔ミキサユニットの基本的な構成〕

図２は、カスケード接続ミキサの母体となる基本的なユニット構成例を示している。このディジタルミキサ１は、複数（ｎ）個の入力信号端子Ｔ１～Ｔｎ、カスケード入力端子ＣＩ、加算器２，３、遅延（ディレイ）回路４、ミキシング出力端子ＢＯ及びカスケード出力端子ＣＯを備えている。入力信号端子Ｔ１～Ｔｎには内部バスからの複数（ｎ）本の入力チャンネル１ｃｈ～ｎｃｈの入力信号が与えられ、カスケード入力端子ＣＩには前段ディジタルミキサからカスケードバスを介してカスケード入力信号Ｓｃが与えられる。加算器２はチャンネル１ｃｈ～ｎｃｈの入力信号を加算し、加算器３はこの加算結果信号Ｓｉとカスケード入力端子ＣＩからのカスケード入力信号Ｓｃとの加算を行う。

【００１５】

加算器２，３間に設けられた遅延回路４は、前述のように、ディジタルミキサ１自身のチャンネル１ｃｈ～ｎｃｈの入力信号と前段ディジタルミキサからのカスケード入力信号との位相差を補正する機能を有し、カスケード入力端子ＣＩに接続されている前段ディジタルミキサとこのディジタルミキサ１との間の固有の信号遅延量に基づいて遅延設定される。この遅延回路４は、遅延が「０」の場合、スイッチ要素５によりバイパスされ遅延機能がオフされる。

【００１６】

加算器３の加算結果は、イコライザ６、フェーダ７及びオン／オフ要素８等の処理部での処理を受けた後、ミキシング出力端子ＢＯを介して自身の内部バスＢＵＳに出力される。加算器３の加算結果は、また、次段ディジタルミキサに信号を渡すため、カスケード出力端子ＣＯにも出力される。

【００１７】

〔２台の場合〕

さて、図３には、この発明の一実施例による双方向カスケード接続ミキサのディジタルミキサの内部構成及び接続関係が示されており、図３（１）は、双方向カスケード接続ミキサを構成する各ディジタルミキサの第１のユニット構成例であり、ディジタルミキサを２台カスケード接続することについてのみ考慮した場合のディジタルミキサの内部構造を表わしている。

【００１８】

このディジタルミキサ１１は、図２の基本ユニット例と同様に、複数（ｎ）個の入力信号端子Ｔ１～Ｔｎ、カスケード入力端子ＣＩ、入力信号加算器１２，カスケード加算器１３、第１の遅延回路１４、第１のスイッチ要素１５１、イコライザ１６・フェーダ１７・オン／オフ要素１８等からなるミキシング出力信号処理部１１Ｐ、ミキシング出力端子ＢＯ及びカスケード出力端子ＣＯを備えると共に、さらに、図２の例に改良が加えられ、第２

～第４のスイッチ要素１５２～１５４及び第２の遅延回路１９を備える。

【００１９】

第２の遅延回路１９は、カスケード接続される各ディジタルミキサの出力の位相差を調整するためのディレイを与えるものであり、各スイッチ要素１５１～１５４及び遅延回路１４，１９は、ＣＰＵで構成されるスイッチ及び遅延制御部１１Ｃにより制御される。スイッチ及び遅延制御部１１Ｃは、制御ラインＣＬを介して中央装置からの制御信号を受け、制御部１１Ｃに備えられたメモリ装置により、各ディジタルミキサにバスの切替え及びディレイ量を設定する。

【００２０】

このように構成される２台のディジタルミキサ１１は、図３（２）のようにカスケード接続し、各スイッチ要素１５１～１５４を適宜に切り替えて設定することにより、一方のディジタルミキサ１１ｍ（入力チャンネル数ｎ＝ｘ）をカスケードマスタとし、他方のディジタルミキサ１１ｓ（入力チャンネル数ｎ＝ｙ）をカスケードスレーブとして機能させることができる。なお、一般的に、入力チャンネルからの信号の加算結果信号Ｓｉとカスケード入力端子ＣＩからのカスケード入力信号Ｓｃとの加算結果を自身のバス（ＢＵＳ）上に出力するディジタルミキサを「カスケードマスタ」といい、入力チャンネルからの信号の加算結果信号Ｓｉをカスケード出力バス（Ｃａｓｃａｄｅ　ＢＵＳ）上に出力するディジタルミキサを「カスケードスレーブ」という。

【００２１】

より詳しく説明すると、図３（１）のディジタルミキサ１１を図３（２）のカスケードマスタミキサ１１ｍとして使用する場合には、各スイッチ要素１５１～１５４は図４の下部に示されるディジタルミキサ１１ｍ内のように切り替えられる。すなわち、第３のスイッチ要素１５３は、加算器１３側（ｍ）に接続され、ディジタルミキサ１１ｍ自身の信号Ｓｉとカスケード入力信号Ｓｃを加算する状態に設定される。また、第４のスイッチ１５４も、加算器１３側（ｍ）に接続され、上述のように加算された結果Ｓｉ＋Ｓｃを選択する状態に設定される。このとき、第２のスイッチ要素１５２は第２の遅延回路１９側（ｍ）に接続され、出力信号処理部１１Ｐから出力されるミキシング信号と他のディジタルミキサつまりカスケードスレーブミキサ１１ｓのミキシング信号との位相補正のために、遅延回路１９が使用される。

【００２２】

一方、図３（１）のディジタルミキサ１１を図３（２）のカスケードスレーブ１１ｓとして使用する場合には、各スイッチ要素１５１～１５４は図４の上部に示されるディジタルミキサ１１ｓ内のように切り替えられる。すなわち、第３及び第４のスイッチ要素１５３，１５４がディジタルミキサ１１ｍとは逆側（ｓ）に接続され、カスケード入力信号Ｓｃは、加算器１３を介することなくミキシング出力端子ＢＯ側にのみ送られるように設定される。また、第２のスイッチ要素１５２も、基本的には、共通端子側（ｓ）に接続され、第２の遅延回路１９がオフされる。

【００２３】

このように、図３（１）の構成では、カスケード入力Ｓｃを加算する基本的な機能に加えて、カスケードから入力された信号ＳｃをバスＢＵＳの処理に信号を送るための第３及び第４の切替えスイッチ要素１５３，１５４と、加算結果Ｓｉ＋Ｓｃを他のミキサに戻すときに発生する位相差を補正するための遅延回路１９が追加される。なお、図３（１）の構成２台カスケードに限られるが、後述する図５（１）の構成では２台以上のカスケードが可能となる。

【００２４】

図３（２）及び図４に示すように、２台のディジタルミキサ１１ｍ，１１ｓをカスケード接続した場合は、上述の如く、カスケードマスタミキサ１１ｍの入力チャンネル１ｃｈ～ｘｃｈの信号を加算し、加算結果Ｓｉ＋ＳｃをカスケードCO出力端子から出力しカスケードスレーブミキサ１１ｓのカスケード入力端子ＣＩから入力する。ここで、ディジタルミキサ１１ｍでは、自身の入力チャンネル１ｃｈ～ｘｃｈの信号の加算結果Ｓｉにディジ

タルミキサ１１ｓからのカスケード信号Ｓｃに位相を合わせるために、加算結果信号Ｓｉは、遅延回路１４で調節された上でこのカスケード入力信号Ｓｃと加算される。これによって、両ディジタルミキサ１１ｍ，１１ｓの加算結果Ｓｉ＋Ｓｃが得られる。

【００２５】

この加算結果信号Ｓｉ＋Ｓｃは、ディジタルミキサ１１ｍのバス（ＢＵＳ）出力で使用されるとともに、このカスケードマスタミキサ１１ｍのカスケード出力端子ＣＯからディジタルミキサ１１ｓのカスケード入力端子ＣＩに送出され、第３及び第４のスイッチ要素１５３，１５４を介してこのカスケードスレーブミキサ１１ｓのバスＢＵＳ出力でも加算結果を使用することができるようになる。

【００２６】

また、ディジタルミキサ１１ｍ，１１ｓのバス（ＢＵＳ）出力の位相差を補正するためには、ディジタルミキサ１１ｍの遅延回路１９が使用される。さらに、メモリ等を用いて、図３（１）の構成を備える２台のディジタルミキサ１１に対して図４のディジタルミキサ１１ｍ，１１ｓの内のどちらの動作を行えばよいかを設定することにより、各ミキサでのスイッチ要素１５３，１５４が連動して切り替わるようにすることもできる。

【００２７】

〔３台以上の場合〕

次に、図５は、この発明の他の実施例による双方向カスケード接続ミキサのディジタルミキサの内部構成及び接続関係を示し、図５（１）は、双方向カスケード接続ミキサを構成する各ディジタルミキサの第２のユニット構成例であり、３台以上のディジタルミキサのカスケード接続に対応させる場合のディジタルミキサの内部構造を表わしている。

【００２８】

このディジタルミキサ２１は、図３のユニットと同様に、複数（ｘ）個の入力信号端子Ｔ１～Ｔｘ、カスケード入力端子ＣＩ、入力信号加算器２２，カスケード加算器２３、第１及び第２の遅延回路２４，２９、第１及び第２のスイッチ要素２５１，２５２、イコライザ２６・フェーダ２７・オン／オフ要素２８等からなるミキシング出力信号処理部２１Ｐ、ミキシング出力端子ＢＯ及びカスケード出力端子ＣＯを備えるが、さらに、カスケード出力端子ＣＯに得られる加算結果を他のディジタルミキサにも渡すために、カスケード返信端子ＣＲ及びカスケード送信端子ＣＳを備え、これに対応して第５のスイッチ要素２５５を備える。また、各スイッチ要素２５１，２５２，２５５及び遅延回路２４，２９は、図３（１）のディジタルミキサ１１と同様のスイッチ及び遅延制御部２１Ｃにより制御される。

【００２９】

図５（２）は、このように構成される３台のディジタルミキサ２１をカスケード接続する場合の接続状態の例を示しており、スイッチ要素２５２，２５５を適宜に切り替えて設定することにより、一つのディジタルミキサ２１ｍ（入力チャンネル数ｎ＝ｘ）をカスケードマスタとし、残りの２台のディジタルミキサ２１ｓ１（入力チャンネル数ｎ＝ｙ），２１ｓ２（入力チャンネル数ｎ＝ｚ）をカスケードスレーブとして機能させることができる。

【００３０】

より詳しく説明すると、図５（１）のディジタルミキサ２１を図５（２）のカスケードマスタミキサ２１ｍとして使用する場合には、各スイッチ要素２５１，２５２，２５５は、図６の最下部に示されるディジタルミキサ２１ｍ内のように切り替えられる。すなわち、第３のスイッチ要素２５５は、加算器２３側（ｍ）に接続され、ディジタルミキサ２１ｍ自身の信号Ｓｉとカスケード入力信号Ｓｃを加算した結果Ｓｉ＋Ｓｃを選択する状態に設定される。このとき、第２のスイッチ要素２５２は第２の遅延回路２９側（ｍ）に接続され、出力信号処理部２１Ｐから出力されるミキシング信号と他のカスケードスレーブミキサ２１ｓ１，２１ｓ２のミキシング出力信号との位相補正のために第２の遅延回路２９が使用される。

【００３１】

一方、図５（１）のディジタルミキサ２１を図５（２）のカスケードスレーブ２１ｓ１，２１ｓ２として使用する場合には、各スイッチ要素２５１，２５２，２５５は図６の中間部及び最上部に示されるディジタルミキサ２１ｓ１，２１ｓ２内のように切り替えられる。すなわち、カスケードマスタミキサ２１ｍのカスケード出力端子ＣＯからの加算結果Ｓｉ＋Ｓｃを他のディジタルミキサにも渡すために設けられたカスケード返信端子ＣＲ及びカスケード送信端子ＣＳが使用される。そして、カスケード返信端子ＣＲから入力された信号がカスケード送信端子ＣＳから出力され、カスケードスレーブになっているディジタルミキサ２１ｓ１，２１ｓ２では、カスケード返信端子ＣＲからの信号をミキシング出力端子ＢＯに送るように設定される。

【００３２】

各カスケードスレーブ２１ｓ１，２１ｓ２の第５のスイッチ要素２５５がカスケード返信端子ＣＲ側（ｓ）に接続され、このカスケードスレーブ返信端子ＣＲから入力される加算結果Ｓｉ＋Ｓｃを表わす信号が夫々のミキシング出力端子ＢＯのみに送られるように設定する。また、第１カスケードスレーブ２１ｓ１では、遅延回路２９により位相補正を行うことができる。

【００３３】

なお、図５（２）及び図６の接続例では、第１カスケードスレーブ２１ｓ１においてカスケード返信端子ＣＲに入力されたカスケードマスタミキサ２１ｍからの加算結果信号が、カスケード送信端子ＣＳから第２カスケードスレーブ２１ｓ２のカスケード返信端子ＣＲに渡されるように設定される。第２カスケードスレーブ２１ｓ２においては、上述したように、スケード返信端子ＣＲから第５のスイッチ要素２５５を介して加算結果信号がミキシング出力端子ＢＯのみに送られるように設定されるが、第２のスイッチ要素２５２が第５のスイッチ要素２５５の共通端子側に接続され、遅延回路２９はオフとなる。

【００３４】

３台以上のディジタルミキサをカスケード接続する場合には、図３及び図４のようなカスケード入力／出力端子ＣＩ／ＣＯ（Ｃａｓｃａｄｅ　Ｉｎ／Ｏｕｔ）を設けるだけでは実現不可能なので、この発明の他の実施例では、図５及び図６に示すように、カスケード返信／送信端子ＣＲ／ＣＳ（Ｃａｓｃａｄｅ　Ｒｅｔｕｒｎ／Ｓｅｎｄ）という端子を設けている。そして、これらカスケード返送信端子ＣＲ，ＣＳには、カスケードマスタミキサ２１ｍで得られる最終的な加算結果をカスケード入出力端子ＣＩ，ＣＯの接続と同じように接続して、各カスケードスレーブミキサ２１ｓ１，２１ｓ２でこの加算結果を利用することができるようにしている。

【００３５】

ただし、信号の流れは、カスケード入出力端子ＣＩ，ＣＯではカスケードスレーブミキサ２１ｓ２，２１ｓ１からカスケードマスタミキサ２１ｍに向かうようになっているが、カスケード返送信端子ＣＲ，ＣＳについては、マスタミキサ２１ｍからスレーブミキサ２１ｓ１，２１ｓ２に向かうように構成される。つまり、スレーブミキサ２１ｓ１，２１ｓ２によつてマスタミキサ２１ｍからの返送信号を選択するようになる。

【００３６】

図３及び図４の構成例で設けられていた第３スイッチ要素１５３は、カスケード入力端子ＣＩをカスケードマスタミキサ１１ｍからの返送信号を受け取るためのカスケード入力端子ＣＩの機能と併合され、図５及び図６に示すように、カスケード返信端子ＣＲとして共通化されており、この返信端子ＣＲは機能切替えスイッチとしての意味を有する。なお、図５及び図６のように構成されたディジタルミキサでも２台のカスケード接続を実現することができるが、カスケード返送信端子ＣＲ，ＣＳを付設することによるコストアップが発生するため、２台でのカスケードに機能を限定してしまった場合には、図３及び図４のような構成の方が良い。

【００３７】

また、カスケード入出力端子ＣＩ，ＣＯやカスケード返送信端子ＣＲ，ＣＳは、独立して存在する必要はなく、１つのコネクタにＩ／Ｏ機能を持たせることによりケーブル１本で

信号のやり取りが可能になる。

【００３８】

〔別の実施例〕

図７及び図８は、この発明の更に別の実施例によるカスケード接続ディジタルミキサの全体の構成例を極く概略的に表わしたものである。図７は、カスケードマスタミキサ３１ｍからのトータル出力ラインＴＬに出力されるトータル出力をｋ台のカスケードスレーブミキサ３１ｓ１～３１ｓｋに流す他の例を示している。各ディジタルミキサは、カスケード加算手段３１Ａの外に、第１及び第２のスイッチ要素３２，３３を備える。なお、第２のスイッチ要素３３の出力側に設けられる遅延回路及びミキシング信号処理部、並びに、スイッチ及び遅延制御部については、図示を省略している。

【００３９】

各スイッチ要素３２，３３の開閉状態は、カスケードマスタ又はカスケードスレーブとして利用されるのか等に応じて図示のように制御される。つまり、カスケードマスタミキサ３１ｍの場合、第１のスイッチ要素３２は必ずオン状態にされ、第２のスイッチ要素３３は加算器３１Ａ側にオン状態とされ、カスケードマスタミキサ３１ｍのミキシング出力ＯＵＴｍにトータル出力が得られる。

【００４０】

一方、カスケードスレーブミキサ３１ｓ１～３１ｓｋの場合、第１のスイッチ要素３２は必ずオフ状態にされ、第２のスイッチ要素３３は、必要とされるミキシング出力に応じて任意の開閉状態とされる。従って、カスケードスレーブ３１ｓ１～３１ｓｋの各ミキシング出力ＯＵＴ１～ＯＵＴｋには、第２のスイッチ要素３３の設定状態に応じた出力を得ることができる。

【００４１】

図８は、図５及び図６と同様に２つの端子を追加してミキシング出力の自由度を上げた更に別の例を示している。各ディジタルミキサ４１ｍ，４１ｓ１～４１ｓｋは、カスケード加算手段４１Ａの外に、第１及び第２のスイッチ要素４２，４３を備える。なお、図８も、第２のスイッチ要素４３の出力側に設けられる遅延回路及びミキシング信号処理部、並びに、スイッチ及び遅延制御部については、図示を省略しており、各スイッチ要素４２，４３の開閉状態は、図７のものと同様である。

【００４２】

図９には、この発明で使用されるスイッチ及び遅延制御部の接続配置例が示されている。各実施例のディジタルミキサ内にはスイッチ及び遅延制御部が設けられるが、この例のように、専用の制御ラインＣＬを設けて中央装置から自動制御するようしてもよい。また、制御ラインＣＬは各ディジタルミキサ間接続バスの中に入れておいてもよい。さらに、スイッチ制御については、カスケード出力ＣＯが無接続のディジタルミキサであれば、それをカスケードマスタと見做してディジタルミキサ内の各スイッチ要素を制御し、カスケード出力ＣＯにバスが接続されているディジタルミキサであれば、それをカスケードスレーブとしてミキサ内の各スイッチ要素を制御するようにしてもよい。

【００４３】

【発明の効果】

以上説明したように、この発明の双方向カスケード接続ミキサでは、２台縦続の場合は、複数の入力チャンネルからの信号を加算した入力加算信号或いはこの入力加算信号と他のディジタルミキサから出力されるカスケード信号との加算信号をカスケード出力として出力し、制御手段により切替え制御されるスイッチ手段は、当該ディジタルミキサがカスケードマスタかスレーブかに応じて、ミキシング出力段に与える信号を加算信号又はカスケード信号の何れかに切り替える。また、３台以上縦続の場合には、複数の入力チャンネルからの信号を加算した入力加算信号と下位ディジタルミキサから出力されるカスケード信号との加算信号をカスケード出力として出力し、制御手段により切替え制御されるスイッチ手段は、ミキシング出力段に与える信号を加算信号又は最上位ディジタルミキサからのカスケード信号の何れかに切り替える。さらに、ミキシング出力段には、制御手段によ

る設定に基づいて、各ディジタルミキサ間のミキシング出力信号の位相差を調整するスイッチ遅延回路が設けられる。

【００４４】

従って、この発明によると、カスケード接続されたバスの加算結果信号を他のディジタルミキサに送り、それを受ける各ディジタルミキサは、送られた信号を使うように切り替える機能が与えられ、全加算結果を他のディジタルミキサに戻すことによって、各バス出力を同様に扱うことができるようになる。従って、複数台のディジタルミキサのカスケード接続を利用するに当り、信号処理上、どのディジタルミキサがカスケード・マスタかカスケード・スレーブかを考慮する必要なく、各ディジタルミキサを取り扱うことができ、トータル出力を任意の位置のディジタルミキサから取り出すことができる。

【図面の簡単な説明】

【図１】図１は、従来技術によるカスケード接続ミキサ例を示す図である。

【図２】図２は、カスケード接続ミキサの母体となる基本的なユニット構成例を示す図である。

【図３】図３は、この発明の一実施例による双方向カスケード接続ミキサのディジタルミキサの内部構成及び接続関係を示す図である。

【図４】図４は、この発明の一実施例による双方向カスケード接続ミキサの具体的接続図である。

【図５】図５は、この発明の他の実施例による双方向カスケード接続ミキサのディジタルミキサの内部構成及び接続関係を示す図である。

【図６】図６は、この発明の他の実施例による双方向カスケード接続ミキサの具体的接続図である。

【図７】図７は、この発明の別の実施例による双方向カスケード接続ミキサの概略的構成を示す図である。

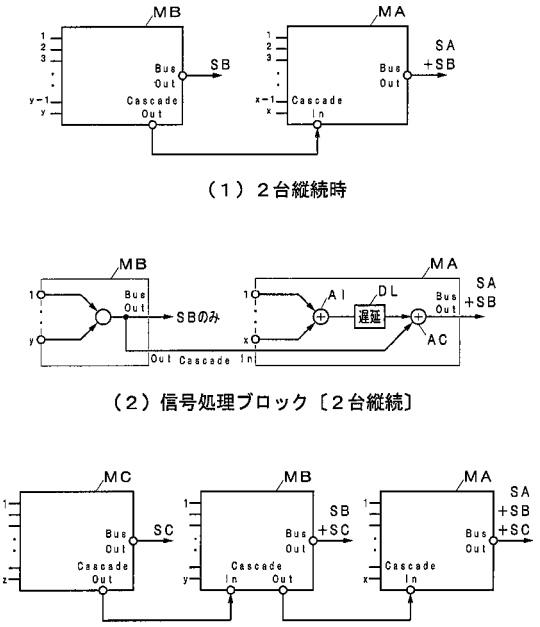
【図８】図８は、この発明の更に別の実施例による双方向カスケード接続ミキサの概略的構成を示す図である。

【図９】図９は、この発明で使用されるスイッチ及び遅延制御部の接続配置例を示す図である。

【符号の説明】

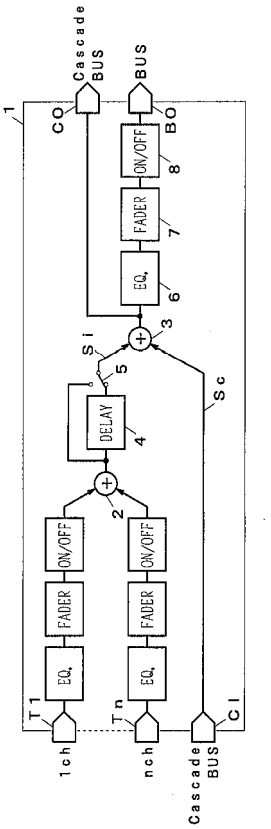
１１，２１，３１，４１　ディジタルミキサ、
１１Ｃ，２１Ｃ　スイッチ及び遅延制御部、
１１Ｐ，２１Ｐ　ミキシング出力信号処理部、
１２，２２　入力信号加算器、
１３，２３　カスケード加算器、
１５３，１５４；２５５；３２，３３；４２，４３　スイッチ要素、
１９，２９　遅延（ディレイ）回路、
Ｔ１～Ｔｎ，Ｔｘ，Ｔｙ，Ｔｚ　入力信号端子、
ＢＯ　ミキシング出力端子、
ＣＩ　カスケード入力端子、
ＣＯ　カスケード出力端子。

【図１】



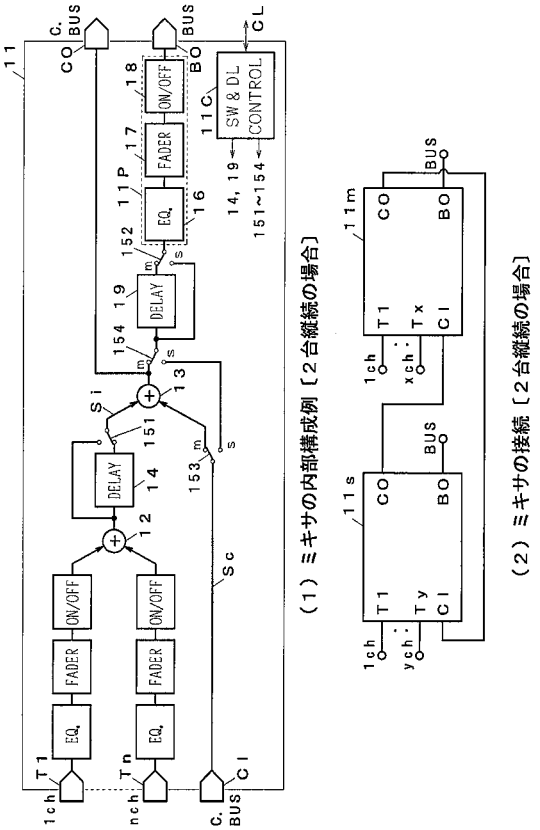
従来技術

【図２】



ミキサの基本構造

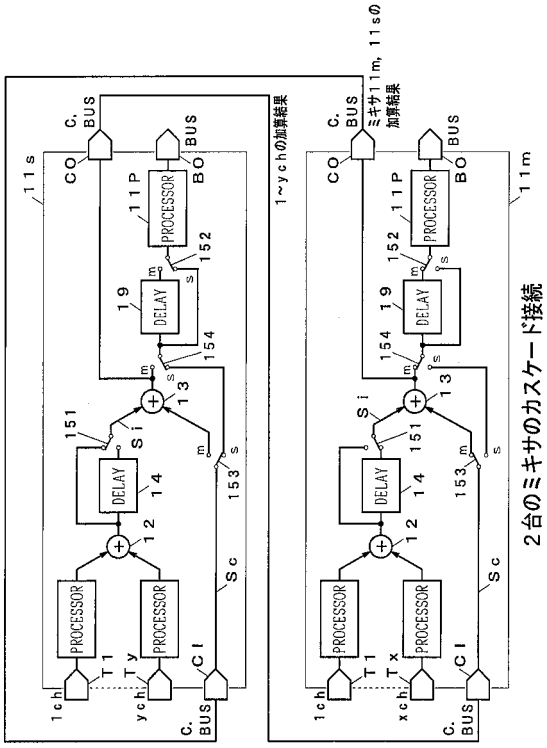
【図３】



（１）ミキサの内部構成例〔２台縦続の場合〕

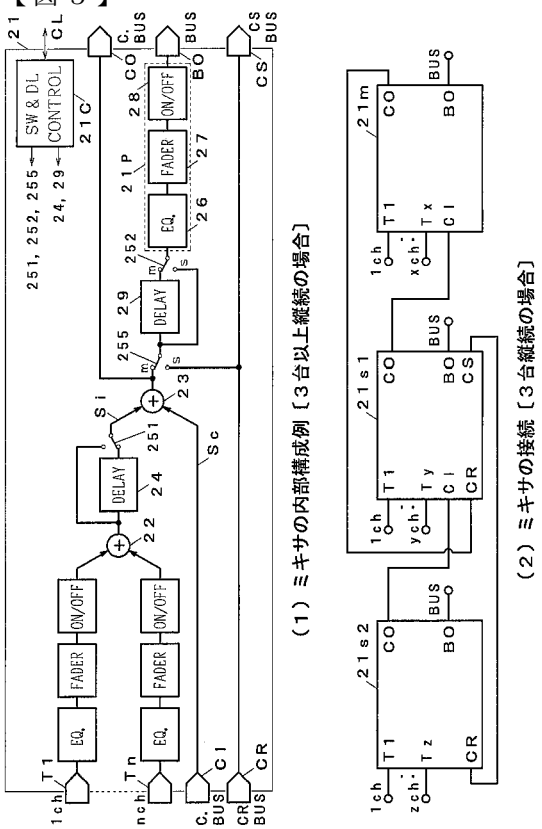
（２）ミキサの接続〔２台縦続の場合〕

【図４】

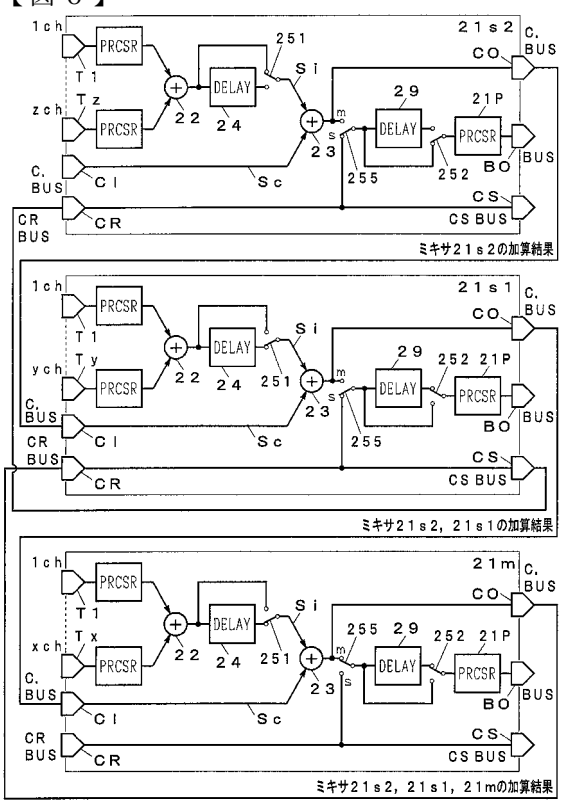


２台のミキサのカスケード接続

【図５】

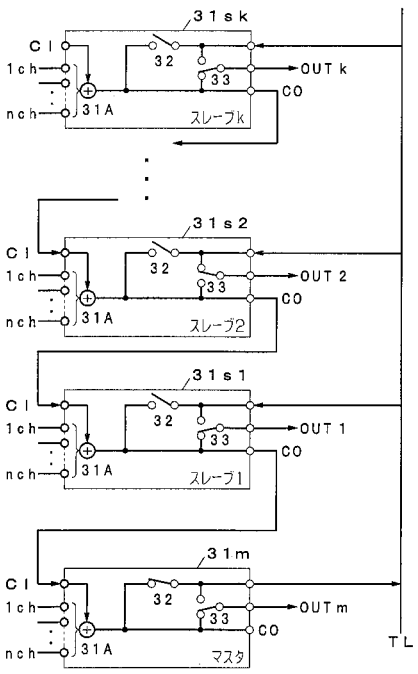


【図６】



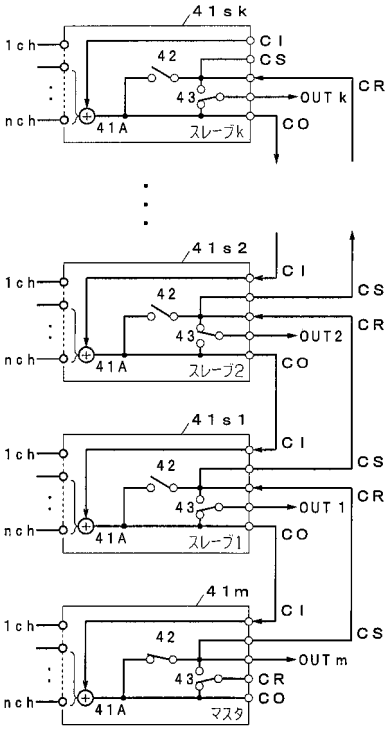
３台のミキサのカスケード接続

【図７】



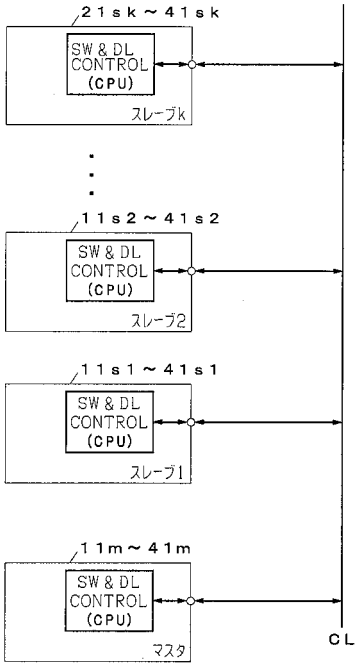
その他の例（１）

【図８】



その他の例（２）

【図９】



スイッチ制御部の配置

フロントページの続き

(58)調査した分野(Int.Cl.[7], ＤＢ名)
G10H 1/00 - 7/12
H03H 17/00 - 17/08
H03G 1/00 - 3/20
H04H 7/00
H04R 3/04