

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01J 17/49	(45) 공고일자 1999년06월15일
(21) 출원번호 10-1995-0031635	(11) 등록번호 10-0201552
(22) 출원일자 1995년09월25일	(24) 등록일자 1999년03월15일
	(65) 공개번호 특1997-0017840
	(43) 공개일자 1997년04월30일

(73) 특허권자
한국정보통신주식회사 하제준
서울특별시 영등포구 여의도동 33번지 이종덕
서울특별시 동작구 신대방동 565번지 우성아파트 3-401
(72) 발명자
이종덕
서울특별시 동작구 신대방동 565번지 우성아파트 3-401
우형수
서울특별시 관악구 신림본동 92-200 제일빌라 302호
(74) 대리인
정태련

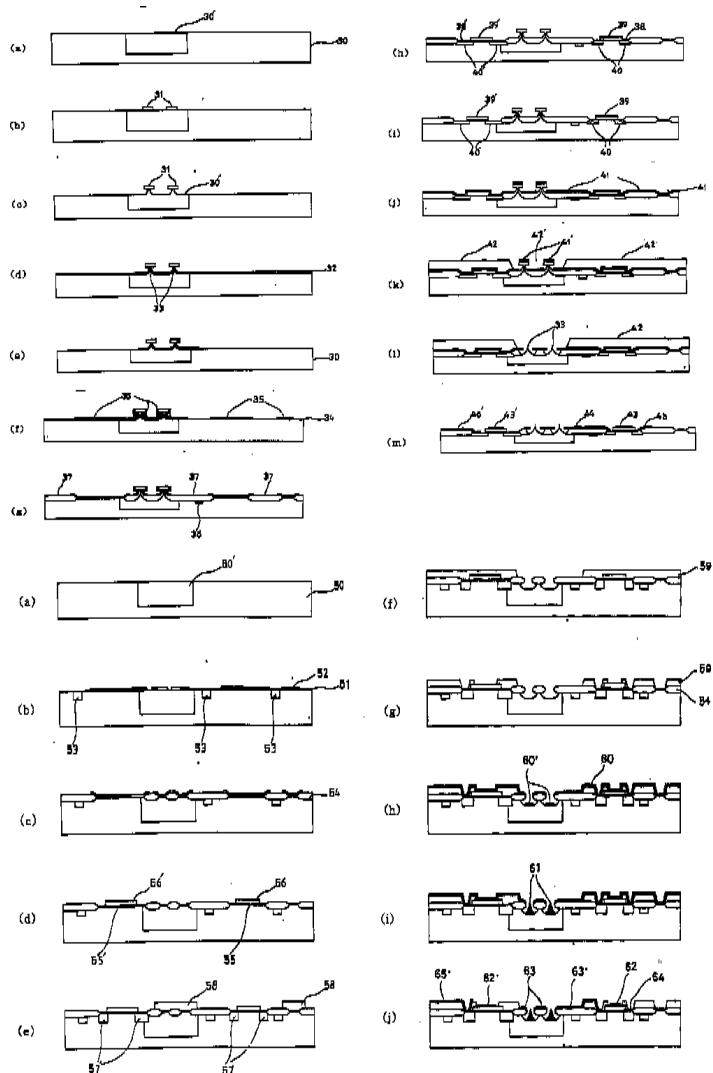
심사관 : 이두희

(54) 엠오에스에프이티를 일체화한 전계방출 어레이 및 그 제조방법

요약

종래의 FEA를 구동하기 위한 구동소자인 MOSFET를 전기적으로 연결함에 따라 구동전압을 낮추기 어려움은 물론 화소간의 균일성 확보도 어려우며, 또한 전기적 결합에 따른 부가공정으로 FED의 제조원가가 높아지는 문제점을 개선하기 위한 바, 본 발명은 FEA와 MOSFET를 동일기판 위에 병립적으로 구현함으로써, 즉 Si-FEA, 금속 FEA와 MOSFET의 제조공정중 공통되는 공정을 이용하여 동시에 두개의 소자를 구현하는 것으로, 실리콘 질화막을 선택적으로 씌각하여 전계방출 티p과 MOSFET의 엑티브 영역을 형성하고 LOCOS공정에 의해 FEA의 게이트 절연막 및 필드산화막을 동시에 형성하여, FEA의 게이트 전극(row line)과 캐소드 전극(column line)이 MOSFET와 각각 전기적으로 결합되도록 MOSFET가 일체적으로 제조되어, 상기 FEA와 MOSFET를 동시에 함께 구현할 수 있는 구조와 제조방법을 제공하여 차후, FEA와 구동회로가 일체화된 디스플레이 모듈을 제작하는데 직접적으로 응용될 수 있다.

대표도



36, 53 : 절연부	38, 38', 55, 55' : 게이트산화막
39, 39', 56, 56' : 제 1, 2의 MOSFET의 게이트	
40, 57 : 제1 MOSFET의 소오스 및 드레인	
40', 57' : 제 2 MOSFET의 소오스 및 드레인	
59 : 저온 산화막(LTO)	43, 62 : 제1 MOSFET의 게이트전극
43', 62' : 제2MOSFET의 게이트전극	63 : FEA의 게이트
44, 63' : FEA의 게이트 전극 및 제 1 MOSFET의 소오스 전극	
45, 64 : 제 1MOSFET의 드레인 전극	
46', 65' : 제2 MOSFET의 소오스 전극	

[발명의 상세한 설명]

본 발명은 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)를 일체화한 전계방출 어레이(Field Emitter Array ; FEA) 및 그 제조방법, 보다 상세하게는 전계방출 어레이와 이를 구동하기 위한 MOSFET를 동일기판상에 동시에 구형함으로써 구동전력을 낮추고 전계방출 디스플레이의 화소간의 균일성을 향상시키도록 한 MOSFET를 일체화한 전계방출 어레이 및 그 제조방법에 관한 것이다.

최근에 와서 평판 디스플레이(Flat Panel Display ; FPD)의 일종인 전계방출 디스플레이(Field Emission Display ; FED)에 관한 연구 개발이 활발히 진행되고 있다.

일반적으로 이러한 전계방출 디스플레이의 기본소자인 전계방출 어레이와 이를 구동하기 위한 구동회로를 각각 개별적으로 제작한 후, 연결(interconnection)시킴으로써 디스플레이 모듈을 형성하여 왔다.

그러나, 이러한 종래의 디스플레이의 제작에 있어 전자를 방출하는 전계방출 어레이와 이를 구동하기 위한 구동회로의 소자인 MOSFET를 전기적으로 연결시키기 위해서는 부가공정이 필요하게 되었고, 따라서 전계방출 디스플레이의 제조원가가 높아지게 되는 문제점이 있었다.

또한, 전계방출 어레이와 MOSFET를 별도로 제작하여 연결함에 따라 구동전압을 낮추기 어려움은 물론 전계방출 어레이로 이루어진 전계방출 디스플레이의 화소와 MOSFET의 결합에 균일성을 기하기 어려웠고, 이에 따라 결과적으로 화소의 균일성 확보도 어려웠다.

본 발명은 위와 같은 종래 기술의 문제점을 해결하기 위하여 안출한 것으로, 그 목적은 전계방출 어레이와 이 전계방출 어레이를 구동하기 위한 MOSFE를 동일 기판 위에 병립적으로 구현함으로써 전계방출 어레이와 MOSFE의 연결시 필요한 부가공정을 제거하고, 상기 전계방출 디스플레이의 제조원가를 크게 절감하며, 전계방출 디스플레이의 화소간의 균일성이 확보되도록 하는데 있다.

이러한 목적을 달성하기 위하여 본 발명은 종래 기술에 의한 실리콘 열산화법을 이용한 실리콘 전계방출 어레이(Si-FEA)의 제조공정 또는 LOCOS공정 기술을 이용한 금속 전계방출 어레이의 제조공정을 각각 MOSFET의 제조공정과 함께 병립적으로 수행할 수 있게 된 것을 특징으로 한다.

종래의 기술로서 실리콘 열산화법을 이용한 실리콘 전계방출 어레이의 제조방법(한국특허공개공보, 공개번호 제 95-9786호)이 제1도(a)~(e)에 순서대로 도시되어 있는데, 이를 간단히 설명하면 다음과 같다.

제1도(a)와 같이 캐소드전극으로 기능하는 도핑된 실리콘 기판(10)을 열산화한 후, 사진식각(photolithography)기술을 이용하여 미세한 산화막 디스크(disk) 패턴(11)을 형성한다.

상기 실리콘 기판(10)을 식각한 후, 1 차 산화에 의해 상기 실리콘 기판(10) 상부에 얇은 실리콘 산화막(12)을 형성하여 제1도(b)와 같이 원추(cone)형태의 전계방출 팁(13)을 만든다.

제1도(c)와 같이 상기 실리콘 산화막(12)위에 저압 화학 기상 증착법(LPCVD)에 의해 실리콘 질화막(14)을 형성하고, 건식 식각법에 의해 측벽(sidewall)만이 남도록 실리콘 질화막(14)을 제거한 후, 2차 산화를 통하여 게이트 절연막(15)을 형성한다.

이때, 실리콘 질화막(14)의 측벽은 2차 산화시 팁(13) 끝이 무디어지는 것을 방지한다.

제1도(d)와 같이 실리콘 질화막(14)을 제거하고 외부 구동회로와의 캐소드 접촉(contact)을 위해 산화막의 일부를 제거한 다음, 전자층 증착기에 의해 상기 게이트 절연막(15)위에 게이트 금속을 증착하여 게이트 전극(16)과 캐소드 접촉부(17)를 형성한다.

상기 전계방출 팁(13) 주변의 산화막을 상기 팁(13)위에 증착된 금속(16')과 함께 습식시간에 의해 리프트 오프(lift-off)공정에 의해 제거한 다음, 최종적으로 게이트 패터닝을 거쳐 제1도(e)와 같은 형상을 얻게 된다.

또한, 본 발명에 적용되는 또 하나의 공지된 기술이 제2도에 도시되어 있다. 제2도(a)~(g)와 같이 차례대로 도시된 종래의 기술, 즉 LOCOS공정 기술을 이용한 금속 전계방출 어레이의 제조방법(한국특허 출원번호 제 94-33634호)을 간단히 설명하면 다음과 같다.

제2도(a)와 같이 캐소드 전극으로 기능하는 도핑된 실리콘 기판(20)을 열산화하여 얇은 두께의 산화막(21)을 형성한 다음, 이 산화막(21) 위에 실리콘 질화막을 적정 두께(예를 들면 1600 Å)로 증착한다.

이때, 상기 실리콘 질화막은 다음 공정에서 실리콘 기판(20)을 산화시킬때 산화를 막아주는 역할을 한다.

이어서, 포토마스크 열라이너(photomask aligner)에 의한 사진식각(photolithography)기술을 이용하여 제2도(a)에 도시된 바와 같이 미세(예를 들면, 직경 1.4 μm)한 실리콘 질화막 패턴(22)을 형성한다.

습식 산화 또는 건식 산화공정을 상기 실리콘 기판(20)에 실시하면 제2도(b)에 도시된 것과 같이 실리콘 질화막 패턴(22)이 없는 영역에서는 산화막이 두껍게 형성되고 실리콘 질화막 패턴(22) 밑부분에 있어서도 그 패턴(22)의 끝(edge)부분에는 새부리(bird's beak)형상의 산화막이 형성된다.

이러한 산화막 형성 과정에서 실리콘 질화막 패턴(22)의 양쪽 끝부분을 산화막이 들어올리는 작용을 하여 제2도(b)와 같은 단면을 갖게 되는데, 이 산화막은 소자동작시 캐소드와 게이트 전극 사이의 절연층(23)이 된다.

이후, 실리콘 질화막 패턴(22)을 습식 식각하고 제2도(a)공정에서 형성했던 산화막(21)의 두께만큼, 다시 말해서 실리콘 기판(20)이 노출되는 두께만큼 산화막을 식각하면 실리콘 표면이 노출되는데 궁극적으로 게이터홀의 직경이 되는 절연층(23)사이의 간격은 잠식산화에 의하여 처음 실리콘 질화막 패턴(22)의 크기보다 훨씬 작아지게 된다.

노출된 실리콘 기판(20)을 건식 또는 습식 식각하면 산화막 절연층(23)의 형상에는 거의 영향을 주지 않으면서 제2도(c)와 같은 단면의 구조를 얻을 수 있고 이에 따라 게이트홀(24)이 형성된다.

이때, 실리콘 기판(20)을 건식식각 할 경우에는 SF_6 가스를 사용하고 낮은 전력으로 식각을 해야 산화막 절연층(23)에 영향을 주지 않으면서 언더컷트 형상(undercut shape)을 만들 수 있으나, 이에 한정되는 것은 아니다.

다음으로 상기 기판을 전자총 증착기에 장착하고 증착물질이 기판면에 대해 수직방향으로 입사하도록 금속물질을 증착하면 게이트 전극층(25)이 제2도(d)와 같이 형성되면 이때 산화막 절연층(23)의 하부표면에는 증착되지 않는다.

증착물질로는 몰리브덴(molybdenum), 니오비움(niobium), 크로미움(chromium), 하프니움(hafnium)등이 사용되나 이에 한정되지 않는다.

이후 공정은 소위 스피нт 공정(Spindt process)이라 불리는 방법을 이용한다.

즉, 상기 기판을 전자총 증착기에 장착하고 증착물질이 기판면에 대해 경사방향(grazing angle)을 증착되도록 하여 분리층(parting layer)(26)을 형성하며, 이때 분리층(26) 물질로는 알루미늄, 산화알루미늄, 니켈등이 사용되고 실리콘 기판(20) 표면에는 증착되지 않는다 [제2도(e)].

이어서, 금속물질을 기판면에 대해 수직방향으로 입사시켜 전계방출 팁(27)을 형성한다[제2도(f)].

이때, 증착되는 금속물질이 수직으로 입사함에 따라 실리콘 기판(20) 표면 위의 금속층(25') 위와 함께 분리층(26) 위에도 증착물질이 증착되면서 게이트 전극층(25) 사이의 간격이 좁아져서 이 부분이 막히게 되며 이에 따라 전계방출 팁(27)도 원추(cone) 형상을 이루게 한다.

전계방출 팁(27) 물질로는 예를 들어, 몰리브덴, 니오비움, 하프니움등이 사용되나 이에 한정되지는 않는다.

계속해서, 게이트 전극층(25)위의 분리층(26)만을 선택적으로 식각하면 게이트 전극층(25)위의 전계방출 팁 물질이 분리층(26)과 함께 기판으로부터 리프트오프되어 제2도(g)와 같은 구조의 금속 전계방출 어레이가 완성된다.

이러한 제조공정에 의해 제작되는 금속 전계방출 어레이는 특히, 마스크상의 패턴 크기보다 작은 게이트홀을 만들수 있어 구동전압을 낮추기가 용이하다.

본 발명은 이상과 같이 설명한 실리콘 전계방출 어레이와 금속 전계방출 어레이의 제조공정을 이용하여 몇 장의 마스크 단계(mask step)를 추가함으로써 동시에 MOSFET의 제조공정까지 병행하여 두 공정을 함께 구현할 수 있게 된다.

이하, 본 발명의 실시예를 첨부된 도면을 참조하여 상세히 설명한다.

제3도 및 제4도는 본 발명의 MOSFET를 일체화한 전계방출 어레이의 구조단면도로서, P형 실리콘 기판(30,50)중 캐소드 전극으로 기능하는 n^+ 도핑된 실리콘층(30',50')위에 전자를 방출하는 원추형태의 전계방출 팁(33, 61)이 형성된 전계방출 어레이를 제조하고, 상기 P형 실리콘기판(30,50)의 전계방출 어레이가 제조된 나머지부분에 n 소오스 및 드레인((40)(40'),(57)(57'))과 게이트전극((43)(43'),(62)(62'))이 형성된 일반적인 MOSFET가 제조되어 상기 전계방출 어레이와 이 전계방출 어레이를 구동하기 위한 MOSFET가 동시에 제작된 구조단면도를 나타낸다.

[실시예 1]

제3도와 같은 구조의 본 발명의 실시예의 MOSFET를 일체화한 전계방출 어레이의 제조방법을 제5도를 참조하여 아래에 상세히 설명한다.

먼저 제5도(a)와 같이 P형 실리콘 기판(30)의 적정부분을 $POCl_3$ 도핑 등의 방법에 의해서 디스플레이의 캐소드 전극(column line), 즉 n^+ 로 도핑된 실리콘 층(30')으로 형성한다.

제5도(b)와 같이 상기 캐소드 전극으로 기능하는 실리콘 층(30')위에 화학 기상증착법(CVD)에 의해 산화막을 증착하거나 또는 열산화하여 산화막을 형성한 후, 사진식각(photolithography)기술을 이용하여 미세한 산화막 디스크(disk)패턴(31)을 형성한다.

상기 실리콘 기판(30) 및 실리콘 층(30')을 제5도(c)와 같이 등방성 식각한 후, 1차 산화를 통하여 실리콘 기판(30) 및 실리콘 층(30') 상부에 얇은 실리콘 산화막(32)을 형성한 원추 형태의 전계방출 팁(33)을 만든다[제5도(d)].

제5도(e)와 같이 사진식각 기술을 이용하여 제1, 2 MOSFET가 제조될 위치의 산화막(32)을 제거한다.

상기 실리콘 산화막(32)이 제거된 나머지 부분에 400~1200Å 두께의 완충 산화막(buffer oxide)(34)을 형성하고, 상기 완충 산화막(34) 위에 저압 화학 기상증착법(LPCVD)에 의해 실리콘 질화막(35)을 증착한 후, 이방성 건식식각에 의해서 MOSFET의 액티브(active)영역, 즉 상기 실리콘 기판(30)의 완충 산화막(34) 위에 형성되는 제1MOSFET의 액티브 영역 및 상기 실리콘 기판(30)과 캐소드 전극으로 기능하는 n^+ 로 도핑된 실리콘 층(30')의 각각 일부의 완충 산화막(34) 위에 형성되는 제2MOSFET의 액티브 영역과 전계방출 티ップ(33) 끝의 산화를 방지하여 상기 티ップ(33) 끝을 뾰족하게 하기 위한 측벽을 제외한 나머지 부분의 실리콘 질화막(35)을 제거한다[제5도(f)].

그리고, 디스플레이 응용시 화소간, 화소와 트랜지스터사이의 절연을 위해 사진마스크 작업과 봉소(boron)도핑을 행하여 절연부(36)를 형성한 후, LOCOS공정에 의해 전계방출 어레이의 게이트 절연막(37) 및 제 1, 2 MOSFET의 필드(field) 산화막(37)을 형성한다[제5도(g)].

이때, 제5도(f)와 제5도(g)에서 볼수 있는 바와 같이, 본 발명은 실리콘 전계방출 어레이와 MOSFET의 제조공정중 공통의 공정을 이용하여 동시에 두개의 소자를 구현하는 것으로, 즉 상기 실리콘 질화막(35)을 선택적으로 이방성 건식식각하여 전계방출 티ップ(33)과 제 1, 2 MOSFET의 액티브영역을 형성하고, LOCOS 공정에 의해 전계방출 어레이의 게이트 절연막(37) 및 MOSFET의 필드산화막(37)을 동시에 형성하게 되는 것이다.

계속해서, 제5도(h)와 같이 실리콘 질화막(35)과 완충 산화막(34)을 제거하고, 제 1, 2 MOSFET의 게이트 산화막(38)(38')을 열산화법에 의해 형성한 후, 제 1, 2 MOSFET의 문턱 전압(threshold voltage)을 조절하기 위해 상기 게이트 산화막(38') 아래의 P형 실리콘 기판(30)부분에 이온주입 공정을 실시한다.

이어서, 상기 게이트 산화막(38)(38')위에 다결정 실리콘을 증착하고 $POCl_3$ 도핑을 행한 후, 사진식각 공정을 수행하여 제 1, 2 MOSFET의 게이트(39)(39')를 형성한다.

또한, 고농도 n^+ 형 이온주입 공정에 의해 n^+ 소오스(source) 및 드레인(drain)(40)(40')을 각각 형성한다.

제5도(i)와 같이 사진식각 공정을 행하여 콘택을 패턴닝하고, 전자총 증착기에 의해 전계방출 어레이의 게이트 전극 및 제 1, 2 MOSFET의 게이트 소오스, 드레인 전극으로 사용할 금속(41)을 증착한다[제5도(j)].

그리고, 제5도(i)와 같이 전계방출 티ップ(33) 주변의 산화막을 상기 티ップ(33)위에 증착된 금속(41')과 함께 습식식각에 의한 리프트 오프(lift-off)공정에 의해 제거한 다음, 최종적으로 감광막(42)을 제거하고 게이트 패턴닝을 행하여 제5도(m)와 같은 구조의 MOSFET를 일체화한 전계방출 어레이를 완성하게 된다.

[실시예 2]

제4도의 구조인 또 하나의 실시예를 제6도는 참조하여 설명하면 먼저 제6도(a)와 같이 P형 실리콘 기판(50)의 적정부분을 $POCl_3$ 도핑 등의 방법에 의해서 디스플레이의 캐소드 전극(column line), 즉 n^+ 로 도핑된 실리콘 층(30')으로 형성한다.

제6도(b)와 같이 상기 실리콘 기판(50,50')을 열산화하여 얇은 산화막(51)을 형성하고, 상기 산화막(51)위에 실리콘 질화막을 증착한 다음, 사진식각 기술을 이용하여 MOSFET의 액티브(active)영역과 전계방출 어레이의 게이트홀이 형성되는 영역에 미세한 실리콘 질화막 패턴(52)을 형성한다.

그리고, 캐소드와 캐소드간, 화소와 트랜지스터의 절연을 위해 상기 실리콘 질화막이 제거된 부분에 p^+ 로 도핑하여 절연부(53)를 형성한다.

이어서, 제6도(c)와 같이 상기 실리콘 기판(50)을 산화하여 실리콘 질화막이 없는 영역에서는 일정 두께의 산화막 즉, 전계방출 어레이의 절연층(54) 및 MOSFET 공정 중 필드(field) 산화막(54)을 형성한다.

이후, 실리콘 질화막(52)과 얇은 산화막(51)을 제거하고, 열산화하여 산화막(도시하지 않음)을 형성시키고 제1, 2MOSFET의 문턱 전압(threshold voltage)을 조절하기 위해 P형 실리콘 기판(50)부분에 이온주입한 다음 산화막을 제거하고, 제1, 2의 MOSFET의 게이트 산화막(55)(55')을 열산화법에 의해 형성한다.

그리고 상기 게이트 산화막(55)(55')위에 다결정 실리콘을 증착하고 n^+ 층으로 불순물 주입을 수행한 다음, 제 1, 2 MOSFET의 게이트(56)(56')를 형성한다[제6도(d)].

제6도(e)에 도시된 것과 같이 고농도 n^+ 형 이온주입 공정에 의해 n^+ 소오스(source) 및 드레인(drain)(57)(57')을 각각 형성한다.

이때, 이온주입되어서는 안될 부분을 감광막(photoresist)(58)으로 막는다.

이어서, 상기 기판 상부 전체에 저온 산화막(low temperature oxide layer : LTO)(59)을 증착한 후, 사진식각 공정을 이용하여 전계방출 어레이가 형성될 위치의 LTO(59)를 제거하고 상기 n^+ 로 도핑된 실리콘 층(50')을 식각하여 제거한다[제6도(f)].

그리고, 사진식각 공정을 행하여 제6도(g)에 도시된 바와 같이 콘택을 패턴닝하고, 제6도(h)와 같이 전자총 증착기를 사용하여 증착 물질이 기판 면에 대해 수직방향으로 입사하도록 금속(60) 물질을 증착한다.

제6도(i)에 도시된 바와 같이 전자총 증착기를 사용하여, 상기 기판을 전자총 증착기에 장착하고 증착물질이 기판면에 대해 경사방향을 이루며 증착되도록 하여 분리층(도시하지 않음)을 형성하며, 이때 실리콘 기판표면에는 증착되지 않게 된다.

이어서, 금속물질을 기판면에 대해 수직한 방향으로 입사시켜 전계방출 팀(61)을 형성한다.

계속해서, 분리층만을 선택적으로 식각하면 금속(60)위의 전계방출 팀 물질이 분리층과 함께 기판으로부터 리프트오프되어 제거된다.

최종적으로 사진 식각공정을 이용하여 불필요한 부분을 제거하여 전계방출 어레이의 게이트 전극(63') 및 제 1, 2MOSFET의 게이트(62)(62'), 소오스(63)(63'), 드레인전극(64)등을 형성함으로써 제6도(j)와 같은 수조를 완성하게 된다.

상기와 같이 본 발명의 실시예 1, 2에 의해 제작된 MOSFET가 일체화된 전계방출 어레이를 주요 소자로 하여 구동되는 전계방출 디스플레이의 개략적인 불력도가 제7도에 도시되어 있다.

제7도를 참조하면, 본 발명은 MOSFET를 전계방출 어레이의 게이트 전극(row line) 및 캐소드 전극(column line)에 각각 연결되도록 제조하여 전계방출 어레이의 게이트 전극에 접속된 제1 MOSFET는 전계방출 어레이의 게이트 전극에 전압을 인가하게 된다.

즉, 제1 MOSFET의 게이트단자에 문턱 전압(V_T) 이상의 전압(V_{ε_1})을 인가하면, 제 1 MOSFET가 도통되어 드레인 전압(V_d)이 전계방출 어레이의 전극에 인가된다.

한편, 전계방출 어레이의 캐소드 전극에 접속된 제 2 MOSFET는 전계방출 어레이의 캐소드 전극을 접지(ground) 또는 플로트(float)하게 되는데 즉, 제 2 MOSFET의 게이트단자에 문턱 전압(V_T) 이상의 전압(V_{ε_1})을 인가하면, 제 2 MOSFET가 도통되어 전계방출 어레이의 캐소드 전극이 접지된다.

또한, 제 2 MOSFET는 캐소드 전극(column line)간의 균일성(uniformity)을 향상시키는 역할을 할 수도 있다.

즉, 제 2 MOSFET의 게이트 전압을 변화시켜 캐소드 전류를 조절함으로써 가능하게 된다.

이상과 같이 본 발명은 전계방출어레이의 이 전계방출어레이를 구동하기 위한 MOSFET의 제조공정을 동일 기판 위에 병립적으로 구현함으로써, 상기 전계방출 어레이에 접속된 제 1, 2 MOSFET에 의해 전계방출 어레이의 구동전압을 조절할 수 있으며 또한, 화소간의 균일성을 향상시키게 됨은 물론, 전계방출 어레이와 MOSFET의 전기적인 연결을 위한 외부의 부가공정을 제거함으로써 전계방출 디스플레이의 제조원가를 크게 절감할 수 있는 등, 여러가지의 우수한 효과를 지닌다.

더 나아가 차후, 전계방출 어레이와 구동회로가 일체화된 디스플레이 모듈을 제작하는데 직접적으로 응용될 수 있다.

(57) 청구의 범위

청구항 1

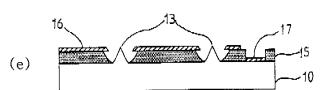
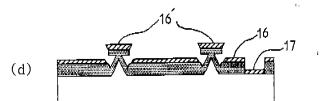
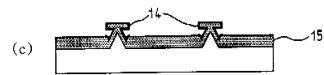
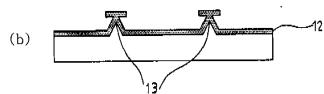
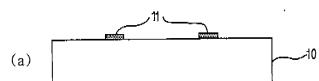
n^+ 로 도핑되고 P형 실리콘 기판(30)의 캐소드 전극으로 기능하는 실리콘층(30')위에 전자를 방출하는 다수의 실리콘 전계방출 팀(33)이 형성된 전계방출어레이가 형성되고, 상기 전계방출 어레이를 구동시키기 위하여 전계방출 어레이가 위치한 나머지 부분의 실리콘 기판(30)에 MOSFET로 구성된 회로를 형성시켜 전계방출 어레이의 게이트 전극(row line)(44)과 캐소드 전극(column line)(30')이 MOSFET와 각각 전기적으로 결합되도록 MOSFET가 일체적으로 형성된 것을 특징으로 하는 MOSFET를 일체화한 전계방출 어레이.

청구항 2

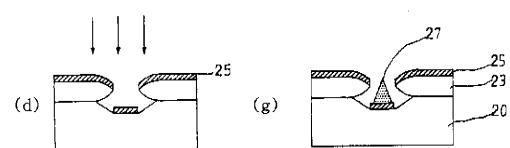
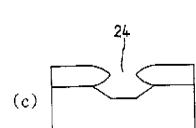
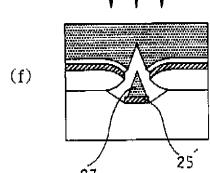
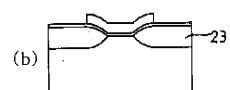
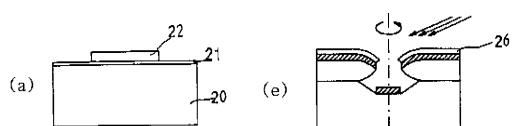
실리콘 기판(30)위의 n^+ 로 도핑된 실리콘 층(30')을 열산화하여 산화막을 형성한 다음, 사진식각(photolithography)기술을 이용하여 미세한 산화막 디스크(disk) 패턴(31)을 만들어 등방성 식각과 산화를 통하여 원추 형태의 실리콘 전계방출 팀(33)을 형성하여 실리콘 전계방출 어레이를 제조함에 있어서, 실리콘 전계방출 팀(33)이 형성된 상기 실리콘 기판(30)의 상부에 얇은 실리콘 산화막(32)을 형성하는 단계와, 사진식각 기술을 이용하여 얇은 실리콘 산화막(32)중 MOSFET가 제조될 위치의 산화막(32)을 제거하는 단계와, 상기 실리콘 산화막(32)이 제거된 나머지 부분에 400~1200 Å 두께의 완충 산화막(buffer oxide)(34)을 형성하는 단계와, 상기 완충 산화막(34) 위에 저압 화학 기상 증착법(LPCVD)에 의해 실리콘 질화막(35)을 증착한 다음, 이방성 견식식각공정에 의해 실리콘 전계방출 팀(33) 끝을 뾰족하게 하기 위한 측벽과, MOSFET의 엑티브(active)영역을 제외한 나머지 부분의 실리콘 질화막(35)을 제거하는 단계와, 사진마스크 작업과 봉소(boron)도핑을 행하여 화소 사이의 절연을 위해 절연막(36)을 형성한 후, LOCOS공정에 의해 전계방출 어레이의 게이트 절연막(37) 및 MOSFET의 필드(field) 산화막(37)을 동시에 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 MOSFET를 일체화한 전계방출 어레이의 제조방법.

도면

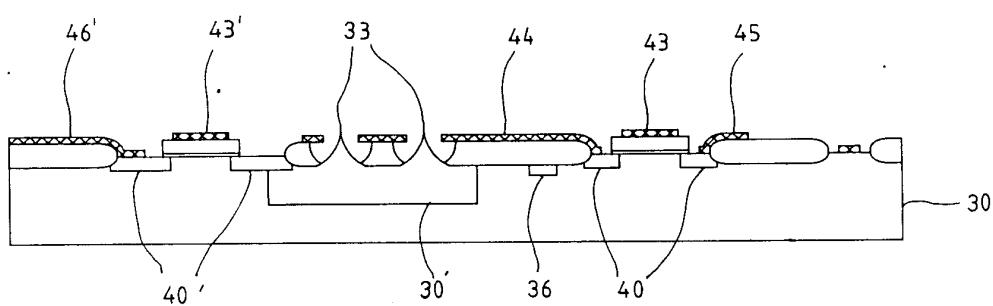
도면1



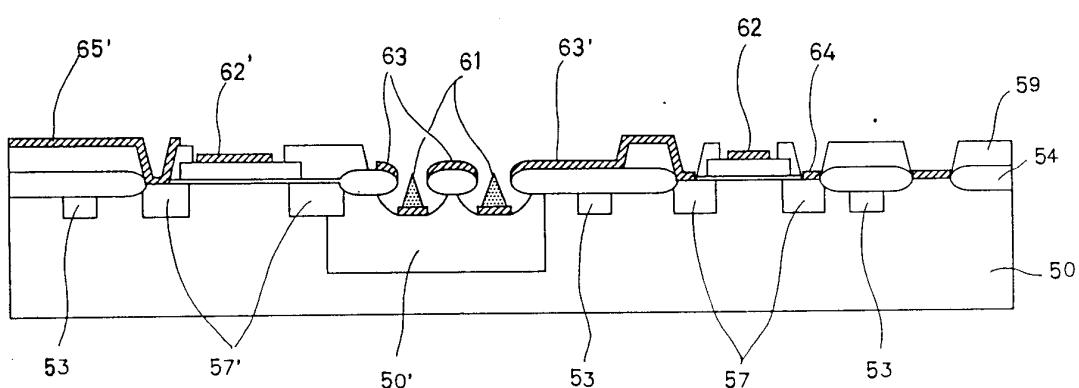
도면2



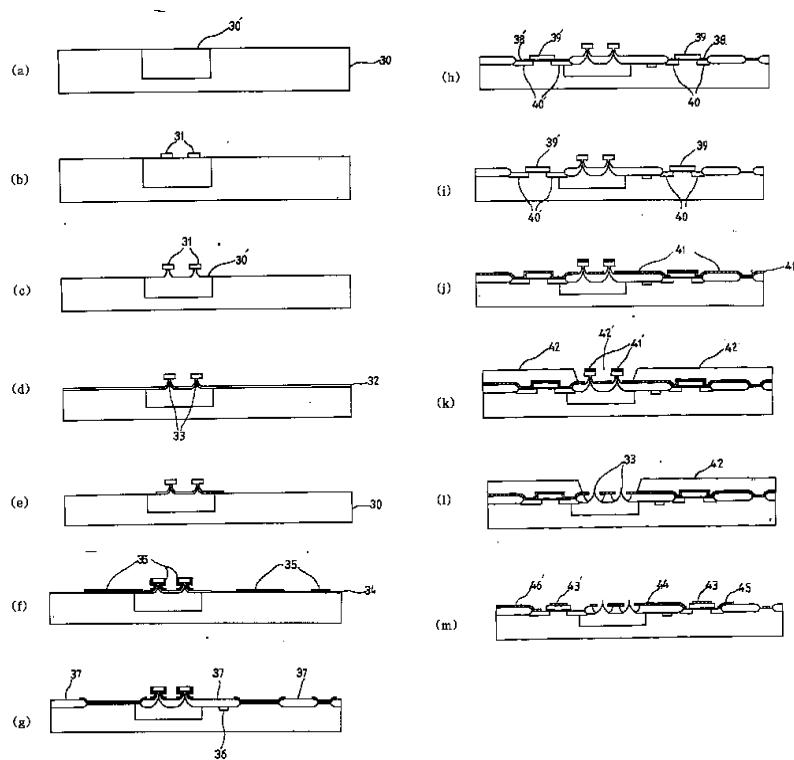
도면3



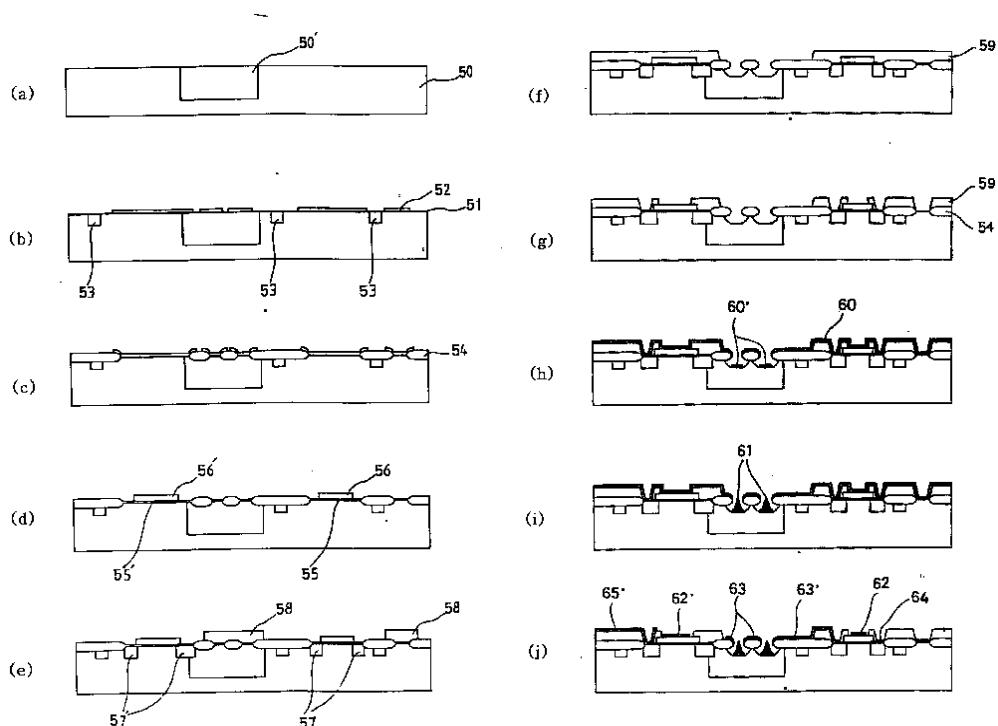
도면4



도면5



도면6



도면7

캐소드 전극 (column line)

