

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第5259138号  
(P5259138)

(45) 発行日 平成25年8月7日 (2013.8.7)

(24) 登録日 平成25年5月2日 (2013.5.2)

(51) Int.Cl.

F I

G 1 1 C 16/02 (2006.01)

G 1 1 C 16/06 (2006.01)

G 1 1 C 17/00 6 0 1 C

G 1 1 C 17/00 6 3 9 C

G 1 1 C 17/00 6 4 1

請求項の数 2 (全 11 頁)

(21) 出願番号	特願2007-211741 (P2007-211741)	(73) 特許権者	000233169
(22) 出願日	平成19年8月15日 (2007.8.15)		株式会社日立超エル・エス・アイ・システムズ
(65) 公開番号	特開2009-48680 (P2009-48680A)		東京都国分寺市東恋ヶ窪三丁目1番地1
(43) 公開日	平成21年3月5日 (2009.3.5)	(74) 代理人	100080001
審査請求日	平成22年2月3日 (2010.2.3)		弁理士 筒井 大和
前置審査		(72) 発明者	小池 康之
			東京都小平市上水本町五丁目22番1号
			株式会社日立超エル・エス・アイ・システムズ内
		(72) 発明者	沖永 隆幸
			東京都小平市上水本町五丁目22番1号
			株式会社日立超エル・エス・アイ・システムズ内
			最終頁に続く

(54) 【発明の名称】 記憶装置

(57) 【特許請求の範囲】

【請求項 1】

不揮発性半導体メモリで構成されホストからハードディスクドライブ互換制御技術で制御可能に構成された記憶装置であって、

ある電圧レベルのしきい値を複数設定し2ビット以上の多値でデータ書き込みが可能にされた不揮発性半導体メモリセルのメモリアレイで構成された不揮発性半導体メモリと、揮発性メモリと、

前記ホストから発行されたコマンドに基づいて前記不揮発性半導体メモリの動作指示を行うコントローラと、

電源保持用キャパシタとを備え、

前記不揮発性半導体メモリは、前記多値書き込み可能な不揮発性半導体メモリセルが2値(1ビット)でデータ書き込みが行われるブロックとして制御される領域(以下「2値ブロック」という。)と、前記多値でデータ書き込みが行われるブロックとして制御される領域(以下「多値ブロック」という。)で構成され、ユーザのアクセスが不可とされるシステム領域のデータは前記2値ブロックに格納され、ユーザデータ領域のデータは前記多値ブロックに格納されるように設定されており、

前記多値書き込み可能な不揮発性半導体メモリセルのブロックを2値ブロックとしてデータを格納するか多値ブロックとしてデータを格納するかを示す2値/多値書き込み情報を有したブロック管理テーブルが前記2値ブロックのシステム領域に格納されており、

前記コントローラは、

前記記憶装置の動作時に前記ブロック管理テーブルを前記揮発性メモリに展開する処理と、

前記不揮発性半導体メモリの書き換え耐数に至る前の処理において、ホストから送信されるデータを前記ブロック管理テーブルの2値/多値書き込み情報を参照して前記2値ブロックに格納するデータか前記多値ブロックに格納するデータかを決定し、前記不揮発性半導体メモリにデータを書き込む処理と、

電源遮断が発生したときは、前記電源保持用キャパシタから供給される電源によって、前記揮発性メモリに一時記憶されているユーザデータを前記2値ブロックに書き込む処理とを実行するように構成されてなることを特徴とする記憶装置。

【請求項2】

10

請求項1記載の記憶装置において、前記不揮発性半導体メモリのワード線はそれぞれ上位ワード線と下位ワード線で構成され、前記多値ブロックにおいては前記上位ワード線と下位ワード線の両方を使用してデータ格納が行われ、前記2値ブロックにおいては前記上位ワード線のみを使用してデータ格納が行われることを特徴とする記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、情報処理機器などに組み込まれる記憶装置技術に関し、特に、不揮発性半導体メモリを用いて構成された記憶デバイスの高信頼性化に有効な技術に関する。

【背景技術】

20

【0002】

近年、パーソナルコンピュータなどの情報処理機器では、ハードディスクドライブに代わる記憶デバイスとしてソリッドステートドライブ(SSD: Solid State Drive)、いわゆるフラッシュメモリドライブなどの記憶デバイスが普及しつつある。

【0003】

このソリッドステートドライブは、磁気ディスクの代わりに記憶媒体として不揮発性半導体メモリを用いた記憶デバイスである。ソリッドステートドライブは、前述のように磁気ディスクを持たないため、データの読み書きの際に読み取り装置(ヘッド)をディスク上で移動させる時間(シークタイム)や、磁気ディスク上の目的のデータがヘッド位置まで回転してくる時間(サーチタイム)が不要となる。

30

【0004】

これにより、データの読み書きがハードディスクドライブに比べて高速化されることになる。また、ハードディスクドライブのようにモータによる磁気ディスクの回転動作が不要となるので、消費電力も低減させることができる。

【0005】

一般に、ソリッドステートドライブに用いられる不揮発性半導体メモリは、1つのメモリセルに1ビットの書き込みが行われる、NAND型SLC(Single Level Cell)が使用されている。

【発明の開示】

40

【発明が解決しようとする課題】

【0006】

ところが、上記のようなソリッドステートドライブでは、次のような問題点があることが本発明者により見い出された。

【0007】

すなわち、ソリッドステートドライブに用いられるNAND型SLCの不揮発性半導体メモリは、ハードディスクに比べて高価なため、大容量化して利用することが難しいという問題がある。

【0008】

また、ソリッドステートドライブのコストを下げる技術としては、たとえば、1つのメ

50

モリセルに2ビットのデータを書き込むMLC (Multi Level Cell) タイプの不揮発性半導体メモリを用いることが考えられる。

【0009】

これにより、SLCタイプの不揮発性半導体メモリを用いた場合よりも、大容量化、および低価格化を実現し易くなり、1ビット当たりのコストもハードディスクドライブに近づけることができる。

【0010】

しかしながら、MLCタイプの不揮発性半導体メモリは、消去/書き込み回数が、たとえば、 $10^4$  回程度であり、SLCタイプの不揮発性半導体メモリの消去/書き込み回数である $10^5$  回程度と比べて書き換え耐数が1桁少ないオーダーとなってしまう、信頼性が大きく低下してしまうという問題がある。

10

【0011】

本発明の目的は、信頼性を損なうことなく、大容量で、かつ低コストな不揮発性半導体メモリを用いた記憶装置を実現することのできる技術を提供することにある。

【0012】

本発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0013】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

20

【0014】

本発明は、ある電圧レベルのしきい値を複数設定し、2ビット以上のデータを記憶する複数のメモリセルを有するメモリアレイを有した1以上の不揮発性半導体メモリと、外部から発行されたコマンドに基づいて該不揮発性半導体メモリの動作指示を行うコントローラとを備え、該不揮発性半導体メモリは、不揮発性半導体メモリにデータが書き込まれる際に、2値でデータを格納するか多値でデータを格納するかを示す2値/多値書き込み情報を有したブロック管理テーブルを備え、該コントローラは、ブロック管理テーブルの2値/多値書き込み情報を参照して不揮発性半導体メモリにデータを書き込むものである。

【0015】

30

また、本願のその他の発明の概要を簡単に示す。

【0016】

本発明は、前記ブロック管理テーブルが、不揮発性半導体メモリにおける記憶領域の消去単位となるブロックごとの書き換え回数を示す書き換え回数管理情報を有し、該コントローラは、多値でデータを格納するブロックの場合、ブロック管理テーブルの書き換え回数管理情報から、ブロックの書き換え回数が任意の設定値以上か否かを確認し、設定値以上と判断すると、2値でデータを格納する代替記憶領域に設けられたブロックにデータを格納するものである。

【0017】

また、本発明は、前記コントローラが、不揮発性半導体メモリに格納されるデータに対してデータ訂正用のECC (Error Correcting Code) を付加するECC付加部を備え、該ECC付加部は、データが、多値でデータを格納する多値ブロックに格納される際、2値でデータを格納する2値ブロックに格納される場合よりも、データ訂正用のECCのビット数を多く付加するものである。

40

【0018】

さらに、本発明は、前記ブロック管理テーブルが、不揮発性半導体メモリの任意の記憶領域に2値で格納されるものである。

【0019】

また、本発明は、前記不揮発性半導体メモリに記憶されるユーザデータが、ユーザデータ領域のブロックに多値で格納され、該ユーザデータ領域のブロックの書き換え回数が任

50

意の設定値以上になると、2値でデータを格納する代替記憶領域に設けられたブロックにデータを格納するものである。

【発明の効果】

【0020】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0021】

(1) 低コストで大記憶容量の記憶装置を実現することができる。

【0022】

(2) また、不揮発性半導体メモリを用いた記憶装置の信頼性を大幅に向上させることができる。

10

【発明を実施するための最良の形態】

【0023】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0024】

図1は、本発明の一実施の形態によるソリッドステートドライブの構成例を示すブロック図、図2は、図1のソリッドステートドライブに設けられた不揮発性半導体メモリアレイの構成例を示す説明図、図3は、図1のソリッドステートドライブに設けられたコントローラの構成例を示すブロック図、図4は、図1のソリッドステートドライブに設けられた不揮発性半導体メモリに格納されたブロック管理テーブルの構成例を示す説明図である。

20

【0025】

本実施の形態において、記憶装置であるソリッドステートドライブ1は、図1に示すように、たとえば、パーソナルコンピュータなどのホストHに内蔵されている記憶装置である。ホストHは、たとえば、ハードディスクドライブ互換の制御技術により、バスB0を介してソリッドステートドライブ1にデータの送受信を行う。

【0026】

ソリッドステートドライブ1は、コントローラ2、揮発性メモリ3、電源保持用キャパシタ4、および複数の不揮発性半導体メモリ5<sub>1</sub>～5<sub>4</sub>、6<sub>1</sub>～6<sub>4</sub>、7<sub>1</sub>～7<sub>4</sub>、8<sub>1</sub>～8<sub>4</sub>から構成されている。コントローラ2には、バスB1～B4を介して、不揮発性半導体メモリ5<sub>1</sub>～5<sub>4</sub>、6<sub>1</sub>～6<sub>4</sub>、7<sub>1</sub>～7<sub>4</sub>、8<sub>1</sub>～8<sub>4</sub>がそれぞれ接続されている。

30

【0027】

また、コントローラ2には、バスB5を介して揮発性メモリ3が接続されている。コントローラ2は、ソリッドステートドライブ1の制御を司り、不揮発性半導体メモリ5<sub>1</sub>～5<sub>4</sub>、6<sub>1</sub>～6<sub>4</sub>、7<sub>1</sub>～7<sub>4</sub>、8<sub>1</sub>～8<sub>4</sub>におけるデータの消去/書き込み/読み出し動作などを行う。

【0028】

揮発性メモリ3は、たとえば、ホストHとの入出力データを一時的に保存するコントローラ2のキャッシュとして用いられる。さらに、揮発性メモリ3は、不揮発性半導体メモリ5<sub>1</sub>～5<sub>4</sub>、6<sub>1</sub>～6<sub>4</sub>、7<sub>1</sub>～7<sub>4</sub>、8<sub>1</sub>～8<sub>4</sub>のユーザデータ領域を管理する管理データが記憶される。ユーザデータ領域は、ユーザがアクセス可能な記憶領域である。

40

【0029】

電源遮断された際、揮発性メモリ3に記憶されている管理データ、およびキャッシュデータなどは、任意の不揮発性半導体メモリ5<sub>1</sub>～5<sub>4</sub>、6<sub>1</sub>～6<sub>4</sub>、7<sub>1</sub>～7<sub>4</sub>、8<sub>1</sub>～8<sub>4</sub>にそれぞれ保存される。

【0030】

電源保持用キャパシタ4は、一定時間、内部電源を保持し、コントローラ2、揮発性メ

50

メモリ 3、ならびに不揮発性半導体メモリ  $5_1 \sim 5_4$  ,  $6_1 \sim 6_4$  ,  $7_1 \sim 7_4$  ,  $8_1 \sim 8_4$  に電源を供給する。

【0031】

不揮発性半導体メモリ  $5_1 \sim 5_4$  ,  $6_1 \sim 6_4$  ,  $7_1 \sim 7_4$  ,  $8_1 \sim 8_4$  は、ユーザデータなどをそれぞれ格納する。また、不揮発性半導体メモリ  $5_1 \sim 5_4$  ,  $6_1 \sim 6_4$  ,  $7_1 \sim 7_4$  ,  $8_1 \sim 8_4$  は、フラッシュメモリなどに例示される不揮発性半導体メモリであり、1つのメモリセルに2ビットのデータを書き込むMLCタイプとなっている。

【0032】

不揮発性半導体メモリ  $5_1 \sim 5_4$  ,  $6_1 \sim 6_4$  ,  $7_1 \sim 7_4$  ,  $8_1 \sim 8_4$  は、前述したようにMLCタイプとなっているが、データは、消去単位であるブロック単位毎に2値でデータを格納する2値格納領域と多値でデータを格納する多値格納領域とに分割されて格納される。

10

【0033】

図2は、不揮発性半導体メモリ  $5_1$  におけるメモリアレイの構成例を示す説明図である。なお、図2では、不揮発性半導体メモリ  $5_1$  について説明するが、他の不揮発性半導体メモリ  $5_2 \sim 5_4$  ,  $6_1 \sim 6_4$  ,  $7_1 \sim 7_4$  ,  $8_1 \sim 8_4$  についても同様の構成となっている。

【0034】

不揮発性半導体メモリ  $5_1$  は、図示するように、1Gビット(2値)のメモリマットMT1, MT2が設けられている。メモリマットMT1, MT2は、ワード線数が32K本、ワード線数サイズが4K本にそれぞれ構成されている。

20

【0035】

消去単位であるブロックサイズは、2値の場合には128KBとなっており、多値の場合には256KBとなっている。

【0036】

不揮発性半導体メモリ  $5_1$  は、1ワード線を上位ワード線と下位ワード線との2ワード化してあり、見かけ上ワード線を2倍としている。そして、2ビット以上のデータを格納する多値として用いる場合には、上位ワード線、および下位ワード線の両方を使用し、1ビットのデータを格納する2値として用いる場合には、2ワード化してあるワード線の上位ワード線のみを使用する。

30

【0037】

図3は、コントローラ2の構成例を示すブロック図である。

【0038】

コントローラ2は、図示するように、MPU(Micro Processing Unit)9、データ格納部10, 11、書き込み/読み込み/消去制御部12、ページアドレス制御部13、およびECCエンコーダ/デコーダ14, 15から構成されている。

【0039】

MPU9は、コントローラ2におけるすべての制御を司る。データ格納部10は、バッファであり、ホストHとの送受信データを一時的に格納する。データ格納部11は、バッファであり、不揮発性半導体メモリへの書き込み/読み込みデータを一時的に格納する。

40

【0040】

書き込み/読み込み/消去制御部12は、MPU9の制御に基づいて、任意の不揮発性半導体メモリ  $5_1 \sim 5_4$  ,  $6_1 \sim 6_4$  ,  $7_1 \sim 7_4$  ,  $8_1 \sim 8_4$  にデータの書き込み/読み込み/消去を行う。

【0041】

ページアドレス制御部13は、ブロック管理テーブルBT(図4)を参照し、ページアドレスの制御を行う。ECCエンコーダ/デコーダ14は、2値のデータに対してのECCの付加や、データ訂正処理を行う。ECCエンコーダ/デコーダ15は、多値のデータに対してのECCを付加や、データ訂正処理を行う。

【0042】

50

図4は、ブロック管理テーブルBTの構成例を示す説明図である。

【0043】

ブロック管理テーブルBTは、回数管理テーブルT1、2値/多値テーブルT2、およびアドレス変換テーブルT3などから構成されており、これらの管理情報がブロック番号毎に格納されている。

【0044】

回数管理テーブルT1は、そのブロックの書き換え回数を示すテーブルであり、2値/多値テーブルT2は、そのブロックが2値、多値のどちらで使われるかを示すテーブルである。

【0045】

ブロック管理テーブルBTは、不揮発性半導体メモリ5<sub>1</sub>～5<sub>4</sub>、6<sub>1</sub>～6<sub>4</sub>、7<sub>1</sub>～7<sub>4</sub>、8<sub>1</sub>～8<sub>4</sub>のシステム領域にそれぞれ格納される。システム領域は、ユーザがアクセス不可の記憶領域である。

【0046】

2値/多値テーブルT2の初期値は、たとえば、ユーザデータ領域のすべてのブロックを多値で使用するよう設定されており、システム領域のブロックは、2値で使用するよう設定されている。

【0047】

このように、ブロック管理テーブルBTなどの書き換え頻度が高く、信頼性が求められるデータを2値で記憶することにより、ソリッドステートドライブ1の信頼性をより向上させることができる。

【0048】

また、アドレス変換テーブルT3は、ホストHから指定された論理アドレスから、不揮発性半導体メモリの物理アドレスへの変換を管理するテーブルである。

【0049】

不揮発性半導体メモリ5<sub>1</sub>～5<sub>4</sub>、6<sub>1</sub>～6<sub>4</sub>、7<sub>1</sub>～7<sub>4</sub>、8<sub>1</sub>～8<sub>4</sub>には、前述した管理データを記憶するシステム領域、ユーザデータを格納するユーザデータ領域、ならびに該ユーザデータ領域の代替となり、代替記憶領域として用いられる予備領域が備えられている。

【0050】

そして、ユーザデータ領域のあるブロックに不良が発生した際には、コントローラ2が、その不良ブロックの代替として予備領域のあるブロックを使用する代替処理を行う。

【0051】

ブロック番号は、不揮発性半導体メモリ5<sub>1</sub>～5<sub>4</sub>、6<sub>1</sub>～6<sub>4</sub>、7<sub>1</sub>～7<sub>4</sub>、8<sub>1</sub>～8<sub>4</sub>におけるすべて領域（システム領域、ユーザデータ領域、および予備領域）のブロックに対して通し番号となるブロック番号'0'～'N'となっている。

【0052】

ブロック管理テーブルBTは、電源遮断時には、不揮発性半導体メモリ5<sub>1</sub>～5<sub>4</sub>、6<sub>1</sub>～6<sub>4</sub>、7<sub>1</sub>～7<sub>4</sub>、8<sub>1</sub>～8<sub>4</sub>のシステム領域にそれぞれ格納されており、ソリッドステートドライブ1が動作した際に揮発性メモリ3に展開される。

【0053】

次に、本実施の形態によるソリッドステートドライブ1の動作について説明する。

【0054】

まず、ホストHから送信されたデータは、バッファであるデータ格納部10に一時的に格納される。このとき、回数管理テーブルT1の該当ブロックの書き換え回数が任意の設定値以上であれば、MPU9により該当ブロックの2値/多値テーブルT2が多値から2値として使用するよう更新される。

【0055】

データ格納部10に格納されたデータは、ECCエンコーダ/デコーダ15（またはECCエンコーダ/デコーダ14）によってECCが付加された後、揮発性メモリ3に格納

10

20

30

40

50

される。

【 0 0 5 6 】

E C C エンコーダ / デコーダ 1 4、または E C C エンコーダ / デコーダ 1 5 の選択は、書き込み / 読み込み / 消去制御部 1 2 がブロック管理テーブル B T ( 図 4 ) の 2 値 / 多値テーブル T 2 を参照することにより決定される。

【 0 0 5 7 】

前述したように、初期設定では、ユーザデータ領域のブロックが多値としてデータが格納されるように 2 値 / 多値テーブル T 2 が設定されているが、回数管理テーブル T 1 の書き換え回数が任意の設定値以上となっている場合には、2 値としてデータが格納されるように 2 値 / 多値テーブル T 2 の設定変更が行われる。

10

【 0 0 5 8 】

続いて、M P U 9 は、揮発性メモリ 3 におけるデータキャッシュ領域の状態から、書き込み / 読み込み / 消去制御部 1 2 に任意の不揮発性半導体メモリへの書き込み指示を行い、揮発性メモリ 3 に格納されたデータがデータ格納部 1 1 に格納される。

【 0 0 5 9 】

このとき、ページアドレス制御部 1 3 は、ブロック管理テーブル B T を参照し、2 値 / 多値のいずれになるかを確認し、アドレス制御を行う。続いて、書き込み / 読み込み / 消去制御部 1 2 は、M P U 9 が設定した選択ビット値を参照して選択された任意のブロックにデータの書き込みを行う。

【 0 0 6 0 】

データ書き込みが終了すると、M P U 9 は、ブロック管理テーブル B T の回数管理テーブル T 1 の書き換えを行う。

20

【 0 0 6 1 】

また、任意のブロックからデータを読み出す場合、読み出されたデータは、データ格納部 1 1 に格納され、E C C エンコーダ / デコーダ 1 5 ( または E C C エンコーダ / デコーダ 1 4 ) によりデータ訂正処理が行われた後、揮発性メモリ 3 に該データが格納される。

【 0 0 6 2 】

さらに、書き込み / 読み出し / 消去制御部 1 2 は、データの書き込み、または読み出し時に F A I L ( エラー ) となると、F A I L となったそのブロックのデータを書き換えの際に予備領域に設けられた任意のブロックに書き込むように制御を行う。

30

【 0 0 6 3 】

次に、E C C エンコーダ / デコーダ 1 4 , 1 5 が付加するデータ訂正用の E C C ビット数について説明する。

【 0 0 6 4 】

多値ブロックのデータ訂正用 E C C ビットを付加する E C C エンコーダ / デコーダ 1 5 は、2 値ブロックのデータ訂正用 E C C ビットを付加する E C C エンコーダ / デコーダ 1 4 の E C C ビット数 ( たとえば、4 ビット程度 ) よりも、付加する E C C ビット数 ( たとえば、6 ビット程度 ) が多くなる構成となっている。

【 0 0 6 5 】

これにより、多値ブロックに記憶されるデータの信頼性を向上させ、2 値ブロックに記憶されるデータと多値ブロックに記憶されるデータとの間の信頼性の差を少なくすることが可能となる。

40

【 0 0 6 6 】

それにより、本実施の形態によれば、ユーザデータ領域に格納されるデータを多値で記憶し、データの書き換えが頻繁に行われるシステム領域のデータを 2 値で記憶させることにより、低コストで信頼性の高い、大記憶容量のソリッドステートドライブ 1 を実現することができる。

【 0 0 6 7 】

また、前記実施の形態では、2 値 / 多値テーブル T 2 の初期値は、たとえば、ユーザデータ領域のすべてのブロックを多値で使用するよう設定し、システム領域のブロックを

50

2 値で使用するよう設定する場合について記載したが、この初期設定は、任意に設定可能である。

#### 【 0 0 6 8 】

たとえば、システム領域のブロックだけでなく、ユーザデータ領域における任意のブロックを2 値で使用し、その他のブロックを多値で使用するようにしてもよいし、あるいは、すべてのブロックを2 値や多値で使用するようにしてもよい。

#### 【 0 0 6 9 】

前述したユーザデータ領域における任意のブロックを2 値で使用する場合、この2 値で使用されるブロックに電源遮断の際に揮発性メモリ3のユーザデータを書き込む記憶領域として使用する。

10

#### 【 0 0 7 0 】

これにより、より高速にソリッドステートドライブ1の電源遮断することができる。これは、不揮発性半導体メモリを消去のブロック単位で分割した際に、上位ワード線は、下位ワード線よりもデータの書き込み速度が速くなるので、2 値で使用するブロックは、多値で使用するブロックよりもデータ書き込み速度が速くなるためである。

#### 【 0 0 7 1 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

#### 【 産業上の利用可能性 】

20

#### 【 0 0 7 2 】

本発明は、不揮発性半導体メモリを用いた記憶装置に適している。

#### 【 図面の簡単な説明 】

#### 【 0 0 7 3 】

【 図 1 】 本発明の一実施の形態によるソリッドステートドライブの構成例を示すブロック図である。

【 図 2 】 図 1 のソリッドステートドライブに設けられた不揮発性半導体メモリのメモリアレイの構成例を示す説明図である。

【 図 3 】 図 1 のソリッドステートドライブに設けられたコントローラの構成例を示すブロック図である。

30

【 図 4 】 図 1 のソリッドステートドライブに設けられた不揮発性半導体メモリに格納されたブロック管理テーブルの構成例を示す説明図である。

#### 【 符号の説明 】

#### 【 0 0 7 4 】

- 1 ソリッドステートドライブ
- 2 コントローラ
- 3 揮発性メモリ
- 4 電源保持用キャパシタ
- 5<sub>1</sub> ~ 5<sub>4</sub> 不揮発性半導体メモリ
- 6<sub>1</sub> ~ 6<sub>4</sub> 不揮発性半導体メモリ
- 7<sub>1</sub> ~ 7<sub>4</sub> 不揮発性半導体メモリ
- 8<sub>1</sub> ~ 8<sub>4</sub> 不揮発性半導体メモリ
- 9 M P U
- 10 , 11 データ格納部
- 12 書き込み / 読み込み / 消去制御部
- 13 ページアドレス制御部
- 14 , 15 E C C エンコーダ / デコーダ
- H ホスト
- B 0 ~ B 5 バス
- M T 1 , M T 2 メモリマツト

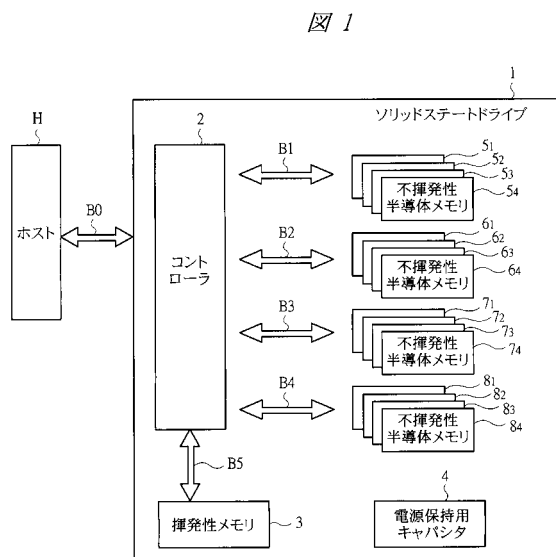
40

50

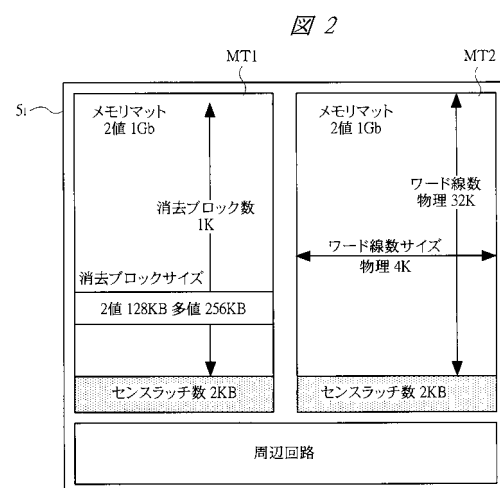


B T    ブロック管理テーブル  
 T 1    回数管理テーブル  
 T 2    2 値 / 多値テーブル  
 T 3    アドレス変換テーブル

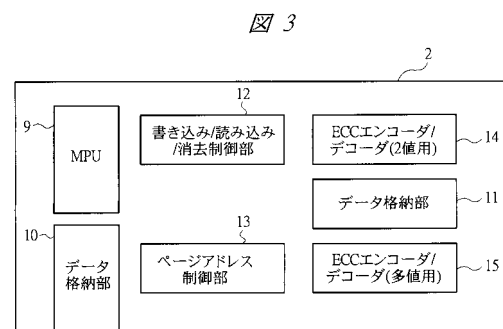
【図 1】



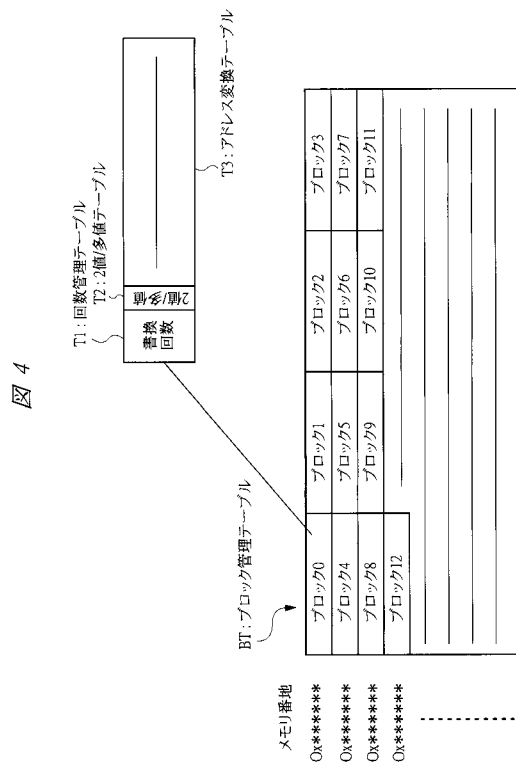
【図 2】



【図 3】



【 図 4 】



---

フロントページの続き

(72)発明者 古沢 和則

東京都小平市上水本町五丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 東 修一郎

東京都小平市上水本町五丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 真国 一起

東京都小平市上水本町五丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内

審査官 滝谷 亮一

(56)参考文献 特開 2 0 0 0 - 2 9 8 9 9 2 ( J P , A )

特開平 1 1 - 2 8 3 3 9 6 ( J P , A )

特開 2 0 0 1 - 3 0 6 3 9 3 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G 1 1 C 1 6 / 0 2

G 1 1 C 1 6 / 0 6