

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和7年4月2日(2025.4.2)

【公開番号】特開2024-157940(P2024-157940A)

【公開日】令和6年11月8日(2024.11.8)

【年通号数】公開公報(特許)2024-209

【出願番号】特願2023-72620(P2023-72620)

【国際特許分類】

H 1 0 D 3 0 / 6 6 (2 0 2 5 . 0 1)

H 1 0 D 8 4 / 8 0 (2 0 2 5 . 0 1)

H 1 0 D 6 2 / 1 0 (2 0 2 5 . 0 1)

H 1 0 D 3 0 / 0 1 (2 0 2 5 . 0 1)

H 1 0 D 1 2 / 0 0 (2 0 2 5 . 0 1)

10

【 F I 】

H 0 1 L 2 9 / 7 8 6 5 2 R

H 0 1 L 2 9 / 7 8 6 5 7 F

H 0 1 L 2 9 / 7 8 6 5 2 T

H 0 1 L 2 9 / 7 8 6 5 2 F

H 0 1 L 2 9 / 7 8 6 5 2 P

H 0 1 L 2 9 / 0 6 3 0 1 G

H 0 1 L 2 9 / 0 6 3 0 1 V

H 0 1 L 2 9 / 7 8 6 5 2 N

H 0 1 L 2 9 / 7 8 6 5 2 J

H 0 1 L 2 9 / 7 8 6 5 3 C

H 0 1 L 2 9 / 7 8 6 5 2 H

H 0 1 L 2 9 / 7 8 6 5 8 A

H 0 1 L 2 9 / 7 8 6 5 8 G

H 0 1 L 2 9 / 7 8 6 5 5 A

20

30

【手続補正書】

【提出日】令和7年3月24日(2025.3.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項1

【補正方法】変更

【補正の内容】

【請求項1】

トレンチゲート構造を有する半導体素子がメインセル領域(R_m)およびセンスセル領域(R_s)を含むセル領域(1)に形成され、前記メインセル領域と前記センスセル領域とが素子分離領域(I_n)によって電氣的に分離された炭化珪素半導体装置であって、

40

炭化珪素からなる第1導電型または第2導電型の基板(11)と、

前記基板の表面上に形成され、前記基板よりも低不純物濃度とされた第1導電型の第1不純物領域(13)と、を有し、

前記メインセル領域および前記センスセル領域は、

前記第1不純物領域の表層部に形成され、前記第1不純物領域よりも高不純物濃度とされた第1導電型の炭化珪素からなるJFET層(14)と、

前記第1不純物領域の表層部に形成され、前記基板の面方向において前記JFET層と交互に配置された第2導電型の炭化珪素からなるディープ層(15)と、

前記JFET層および前記ディープ層上に形成された第2導電型の炭化珪素からなるべ

50

ース層（ 18 ）と、

前記ベース層よりも深く一方向を長手方向として複数本並べられたゲートトレンチ（ 21 ）の内壁面に形成されたゲート絶縁膜（ 22 ）と、前記ゲートトレンチ内において、前記ゲート絶縁膜の上に形成されたゲート電極（ 23 ）と、を有するトレンチゲート構造と

、
前記ベース層の表層部において前記トレンチゲート構造と接して形成され、前記第 1 不純物領域よりも高不純物濃度とされた第 1 導電型の炭化珪素からなる第 2 不純物領域（ 19 ）と、

前記メインセル領域および前記センスセル領域のそれぞれに分離して備えられ、前記メインセル領域の前記第 2 不純物領域および前記ベース層に電氣的に接続されると共に、前記センスセル領域の前記第 2 不純物領域および前記ベース層に電氣的に接続される第 1 電極（ 25 ）と、

前記基板の裏面側に配置され、前記基板と電氣的に接続される第 2 電極（ 28 ）と、を有し、

前記素子分離領域は、

前記メインセル領域と前記センスセル領域との間に配置され、前記ベース層よりも深く複数本の分離トレンチ（ 40 ）が形成されることで前記ベース層が前記メインセル領域側と前記センスセル領域側とに分離され、

さらに、複数本の前記分離トレンチそれぞれの底部に、互いに離れて配置されていると共に該分離トレンチの底面と接して形成された第 2 導電型の分離ディープ層（ 41 ）が備えられており、

前記素子分離領域では、前記第 1 不純物領域の表層部に前記ディープ層が形成されているが、前記 J F E T 層は形成されていない、炭化珪素半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

本開示の 1 つの観点は、トレンチゲート構造を有する半導体素子がメインセル領域（ R m ）およびセンスセル領域（ R s ）を含むセル領域（ 1 ）に形成され、メインセル領域とセンスセル領域とが素子分離領域（ I n ）によって電氣的に分離された S i C 半導体装置であって、S i C からなる第 1 導電型または第 2 導電型の基板（ 11 ）と、基板の表面上に形成され、基板よりも低不純物濃度とされた第 1 導電型の第 1 不純物領域（ 13 ）と、を有している。メインセル領域およびセンスセル領域は、第 1 不純物領域の表層部に形成され、第 1 不純物領域よりも高不純物濃度とされた第 1 導電型の S i C からなる J F E T 層（ 14 ）と、第 1 不純物領域の表層部に形成され、基板の面方向において J F E T 層と交互に配置された第 2 導電型の S i C からなるディープ層（ 15 ）と、J F E T 層およびディープ層上に形成された第 2 導電型の S i C からなるベース層（ 18 ）と、ベース層よりも深く一方向を長手方向として複数本並べられたゲートトレンチ（ 21 ）の内壁面に形成されたゲート絶縁膜（ 22 ）と、ゲートトレンチ内において、ゲート絶縁膜の上に形成されたゲート電極（ 23 ）と、を有するトレンチゲート構造と、ベース層の表層部においてトレンチゲート構造と接して形成され、第 1 不純物領域よりも高不純物濃度とされた第 1 導電型の S i C からなる第 2 不純物領域（ 19 ）と、メインセル領域およびセンスセル領域のそれぞれに分離して備えられ、メインセル領域の第 2 不純物領域およびベース層に電氣的に接続されると共に、センスセル領域の第 2 不純物領域およびベース層に電氣的に接続される第 1 電極（ 25 ）と、基板の裏面側に配置され、基板と電氣的に接続される第 2 電極（ 28 ）と、を有している。そして、素子分離領域は、メインセル領域とセンスセル領域との間に配置され、ベース層よりも深く複数本の分離トレンチ（ 40 ）が形成されることでベース層がメインセル領域側とセンスセル領域側とに分離され、さらに、複数本

の分離トレンチそれぞれの底部に、互いに離れて配置されていると共に該分離トレンチの底面と接して形成された第2導電型の分離ディープ層(41)が備えられており、素子分離領域では、第1不純物領域の表層部にディープ層が形成されているが、JFET層は形成されていない。

10

20

30

40

50