

(21)申請案號：098100226

(22)申請日：中華民國 98 (2009) 年 01 月 06 日

(51)Int. Cl. : H01L27/04 (2006.01)

(30)優先權：2008/01/09 日本 11/971,591

(71)申請人：飛思卡爾半導體公司(美國) FREESCALE SEMICONDUCTOR, INC. (US)
美國

(72)發明人：卡金斯基 麥可 G KHAZHINSKY, MICHAEL G. (US) ; 馬修 里歐 MATHEW, LEO (IN) ; 米勒 詹姆士 W MILLER, JAMES W. (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：20 項 圖式數：3 共 26 頁

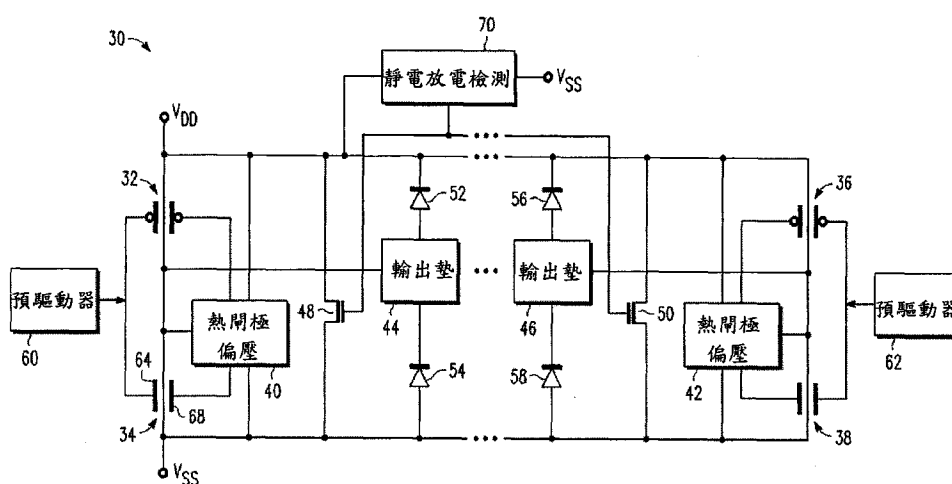
(54)名稱

具有靜電放電保護之多重獨立閘極場效電晶體電路

MIGFET CIRCUIT WITH ESD PROTECTION

(57)摘要

本發明提供一種靜電放電(ESD)保護電路(30)，其被耦合到一電源供應電壓軌道(VDD、VSS)且包含一多重獨立閘極場效電晶體(MIGFET)(32、34、36、38)、一預驅動器(60、62)及一熱閘極偏壓電路(40、42)。該 MIGFET 具有一耦合在一輸出墊(44、46)與該電源供應電壓軌道之間之源極/汲極路徑；以及具有一第一閘極端及一第二閘極端。該預驅動器電路有一輸出。該熱閘極偏壓電路被耦合到該 MIGFET(34)之該第一閘極端(68)，且該預驅動器電路(60)之該輸出被耦合到該 MIGFET 之該第二閘極端(64)。該熱閘極偏壓電路(40)被組態成在一 ESD 事件期間施加一偏壓到該 MIGFET 之該第一閘極端，這增加該 MIGFET 之崩潰電壓以使其更能耐受 ESD 事件。



30：靜電放電保護電路

32：P 通道多重獨立閘極場效電晶體

34：N 通道多重獨立閘極場效電晶體

36：P 通道多重獨立閘極場效電晶體

38：N 通道多重獨立閘極場效電晶體

40：熱閘極偏壓電路

42：熱閘極偏壓電路

44：輸出墊

46：輸出墊

48：N 通道電晶體

50：N 通道電晶體

52：二極體

54：二極體

56：二極體

58：二極體

60：預驅動器電路

62：預驅動器電路

64：第一控制閘極

68：第二控制閘極

70：靜電放電檢測電
路

(21)申請案號：098100226

(22)申請日：中華民國 98 (2009) 年 01 月 06 日

(51)Int. Cl. : H01L27/04 (2006.01)

(30)優先權：2008/01/09 日本 11/971,591

(71)申請人：飛思卡爾半導體公司(美國) FREESCALE SEMICONDUCTOR, INC. (US)
美國

(72)發明人：卡金斯基 麥可 G KHAZHINSKY, MICHAEL G. (US)；馬修 里歐 MATHEW, LEO (IN)；米勒 詹姆士 W MILLER, JAMES W. (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：20 項 圖式數：3 共 26 頁

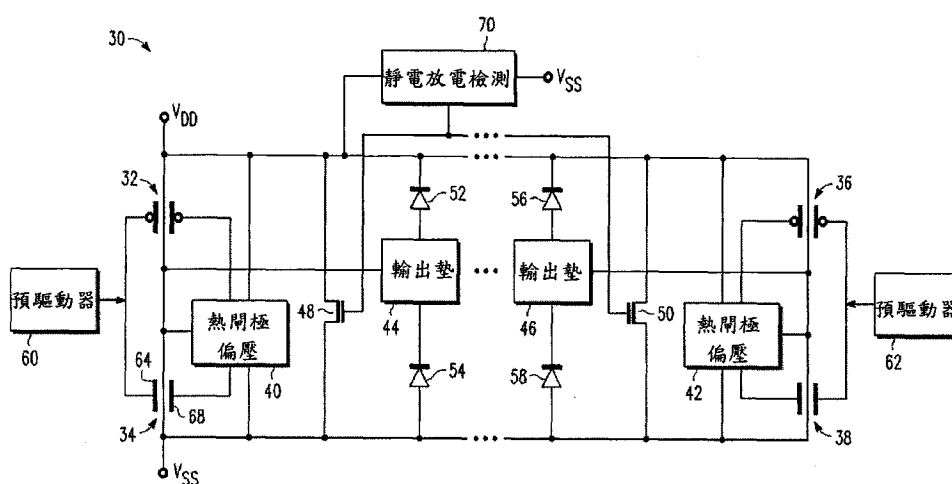
(54)名稱

具有靜電放電保護之多重獨立閘極場效電晶體電路

MIGFET CIRCUIT WITH ESD PROTECTION

(57)摘要

本發明提供一種靜電放電(ESD)保護電路(30)，其被耦合到一電源供應電壓軌道(VDD、VSS)且包含一多重獨立閘極場效電晶體(MIGFET)(32、34、36、38)、一預驅動器(60、62)及一熱閘極偏壓電路(40、42)。該 MIGFET 具有一耦合在一輸出墊(44、46)與該電源供應電壓軌道之間之源極/汲極路徑；以及具有一第一閘極端及一第二閘極端。該預驅動器電路有一輸出。該熱閘極偏壓電路被耦合到該 MIGFET(34)之該第一閘極端(68)，且該預驅動器電路(60)之該輸出被耦合到該 MIGFET 之該第二閘極端(64)。該熱閘極偏壓電路(40)被組態成在一 ESD 事件期間施加一偏壓到該 MIGFET 之該第一閘極端，這增加該 MIGFET 之崩潰電壓以使其更能耐受 ESD 事件。



30：靜電放電保護電路

32：P 通道多重獨立閘極場效電晶體

34：N 通道多重獨立閘極場效電晶體

36：P 通道多重獨立閘極場效電晶體

38：N 通道多重獨立閘極場效電晶體

40：熱閘極偏壓電路

42：熱閘極偏壓電路

44：輸出墊

46：輸出墊

48：N 通道電晶體

六、發明說明：

【發明所屬之技術領域】

本發明大致上涉及多重獨立閘極場效電晶體(MIGFET)，其等通常作為一類鰭式場效電晶體(FinFET)實施，更明確言之，本發明係關於對MIGFET的靜電放電(ESD)保護。

本申請案已於2008年1月9日在美國以專利申請案第11/971,591號提出申請。

【先前技術】

在製造橫向電晶體如FinFET中使用鰭片可望對於給定表面區域增加電路性能。通道寬度由垂直大小量測使得對於給定區域有更多的電位電流驅動。然而，鰭片的使用不會消除與ESD相關的問題，使得仍然需要ESD保護。

因此有必要為FinFET提供有效的ESD保護。

【發明內容】

在一態樣中，一ESD保護電路包含一多重獨立閘極場效電晶體(MIGFET)，其可為一連接到一輸入及/或輸出墊(I/O墊)的輸出驅動器，該墊具有控制同一通道的一第一閘極和一第二閘極。一預驅動器電路被耦合到該第一閘極，且一熱閘極偏壓電路被耦合到該第二閘極。當一外部ESD事件發生時，該熱閘極偏壓電路施加一信號到該第二閘極使得該MIGFET被偏壓到一種情況，其中其可耐受一較高的汲極至源極電壓而不損壞。結果是加強保護了連接到該I/O墊的該MIGFET。這經由參考以下描述和圖式更能理

解。

【實施方式】

本發明以舉例的方式說明並不受所附圖式限制，其中相同的參考符號表示相同的元件。該等圖中的元件為簡單清楚起見而繪示且無須按照比例繪製。

圖1中顯示的是一ESD保護電路10，其包括一預驅動器電路12、一N通道MIGFET 14、一熱閘極偏壓電路16和一或(OR)閘18。MIGFET 14包括起源極與汲極之間之通道作用的一鰭片20；沿著鰭片20的第一側的一控制閘極22；及在鰭片20的第二側上的一控制閘極24。控制閘極22或24可使MIGFET 14變成導通。預驅動器電路12提供一信號至控制閘極22及至或閘18的一第一輸入。熱閘極偏壓電路16有一耦合到或閘18的一第二輸入的輸出。或閘18有一連接到控制閘極24的輸出。當一ESD事件發生時，一種情況是相對於另一墊，一相當高的電壓發生在一連接到MIGFET 14的汲極的輸出墊，熱閘極偏壓電路16提供一邏輯高的輸出，這確保或閘18提供一邏輯高至控制閘極24，從而確保MIGFET 14在該ESD事件期間用一閘極至源極偏壓導通，該偏壓與用於MIGFET 14的汲極與源極之間的電壓相同或接近。頃發現，如果一N通道電晶體的閘極和汲極有幾乎相同的電壓，該通道被放置在一種情況下，其中汲極至源極崩潰電壓比閘極電壓明顯低於汲極電壓，例如低2伏特之條件下的更高。在正常作業中及在沒有ESD事件中，預驅動器電路12提供一信號，該信號被連接到控制閘極22並

且經由或閘18被耦合到控制閘極24。對於MIGFET 14是一P通道電晶體的情況，該或閘18將是一反或(NOR)閘，使得一邏輯低將被施加到控制閘極24以回應熱閘極偏壓電路16檢測ESD事件，其中相對於在另一墊的高電壓，輸出墊是在低電壓。在正常作業中，由或閘18造成的輕微延遲在某些情況下是有利的，諸如開關雜訊(也稱為 di/dt 雜訊)是一個問題的情況下。該輕微延遲導致該或閘18的兩個輸入的交錯導通以導致降低 di/dt 。作為一種替代，或閘18可以不使用。在此情況下，預驅動器電路12將只被連接到控制閘極22；及熱閘極偏壓電路16將被直接連接到控制閘極24而不經由或閘18耦合到控制閘極24。在MIGFET為P通道的情況下，熱閘極偏壓電路16將直接提供一邏輯低輸出到控制閘極24。熱閘極偏壓電路16因此耦合一電壓到控制閘極24，使得MIGFET 14在ESD事件期間呈現一最大或接近最大的崩潰電壓。以這種方式，該輸出驅動器MIGFET受更好地保護以免損壞。

圖2中顯示的是一ESD保護電路30，其包括一P通道MIGFET 32、一N通道MIGFET 34、一P通道MIGFET 36、一N通道MIGFET 38、一熱閘極偏壓電路40、一熱閘極偏壓電路42、一輸出墊44、一輸出墊46、一N通道電晶體48、一N通道電晶體50、一二極體52、一二極體54、一二極體56、一二極體58、一ESD檢測電路70、一預驅動器電路60及一預驅動器電路62。在所示組態中，該單一預驅動器電路60控制該N通道MIGFET 34及該P通道MIGFET 32的

閘極。或者，兩個獨立的預驅動器電路可被用於該N通道MIGFET 34及該P通道MIGFET 32。MIGFET 34還被顯示具有一第一控制閘極64及一第二控制閘極68。MIGFET 32、36及38相似地有一通道及兩個控制閘極，每個控制閘極獨立地控制該通道。MIGFET 32有一連接到正電源供應端VDD的源極、一連接到輸出墊44的汲極、一連接到預驅動器電路60的一輸出的第一控制閘極64以及一連接到熱閘極偏壓電路40的一第一輸出的第二控制閘極68。MIGFET 34有一連接到通常是接地的負電源供應端VSS的源極、一連接到輸出墊44的汲極、一連接到預驅動器電路60的輸出的第一控制閘極以及一連接到熱閘極偏壓電路40的一第二輸出的第二控制閘極。熱閘極偏壓電路40也被連接到VDD、VSS以及MIGFET 32及34的汲極。熱閘極偏壓電路40耦合控制閘極68到MIGFET 34的汲極以回應檢測到一ESD事件，其中相對於另一墊，如輸出墊46，輸出墊44接收一高電壓。熱閘極偏壓電路40耦合MIGFET 32的該第二控制閘極到MIGFET 32的汲極以回應檢測到一ESD事件，其中相對於輸出墊44，另一輸出墊如輸出墊46接收一高電壓。在正常供電作業期間，熱閘極偏壓電路40提供一邏輯低至MIGFET 34以及一邏輯高至MIGFET 32。電晶體48有一連接到VDD的汲極、一連接到VSS的源極以及一連接到ESD檢測電路70的輸出的閘極。電晶體50有一連接到VDD的汲極、一連接到VSS的源極以及一連接到ESD檢測電路70的一輸出的閘極。二極體52從陽極到陰極被連接在輸出墊44

到VDD之間。二極體54從陽極到陰極被連接在VSS與輸出墊44之間。二極體56從陽極到陰極被連接在輸出墊46到VDD之間。二極體58從陽極到陰極被連接在VSS與輸出墊46之間。MIGFET 36有一連接到一正電源供應端VDD的源極、一連接到輸出墊46的汲極、一連接到預驅動器電路62的一輸出的第一控制閘極以及一連接到熱閘極偏壓電路42的一第一輸出的第二控制閘極。MIGFET 38有一連接到一負電源供應端VSS的源極、一連接到輸出墊46的汲極、一連接到預驅動器電路62之輸出的第一控制閘極以及一連接到熱閘極偏壓電路42的一第二輸出的第二控制閘極。熱閘極偏壓電路42也被連接到VDD、VSS以及MIGFET 36及38的汲極。熱閘極偏壓電路42以與熱閘極偏壓電路40相對於輸出墊44以及MIGFET 32及34作業相同的方式相對於輸出墊46以及MIGFET 36及38作業。在正常供電作業期間，熱閘極偏壓電路42提供一邏輯低至MIGFET 38以及一邏輯高至MIGFET 36。雖然只顯示輸出墊44及46以及其等的相關電路，但是如省略號(...)所示，在一典型積體電路上將有更多的輸出墊及相關電路。

對於ESD事件的情況，其中相對於輸出墊46，一高電壓發生在輸出墊44，二極體52耦合該電壓到VDD使得ESD檢測電路70及熱閘極偏壓電路40及42檢測該ESD事件。ESD檢測電路70經由產生邏輯高信號使電晶體48及50變成導通而回應。熱閘極偏壓電路40經由耦合控制閘極68到MIGFET 34的汲極而回應。熱閘極偏壓電路42，其被耦合

到該ESD事件的低壓側，該熱閘極偏壓電路42經由耦合MIGFET 36的第二控制閘極到MIGFET 36的汲極而回應。電流因此經由二極體52從輸出墊44流到VDD、經由電晶體48及50從VDD流到VSS以及經由二極體58從VSS流到輸出墊46。雖然這電流流動緩和了ESD事件，但是MIGFET 34經由使控制閘極68耦合到MIGFET 34的汲極而保持在高的汲極至源極崩潰狀態，且MIGFET 36也經由耦合電晶體36的第二控制閘極到MIGFET 36的汲極而保持在高的汲極至源極崩潰狀態。經由MIGFET 34從輸出墊44流到VSS的電流以及經由MIGFET 36從VDD流到輸出墊46的電流也部分緩和了該ESD事件。

通常P通道電晶體比N通道電晶體有一更高的汲極至源極崩潰電壓，使得熱閘極偏壓電路40及42不必在MIGFET 32及36的第二控制閘極與其等相應的汲極之間提供耦合。因此，例如對於一ESD事件，其中相對於輸出墊46，在輸出墊44上有一高電壓，熱閘極偏壓電路42可能不必耦合MIGFET 36的第二控制閘極到MIGFET 36的汲極。熱閘極偏壓電路40及42可只提供一輸出至相應的N通道MIGFET 34及38。在另一替代組態中，偏壓電路對於每個N通道下拉MIGFET可提供獨立的熱閘極偏壓電路；以及偏壓電路對於每個P通道上拉MIGFET可提供獨立的熱閘極偏壓電路。在又一替代組態中，該熱閘極偏壓電路可經由一或閘耦合到輸出驅動器MIGFET，類似於圖1中所示的組態。這種組態的一個優點是其允許預驅動器電路耦合MIGFET的

兩個控制閘極。還是作為一種替代，該ESD檢測電路70可被組態成提供一觸發信號至熱閘極偏壓電路40及42以回應檢測一ESD事件。熱閘極偏壓電路40及42在此情況下施加偏壓到各自MIGFET的一閘極端以回應該觸發信號。

圖3中所示的是電路80，其是組合圖1的或閘18功能及熱閘極偏壓電路16的一示例性實施。在圖3中，一P通道電晶體82在一ESD事件期間提供MIGFET 14的控制閘極24到汲極的連接。輸入引腳86連接到MIGFET 14的汲極以及輸出引腳88連接到MIGFET 14的閘極。傳輸閘極84在正常作業期間將在輸入引腳90的預驅動器電路12的輸出耦合到在輸出引腳88的控制閘極24。注意，在圖3的電路中，每當MIGFET 14的汲極超過VDD多於P通道MOSFET 92的臨限電壓時，一ESD事件被感測。在所有正常供電作業期間，其中假設MIGFET 14的汲極總是保持在VDD或低於VDD，只有預驅動器電路12的輸出被耦合到MIGFET 14的閘極上。

至此應明白，已經提供了一種耦合到一電源供應電壓軌道的靜電放電(ESD)保護電路，其包含一多重獨立閘極場效電晶體(MIGFET)、一具有一輸出的預驅動器電路以及一熱閘極偏壓電路。該MIGFET有一耦合在一輸出墊與該電源供應電壓軌道之間的源極/汲極路徑，該MIGFET具有一第一閘極端及一第二閘極端。該熱閘極偏壓電路被耦合到該MIGFET的該第一閘極端，以及該預驅動器電路的該輸出被耦合到該MIGFET的該第二閘極端。該熱閘極偏壓

電路被組態成在一ESD事件期間施加一偏壓到該MIGFET的該第一閘極端。該熱閘極偏壓電路可被進一步組態成檢測靜電放電事件。該熱閘極偏壓電路可被組態成施加足夠大的偏壓以便使該偏壓與在該輸出墊的一電壓大致相同。該熱閘極偏壓電路可被組態成施加足夠大的偏壓以便提高與該MIGFET相關的一崩潰電壓。該保護電路可進一步包含一組態成檢測靜電放電事件的靜電放電(ESD)檢測電路，其中該ESD檢測電路被耦合到該熱閘極偏壓電路。該ESD檢測電路可被組態成提供一觸發信號至該熱閘極偏壓電路以回應該靜電放電事件的檢測，使得該熱閘極偏壓電路施加偏壓到該MIGFET的該第一閘極端以回應該觸發信號。該預驅動器電路及該熱閘極偏壓電路可經由一邏輯閘耦合到該MIGFET的該第一閘極端。

此外還描述了一種耦合到一第一電源供應電壓軌道及一第二電源供應電壓軌道的靜電放電(ESD)保護電路。該ESD電路包含一第一多重獨立閘極場效電晶體(MIGFET)，該MIGFET具有一耦合在一輸出墊與該第一電源供應電壓軌道之間的源極/汲極路徑，其中該第一MIGFET有一第一閘極端及一第二閘極端。該ESD電路包含一第二MIGFET，該MIGFET具有一耦合在該輸出墊與該第二電源供應電壓軌道之間的源極/汲極路徑，其中該第二MIGFET有一第一閘極端及一第二閘極端。該ESD電路包含一具有一輸出的預驅動器電路。該ESD電路包含一耦合到該第一MIGFET的第一閘極端及該第二MIGFET的第一閘極端的熱

開極偏壓電路以及耦合到該第一MIGFET的第二開極端及該第二MIGFET的第二開極端的預驅動器電路，其中該熱開極偏壓電路被組態成在一ESD事件期間施加一第一偏壓到該第一MIGFET的第一開極端以及施加一第二偏壓到該第二MIGFET的第一開極端。該熱開極偏壓電路可被組態成施加足夠大的第一偏壓以便使該第一偏壓與在該輸出墊的一電壓大致相同。該熱開極偏壓電路可被進一步組態成檢測ESD事件。該熱開極偏壓電路可被組態成施加足夠大的第一偏壓以提高與該第一MIGFET相關的一崩潰電壓以及施加足夠大的第二偏壓以提高與該第二MIGFET相關的一崩潰電壓。該ESD保護電路可進一步包含一組態成檢測靜電放電事件的ESD檢測電路，其中該ESD檢測電路被耦合到該熱開極偏壓電路。該ESD檢測電路可被組態成提供一觸發信號至該熱開極偏壓電路以回應該靜電放電事件的檢測，使得該熱開極偏壓電路施加第一偏壓到該第一MIGFET的第一開極端以及施加第二偏壓到該第二MIGFET的第一開極端以回應該觸發信號。在正常作業期間，該熱開極偏壓電路可被組態成施加足夠大的第一偏壓到該第一MIGFET的該第一開極端以便使該第一偏壓與在該第一電源供應電壓軌道之一電壓大致相同。該第一MIGFET可為一N通道電晶體以及該第二MIGFET可為一P通道電晶體。

此外還描述了一種靜電放電(ESD)保護電路的方法，該保護電路被耦合在一第一電源供應電壓軌道與一第二電源供應電壓軌道之間，其包含一多重獨立開極場效電晶體

(MIGFET)，該 MIGFET 具有一耦合在一輸出墊與該第二電源供應電壓軌道之間的源極/汲極路徑。該 MIGFET 有一第一閘極端及一第二閘極端。該方法包含施加一足夠大的第一偏壓到該 MIGFET 的該第一閘極端以便使該第一偏壓在正常作業期間與在該第二電源供應電壓軌道之一電壓大致相同。該方法還包含施加一足夠大的第二偏壓到該 MIGFET 的該第一閘極端以便使該第二偏壓在 ESD 事件期間與該輸出墊的一電壓大致相同。該等施加步驟可被進一步特徵化為使用一施加該第一及第二偏壓的偏壓電路以及該方法可進一步包含使用該偏壓電路檢測 ESD 事件。該方法可進一步包含選擇該第二偏壓以便提高與該 MIGFET 相關的崩潰電壓。該方法可進一步包括提供一觸發信號至該熱閘極偏壓電路以回應靜電放電事件的檢測，使得該熱閘極偏壓電路施加該第二偏壓到該 MIGFET 的第一閘極端以回應該觸發信號。

因為實施本發明的裝置在大多數情況下是由熟習此項技術者熟知的電子組件及電路組成，為理解及明白本發明的基本概念以及避免混淆及分散本發明的教導，除了如上文描述的認為必要的外，對電路細節將不做任何更多解釋。

雖然本發明已就具體導電性類型或電位的極性而描述，但是熟習此項技術者明白導電性類型及電位的極性可被反過來。

此外，在該描述及請求項中的術語「前」、「後」、「頂」、「底」、「在...之上」、「在...之下」及其類似物，如

果有，是被用於描述性目的並不一定是描述永久的相對位置。應明白如此使用之術語在適當情況下是可互換的，使得此處所描述的本發明的該等實施例例如能夠以除了此處所說明或描述的配向以外的其他定向作業。

雖然此處本發明係參考具體實施例描述，但是在不脫離本發明在以下該等請求項中所闡述的範圍下可作各種修飾及改變。例如雖然電晶體48及50被描述為N通道電晶體，但是可使用其他箝制(clamping)作業。此外二極體52、54、56及58可為二極體連接的電晶體並且是有效的。因此，本說明書及圖式應視為說明性而不是限制之意，並且所有此等修飾應意為包含在本發明的範圍內。此處所描述的關於具體實施例的任何好處、優點或問題的解決方法不應視為任何或全部請求項的關鍵、必要或基本的特徵或元件。

此處所使用的術語「耦合」並不意為限制於直接耦合或機械耦合。

此外，此處所使用的術語「一」或「一個」被界定為一個或一個以上。此外，介紹性片語的使用，如在該等請求項中的「至少一」及「一或多個」，不應視為意味著由不定冠詞「一」或「一個」引入的另一請求項元件把含此引入請求項元件的任何特定請求項限制於只含一個此元件的發明，即使同一請求項包含該等介紹性片語「一或多個」或「至少一」以及不定冠詞如「一」或「一個」亦然。不定冠詞的使用也是如此。

除非另有說明，術語，如「第一」及「第二」被用於任意區分此等術語所描述的元件。因此，這些術語不一定意為表示此等元件的暫態或其他優先順序。

【圖式簡單說明】

圖1是作為一組合方塊圖及截面顯示的一ESD保護電路；

圖2是顯示圖1的該ESD保護電路的一實施的電路圖；及

圖3是顯示圖1的或閘及熱閘極偏壓電路的一示例性實施的電路圖。

【主要元件符號說明】

10	靜電放電保護電路
12	預驅動器電路
14	N通道多重獨立閘極場效電晶體
16	熱閘極偏壓電路
18	或閘
20	鰭片
22	控制閘極
24	控制閘極
30	靜電放電保護電路
32	P通道多重獨立閘極場效電晶體
34	N通道多重獨立閘極場效電晶體
36	P通道多重獨立閘極場效電晶體
38	N通道多重獨立閘極場效電晶體
40	熱閘極偏壓電路

42	熱閘極偏壓電路
44	輸出墊
46	輸出墊
48	N通道電晶體
50	N通道電晶體
52	二極體
54	二極體
56	二極體
58	二極體
60	預驅動器電路
62	預驅動器電路
64	第一控制閘極
68	第二控制閘極
70	靜電放電檢測電路
80	電路
82	P通道電晶體
84	傳輸閘極
86	輸入引腳
88	輸出引腳
90	輸入引腳
92	P通道MOSFET

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98100226

※申請日：98.1.6

※IPC 分類：

H01L 27/04 (2006.01)

一、發明名稱：(中文/英文)

具有靜電放電保護之多重獨立閘極場效電晶體電路

MIGFET CIRCUIT WITH ESD PROTECTION

二、中文發明摘要：

本發明提供一種靜電放電(ESD)保護電路(30)，其被耦合到一電源供應電壓軌道(VDD、VSS)且包含一多重獨立閘極場效電晶體(MIGFET)(32、34、36、38)、一預驅動器(60、62)及一熱閘極偏壓電路(40、42)。該MIGFET具有一耦合在一輸出墊(44、46)與該電源供應電壓軌道之間之源極/汲極路徑；以及具有一第一閘極端及一第二閘極端。該預驅動器電路有一輸出。該熱閘極偏壓電路被耦合到該MIGFET(34)之該第一閘極端(68)，且該預驅動器電路(60)之該輸出被耦合到該MIGFET之該第二閘極端(64)。該熱閘極偏壓電路(40)被組態成在一ESD事件期間施加一偏壓到該MIGFET之該第一閘極端，這增加該MIGFET之崩潰電壓以使其更能耐受ESD事件。

三、英文發明摘要：

An electrostatic discharge (ESD) protected circuit (30) is coupled to a power supply voltage rail (VDD, VSS) and includes a multiple independent gate field effect transistor (MIGFET) (32, 34, 36, 38), a pre-driver (60, 62), and a hot gate bias circuit (40, 42). The MIGFET has a source/drain path coupled between an output pad (44, 46) and the power supply voltage rail and has a first gate terminal and a second gate terminal. The pre-driver circuit has an output. The hot gate bias circuit is coupled to the first gate terminal (68) of the MIGFET (34), and the output of the pre-driver circuit (60) is coupled to the second gate terminal (64) of the MIGFET. The hot gate bias circuit (40) is configured to apply a bias voltage to the first gate terminal of the MIGFET during an ESD event that increases the breakdown voltage of the MIGFET so as to better withstand the ESD event.

七、申請專利範圍：

1. 一種耦合到一電源供應電壓軌道之靜電放電(ESD)保護電路，其包括：

一多重獨立閘極場效電晶體(MIGFET)，其具有一耦合在一輸出墊與該電源供應電壓軌道之間之源極/汲極路徑，該MIGFET具有一第一閘極端及一第二閘極端；

一具有一輸出之預驅動器電路；以及

一耦合到該MIGFET之該第一閘極端之熱閘極偏壓電路，且該預驅動器電路之該輸出被耦合到該MIGFET之該第二閘極端，其中該熱閘極偏壓電路被組態成在一ESD事件期間施加一偏壓到該MIGFET之該第一閘極端。

2. 根據請求項1之ESD保護電路，其中該熱閘極偏壓電路被進一步組態成檢測該靜電放電事件。
3. 根據請求項1之ESD保護電路，其中該熱閘極偏壓電路被組態成施加足夠大之該偏壓以便使該偏壓與在該輸出墊之一電壓大致相同。
4. 根據請求項1之ESD保護電路，其中該熱閘極偏壓電路被組態成施加足夠大之該偏壓以便提高與該MIGFET相關之一崩潰電壓。
5. 根據請求項1之ESD保護電路，其進一步包括一組態成檢測一靜電放電事件之靜電放電(ESD)檢測電路，其中該ESD檢測電路被耦合到該熱閘極偏壓電路。
6. 根據請求項5之ESD保護電路，其中該ESD檢測電路被組態成提供一觸發信號至該熱閘極偏壓電路以回應該靜電

放電事件之檢測，使得該熱閘極偏壓電路施加該偏壓到該MIGFET之該第一閘極端以回應該觸發信號。

7. 根據請求項1之ESD保護電路，其中該預驅動器電路及該熱閘極偏壓電路經由一邏輯閘而耦合到該MIGFET之該第一閘極端。
8. 根據請求項6之ESD保護電路，其中該邏輯閘是一或閘及一反或閘其中之一。
9. 一種耦合到一第一電源供應電壓軌道及一第二電源供應電壓軌道之靜電放電(ESD)保護電路，其包括：

一第一多重獨立閘極場效電晶體(MIGFET)，其具有一耦合在一輸出墊與該第一電源供應電壓軌道之間之源極/汲極路徑，其中該第一MIGFET有一第一閘極端及一第二閘極端；

一第二MIGFET，其具有一耦合在該輸出墊與該第二電源供應電壓軌道之間之源極/汲極路徑，其中該第二MIGFET有一第一閘極端及一第二閘極端；

一具有一輸出之預驅動器電路；及

一耦合到該第一MIGFET之該第一閘極端及該第二MIGFET之該第一閘極端之閘極偏壓電路，且該預驅動器電路被耦合到該第一MIGFET之該第二閘極端及該第二MIGFET之該第二閘極端，其中該閘極偏壓電路被組態成在一ESD事件期間施加一第一偏壓到該第一MIGFET之該第一閘極端以及施加一第二偏壓到該第二MIGFET之該第一閘極端。

10. 根據請求項9之ESD保護電路，其中該閘極偏壓電路被進一步組態成檢測該ESD事件。
11. 根據請求項9之ESD保護電路，其中該閘極偏壓電路被組態成施加足夠大之該第一偏壓以便使該第一偏壓與在該輸出墊之一電壓大致相同。
12. 根據請求項9之ESD保護電路，其中該閘極偏壓電路被組態成施加足夠大之該第一偏壓以便提高與該第一MIGFET相關之一崩潰電壓以及施加足夠大之該第二偏壓以提高與該第二MIGFET相關之一崩潰電壓。
13. 根據請求項9之ESD保護電路，其進一步包括一組態成檢測一靜電放電事件之ESD檢測電路，其中該ESD檢測電路被耦合到該閘極偏壓電路。
14. 根據請求項13之ESD保護電路，其中該ESD檢測電路被組態成提供一觸發信號至該閘極偏壓電路以回應該靜電放電事件之檢測，使得該閘極偏壓電路施加該第一偏壓到該第一MIGFET之該第一閘極端以及施加該第二偏壓到該第二MIGFET之該第一閘極端以回應該觸發信號。
15. 根據請求項9之ESD保護電路，其中在正常作業期間，該閘極偏壓電路被組態成施加足夠大之該第一偏壓到該第一MIGFET之該第一閘極端，以便使該第一偏壓與該第一電源供應電壓軌道大致相同。
16. 根據請求項9之ESD保護電路，其中該第一MIGFET為一n型電晶體且該第二MIGFET為一p型電晶體。
17. 一種在一靜電放電(ESD)保護電路中之方法，該靜電放

電(ESD)保護電路被耦合在一第一電源供應電壓軌道與一第二電源供應電壓軌道之間，該靜電放電(ESD)保護電路包括一多重獨立閘極場效電晶體(MIGFET)，該MIGFET具有一耦合在一輸出墊與該第二電源供應電壓軌道之間之源極/汲極路徑，該MIGFET有一第一閘極端及一第二閘極端，該方法包括：

施加一足夠大之第一偏壓到該MIGFET之該第一閘極端，以便使該第一偏壓在正常作業期間與在該第二電源供應電壓軌道之一電壓大致相同；及

施加一足夠大之第二偏壓到該MIGFET之該第一閘極端，以便使該第二偏壓在一ESD事件期間與在該輸出墊之一電壓大致相同。

18. 根據請求項17之方法，其中該等施加步驟之進一步特徵在於使用一施加該第一及第二偏壓之偏壓電路，該方法進一步包括使用該偏壓電路檢測該ESD事件。
19. 根據請求項17之方法，其進一步包括選擇該第二偏壓以便提高與該MIGFET相關之一崩潰電壓。
20. 根據請求項17之方法，其進一步包括提供一觸發信號至該熱閘極偏壓電路以回應該靜電放電事件之檢測，使得該熱閘極偏壓電路施加該第二偏壓到該MIGFET之該第一閘極端以回應該觸發信號。

八、圖式：

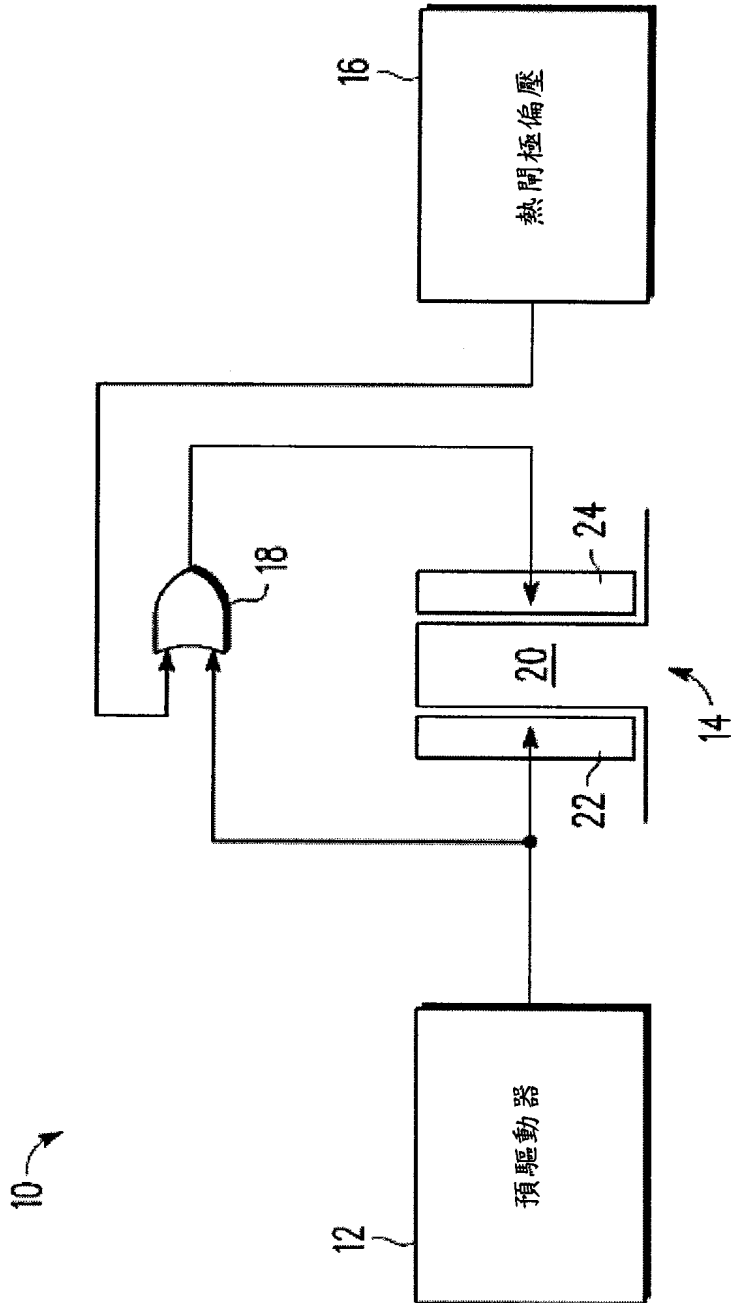


圖 1

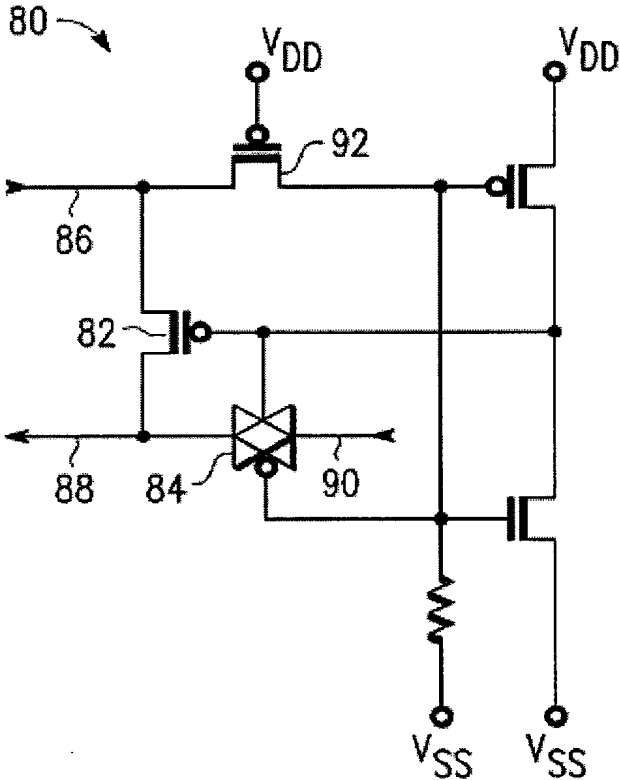


圖 3

四、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

30	靜電放電保護電路
32	P通道多重獨立閘極場效電晶體
34	N通道多重獨立閘極場效電晶體
36	P通道多重獨立閘極場效電晶體
38	N通道多重獨立閘極場效電晶體
40	熱閘極偏壓電路
42	熱閘極偏壓電路
44	輸出墊
46	輸出墊
48	N通道電晶體
50	N通道電晶體
52	二極體
54	二極體
56	二極體
58	二極體
60	預驅動器電路
62	預驅動器電路
64	第一控制閘極
68	第二控制閘極
70	靜電放電檢測電路

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)