

[12] 发明专利说明书

[21] ZL 专利号 94109550.9

[45] 授权公告日 2002 年 4 月 17 日

[11] 授权公告号 CN 1083128C

[22] 申请日 1994.8.13 [24] 颁证日 2002.4.17

[21] 申请号 94109550.9

[30] 优先权

[32] 1993.8.14 [33] JP [31] 222179/93

[32] 1993.11.8 [33] JP [31] 300836/93

[32] 1994.2.23 [33] JP [31] 051350/94

[73] 专利权人 东芝株式会社

地址 日本神奈川县

共同专利权人 东芝 AVE 株式会社

[72] 发明人 稻川纯 林泰弘 小畠宏

[56] 参考文献

EP 0400810 1990.12.5 G11B7/09

EP 0485234 1992.5.13 G11B20/10

审查员 周滨

[74] 专利代理机构 上海专利商标事务所

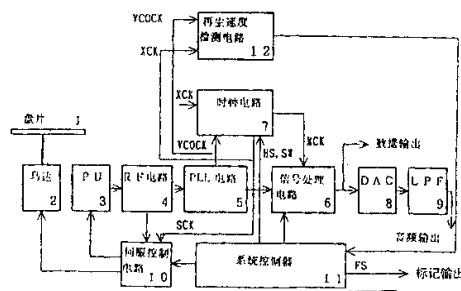
代理人 汪瑜

权利要求书 6 页 说明书 32 页 附图页数 11 页

[54] 发明名称 盘片再生装置与方法、信号处理电路、再生速度检测电路

[57] 摘要

本发明提供一种盘片再生装置、信号处理电路、再生速度检测电路及再生方法。目的是缩短再生速度切换或检索时的再生数据中断期间、迅速获得再生数据、并减少因制造不一致产生的影响。其结构为：以再生时钟产生的时钟为信号处理系统基本时钟 PMCK，选择晶体振荡时钟 XCK 或 PMCK。通过切换及去掉中间部分电路控制分频频率。采用再生速度检测构件判断再生数据是否有效，抑制盘片再生装置之间在选取时间及误差率方面的一致。



权利要求书

1. 一种盘片再生装置，用于再生存储在盘片（1）上的数据，包含：
 - a) 用于旋转盘片（1）的装置（2，5）；
 - b) 在盘片（1）旋转期间从其读出盘片数据的拾波装置（3）；
 - c) 根据盘片（1）的旋转对所述读出的盘片数据进行量化产生数字化信号的装置（4）；
 - d) 响应所述数字化信号产生第一时钟（VCOCK）的装置（6）；
 - e) 响应所述第一时钟解调所述数字化信号（EFU）并对解调后数据加以输出的装置（7，21）；
 - f) 存储所述解调数据的装置（22）；
 - g) 从所述第一时钟（VCOCK）导出第二时钟（MCK，MFS）并将所述第二时钟作为基准时钟加以输出的导出装置（11）；
 - h) 响应第一时钟（PFS）控制到所述存储装置（22）的写操作并响应所述基准时钟（MCK，MFS）控制从所述存储装置（22）读出操作的存储器控制装置（26）；其特征在于
 - k) 所述盘片再生装置还包含去掉中间部分装置（73），所述导出装置（11）控制所述去掉中间部分装置（73），通过去掉所述第一时钟（VCOCK）中间部分导出所述第二时钟（MCK，MFS），使所述中间部分去掉的第二时钟（PMCK）在预定的期间包括：
 - k1) 由具有第一脉冲宽度和第一占空比（50/50）的多个第一脉冲构成的第一组成部分；
 - k2) 由至少一个具有第二脉冲宽度和第二占空比的第二脉冲构成的第二组成部分，该第二组成部分出现在所述第一组成部分之后；
 - k3) 所述第二脉冲宽度大于每个所述第一脉冲的所述第一脉冲宽度，所述第二占空比与所述第一脉冲的占空比不同。
2. 如权利要求 1 所述的盘片再生装置，其特征在于，可进一步包含：
 - 根据外部施加的不变时钟检测所述第一时钟频率的装置；和
 - 当所检测的频率离开预定范围时确定所述解调数据无效的确定装置。



3. 如权利要求 1 所述的盘片再生装置，其特征在于，可进一步包含：
在预定频率上提供不变时钟的装置（13）；和
选择所述第二时钟和所述不变时钟之一并将所选时钟作为基准时钟加以输出的装置（11）。
4. 如权利要求 2 所述的盘片再生装置，其特征在于，所述确定装置包含：
存储所述预定范围的装置。
5. 如权利要求 1 或 3 所述的盘片再生装置，其特征在于，所述导出装置进一步包含：
对所述导出装置导出所述第二时钟进行控制的导出控制装置。
6. 如权利要求 5 所述的盘片再生装置，其特征在于，所述导出控制装置根据所述存储装置中存储的数据量控制第二时钟的导出，使得所述第二时钟的频率按照该存储数据的量受到控制。
7. 如权利要求 6 所述的盘片再生装置，其特征在于，所述导出控制装置在所述数据量小于第一预定值时增加去掉中间部分的量，而当所述数据量大于第二预定值时减小去掉中间部分的量。
8. 如权利要求 6 或 7 所述的盘片再生装置，其特征在于，所述存储装置中存储的数据量用该存储装置的当前读和写地址间的差表示。
9. 如权利要求 8 所述的盘片再生装置，其特征在于，可进一步包含：
分频所述第一时钟以产生第一帧时钟的第一分频装置；和
分频所述基准时钟以产生第二帧时钟的第二分频装置；
其中，所述导出控制装置进一步包含：
按照所述第一帧时钟对帧进行计数作为第一结果的第一计数装置；
按照所述第二帧时钟对帧进行计数作为第二结果的第二计数装置；和
计算所述第一、第二结果间差的装置。
10. 如权利要求 1—9 所述的盘片再生装置，其特征在于，可用于再生存储在盘片上的多个数据，所述多个盘片数据可被分类成第一种数据和第二种数据的至少一种，所述盘片再生装置包含：
用于指定在所述多个盘片数据间要读出的信息数据和指定所述第一和第二种数据之一的装置；
用于提供预定频率的不变时钟的振荡器；

用于选择所述第二时钟和不变时钟之一并将所选时钟作为基准时钟加以输出的选择装置；

分频所述第一时钟以产生第一帧时钟的第一分频装置；

分频所述基准时钟以产生第二帧时钟的第二分频装置；

存储从所述盘片读出的数据的缓冲存储器；

响应所述第一帧时钟控制对所述缓冲存储器写操作并响应所述第二帧时钟控制从所述缓冲存储器读操作的存储器控制装置（26）；

其中，当所指定的盘片数据是第一种数据时，所述选择装置选择第二时钟作为基准时钟，当所指定的盘片数据是第二种数据时，所述选择装置选择不变时钟作为基准时钟。

11. 如权利要求 10 所述的盘片再生装置，其特征在于，其中，所述第一种数据包括 ROM 数据，所述第二种数据包括声频数据。

12. 如权利要求 10 所述的盘片再生装置，其特征在于，其中，导出所述第二时钟的所述装置包含：

导出控制装置，用于当所指定的盘片数据是第一种数据时按照所述缓冲存储器中存储的数据量控制第二时钟导出电路导出第二时钟；

当所存储的数据量小于第一预定值时，所述导出控制电路增加去掉中间部分的量，当所存储的数据量大于第二预定值时，所述导出控制电路减小去掉中间部分的量，使第二时钟的频率受控于所存储的数据量；

存储所述预定范围的装置。

13. 一种信号处理电路，用于处理从旋转盘片读出的数据以便存储在缓冲存储器（22）中，包含：

第一时钟产生电路（6），对从所述旋转盘片（1）读出的数据进行量化所产生的调制信号作出响应，以产生第一时钟（VCOCK）；

响应第一时钟对所述调制信号进行解调并加以输出的解调装置；

从所述第一时钟（VCOCK）导出第二时钟并将所述第二时钟（MCK，MFS）作为基准时钟加以输出的第二时钟导出装置（11）；和

响应第一时钟控制把所述解调数据写入缓冲存储器（22）并响应所述基准时钟控制从所述缓冲存储器读出所述解调数据的存储器控制电路（26）；其中，

所述第二时钟导出装置（11）包含通过去掉所述第一时钟（VCOCK）中间

部分导出所述第二时钟（MCK，MFS）的去掉中间部分装置，使所述中间部分去掉的第二时钟（PMCK）在预定的期间包括：

由具有第一脉冲宽度和第一占空比（50/50）的多个第一脉冲构成的第一组成部分；

由至少一个具有第二脉冲宽度和第二占空比的第二脉冲构成的第二组成部分，该第二组成部分出现在所述第一组成部分之后；

所述第二脉冲宽度大于每个所述第一脉冲的所述第一脉冲宽度，所述第二占空比与所述第一脉冲的占空比不同。

14. 如权利要求 13 所述的信号处理电路，其特征在于，可进一步包含：

根据外部施加的不变时钟检测所述第一时钟频率的第一检测装置；和
当所检测的频率离开预定范围时确定所述解调数据无效的确定装置。

15. 如权利要求 13 或 14 所述的信号处理电路，其特征在于，可进一步包含：

选择所述第二时钟和外部施加的预定频率的不变时钟之一并将所选时钟作为基准时钟加以输出的选择装置。

16. 如权利要求 13 所述的信号处理电路，其特征在于，可进一步包含缓冲存储器。

17. 如权利要求 13 所述的信号处理电路，其特征在于，所述第二时钟导出电路进一步包含：

对所述导出电路导出所述第二时钟进行控制的导出控制装置。

18. 如权利要求 17 所述的信号处理电路，其特征在于，所述导出控制装置根据所述缓冲存储器中存储的数据量控制第二时钟的导出，使得所述第二时钟的频率按照该存储数据的量受到控制。

19. 如权利要求 18 所述的信号处理电路，其特征在于，所述导出控制装置在所述存储的数据量小于第一预定值时增加去掉中间部分的量，而当所述存储的数据量大于第二预定值时减小去掉中间部分的量。

20. 如权利要求 18 或 19 所述的信号处理电路，其特征在于，所述存储的数据量用该缓冲存储器的当前读和写地址间的差表示。

21. 如权利要求 20 所述的信号处理电路，其特征在于，可进一步包含：

分频所述第一时钟以产生第一帧时钟的第一分频装置；和
分频所述基准时钟以产生第二帧时钟的第二分频装置；

其中，所述导出控制装置进一步包含：

按照所述第一帧时钟对帧进行计数作为第一结果的第一计数装置；

按照所述第二帧时钟对帧进行计数作为第二结果的第二计数装置；和

计算所述第一、第二结果间差的减法装置。

22. 如权利要求 21 所述的信号处理电路，其特征在于，所述第二分频装置输出至少一个不同于所述第二帧时钟的中间时钟。

23. 如权利要求 22 所述的信号处理电路，其特征在于，可进一步包含：

与中间时钟输出端面接用于接收该中间时钟的数字/模拟变换器接口电路。

24. 如权利要求 13 所述的信号处理电路，其特征在于，可用于再生存储在旋转盘片上的多个盘片数据，所述多个盘片数据可被分类成第一种数据和第二种数据的至少一种，所述再生多个数据包括访问缓冲存储器，所述信号处理电路包含：

PLL 电路，用于对从所述旋转盘片 (1) 读出的数据进行量化所产生的调制信号作出响应，以产生 VCO 时钟信号；

所述解调装置，用于响应该 PLL 时钟信号对调制信号进行解调并加以输出；

所述去掉中间部分的装置，用于接收所述 VCO 时钟信号以便对该 VCO 时钟信号进行去掉中间部分的处理并输出去掉中间部分的时钟信号；

所述选择装置，用于接收不变的时钟信号和所述去掉中间部分的时钟，并可选择地输出该不变时钟信号和该去掉中间部分时钟信号作为基准时钟信号，所述不变时钟信号的频率不同于所述 VCO 时钟信号的频率；和

所述存储器控制电路，用于响应所述 VCO 时钟信号控制将所述解调数据写入所述缓冲存储器并响应所述基准时钟信号控制从所述缓冲存储器读出所述解调数据；

其中，当要再生的盘片数据是第一种数据时，所述选择装置输出去掉中间部分的时钟信号作为基准时钟信号，当要再生的盘片数据是第二种数据时，所述选择装置输出不变时钟信号作为基准时钟信号。

25. 如权利要求 14 所述的信号处理电路，其特征在于，包含所述第一分频装置，用于分频基准时钟信号并产生多个中间时钟信号和读帧时钟信号，所述第一分频装置包括一串分频器；

其中，数据再生包含中间时钟信号。

26. 如权利要求 25 所述的信号处理电路，其特征在于，包含所述第二分频装

置，用于分频 VCO 时钟信号并产生写帧时钟信号；

其中，所述第一分频装置的第一分频数不同于所述第二分频装置的第二分频数。

27.如权利要求 26 所述的信号处理电路，其特征在于，其中，所述第一分频数为 2304，所述第二分频数为 2352。

28.如权利要求 13 所述的信号处理电路，其特征在于，可进一步包含：

响应于量化所述信息数据所获得的调制信号产生再生基准时钟的装置；

在从盘片读出的数据中进行误差校正的误差校正装置；

速度检测电路，根据不变的时钟检测所述再生基准时钟的速度，并输出作为检测结果；和

数据无效电路，无论误差校正结果如何可使从旋转盘片读出的数据无效。

说明书

盘片再生装置与方法、信号处理电路、 再生速度检测电路

本发明涉及 CD(激光唱片)等光盘再生装置,特别是能使再生输出数据与 PLL 时钟同步输出的盘片再生装置。

众所周知,当今为了在音响设备领域,以高密度进行高保真度的记录再生,一般采用数字记录再生系统,它通过 PCM(脉码调制)技术将音频信号变换成数字化信号,记录于例如唱片或磁带之类的记录媒体中,使音频信号再生。特别是在直径为 12cm 的唱片中,形成与数字化数据对应的位串,以光学方式读取位串,这种形式的 CD 最为普及。这种唱片再生装置通过使内装半导体激光或光电变换元件等的光学拾音元件自唱片的内周侧向外围侧线性跟踪移动,同时使 CD 以恒定的线速度(CLV: Constant Linear Velocity)旋转,从而读取记录于 CD 中的数据。该 CD 中存贮有将模拟音频信号以 16 位进行 PCM 化后形成的数字数据(主信息数据)。数字数据采用帧(以 8 位为 1 个符号、以 24 个符号为一帧)重复的方式存贮数据。该唱片中,采用交错存贮李德—素罗门码(CIRC)符号作为误差校正符号。24 个符号的数字数据通过扰频部供给 C_2 系列奇偶发生电路,产生 4 个符号的 C_2 系列误差校正用奇偶数据 Q。

数字数据和奇偶数据 Q 经交错电路提供给 C_1 系列奇偶发生电路,然后产生 4 个符号的 C_1 系列误差校正用奇偶数据 P。24 个符号的数字数据和 4 个符号的奇偶数据 P、Q 组成 32 个符号的数据,经 1 帧延迟电路后附加 8 位(1 个符号)的子码数据。对子码数据及 32 个符号的数据进行 EFM(Eight to Fourteen Modulation)调制。经调

制后的 14 位的各符号间附加上 3 位的边界位，进而在最前端附加 24 位的帧周期信号。于是，588 位的数据就作为 1 帧被记录于唱片。这时，位时钟是 4.3218MHz，因此每 1 帧以 $136\ \mu\text{s}$ (7.35KHz) 被记录于唱片。子码数据是以 98 帧构成 1 个子码帧，每 1 子码帧将以 75Hz (13.3ms) 被记录于唱片。

唱片再生装置从激光唱片读取的数字化数据中分离出同步信号后进行 EFM 解调，把它分离成含有奇偶数据 P、Q 的 32 个符号的字成分及子码数据成分。接着，在信号处理电路中，通过采用 PLL 电路的再生系统帧时钟 (PFS)，将 EFM 解调后的数据写入存储器，再根据系统的基准时钟从存储器读出数据，吸收因唱片马达引起的时间轴变动。为了改变自唱片读取的数据的再生速度，采用了提供给时钟电路的倍速控制信号 (HS)，时钟电路将提供用于控制信号处理电路的信号处理系统的帧时钟 (XFS)，(见图 2)。每一帧根据 P 奇偶符号对 32 个符号的数据成分，进行 C_1 系列的误差校正处理。对 24 个符号的数据及 4 个符号的奇偶符号进行去交错 (deinterleave) 处理后，通过根据 Q 奇偶符号进行 C_2 系列的误差校正处理来进行 CIRC 符号的复号。根据误差校正的结果，对不能校正的数据进行平均值修正等处理，输出作为音频数据。

CD 作为盘片再生装置已为人们所熟悉。CD-ROM 也是其代表例之一。该 CD-ROM 是将混处于盘片中的音频信号和图像信息或字符码等的 ROM 数据进行再生的装置。使音频信号再生时，为了作为声音输出，以通常再生速度再生，并以此规定为 1 倍速。与此相反，对于 ROM 数据，为了尽可能迅速地读取数据，要以例如 2 倍速那样的高速进行再生。在对这种盘片进行再生时，必须频繁地切换再生速度，例如从 1 倍速变为 2 倍速或与之相反变换。因此，如果随着速度的切换而发生再生中断的话，则将使再生装置的性能显著下降。为了改善性能，虽也可使用高性能的盘片马达，但这将涉

及大幅度地提高成本。

盘片再生装置，采用马达驱动盘片，通过光学式拾波器读取记录于盘片上的数据，再将读取的数据供给 RF 电路。RF 电路从光学式拾波器的输出抽出聚焦误差信号及随纹误差信号，提供给伺服控制电路，与此同时，使再生信号双态化提供给信号处理电路作为 EFM 信号。信号处理电路进行 EFM 解调、子码外调、误差校正处理，其输出信号提供给数/模转换器(DAC)。DAC 的输出提供给低通滤波器(LPF)，LPF 的输出就成为再生音频输出信号。

在这种盘片再生装置中，如图 15 所示，通过让位速控制信号(HS)从 L 到 H，使再生速度从 1 倍变为 2 倍，或者让 HS 从 H 到 L，使再生速度从 2 倍变为 1 倍时，由于盘片马达的旋转速度无法瞬时变更，将渐渐地由 1 倍到 2 倍或由 2 倍到 1 倍变化。对应盘片马达的旋转速度由 PPL 电路所形成的再生系统的帧时钟(PFS)的频率也同样变化。另一方面，误差校正处理、音频输出处理等信号处理系统的帧时钟(XFS)将瞬时从 1 倍到 2 倍或 2 倍到 1 倍变化。因此，在到达盘片马达所定的旋转数之前的过渡期间，再生系统的帧时钟(PFS)频率相对基于系统基准时钟的信号处理系统的帧时钟(XFS)频率产生很大的差异，因此，在前述存储器中，会发生过存储而导致再生中断。

不仅在上述再生速度切换时，在检索时也会发生过存储。盘片是以恒定的线速度(CLV)旋转，因此，通常的内周约以 8Hz 、外周约以 3Hz 旋转。从而，内周进行再生后检索外周，即拾波器(PU)由内周向外周瞬时移动时，必须将盘片马达的旋转数减速至 $1/2$ 倍以下。反之，外周进行再生后检索内周，即拾波器瞬时由外周向内周移动时，必须将盘片马达的旋转数加速至 2 倍以上。

图 16 表示检索时的再生系统帧时钟(PFS)频率的变化状态。例如，以 2 倍速再生内周过程中，PFS 的频率是通常速度(1 倍速)的

平均 2 倍($2 \times 7.35\text{KHz}$)。然后,当拾波器在时刻 A 移动至外周时,在盘片马达减速至所定速度之前,PFS 的频率比通常频率的 2 倍还要高。盘片马达的旋转数慢慢减速、到时刻 B,PFS 的频率变为通常的 2 倍速。接着,在时刻 C,拾音器由外周向内周移动,盘片马达在加速至所定速度之前,PFS 的频率比通常频率的 2 倍还要低。盘片的旋转数慢慢地加速,到达时刻 D,PFS 的频率达到通常的 2 倍速。因此,基于系统基准时钟的信号处理系统的帧时钟(XFS)频率同再生系统的帧时钟(PFS)频率之间较大的差异,因此,在前述存储器中发生存储器上溢或下溢,其结果将使再生中断。

盘片如此转换再生速度时或检索时,由于存储器的上溢或下溢,直至正常的数据再生为止需要时间,这点在要求高速存取时间的 CD—ROM 系统中和利用耐振用存储器防止振动引起的走音的防振系统中成为问题。虽可以采用高性能马达来改善性能,但由于这种马达昂贵将引起大幅度成本上升。

人们已熟悉的一种盘片再生装置是采用 PLL 电路抽出的时钟为基准时钟而工作的数字信号处理电路(见特开平 5—28632 号公报),该盘片再生装置采用以恒定旋转数(CAV)旋转的主轴马达,使盘片按恒定转数旋转。该盘片再生装置,在不同线速度的盘片中即使是同一个地址其半径位置也不同,因而在恒定转数情况下传送速度不同,所以需要算出线速度。为此,根据地址信息及表示盘片径向驱动机构位置的位置传感器的输出对 PLL 电路基准频率进行运算的运算构件及按运算结果来设定频率的频率合成器是不可缺的,于是存在结构复杂的问题。

如后文将说明的,本发明为解决这些问题,欲提供一种特征为信号处理系统的基准时钟,采用由再生时钟形成的信号处理系统时钟,通过选择构件选择晶振时钟或信号处理系统的两种时钟的盘片再生装置。该盘片再生装置,向存储器写入和读出的速度是相同的,

不会发生过存储现象，但因存在因盘片伤痕等引起的同步信号失落，及循迹跳欲产生的同步信号异常等，使同步信号未被正常检出时，往往再生帧时钟(PFS)频率会异常。因此，存储器的写入和读出的速度不相同，有时会发生过存储，输出数据形成误差。

在前述盘片再生装置中，PLL 电路锁定于输入的数据，数据变得可以读取后，交错、误差校正处理所必须的数据被写入存储器，一旦被写入就能输出数据。但是，PLL 电路的锁定范围，由于构成 PLL 电路的电压控制振荡器(VCO)的不一致，形成再生装置的信号处理系统的 LSI 各不相同。因此，再生速度切换时或检索时的选取时间会因盘片再生装置而不同。这样在制造盘片再生装置方面，会使作为采用 PLL 电路的盘片再生装置的整机性能发生不一致，从而成为一个问题。

本发明是基于这一情况而设计的，目的在于提供一种盘片再生装置、信号处理电路及再生方法，它能够缩短再生速度切换时或者检索时的再生数据中断期间，迅速地获得再生数据。

另一个目的是提供一种受制造不一致影响少的再生装置、信号处理电路、再生速度检测电路及再生方法。

本发明具有以下特征：①采用由 PLL 系统时钟(VCOCK)形成的信号处理系统时钟(PMCK)作为信号处理系统的基准时钟(MCK)，用选择构件选择晶振时钟或信号处理系统的 2 种时钟。②当采用由 PLL 系统时钟形成的 PMCK 作为信号处理系统的基准时钟时，即使其分频频率发生变化，也可以在检测出其变化后控制为所定值。③在盘片再生装置中，具有盘片再生速度检测构件及根据其结果判定再生数据是否有效的构件。

也就是说，本发明盘片再生装置的第 1 特征是具有：①自盘片读取信息数据的构件；②将上述信息数据双态化，形成 EFM 信号的构件；③解调上述 EFM 信号，形成再生数据的构件；④产生与

上述 EFM 信号同步的第 1 时钟的第 1 时钟发生构件；⑤根据上述第 1 时钟，产生第 2 时钟，并以此作为基准时钟的第 2 时钟发生构件；⑥收容上述再生数据的存储构件；⑦与上述第 1 时钟同步地写入上述再生数据及与上述基准时钟同步地读出上述再生数据的存储控制构件。

本发明盘片再生装置的第 2 特征是具有：①自盘片读取信息数据的构件；②将上述信息数据双态化，形成 EFM 信号的构件；③解调上述 EFM 信号，形成再生数据的构件；④产生与上述 EFM 信号同步的第 1 时钟的第 1 时钟发生构件；⑤根据上述第 1 时钟，产生第 2 时钟的第 2 时钟发生构件；⑥按控制信号选择所供给的所定频率的时钟和上述第 2 时钟中的任一个，所选时钟作为基准时钟输出的时钟选择构件；⑦收容上述再生数据的存储构件；⑧与上述第 1 时钟同步地写入上述再生数据及与上述基准时钟同步地读出上述再生数据的存储控制构件。还可以具有根据收容于上述存储构件中的再生数据的量来控制上述第 2 时钟发生构件的时钟控制构件。上述第 2 时钟发生构件通过对前述第 1 时钟进行去掉中间部分处理形成上述第 2 时钟，上述时钟控制构件在上述存储构件所收容的再生数据量小于所定量时，可增加上述去掉中间部分处理中的去掉中间部分量，而当上述再生数据大于所定量时，则可使上述去掉中间部分处理中的去掉中间部分量减少。还可以具有供给上述所定频率的时钟的晶体振荡构件。

本发明盘片再生装置的第 3 特征是具有：①自盘片读取信息数据的构件；②将上述信息数据双态化，形成 EFM 信号的构件；③解调上述 EFM 信号，形成再生数据的构件；④产生与上述 EFM 信号同步的再生时钟的时钟发生构件；⑤与上述再生时钟同步地将上述再生数据写入存储器及与系统基准时钟同步地将上述再生数据从存储器读出的存储控制构件；⑥以由外部供给的所定频率的时钟或

该所定频率的时钟分频形成的第2分频时钟作为基准，对上述再生时钟分频形成的第1分频时钟的周期进行计数，检测上述第1分频时钟的频率的频率检测构件；⑦当上述频率检测构件所检出的频率在所定范围以外时，判定上述再生数据为无效的构件。

本发明的盘片再生装置的第4特征是具有：①自盘片读取信息数据构件；②将上述信息数据双态化，形成EFM信号的构件；③解调上述EFM信号，形成再生数据的构件；④产生与上述EFM信号同步的第1时钟的第1时钟发生构件；⑤根据上述第1时钟，产生第2时钟的第2时钟发生构件；⑥按控制信号选择所供给的所定频率的时钟和上述第2时钟中的任一个，将所选时钟作为基准时钟输出的时钟选择构件；⑦收容上述再生数据的存储构件；⑧与上述第1时钟同步地将上述再生数据写入上述存储构件及与上述基准时钟同步地将上述再生数据从上述存储构件读出的存储控制构件；⑨以由外部供给的所定频率的时钟或该所定频率的时钟分频形成的第2分频时钟作为基准，对上述再生时钟分频形成的第1分频时钟的周期进行计数，检测上述第1分频时钟的频率的频率检测构件；⑩当上述频率检测构件所检出的频率在所定范围以外时，判定上述再生数据为无效的构件；⑪按写入存于上述存储器中的再生数据的量来控制上述时钟发生构件的时钟控制构件。上述第2时钟发生构件通过对上述第1时钟进行去掉中间部分处理而形成上述第2时钟；上述时钟控制构件，当上述存储构件所收容的再生数据量小于所定量时，增加上述去掉中间部分处理中的去掉中间部分量，而当上述再生数据大于所定量时，则使上述去掉中间部分处理中的去掉中间部分量减少。上述第2时钟发生构件，也可以做成使上述所定频率时钟的频率与第2时钟的频率相一致。

本发明的信号处理电路的第1特征是具有：①第1时钟发生电路，它产生与自盘片读取的信息数据双态化后所获得的数据信号相

同步的第1时钟；②解调上述数据信号，形成再生数据的数据信号解调电路；③根据上述第1时钟产生第2时钟，并以此作为基准时钟输出的第2时钟发生电路；④与上述第1时钟同步地将上述再生数据写入存储器及与上述基准时钟同步地将上述再生数据从存储器读出的存储控制电路。

本发明的信号处理电路的第2个特征是具有：①第1时钟发生电路，它产生与自盘片读取的信息数据双态化后所获得的数据信号相同步的第1时钟；②解调上述数据信号形成再生数据的数据信号解调电路；③根据上述第1时钟产生第2时钟的第2时钟发生电路；④按控制信号选择所供给的所定频率的时钟和上述第2时钟中的任一个，并将所选时钟作为基准时钟输出的时钟选择电路；⑤与上述第1时钟同步地将上述再生数据写入存储器及与上述基准时钟同步地将上述再生数据从存储器读出的存储控制电路。

也可以再具有按上述存储器中所写入的再生数据的量来控制上述第2时钟发生电路的时钟控制电路。上述第2时钟发生电路通过对上述第1时钟进行去掉中间部分处理形成上述第2时钟，上述时钟控制电路也可设计成当写入存于上述存储器的再生数据量小于所定量时，增加上述去掉中间部分处理中的去掉中间部分量，而当上述再生数据大于所定量时，则使上述去掉中间部分处理中的去掉中间部分量减少。

本发明的信号处理电路的第3特征是具有：①第1时钟发生电路，它产生与自盘片读取的信息数据双态化后所获得的数据信号相同步的第1再生时钟；②根据上述第1再生时钟产生第2再生时钟的第2再生时钟发生电路；③解调上述数据信号，形成再生数据的数据解调电路；④按控制信号选择所供给的所定频率的时钟和上述第2再生时钟中的任一个，并将所选时钟作为基准时钟输出的时钟选择电路；⑤与上述第1再生时钟同步地将上述再生数据写入存储

器及与上述基准时钟同步地将上述再生数据从存储器读出的存储控制电路；⑥将上述第1再生时钟分频，形成第1分频时钟的分频时钟发生电路；⑦以由外部供给的上述所定频率的时钟或该所定频率的时钟分频形成的第2分频时钟作为基准，对上述第1分频时钟周期进行计数，检测上述第1分频时钟频率的电路；⑧当检测上述频率电路的检出结果在所定范围以外时，判定上述再生数据为无效的判定电路。上述第2时钟发出电路通过对上述第1再生时钟进行去掉中间部分处理，形成上述第2再生时钟，上述时钟控制电路在上述存储器中所收容的再生数据量小于所定时量时，增加上述去掉中间部分处理中的去掉中间部分量，而当上述再生数据大于所定量时，则使上述去掉中间部分处理中的去掉中间部分量减少。

本发明的信号处理电路的第4特征是具有：①时钟发生电路，它产生与自盘片读取的信息数据双态化后所获得的数据信号相同步的再生时钟；②解调上述数据信号，形成再生数据的数据解调电路；③与上述再生时钟同步地将上述再生数据写入存储器及与系统基准时钟同步地将上述再生数据从存储器读出的存储控制电路；④将上述再生时钟分频，形成第1分频时钟的分频时钟发生电路；⑤利用由外部供给的上述所定频率的时钟或该所定频率的时钟分频形成的第2分频时钟，对上述第1分频时钟的周期进行计数，从而检测上述第1分频时钟的频率的检测电路⑥检测上述频率的电路的检出结果在所定范围以外时，判定上述再生数据为无效的判定电路。

本发明的再生速度检测电路的特征是具有：①分频时钟发生电路，它将与自盘片读取的信息数据进行双态化后所获得的EFM信号相同步的再生时钟进行分频，形成第1分频时钟；②定时脉冲发生电路，它输入上述第1分频时钟及对由外部供给的所定频率的时钟或该所定频率的时钟分频后形成的第2分频时钟，在上述第1分频时钟的下降沿边缘处形成清除脉冲及门锁脉冲；③以上述所定频

率的时钟或第2分频时钟作为时钟，用上述清除脉冲对清除后的上述第1分频时钟的频率进行计数的计数电路；④将来自上述计数电路的输出数据进行编码的编码电路；⑤采用上述门锁脉冲锁定上述编码电路的输出，再把它输出至系统控制器的锁存电路。

本发明中将盘片所记录的信息进行再生的再生方法的第1特征是具有：①自盘片读取信息数据的步骤；②将上述信息数据双态化，形成EFM信号的步骤；③解调上述EFM信号，形成再生数据的步骤；④形成与上述EFM信号同步的第1时钟的步骤；⑤根据上述第1时钟形成第2时钟的步骤；⑥按控制信号，选择所定频率的时钟及上述第2时钟中的任一个，并将所选时钟作为基准时钟的步骤；⑦与上述第1时钟同步地将上述再生数据写入存储器的步骤；⑧与上述基准时钟同步地将上述再生数据从存储器读出的步骤。

本发明中将盘片所记录的信息进行再生的再生方法的第二个特征是具有：①自盘片读取信息数据的步骤；②将上述信息数据双态化，形成EFM信号的步骤；③解调上述EFM信号，形成再生数据的步骤；④发生与上述EFM信号同步的再生时钟的步骤；⑤与上述再生时钟同步地将上述再生数据写入存储器的步骤；⑥与系统基准时钟同步地将上述再生数据从存储器读出的步骤；⑦将上述再生时钟分频，形成第1分频时钟的步骤；⑧以由外部供给的所述频率的时钟或该所定频率的时钟分频后形成的第2分频时钟作为基准，对上述第1分频时钟的周期进行计数，根据计数的结果检测上述第1分频时钟的频率的步骤；而且还具有在上述频率检测构件所检出的频率在所定范围以外时，将上述再生数据判为无效的构成。

当采用由再生时钟形成的、与EFM信号同步的PLL系统时钟(VLOCK)作为信号处理系统的基准时钟时，向存储器写入及从存储器读出的时钟是相同的，因此不会发生存储器的上溢下溢(过存

储)。另外,在使用由 PLL 系统时钟(VCOCK)形成的 PMCK 作为信号处理系统的基准时钟(MCK)时,即使其分频频率变化,也能控制达到所定值,因此不会发生存储器的上溢/下溢(过存储)。再者,若检测盘片的再生速度,其检测结果是在具有电压控制振荡器的 PLL 时钟发生构件锁定其输入数据的保证范围内,则能判断再生数据为有效,因此能够减少盘片再生装置性能的不一致。

图 1 是表示本发明第 1 实施例的盘片再生装置的方框图。

图 2 是第 1 实施例的信号处理电路的方框图。

图 3 是第 2 实施例的信号处理电路的 EFM 解调电路的方框图。

图 4 是第 2 实施例的时钟电路的方框图。

图 5 是第 1 实施例的时钟电路的方框图。

图 6 是第 1 实施例的时钟电路的时序图。

图 7 是说明本发明实施例中形成于半导体芯片上的信号处理电路的同步状态的方框图。

图 8 是第 2 实施例的时钟电路方框图。

图 9 是第 2 实施例的时钟电路的切换及去掉中间部分电路的方框图。

图 10 是第 2 实施例的时钟电路的时序图。

图 11 是图 9 的切换及去掉中间部分电路中的 PMCKG 发生电路的方框图。

图 12 是第 3 实施例的唱盘再生装置的方框图。

图 13 是第 3 实施例的再生速度检测电路的方框图。

图 14 是第 3 实施例的再生速度检测电路的时序图。

图 15 是表示以往的再生时钟与系统基准时钟之间关系的说明图。

图 16 是说明以往检索时的再生时钟变化状况的说明图。

图 17 是表示本发明的信号处理电路的方框图。

图 18 是表示本发明的存储控制电路的方框图。

图 19 说明本发明的 EFM—WT 信号发生的时序图。

图中标号的含义为如下。

- 1 盘片
- 2 盘片马达
- 3 拾波元件(PU)
- 4 RF 电路
- 5 PLL 电路
- 6 信号处理电路
- 7、70 时钟电路
- 8 DAC
- 9 LPF
- 10 伺服控制电路
- 11 系统控制器
- 12 晶体振荡电路(X'tal)
- 61 EFM 解调电路
- 62 存储器
- 63 误差校正电路
- 64 子码解调电路
- 65 输出电路
- 66 存储控制电路
- 71、73 切换及去掉中间部分电路
- 75 去掉中间部分控制电路
- 76 R 帧计数器
- 77 W 帧计数器
- 78 (W—R)运算电路

- 123 时序发生电路
- 124 计数电路
- 125 编码电路
- 126 锁存电路
- 612 同步信号分离、保护及分频电路

以下参见附图说明本发明的盘片再生装置。

首先,说明第1实施例。图1为有关本发明盘片再生装置的方框图。用盘片马达2以一定的线速度(CLV)驱动唱盘1,读取用光学式拾波器(PU)3记录的数据,读取的数据供给RF电路4。RF电路4从光学式拾波器的输出中抽出聚焦误差信号及随纹误差信号,把它们供给伺服控制电路10,同时将再生信号双态化作为EFM信号供给PLL电路5。PLL电路5产生用于读取EFM信号的与EFM信号同步的再生时钟,即作为第1时钟的PLL时钟(VCOCK)。VCOCK的中心频率是EFM信号的位传输速率4.318MHz的4倍,即17.2872MHz、PLL电路与将EFM信号及该PLL时钟(VCOCK)供给信号处理电路6。信号处理电路6进行EFM解调、子码解调,误差校正处理等,其输出作为数字数据被输出,同时供给DAC(数字模拟转换器)8。DAC8的输出通过LPF(低通滤波器)9作为再生音频输出而输出。

在信号处理电路6中的EFM解调电路中,由VCOCK形成PLL帧时钟(PFS)、供给存储器及时钟电路7。

系统控制器11由未图示的微处理器等控制,将再生速度控制信号HS及时钟控制信号SW供给时钟电路7,再将控制工作,停止、曲间检索等的控制及静噪的ON/OFF控制等的控制整个系统的控制信号,供给信号处理电路6及伺服控制电路10。控制信号SW,例如在必须高速再生的图像及字符码等所谓ROM数据再生时,作为高(“H”)电平由系统控制器11输出。在音频数据的场合,必须以

恒定的时钟读出，因此 SW 被保持于低(“L”)电平。对于 ROM 数据及音频数据的盘片上的位置，微处理器能够通过读取盘片内周的 TOC(Table of Contents: 目录表)表，预先进行把握。因此，例如对盘片上的某个位置所记录的 ROM 数据进行存取时，微处理器将控制信号输出至系统控制器 11，使输出“H”电平的 SW，同时使输出让拾被器移向目标位置的信号。

时钟电路 7 根据倍速控制信号(HS)及时钟控制信号(SW)，从由晶体振荡电路(X'tal)13 供给的时钟(XCK)或由 PLL 电路与供给的 PLL 时钟(VCOCK)形成信号处理电路 6 的基准时钟(MCK)，将该 MCK 进行 2304 分频后输出信号处理系统的帧时钟(MFS)。由晶体振荡电路(X'tal)13 给予时钟电路 7 的时钟(XCK)直接被输出作为伺服控制电路的基准时钟(SCK)。

现再参见图 2 说明信号处理电路 6。

信号处理电路 6 具有 EFM 解调电路 61、存储器 62、误差校正电路 63、子码解调电路 64、输出电路 65 及存储控制电路 66。通过 PLL 电路 5 产生用于读取 EFM 信号与 EFM 信号相同步的 PLL 时钟(VCOCK)、供给 EFM 解调电路 61。EFM 信号通过 EFM 解调电路 61 与 PLL 时钟(VCOCK)分离后被 EFM 解调，作为每 1 帧含有子码数据 1 个符号，奇偶数据 32 个符号共 33 个符号的数据被写入存储器(缓冲存储器)62。存储器 62 是用于吸收跳动及误差校正的交错用存储器，具有防振系统的盘片再生装置，另外还设有存储区域。子码解调电路 64 从存储器 62 中读出子码数据，对 Q 数据，进行利用 CRC 的误差检测，并输出至系统控制器。

存储器 62 的输出供给误差校正电路 63，进行 C1、C2 系列的误差校正处理。经误差校正处理完毕的数据再次由存储器 62 读出，供给输出电路 65。输出电路 65，当存在误差校正电路 63 所不能校正的数据时，进行平均值修正处理、噪声处理等，输出作为数据信号。

存储器控制电路 66 将地址信号、芯片启动信号(CE)及读/写(R/W)信号输出至存储器 62。上述地址信号分为以下 4 类。用于将 EFM 解调信号写入存储器 62 的 W 帧地址、用于 C1 系列的误差校正处理、对存储器 62 进行读出及写入时用的 C1 帧地址、用于 C2 系列的误差校正处理、对存储器 62 进行读出及写入时用的帧地址以及用于输出至 DAC,从存储器 62 读出时使用的 R 帧地址。存储控制电路 66 具有配有二个计数器的地址发生电路。一个计数器对再生系统的帧时钟(PFS)进行计数以产生 W 帧地址。另一个计数器对信号处理系统的帧时钟(MFS)进行计数,产生 C1、C2、W 帧地址。

系统控制器 11 的时钟控制信号(SW)在“L”电平时,信号处理系统的基准时钟(MCK)是晶体系统的 XCK,因此通过存储器 62 吸收盘片马达 2 引起的时间轴跳动成分。另外,SW 为“H”电平时,信号处理系统的基准时钟(MCK)是作为第 2 时钟的 PLL 系统的 PM-CK,因此不会通过存储器 62 吸收盘片马达的时间轴跳动成分。因此,存储器 62 在再生速度切换及检索时,即使再生系统的时钟频率与晶体系统的时钟频率有较大的差异,也不会发生过存储。而且,数据输出中,虽含有跳动成分,但由于在 CD-ROM 系统及耐振系统中,数据信号不直接作为音频信号输出,因此即使存在跳动成分也不成问题。

再参照图 3 进一步说明 EFM 解调电路 61。

EFM 解调电路 61 与以 4 分频电路 611 将 VCOCK 进行分频后的时钟(PLLCK,中心频率为 4.3218MHz)同步地读入 EFM 信号,通过处理电路 612 进行同步信号分离及同步信号保护,产生再生系统帧时钟(PFS)。进而,对由上述同步信号分离后的数据进行 EFM 解调。这里所谓同步信号保护,是当同步信号因唱盘伤痕等原因失落、周期发生变动时,保护同步信号以尽量减少异常数据。关于同步信号保护电路,日本的特开昭 58-219828、特开昭 58-220227、

US4453260 已为人们所知。

再进一步说明时钟。

晶体振荡电路(X'tal)以取样频率 44.1KHz 的 384 倍的频率、即 16.9344MHz 进行振荡，产生时钟(XCK)。晶体系统的帧时钟(XFS: 7.35KHz)是在时钟电路 7 中对时钟(XCK)进行 2304 分频而产生。

再生时钟(VCOCK)是根据 EFM 信号由 PLL 电路 5 产生的 PLL 系统的时钟，其中心频率为 17.2872MHz 。EFM 解调电路 61，将 VCOCK 进行 2352 分频，产生用于写入(W)的 PLL 系统的帧时钟(PFS: 平均频率 7.35KHz)。因此，当直接用 PLL 系统的 VCOCK 作为信号处理系统的基准时钟，将该 VCOCK 进行 2304 分频而产生信号处理系统的帧时钟(MFS)，则其频率与水晶系统的帧时钟(XFS)不同。因此，利用 VCOCK 与 XCK 的频率之比为 49 : 48 这一点，从 VCOCK 产生 PMCK 并把它利用来作为 MCK。PMCK 是通过 VCOCK 的 49 个时钟脉冲中，将 1 次时钟脉冲去掉而形成。以该 PMCK 作为信号处理系统的基准时钟，进行 $2304(48 \times 48)$ 分频后的 PFS' 与将 VCOCK 进行 $2352(48 \times 48)$ 分频后的 PFS 相一致，频率为 7.35KHz 。

图 4 是表示时钟电路 7 部分结构的电路图。XCK (16.9344MHz)及 VCOCK (17.2872MHz)输入至时钟电路 7 中的切换及去掉中间部分的电路 71。该切换及去掉中间部分电路 71 具有根据控制信号 SW 选择 XCK, VCOCK 的作用，以及对 VCOCK 进行去掉中间部分处理的作用。分频电路群 72 中，12 分频、16 分频、2 分频及 16 分频电路串连接。这些分频电路的中间输出对于存储器写入/读出以外的信号处理也是必需的，因此必须预先把切换及去掉中间部分电路 71 设置在分频电路群 72 的前级。XCK 直接输出作为伺服控制用的时钟(SCK)。

以图 5 详细说明这种切换及去掉中间部分电路 71。图 6 示出了其工作时序。

晶体振荡电路，用晶体发生 16.9344MHz 的时钟 XCK，输出至选择电路及伺服控制电路 10。由 PLL 电路 5 所产生的 VCOCK 输入至双输入或电路 OR1。系统控制器产生的控制信号 SW 通过反相器 INV 输入至双输入或电路 OR1，其输出被输入至 7 分频电路 A 及移位寄存器 FF1、FF2 的各时钟端子及或电路 OR2。7 分频电路 A 的输出 QA 被输入至 7 分频电路 B，其输出 QB 被输入至 FF1。FF1 的输出被输入至 FF2。FF1 的输出同 FF2 的反相输出被输入至与电路 AND。AND 的输出信号 D49 被输入至 OR2，其输出成为 PMCK。XCK、PMCK 及 SW 分别输入至选择电路的 AO 端、A1 端及 S 端，其输出成为信号处理系统的基准时钟 (MCK)。选择电路在 SW 为“L”电平时，输出 AO 端子的输入，为“H”电平时，则输出 A1 端子的输入。

图 6 表示 SW 为“H”电平时的 PMCK 的发生时序。

因 $\text{SW} = \text{“H”}$ ，OR1 的输出与 VCOCK 相同。7 分频电路 B 的输出 QB 成为 VCOCK 的 49 分频信号。QB 通过 FF1 及 FF2 被输入至与电路 AND，获得输出信号 D49。通过取得 D49 与 OR1 输出之间的 OR，产生 PMCK 信号。PMCK 为在 VCOCK 的 49 个时钟脉冲中，抽去一次中间部分的信号。SW = “L”时，OR1 的输出通常处于“H”状态，因此 7 分频电路 A、B 及 FF1、FF2 不工作。从而能够节省电力消耗。伺服控制电路的基准时钟 (SCK) 不被时钟控制信号 (SW) 所左右，通常为 XCK，因此拾波器及盘片马达的控制特性没有变化。当 SW 由“L”电平切换成“H”电平时，将存储器 62 的跳动吸收用的缓冲区域设定于中心。

下面，就图 7 所示的半导体芯片上所形成的信号处理电路的同步进行说明。该信号处理电路中，通过 PLL 电路与产生与 EFM 信

号同步的作为第 1 时钟的 PLL 时钟(VCOCK),该时钟供给 EFM 解调电路 61。EFM 信号经 EFM 解调电路 61 与同步信号分离后,经 EFM 解调电路 61EFM 解调,写入作为吸收跳动用存储器及误差校正交错用存储器使用的存储器(缓冲存储器)62 中。写入存储器 62 是与由再生系统的 PLL 时钟(VCOCK)所形成的帧时钟(PFS)同步地进行,而读出是与由信号处理系统的基准时钟(MCK)所形成的帧时钟(MFS)同步地进行。存储器 62 的输出供给误差校正电路 63。误差校正处理结束后的数据再次由存储器 62 读出,与帧时钟(MFS)同步地供给输出电路 65、由该输出电路输出作为数据信号。该信号处理系统的基准时钟(MCK)在系统控制器 11 的时钟控制信号(SW)为“L”电平时,是由晶振电路产生的时钟(XCK),而当 SW 为“H”电平时,则是作为从 PLL 时钟(VCOCK)中去掉中间部分而形成的第 2 时钟的再生时钟(PMCK)。如图所示,信号处理电路能够与 PLL 电路一起形成于 1 块半导体芯片上。

另外,该可变频率的基准时钟发生构件(时钟电路)7、伺服控制电路 10 及系统控制器 11 等能形成于 1 块半导体芯片上。

表 1 记载了用于该再生装置的时钟的种类。

[表 1]

时钟种类	时钟控制信号(SW)	
	SW=L 时	SW=H 时
信号处理基准时钟(MCK)	XCK	PMCK
读出帧时钟(MFS)	XFS	PFS'
写入帧时钟	PFS	PFS
伺服控制系统基准时钟(SCK)	XCK	XCK

以往的盘片再生装置中,各电路所使用的时钟与表 1 的 SW = “L”时相同,写入帧时钟(PFS)采用将 VCOCK 直接进行分频后的频率,读出帧时钟(信号处理系统的基准时钟)(MFS)则采用晶体系统的帧时钟(XFS)。SW = “H”时,作为写入帧时钟的 PFS,作为读出帧时钟的 MFS,均采用由去掉中间部分后的 VCOCK 即 PMCK 所产生的帧时钟(PFS')。

上述实施例中,SW = “L”时,设想采用基于外部所供给的一定的时钟(XCK)的帧时钟(XFS)来进行从存储器(缓冲存储器)中的读出,不设选择构件,通常也能实现根据由 PLL 系统的时钟产生的第 2 时钟(PFS')进行从缓冲存储器中读出的系统。也就是说,根据用途的不同,不需要选择构件。

在第 1 实施例的盘片再生装置中,同步信号被正常检测时,由 EFM 解调电路 61 所产生的再生帧时钟(PFS),因 1 帧在 PLLCK 中有 588 位,分频数为 VCOCK 的 $4 \times 588 = 2352$ 分频。因此,当 VCOCK 的频率为 17.2872MHz 时,PFS 的频率为 7.35KHz。另外,信号处理系统读出(R)用的帧时钟(MFS)是将信号处理系统基准时钟(MCK)进行 2304 分频后的频率。SW = “H”时,由 VCOCK 产生 PMCK 并把它作为 MCK。PMCK 是通过从 VCOCK 的 49 个时钟脉冲中去掉 1 时钟脉冲而形成的,因此,PMCK 的 2304($=48 \times 48$)分频的频率是与 VCOCK 的 $49 \times 48 = 2352$ 分频的频率相一致(PMCK 的 48 个时钟脉冲相当于 VCOCK 的 49 个时钟脉冲)。于是,PFS 与 MFS 的频率就变得一致。就是说,存储器 62 的写入和读出的速度相同,因而不会发生过存储。

但是,由于盘片受伤等引起的同步信号失落及振动冲击引起的同步信号发生异常等,同步信号未被正常检测时,再生帧时钟(PFS)的频率将变得异常。就是说,1 帧在 PLLCK 中不能达到 588 位,从而 PFS 的频率不能达到 VCOCK 的 2352 分频。

因此，存储器 62 的写入和读出速度不相同，发生过存储，输出数据出现误差的问题。

参照图 8—图 10 说明解决这类问题的另一个实施例。该实施例的时钟电路 70 具有切换及去掉中间部分电路 73、分频电路群 74 及去掉中间部分控制电路 75。支掉中间部分控制电路 75 具有读出(R)帧计数器 76、写入(W)帧计数器 77 及(W-R)运算电路 78。(图 8)。切换及去掉中间部分电路 73 根据控制信号 SW 选择输入的 XCK、VCOCK 中的任一个，选 VCOCK 作为信号处理系统的基准时钟(MCK)，按去掉中间部分控制电路 75 所给的控制信号 DP、DM 进行去掉中间部分处理。分频电路群 74 具有多个分频电路，由信号处理系统的基准时钟(MCK)产生其帧时钟(MFS)。

R 帧计数器 76 是将 MFS 作为时钟的计数器，产生以帧单位从存储器读出数据时的读出地址。

帧计数器 77 是将 PFS 作为时钟的计数器，产生以帧单位将数据写入存储器时的写入地址。

(W-R)运算电路 78 计算 W 帧计数器 77 的值与 R 帧计数器 76 的值之差，即计算存储器的写入地址/读出地址之差，根据地址差 N 的值产生控制信号 DP、DM。

存储器的写入地址比读出地址通常要先行。例如，存储器的跳动吸收量为 12 帧时，写入地址通常比读出地址要前 6 或 7。因此，地址差 N 的值通常为 6 或 7。

控制信号 DP、DM 根据地址差 N，例如，如下所示产生。

控制信号 DP: N=1~3 时设置(H)、

N=7~12 时复位(L)

控制信号 DM: N=10~10 时设置(H)

N=1~6 时复位(L)

因此，由于同步信号的异常，再生帧时钟(PFS)的分频数由VCOCK 的 2352 分频发生变动，PFS 的频率变得低于 MFS 时，写入存储器的速度变慢，地址差 N 的值变小。当 N 从 6 减少到 3 时，DP="H"。这时，时钟电路 70 控制 MFS 的分频数以使频率变低。于是，当 H 的值增加到达 7 时，DP="L"，时钟电路 70 使 MFS 的分频数返回通常状态。

相反，当 PFS 的频率变得高于 MFS 时，写入存储器的速度加快，地址差 N 的值变大。N 从 6 增加到 10 时，DM="H"。此时，时钟电路 70 控制 MFS 的分频数以使频率变高。于是，N 的值也减小，到达 6 时，DM="L"，时钟电路 70 使 MFS 的分频数返回通常状态。

再详细说明去掉中间部分的控制。

PMCK 根据控制信号 DP、DM 如下产生。

(1)DP="L"、DM="L"时

PMCK 是通过在 VCOCK 的 49 个时钟脉冲中将 1 时钟脉冲进行间拔(去掉中间部分处理)后产生。此时，PMCK 的 48 个时钟脉冲的周期与 VCOCK 的 49 个时钟脉冲的周期相同。

把该 PMCK 作为信号处理系统的基准时钟进行 $2304(=48 \times 48)$ 分频，同等于在 VCOCK 中进行 $49 \times 48 = 2352$ 分频、MFS 的频率为 7.35KHz ，与通常频率一致。

(2)DP="H"、DM="L"时

PMCK 通过 在 VCOCK 的 49 个时钟脉冲中将 2 个时钟脉冲进行间拔后产生。此时，PMCK 的 48 个时钟脉冲的周期与 VCOCK 的 50 个时钟脉冲的周期相同。

把该 PMCK 作为信号处理系统的基准时钟进行 $2304(=48 \times 48)$ 分频，同等于在 VCOCK 中进行 $50 \times 48 = 2400$ 分频，MFS 的频率为 7.20MHz ，比通常频率低。

(3) DP="L", DM="H"时

PMCK 定为 VCOCK。此时, PMCK 的 48 个时钟脉冲的周期当然与 VCOCK 的 48 个时钟脉冲的周期相同。

把该 PMCK 作为信号处理系统的基准时钟进行 $2304 (=48 \times 48)$ 分频, 同等于在 VCOCK 中进行 $48 \times 48 = 2304$ 分频, 因此, MFS 的频率为 7.50KHz, 比通常频率高。

图 9 表示切换及去掉中间部分电路的结构。

晶体振荡电路产生的 16.934MHz 时钟(XCK)输出至选择器。PLL 电路与产生的 VCOCK 及系统控制器 11 的控制信号 SW 输入至双输入与电路 AN1, 其输出被输入至 7 分频电路 A 及移位寄存器 FF1、FF2 的各个时钟端及或电路 OR1。7 分频电路 A 的输出 QA 输入至 7 分频电路 B, 7 分频电路 B 的输出 QB 输入至 FF1。FF1 的输出输入至 FF2。

QB、FF1 的 Q 输出、FF2 的 Q 输出以及上述(W-R)运算电路 78 的输出信号 DP、DM 被输入至 PMCKG 发生电路, 其输出 PMCKG 输入至 OR1。OR1 的输出成为 PMCK。

XCK、PMCK、SW 分别被输入至选择电路的 AO 端、A1 端及 S 端, 其输出为 MCK。选择电路, 当 SW 为 "L" 时, 其 AO 端输入被输出, 当 SW 为 "H" 时, 其 A1 端输入被输出。

图 11 为 PMCKG 发生电路的详细图。FF1 的 Q 输出和 FF2 的 /Q 输出(/Q 是 Q 输出的反相)被输入至与电路 AN2。其输出被加至选择器的 A 输入端。FF2 的 /Q 输出及 7 分频电路 B 的输出 QB 均被输入至与电路 AN3, 其输出被加至选择器的 B 输入端。通常, "L" 信号被加至选择器的 C 输入端。选择器在 DP="L"、DM="L" 选择 A 输入、DP="H"、DM="L" 时选择 B 输入、DP="L"、DM="H" 时选择 C 输入以作为 PMCKG 输出。

图 10 表示控制信号 SW 为 "H" 时的 PMCK 产生时序。

SW = “H”, 因此 AN1 的输出与 VCOCK 相同。7 分频电路 B 的输出 QB 变为 VCOCK 的 49 分频信号。通过 FF1、FF2 将 QB 移位获得 FF1Q、FF2Q。

PMCKG 根据控制信号 DP、DM, 由 PMCKG 发生电路如下产生。通过取得 PMCKG 信号和 VCOCK 的或产生 PMCK。

(1) DP = “L”、DM = “L”时

$$\text{PMCKG} = \text{FFQ1} \cdot (\text{FFQ2})$$

即, PMCK 是在 VCOCK 的 49 个时钟脉冲中, 间拔一个时钟脉冲。

(2) DP = “H”、DM = “L”时

$$\text{PMCKG} = \text{QB} \cdot (\text{FFQ2})$$

即, PMCK 是在 VCOCK 的 49 个时钟脉冲中间拔 2 个时钟脉冲。

(3) DP = “L”, DM = “H”时

$$\text{PMCKG} = \text{“L”}$$

即, PMCK 与 VCOCK 相同。

SW = “L”时, AN1 的输出通常为“L”, 因而 7 分频电路 A、B 及 FF1、FF2 均不工作能够节约电力。

另外, 伺服控制电路的基准时钟与控制信号 SW 无关, 通常为 XCK, 因此拾波器及盘片马达的控制特性没有变化。

控制信号 SW 由“L”变称成“H”时, 把存储器 62 的跳动吸收用的缓冲区域设于中心。

如上说明, 若利用该实施例, 则系统控制器 11 的输出 SW 为“L”是与以往相同的盘片再生装置, 而 SW 为“H”时, 则由于从 PLL 系统的时钟产生信号处理系统的时钟, 因此在再生速度切换时及检索时, 在盘片马达到达所定速度之前的过渡期间, 不会发生存储器 62 的过存储(上溢/下溢)。

即使因盘片受伤等引起同步信号的失落及因振动冲击引起同步信号发生异常，从而导致同步信号未被正常地检测，再生帧时钟(PFS)的分频数发生变动，存储器 62 的写入地址和读出地址的差也变动，但信号处理系统的帧时钟(MFS)的分频数也与地址差相应变动，因此不会发生过存储。从而，再生数据的中断期间短，在盘片马达到达所定速度之前就可获得再生数据。能对防振系统及 CD-ROM 系统等盘片提供处理速度快且极为有效地盘片再生装置。

以往例及本发明的第 1 及第 2 实施例中说明的盘片再生装置中，PLL 电路锁定于输入的数据，在能读取数据后，交错、误差校正处理所必需的数据被写入存储器，而一旦被写入就能输出再生数据。可是，PLL 电路的锁定范围因构成该 PLL 电路的电压控制振荡器(VCO)的不一致而对每一个形成盘片再生装置的信号处理系统的 LSI 而言，均存在差异。因此，再生速度切换时或检索时的选取时间(获得有效再生输出为止的时间)随盘片再生装置而不同。例如，由于 VCO 的不一致，PLL 电路的锁定范围以 $\pm 25\% \sim \pm 40\%$ 发生离散。此时，采用在 $\pm 40\%$ 的范围内锁定的 PLL 电路的整机的选取时间采用在 $\pm 25\%$ 的范围内锁定的 PLL 电路的整机的选取时间快。但是，PLL 在 $\pm 40\%$ 锁定，即使能读取数据，但盘片的旋转数在变动，因此盘片马达的振动变大，由拾波器读取的信号中误差增多，其结果是导致输出数据中的差错率变坏。

这种事态将在盘片再生装置的制造上，利用 PLL 电路的盘片再生装置的整机性能发生不一致。因而，在第 3 实施例中，用 PLL 时钟等作信号处理系统的基准时钟的盘片再生装置，采用检测盘片再生速度的构件及根据检测结果判断再生数据是否有效的构件。若检测盘片的再生速度的结果在 VCO 的锁定保证范围内，则可判断再生数据有效。例如，为了抑制整机间的选取时间的不一致，锁定保证范围设定为 $\pm 25\%$ 时，使用锁定能力为 $\pm 40\%$ 的 PLL 电路，

即使 PLL 电路在偏离中心频率(如 35%)锁定时,也将使再生数据强制性地变为无效。这样,就可以使整机间的选取时间和差错率的不一致趋于一致。

下面,参照图 12、图 13 及图 14 说明该第 3 实施例。图 12 是盘片再生装置的方框图。图中,和第 1 实施例相同,用盘片马达 2 驱动盘片 1,通过光学式拾波器 3 读取被记录的数据,所读取的数据供给 PF 电路 4。PF 电路 4 从光学式拾波器 3 的输出抽出聚焦误差信号及随纹误差信号,供给伺服控制电路 10,同时,将再生信号双态化,作为 EFM 信号供给 PLL 电路 5。PLL 电路 5 产生与用于读取 EFM 信号的 EFM 信号相同步的 PLL 时钟(VCOCK),供给再生速度检测电路 12 及时钟电路 7。VCOCK 的频率为 EFM 信号的位传输速率 4.3218MHz 的 4 倍,即 17.2872MHz。EFM 信号读取时钟是用 EFM 解调电路将 VCOCK 进行 4 分频、2 倍速再生时进行 2 分频而生成。

信号处理电路 6 进行 EFM 解调、子码解调、误差校正处理,其输出作为数字数据输出,同时供给 DAC(数字模拟转换器)8。DAC8 的输出通过 LPF(低通滤波器)9 输出作为再生音频输出。

系统控制器 11 将再生速度控制信号(HS)及时钟控制信号(SW)供给时钟电路 7。同时将控制整个系统(工作,停止、曲间检索等控制及静噪的 ON/OFF 控制等)的控制信号供给信号处理电路 6 及伺服控制电路 10。特别是在信号处理电路中的静噪 ON/OFF 控制是系统控制器根据来自再生速度检测电路 12 的检测结果进行的。时钟电路 7 输出作为伺服控制电路 10 的基准时钟(SCK)的晶体系统时钟(XCK)以及信号处理电路 6 的基准时钟(MCK)。晶体系统的时钟(XCK)还供给再生速度检测电路 12。再生速度检测电路 12 通过用对晶体系统时钟(XCK)分频后的频率,对 PLL 系统时钟(VCOCK)分频后的频率进行计数,检测上述 PLL 系统时钟的频

率，并将其结果输出至系统控制器 11。系统控制器 11，根据频率检测结果，判断数据输出的有效/无效，作为标记输出，输出有效/无效标记信号 FS。当判断为无效时，则例如对信号处理电路 6 输出静噪 ON 的控制信号。

信号处理电路 6 的工作原理与第 1 实施例相同，参照图 2 说明。

通过 PLL 电路与产生与 EFM 信号同步的 PLL 时钟 (VCOCK)，供给 EFM 解调电路 61。EFM 信号经 EFM 解调电路 61 与同步信号分离之后被 EFM 解调，形成每 1 帧含有子码数据 1 符号，奇偶数据 32 符号，共计 33 符号的数据被写入存储器(缓冲存储器)62。存储器 62 是吸收跳动及误差校正的交错用存储器。以帧为单位，与将 PMCK 分频后的再生系统 PLL 时钟(PFS)同步地向存储器(图中存储器)62 写入的，并以帧为单位，与信号处理系统的基准时钟(MCK)同步地进行读出。存储器 62 的输出供给误差校正电路 63，进行 C1、C2 系列的误差校正处理。误差校正处理结束后的数据再次由存储器 62 读出，供给输出电路 65。输出电路 65，在存在误差校正电路 63 所无法修正的数据时，则对其进行平均值补正处理、静噪等处理、再输出作为数据信号。

系统控制器的时钟控制信号(SW)为低电平(L)时，信号处理系统的基准时钟(MCK)为晶体系统的 XCK，因此通过存储器 62 吸收因盘片马达 2 引起的时间轴跳动成分。另外，SW 信号为高电平(H)时，信号处理系统的基准时钟(MCK)为 PLL 系统的 PMCK，因此不通过存储器吸收盘片马达的时间轴跳动成分。所以，存储器 62 在再生速度切换时及检索时，再生系统的时钟频率与晶体系统的时钟频率即使有较大差异也不会发生过存储。

再参见图 13 及图 14 详细说明再生速度检测电路 12。图 13 表示再生速度检测电路的结构方框图。图 14 表示其时序图。输入至图 12

及图 13 所示再生速度检测电路 12 的 XCK 是晶体振荡器的输出、是晶体系统 16.9344MHz 时钟。该 XCK 被输入至 48 分频电路 121。分频电路 121 的输出(CCK)是 352.8KHz 时钟，输出至时序发生电路 123 及计数器 124。同样，输入至再生速度检测电路 12 的 VCOCK 是 PLL 电路 5 的输出，盘片以规定速度(1 倍速或 2 倍速等)旋转时，是中心频率 17.2872MHz 的时钟。VCOCK 输入至 2352 分频电路 122。分频电路 122 的输出(PCK)是中心频率 7.35KHz 的时钟、被输入至时序发生电路 123。在时序发生电路 123 中，输入 CCK 及 PCK，因此，PCK 的下降沿边缘处产生清除脉冲(CL)、开锁脉冲(LP)，分别输出至计数器 124、锁存电路 126。计数器 124 是以 CCK 为时钟的 7 倍计数器，用 CL(清除脉冲)清除。并且，检出计数值 96 后予以保存。

编码器 125 将计数器 124 的 7 倍数据 N 编码成 4 位数据 M。锁存器 126 是 4 位的锁存器，通过开锁脉冲(LP)锁定编码器 125 的输出 M，再输出至系统控制器 11。以规定速度进行再生时，PCK 的频率为 7.35KHz，因此 LP 信号发生时的计数器 124 的值 N 为 $(352.8/7.35) - 1 = 47$ 。另外，PCK 的频率 $f(\text{KHz})$ 与计数器的值 N 之间的关系可用式 $f = 352.8/(N+1)$ 表示。编码值 M、计数值 N、PCK 的频率 f 及对中心频率的偏差 D 的关系例如为表 2 所示。

表 2

M	N	f(KHz)	D(%)
0	0~33	~10.1	~37
1	34~35	10.1~9.5	37~30
2	36~37	9.5~9.0	30~23
3	38~39	9.0~8.6	23~17
4	40~41	8.6~8.2	17~12
5	42~43	8.2~7.8	12~7
6	44~45	7.8~7.5	7~2
7	46~47	7.5~7.2	2~-2
8	48~51	7.2~6.7	-2~-9
9	52~55	6.7~6.2	-9~-16
10	56~59	6.2~5.8	-16~-21
11	60~63	5.8~5.4	-21~-26
12	64~79	5.4~4.3	-26~-41
13	80~95	4.3~3.6	-41~-51
14	96~	3.6~	-51~

被锁存器 126 锁定的编码器 125 的输出 M 作为再生速度检测电路 12 的检测结果供给系统控制器 11, 系统控制器 11 根据此结果判断数据输出的有效/无效, 判断为无效时, 对信号处理电路 6 输出静噪 ON 的信号。

信号处理电路 6, 在误差校正电路 63 中存在不能校正的数据时, 输出上述静噪 ON 信号, 进行静噪处理。例如, 假设 PLL 电路中的 VCO 振荡相对中心频率保证被锁定于 $-25\% \sim +25\%$ (D) 的范围内, 则再生速度检测电路的检测结果 (N) 只要使 3~10 的范围的数据设为有效即可。

另外, 第 3 实施例适用于上述第 1 实施例的盘片再生装置, 而

本发明并不仅仅适用于这种再生装置。例如，也适用于上述的第 2 实施例的盘片再生装置及发明者等在先提出过的(特愿平 4-359941 号)盘片再生装置，即为了在盘片马达到规定速度之前的地渡期间，防止用于跳动吸收及误差校正等交错的缓冲存储器的过缓冲，采用以帧为单位管理存储器的地址，根据写入地址与读出地址的差来切换系统基准时钟的构件的盘片再生装置。由于本发明适用于这种装置，能够使再生速度切换时或检索时的选取时间均一化，因而能提供整机间一致性好的盘片再生装置。另外，可以适当组合这些盘片再生装置，使本发明适用于将第 1 实施例的盘片再生装置与第 2 实施例的盘片再生装置相组合所形成的盘片再生装置。

下面，参见图 17 说明根据本发明在一块半导体芯片上所形成的信号处理电路。

在一半导体芯片上、形成 PLL 电路 6S、时钟发生电路 11S 及信号处理电路 7S。在信号处理电路 7S 中，形成 EFM 解调电路 21S、缓冲存储器 22S、误差校正电路 23S、子码解调电路 24S 及输出电路，并与数据总线相连接。缓冲存储器 22S 由存储控制电路 26S 通过地址信号、地址选通信号及读/写信号等控制信号所控制。时钟发生电路 11S 也可以是根据本发明第 1 实施例的时钟发生电路 11 或者是根据第 2 实施例的时钟发生电路 110。该半导体芯片上还形成有 DAC 接口电路 9S。由时钟形成电路产生的时钟信号(MFS、WDCK、LRCK、BCK)供给该电路。这些时钟信号通过输出端供给 DAC9，用于 DAC9 中的信号处理。除了这些电路外，本发明第 3 实施例的速度检测电路也形成在该半导体芯片上。而且，还能够在同一半导体芯片上形成伺服控制电路、系统控制器、CLV 电路、数字滤波器、DAC 及其他接口电路。

EFM 解调电路 21S 根据同步图象的检测产生开锁脉冲(EFMLP)。与时钟 VCOCK 同步的 EFM 数据中因含有同步图象，

因此该门锁脉冲与时钟 VCOCK 相呼应。与 EFMLP 相呼应、EFM 解调电路锁定经解调过的 EFM 数据。

再参照图 18 详细说明存储控制电路 26。存储控制电路 26 包括第 1 选择器 201、或门 202、W1 计数器 203、R1 计数器 204；第 2 选择器 205、W2 计数器 206、ROM207 以及第 3 选择器 208。EFM 解调电路 21S 和误差校正电路 23S 的输出分别加入至第 1 选择器 201 的第 1 输入(A)和第 2 输入(B)。第 1 选择器 201 的输出作为写数据被加至缓冲存储器 22S。控制解调后的 EFM 信号写入的 EFM—WT 信号被加至第 1 选择器 201 的控制输入端(S)。EFM—WT 信号同误差校正电路 23S 中产生的 ERR、CORR—WT 信号被加至或门 202，该或门的输出信号被加至缓冲存储器 22S 的写/读控制输入端(W/R)。时钟 PFS 和 MFS 分别被加至 W1 计数器 203 和 R1 计数器 204，这些计数器的输出作为帧地址通过第 2 选择器 205 加至缓冲存储器。门锁脉冲(EFMLP)被加至 W2 计数器 206。W2 计数器 206 和 ROM207 的输出分别被加至第 3 选择器 208 的第 1 输入(A)和第 2 的输入(B)。第 3 选择器的输出作为符号地址加至缓冲存储器 22S。

解调后的 EFM 数据收容于缓冲存储器时，第 1、第 2 及第 3 选择器(201、205 及 208)根据作为控制输入的“H”EFM—WT 选择那些选择器中的第 1 输入(A)。结果，W1 计数器 203 的输出作为帧地址、W2 计数器 206 的输出作为符号地址被加至缓冲存储器 22S。

校正后的符号收容于缓冲存储器时，第 1、第 2 及第 3 选择器(201、205 及 208)根据作为控制输入的“L”EFM—WT 选择那些选择器中第 2 输入(B)。结果，R1 计数器 204 的输出作为帧地址、ROM207 的输出作为符号地址被加至缓冲存储器 22S。

R1 计数器 204 的输出在读出缓冲存储器 22S 内的数据时，也作为帧地址使用。另外，ROM207 的输出作为此时的符号地址被使用。

解调后的 EFM 数据或校正过的符号收容于缓冲存储器 22S 时,“H”电平信号通过或门 202 被加至写/读控制输入端(W/R)。

图 19 是说明解调后的 EFM 信号至缓冲存储器的 EFM—WT 信号发生的时序图。

存储控制电路 26 中, EFM—WT 信号与[为了能将门锁脉冲(EFMLP)及与之相继的解调后的 EFM 数据写入的]存储器存取期间“W”相对应而产生。存储器存取期间可划分为 4 个期间。1 个用于写入解调后的 EFM 数据。其他 3 个期间分别用于误差校正前的读出、误差校正后的写入及误差校正后的再生数据的读出。

现对缓冲存储器的存取进行详细说明。缓冲存储器的存取有以下 6 种。

存取 1: EFM 解调数据的写入……32 符号/帧

存取 2: C1 校正前的读出……32 符号/帧

存取 3: 有误差符号的校正

有误差符号的读出……2 符号/帧

已校正的符号的写入……2 符号/帧

存取 4: C2 校正前的读出……28 符号/帧

存取 5: 有误差符号的校正

有误差符号的读出……3 符号/帧

已校正的符号的写入……3 符号/帧

存取 6: 应输出的再生数据的读出……24 符号/帧

ERR. CORR. —WT 信号对应于上述存取 3 及存取 4 中被校正过的符号的写入, 由误差校正电路 23S 产生。

上述所有的存取均在与信号处理系统的帧时钟同步的存储器存取期间中进行的。即, 在图 19 中段所表示的存取期间是对应于信号处理系统的帧时钟(MFS)而划分的。解调后的 EFM 信号至缓冲存储器的写入是被分摊于该划分期间中的允许期间(图 17 的存储器存

取期间内的“W”期间)。如图 17 所示,控制解调后的 EFM 信号写入缓冲存储器的 EFM—WT 信号也对应于根据再生系统的基准时钟(VCOCK)产生的门锁脉冲(EFMLP)而形成。从而,“存取 1”对应于再生系统的基准时钟(VCOCK)及再生系统的帧时钟(PFS)。这就是解调后的 EFM 数据写入缓冲存储器的动作要与再生系统的时钟同步进行的理由。另外,即使同样写入,误差校正结束后的数据(符号)的写入也与信号处理系统的时钟相同步地进行。

本发明利用上述结构,系统控制器的输出 SW 处于 L 电平时,为以往一样的盘片再生装置,而当 SW 处于 H 电平时由再生时钟形成的 PLL 系统的时钟产生信号处理系统的基准时钟,因此,在再生速度切换时及检索时盘片马达在到达所定速度前的过渡期间内,不会发生存储器的过存储(下溢/上溢)。所以,再生数据的中断时间短,在盘片马达未到达所定速度之前,就可以获得再生数据。能对防振系统及 CD—ROM 系统等盘片,提供存取速度快、极为有效的盘片再生装置。

即使因盘片受伤引起的同步信号失落及因循迹跳跃引起的同步信号发生异常,使同步信号不能正常检出、再生帧时钟的分频数发生变动、存储器的写入地址和读出地址的差发生变动,但由于信号处理系统的帧时钟的分频数随地址差而变动,因此不会发生过存储。从而,再生数据的中断期间短,从盘片马达到达所定速度之前,就可以得到再生数据。能对防振系统及 CD—ROM 系统等盘片,提供存储速度快、极为有效的盘片再生装置。

而且,若检测盘片的再生速度后,其检测结果是在 VCO 的锁定保证范围内,则通过判断再生数据为有效,可以减小盘片再生装置性能的不一致,能够使再生速度切换时或检索时的选取时间均一化,从而提供整机间一致性好的盘片再生装置。

说明书附图

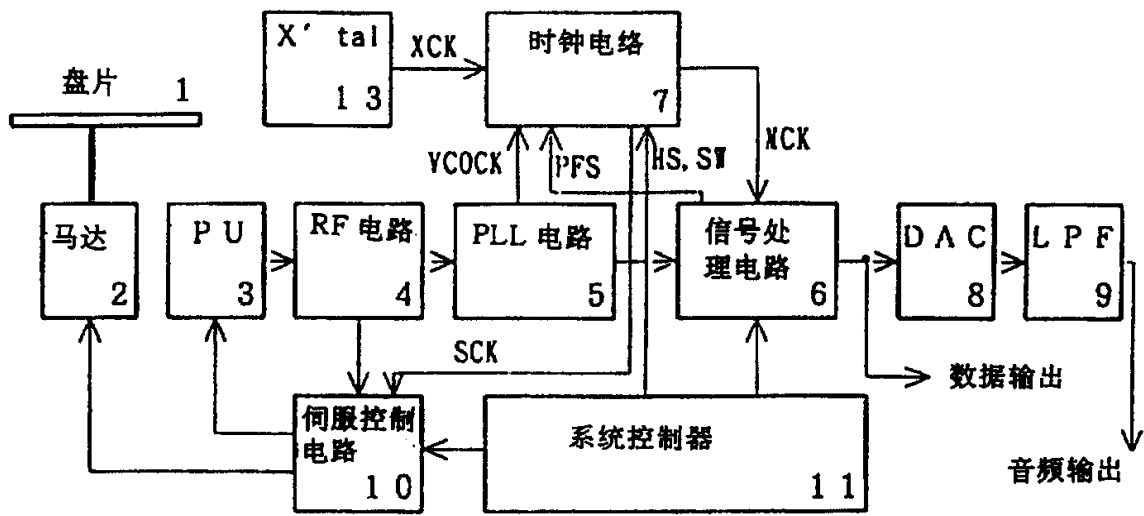


图 1

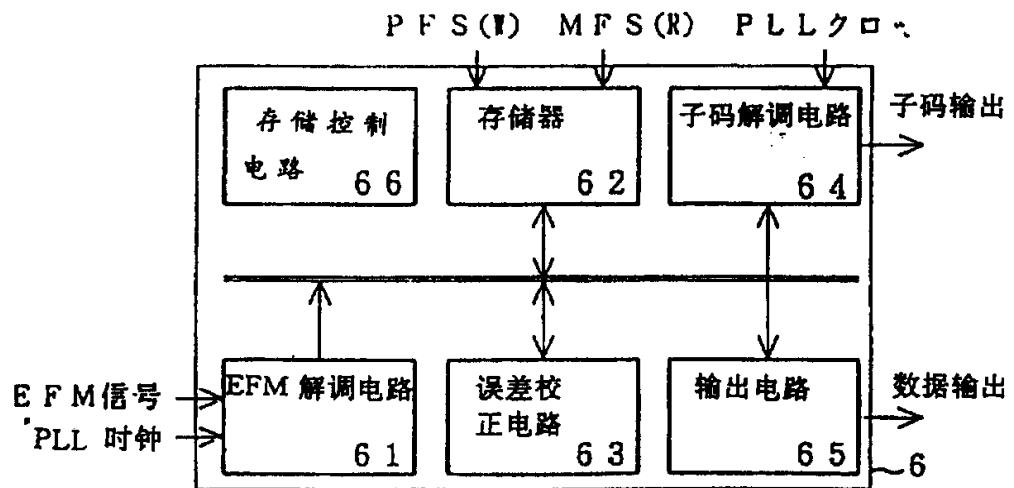


图 2

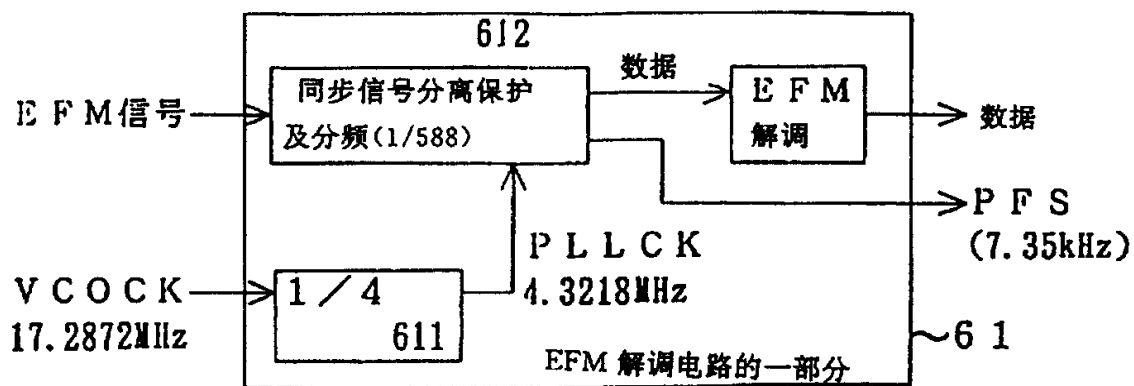


图 3

【图 4】

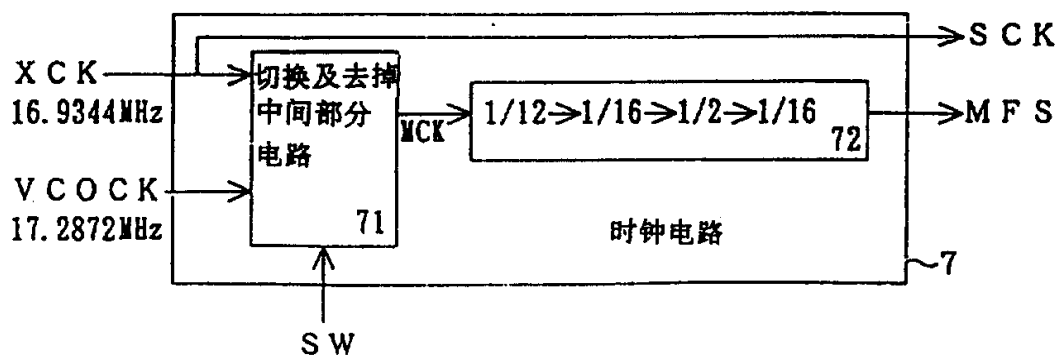


图 4

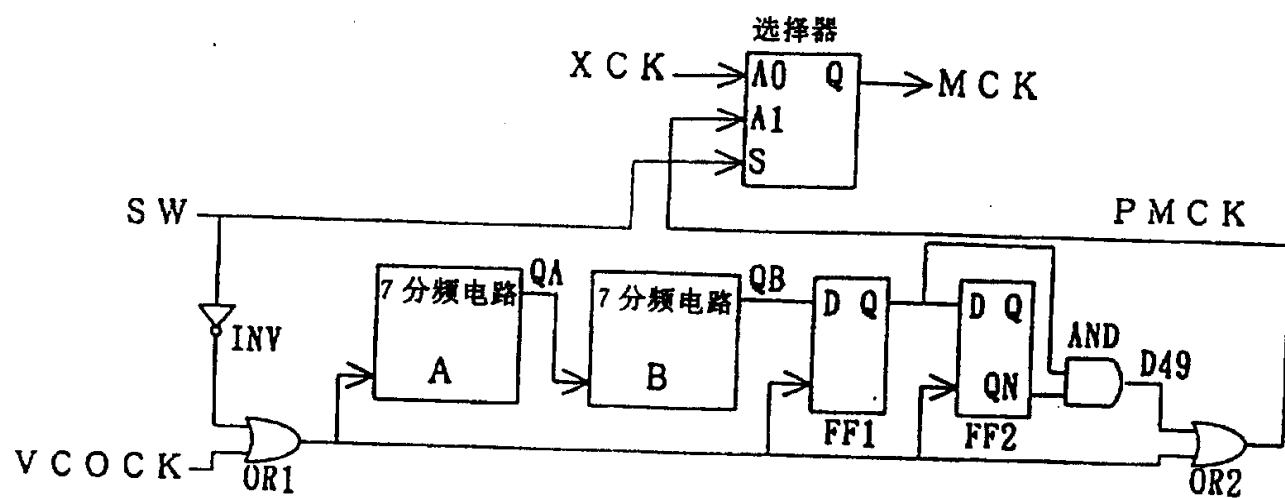


图 5

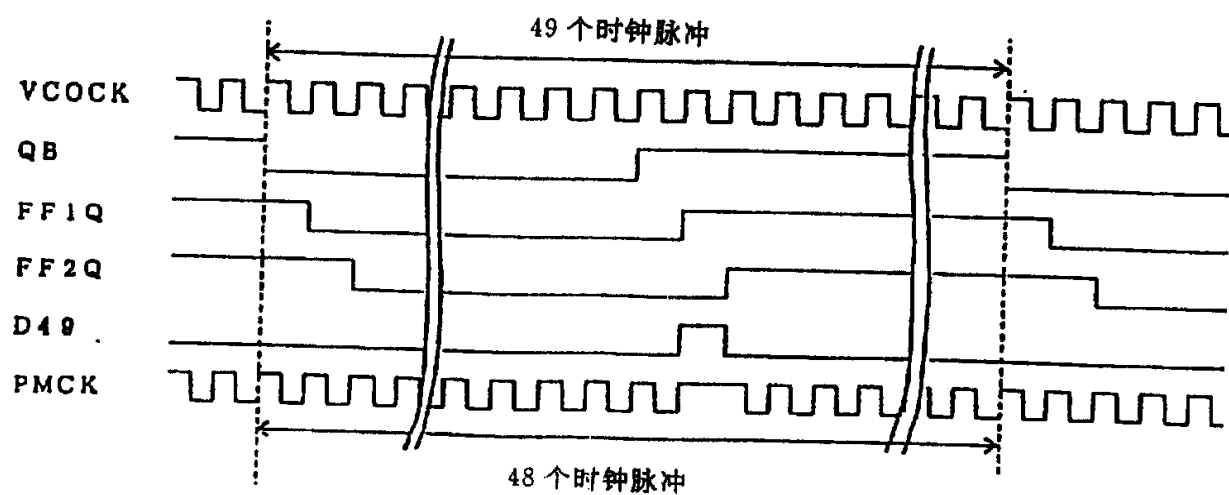
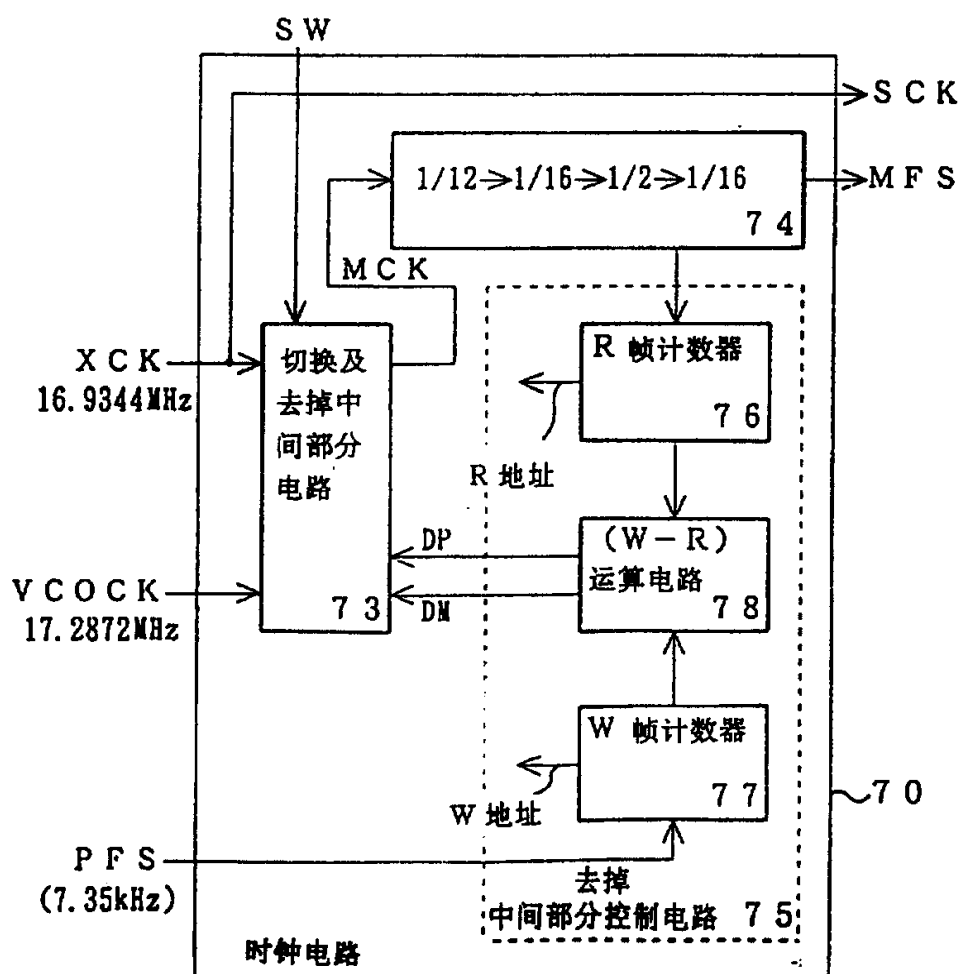
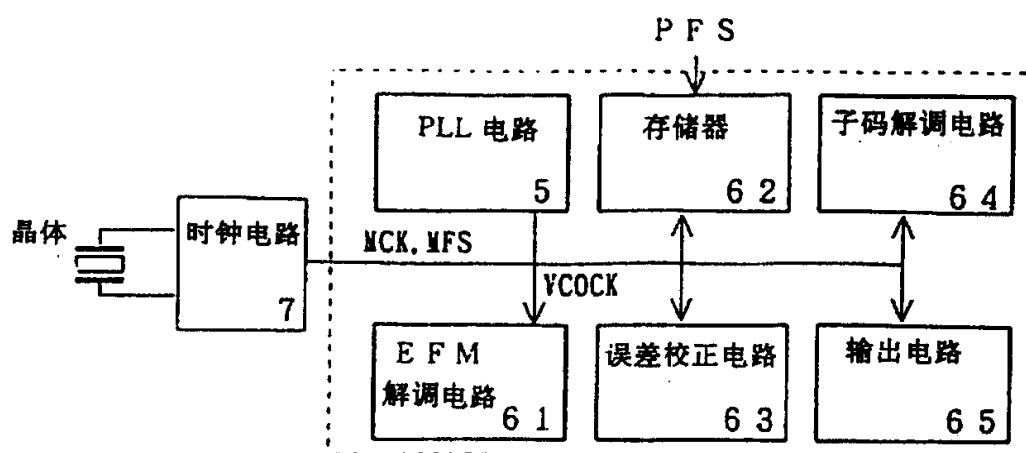


图 6



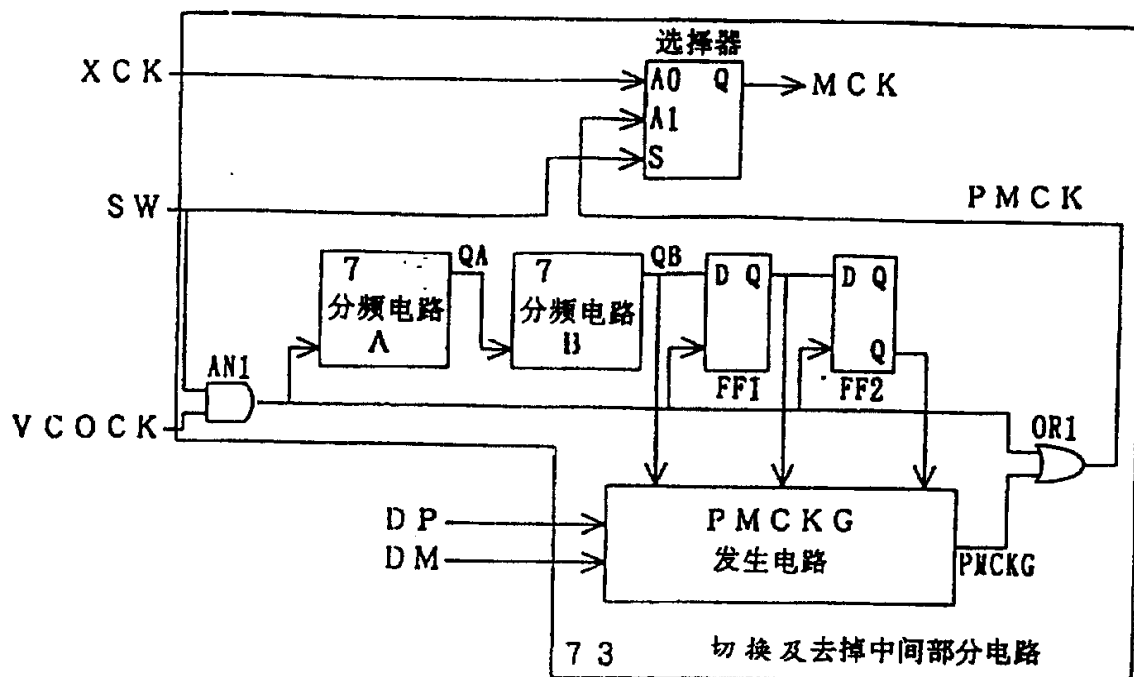


图 9

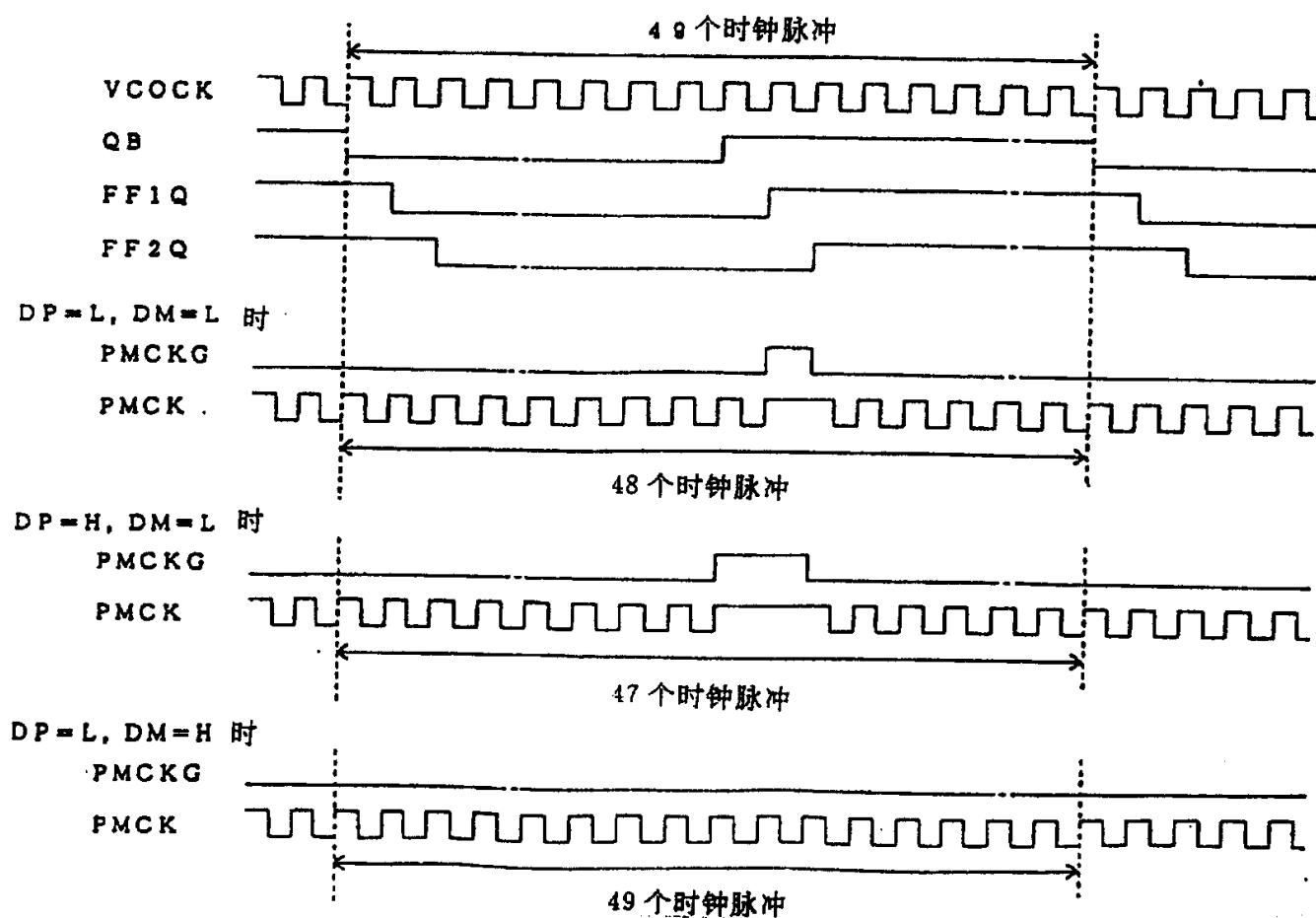


图 10

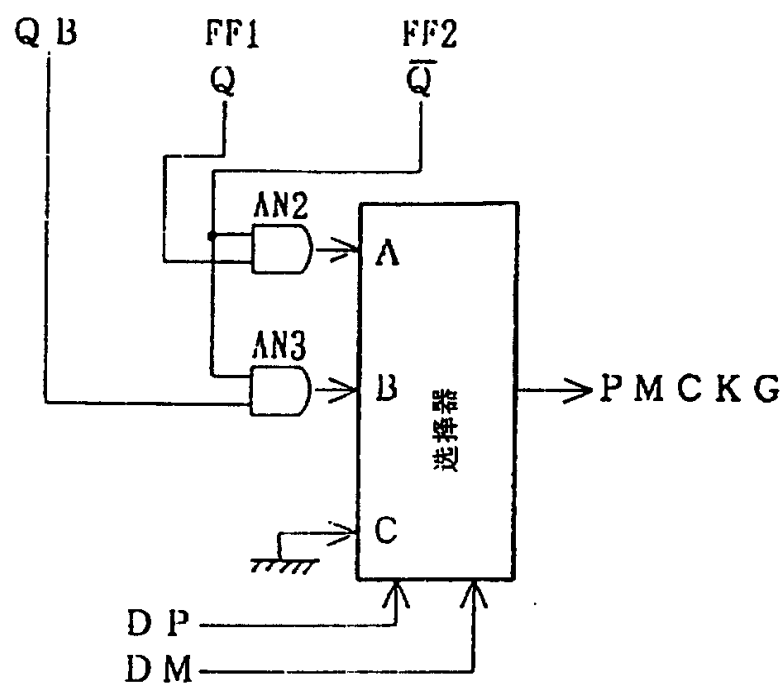


图 11

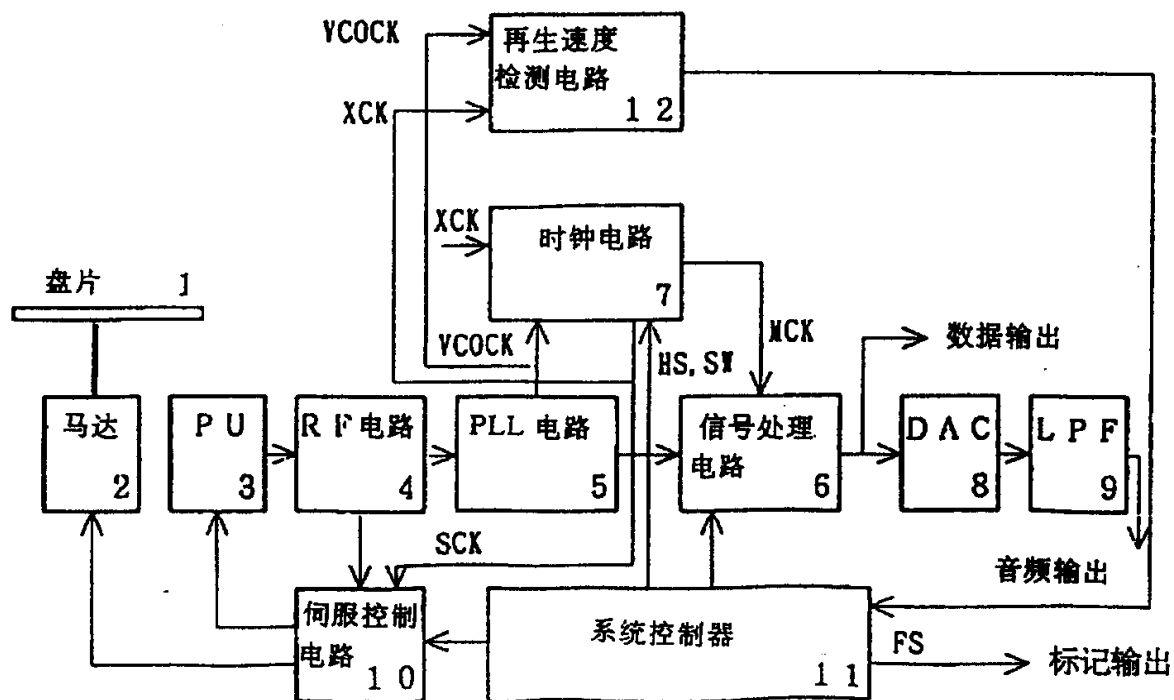


图 12

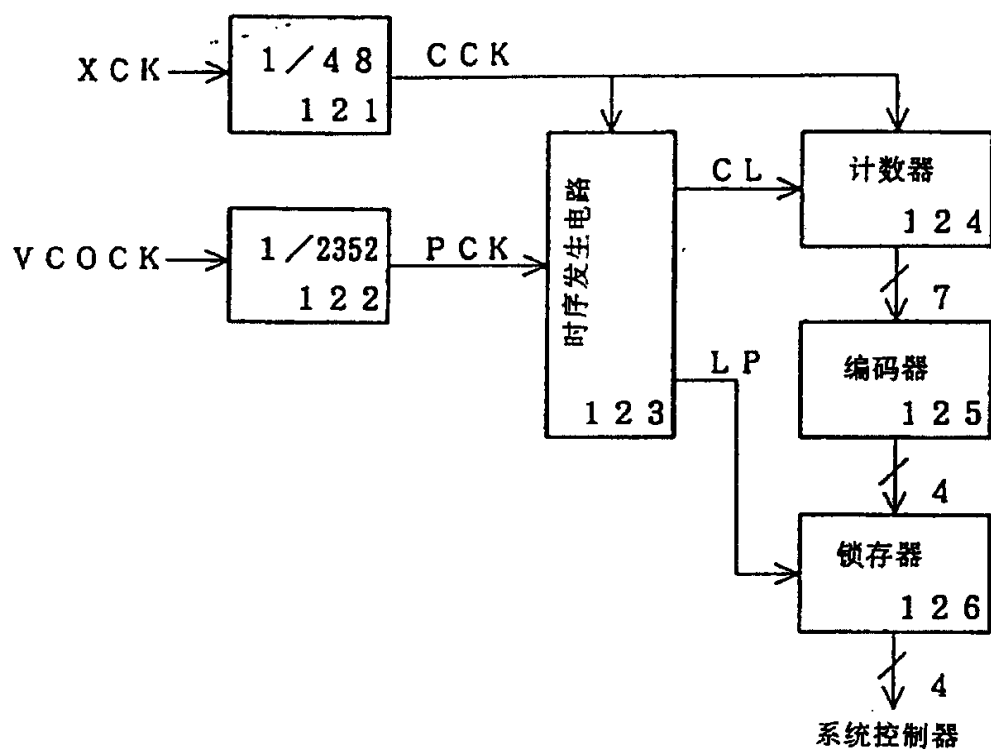


图 13

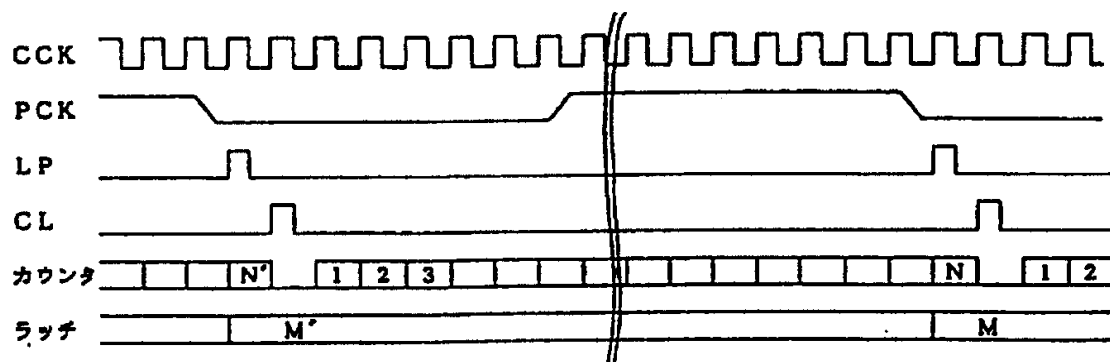


图 14

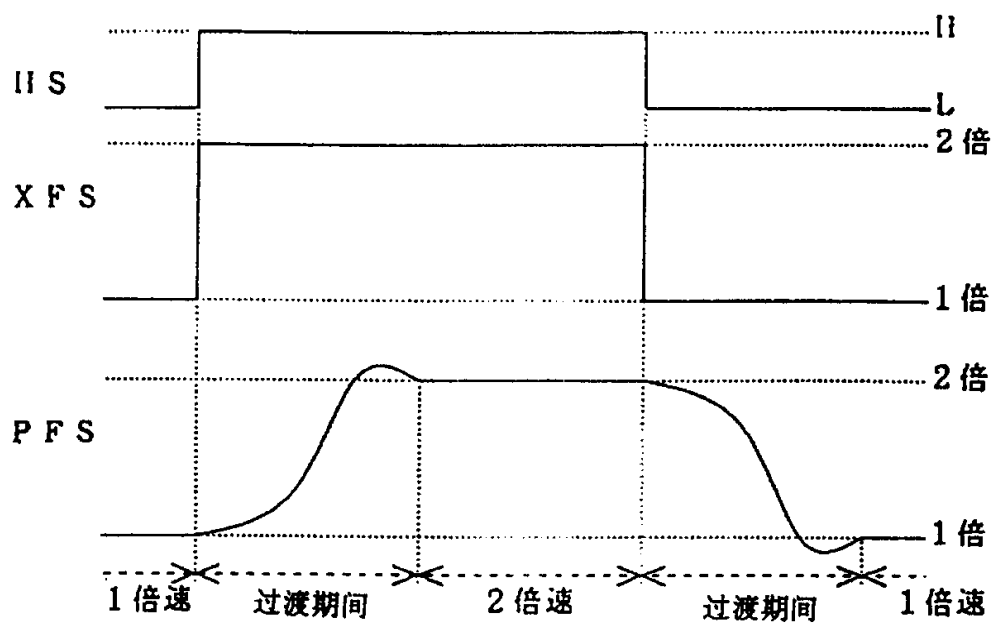


图 15

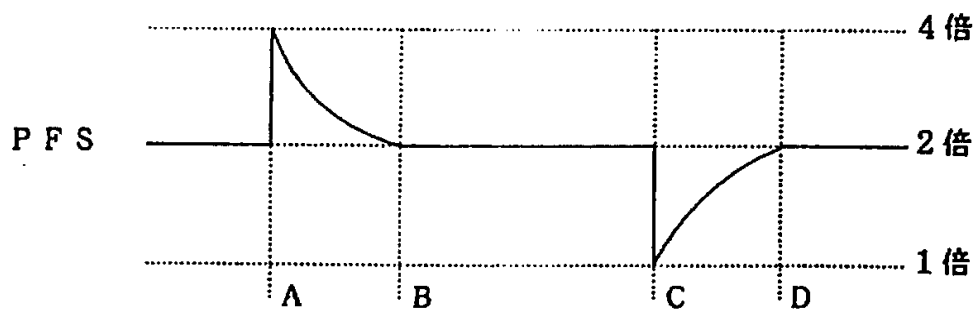


图 16

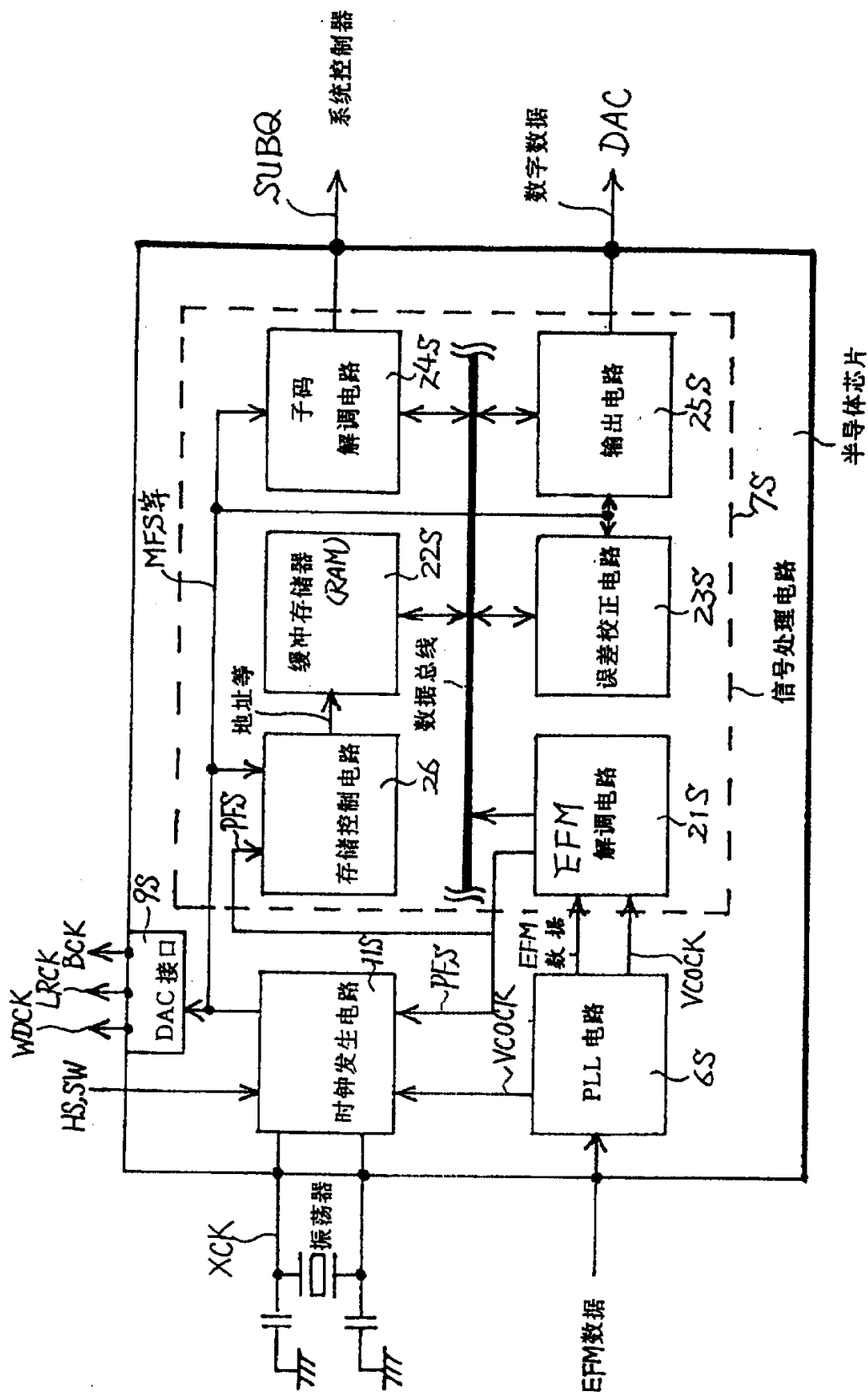


图 17

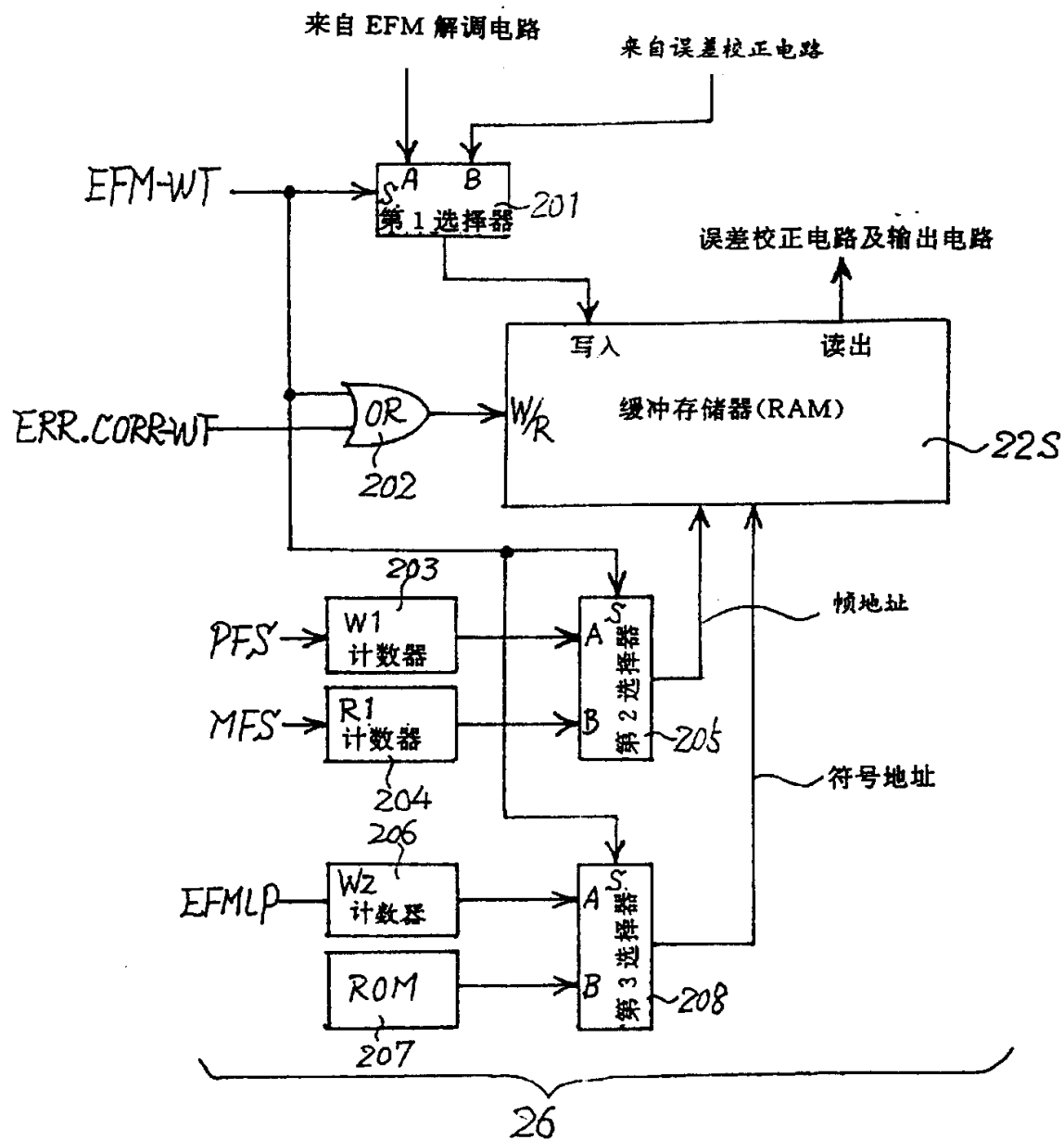
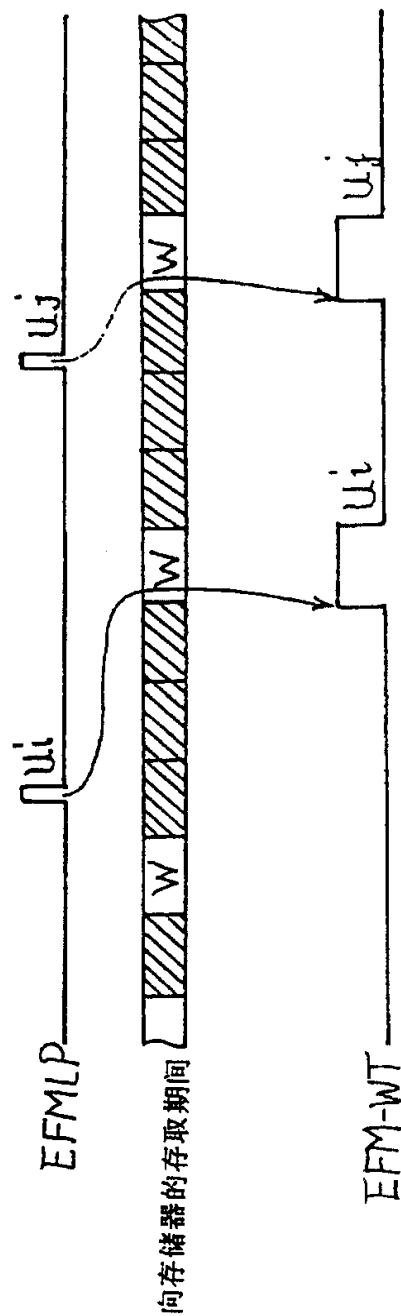


图 18



向存储器的存取期间

W : 误差校正前的 EFM 解调数据的写入

hatched : 误差校正前的读出
hatched : 误差校正后的写入

用于再生数据输出的读出

图 19