



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0048784  
(43) 공개일자 2020년05월08일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3266 (2016.01)

(52) CPC특허분류  
G09G 3/3266 (2013.01)  
G09G 2320/045 (2013.01)

(21) 출원번호 10-2018-0131241

(22) 출원일자 2018년10월30일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

장민규  
경기도 파주시 월롱면 엘지로 245

(74) 대리인

이승찬

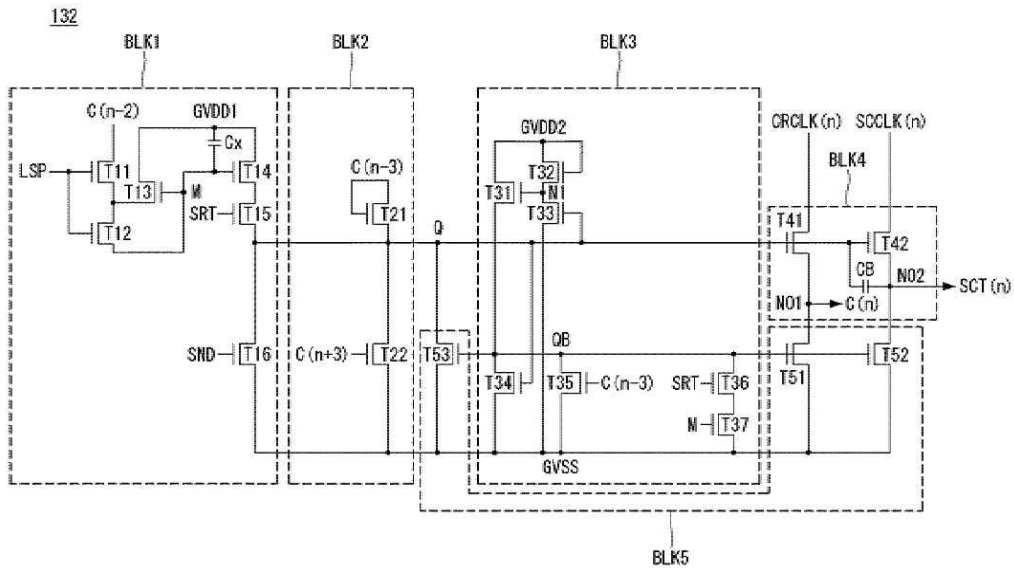
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 게이트 드라이버와 이를 포함한 유기발광 표시장치

**(57) 요약**

본 발명의 실시예에 따른 게이트 드라이버는 디스플레이 구동시 화상용 게이트신호를 출력하고, 상기 디스플레이 구동에 이은 센싱 구동시 센싱용 게이트신호를 출력하는 다수의 스테이지들을 갖는다. 상기 스테이지들 각각은, 상기 디스플레이 구동 중에 게이트 온 전압의 픽셀라인 선택 신호에 따라 제1 전단 캐리신호로 M 노드를 충전하고, 상기 센싱 구동시에 상기 M 노드의 충전 전압과 게이트 온 전압의 센싱 시작신호에 따라 제1 고전위 전원전압으로 Q 노드를 충전하는 픽셀라인 선택부; 및 상기 센싱 구동시 상기 Q 노드가 충전 상태를 유지하는 동안에 게이트 온 전압의 스캔 클럭을 상기 센싱용 게이트신호로 출력하는 출력부를 포함하고, 상기 제1 고전위 전원전압은 상기 디스플레이 구동시에 비해 상기 센싱 구동시에 더 높다.

**대표도 - 도3**



(52) CPC특허분류  
G09G 2330/028 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

디스플레이 구동시 화상용 게이트신호를 출력하고, 상기 디스플레이 구동에 이은 센싱 구동시 센싱용 게이트신호를 출력하는 다수의 스테이지들을 갖는 게이트 드라이버에 있어서,

상기 스테이지들 각각은,

상기 디스플레이 구동 중에 게이트 온 전압의 픽셀라인 선택 신호에 따라 제1 전단 캐리신호로 M 노드를 충전하고, 상기 센싱 구동시에 상기 M 노드의 충전 전압과 게이트 온 전압의 센싱 시작신호에 따라 제1 고전위 전원전압으로 Q 노드를 충전하는 픽셀라인 선택부; 및

상기 센싱 구동시 상기 Q 노드가 충전 상태를 유지하는 동안에 게이트 온 전압의 스캔 클럭을 상기 센싱용 게이트신호로 출력하는 출력부를 포함하고,

상기 제1 고전위 전원전압은 상기 디스플레이 구동시에 비해 상기 센싱 구동시에 더 높은 게이트 드라이버.

#### 청구항 2

제 1 항에 있어서,

상기 센싱 구동시의 제1 고전위 전원전압은, 상기 디스플레이 구동시의 제1 고전위 전원전압보다 높고, 상기 제1 고전위 전원전압의 입력단에 연결된 트랜지스터들의 브레이크-다운(Break-down) 전압보다 낮은 게이트 드라이버.

#### 청구항 3

제 1 항에 있어서,

상기 스테이지들 각각은,

상기 센싱 구동시 상기 Q 노드가 충전 상태를 유지하는 동안에 제2 고전위 전원전압의 입력단과 QB 노드 간의 전기적 연결을 차단하는 인버터부를 더 포함하고,

상기 센싱 구동시에, 상기 제1 고전위 전원전압은 상기 제2 고전위 전원전압보다 높은 게이트 드라이버.

#### 청구항 4

제 3 항에 있어서,

상기 제2 고전위 전원전압은 상기 디스플레이 구동시와 상기 센싱 구동시에서 동일한 게이트 드라이버.

#### 청구항 5

제 1 항에 있어서,

상기 제1 전단 캐리신호와 상기 픽셀라인 선택 신호는 게이트 온 전압 구간이 일치하는 게이트 드라이버.

#### 청구항 6

제 5 항에 있어서,

상기 스테이지들 중에서, 상기 디스플레이 구동 중에 상기 게이트 온 전압의 픽셀라인 선택 신호에 따라 상기 제1 전단 캐리신호로 상기 M 노드가 충전되는 활성 스테이지의 개수가 1개이며, 상기 활성 스테이지의 위치가 일정 시간마다 바뀌는 게이트 드라이버.

#### 청구항 7

제 6 항에 있어서,

상기 활성 스테이지의 위치는, 상기 제1 전단 캐리신호와 상기 픽셀라인 선택 신호의 게이트 온 전압 구간 설정에 따라 매 프레임마다 랜덤하게 바뀌는 게이트 드라이버.

**청구항 8**

제 1 항에 있어서,

상기 센싱용 게이트신호의 출력에 앞서 상기 센싱 시작신호가 상기 스테이지들에 동시에 게이트 온 전압으로 입력되고,

상기 센싱용 게이트신호의 출력이 끝난 후에 센싱 종료신호가 상기 스테이지들에 동시에 게이트 온 전압으로 입력되는 게이트 드라이버.

**청구항 9**

제 1 항에 있어서,

상기 디스플레이 구동은 영상 데이터의 기입이 이뤄지는 수직 액티브 기간 내에서 수행되고,

상기 센싱 구동은 상기 영상 데이터의 기입이 이뤄지지 않는 수직 블랭크 기간 내에서 수행되는 게이트 드라이버.

**청구항 10**

제 1 항에 있어서,

상기 픽셀라인 선택부는,

상기 제1 전단 캐리신호의 입력단과 상기 M 노드 사이에 직렬 접속되어, 상기 게이트 온 전압의 픽셀라인 선택 신호에 따라 동시에 턴 온 되는 제1 트랜지스터와 제2 트랜지스터;

제1 전극이 상기 제1 고전위 전원전압의 입력단에 접속되고 제2 전극이 상기 제1 트랜지스터와 제2 트랜지스터 사이에 접속되어, 상기 M 노드의 충전 전압에 따라 턴 온 되는 제3 트랜지스터;

제1 전극이 상기 제1 고전위 전원전압의 입력단에 접속되어, 상기 M 노드의 충전 전압에 따라 턴 온 되는 제4 트랜지스터; 및

제1 전극이 상기 제4 트랜지스터의 제2 전극에 접속되고 제2 전극이 상기 Q 노드에 접속되어, 상기 게이트 온 전압의 센싱 시작신호에 따라 턴 온 되는 제5 트랜지스터를 포함한 게이트 드라이버.

**청구항 11**

제 10 항에 있어서,

상기 픽셀라인 선택부는,

제1 전극이 상기 Q 노드에 접속되고 제2 전극이 저전위 전원전압의 입력단에 접속되어, 게이트 온 전압의 센싱 종료신호에 따라 턴 온 되는 제6 트랜지스터를 더 포함한 게이트 드라이버.

**청구항 12**

제 10 항에 있어서,

상기 픽셀라인 선택부는,

상기 제1 고전위 전원전압의 입력단과 상기 M 노드 사이에 접속된 커패시터를 더 포함한 게이트 드라이버.

**청구항 13**

제 3 항에 있어서,

상기 인버터부는,

상기 디스플레이 구동시 게이트 온 전압의 위상이 상기 제1 전단 캐리신호보다 앞선 제2 전단 캐리신호에 따라 상기 QB 노드를 저전위 전원전압으로 제1 차 방전한 후,

상기 디스플레이 구동시 상기 Q 노드의 충전 전압에 따라 상기 QB 노드를 상기 저전위 전원전압으로 제2 차 방전한 후,

상기 디스플레이 구동시 상기 Q 노드의 방전 전압에 따라 상기 QB 노드를 상기 제2 고전위 전원전압으로 충전한 후,

상기 센싱 구동시 상기 M 노드의 충전 전압과 상기 게이트 온 전압의 센싱 시작신호에 따라 상기 QB 노드를 상기 저전위 전원전압으로 제3 차 방전한 후,

상기 센싱 구동시 상기 Q 노드의 충전 전압에 따라 상기 QB 노드를 상기 저전위 전원전압으로 제4 차 방전하는 게이트 드라이버.

#### 청구항 14

제 13 항에 있어서,

상기 인버터부는,

제1 전극이 상기 제2 고전위 전원전압의 입력단에 접속되고 제2 전극이 상기 저전위 전원전압의 입력단에 접속된 제1 트랜지스터;

제1 전극과 게이트전극이 상기 제2 고전위 전원전압의 입력단에 접속되고 제2 전극이 상기 제1 트랜지스터의 게이트전극에 접속된 제2 트랜지스터;

제1 전극이 상기 제1 트랜지스터의 게이트전극에 접속되고 제2 전극이 상기 저전위 전원전압의 입력단에 접속되어, 상기 Q 노드의 충전 전압에 따라 턴 온 되는 제3 트랜지스터;

제1 전극이 상기 QB 노드에 접속되고 제2 전극이 상기 저전위 전원전압의 입력단에 접속되어, 상기 Q 노드의 충전 전압에 따라 턴 온 되는 제4 트랜지스터;

제1 전극이 상기 QB 노드에 접속되고 제2 전극이 상기 저전위 전원전압의 입력단에 접속되어, 게이트 온 전압의 상기 제2 전단 캐리신호에 따라 턴 온 되는 제5 트랜지스터;

제1 전극이 상기 QB 노드에 접속되어, 상기 게이트 온 전압의 센싱 시작신호에 따라 턴 온 되는 제6 트랜지스터; 및

제1 전극이 상기 제6 트랜지스터의 제2 전극에 접속되고 제2 전극이 상기 저전위 전원전압의 입력단에 접속되어, 상기 M 노드의 충전 전압에 따라 턴 온 되는 제7 트랜지스터를 포함한 게이트 드라이버.

#### 청구항 15

상기 청구항 제1항 내지 제14항 중 어느 한 항의 게이트 드라이버; 및

게이트 라인들을 통해 상기 게이트 드라이버에 연결되며, 상기 화상용 게이트 신호와 상기 센싱용 게이트신호에 따라 구동되는 다수의 픽셀들을 포함하는 유기발광 표시장치.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 게이트 드라이버와 이를 포함한 유기발광 표시장치에 관한 것이다.

#### 배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 유기발광 표시장치는 픽셀들에 구비된 스위치 소자들을 구동시키기 위해 게이트 드라이버를 포함한다. 스위치 소자들의 게이트전극들은 게이트라인들을 통해 게이트 드라이버에 연결된다. 게이트 드라이버는 게이트 신호(스

캔 신호)를 생성하여 게이트라인들에 순차적으로 공급한다.

**발명의 내용**

**해결하려는 과제**

[0004] 유기발광 표시장치에서는 화상 품질을 높이기 위해 외부 보상 기술이 사용되고 있다. 외부 보상 기술은 픽셀의 구동 특성(또는 전기적 특성)에 따른 픽셀 전압 또는 전류를 센싱하고, 센싱된 결과를 바탕으로 입력 영상의 데이터를 변조함으로써 픽셀들 간 구동 특성 편차를 보상하는 것이다. 입력 영상이 기입되지 않는 일정 시간 내에서 픽셀의 구동 특성이 센싱될 수 있도록, 게이트 드라이버는 상기 일정 시간 내에서 특정 스테이지를 동작시켜 센싱 구동을 위한 게이트신호를 출력한다. 센싱 구동시, 원하는 게이트신호가 출력되기 위해서는 특정 스테이지의 Q 노드가 게이트 온 전압으로 충분히 충전되어야 한다. 디스플레이 구동시에 비해 센싱 구동시 Q 노드 충전 경로가 더 길고, 센싱 구동에 할애된 시간이 매우 짧기 때문에, 센싱 구동시 Q 노드에 대한 충전 레벨이 충분치 않다. 센싱 구동시 원하는 게이트신호가 인가되지 못하면 픽셀의 구동 특성이 정확히 센싱될 수 없고, 이는 보상 성능의 저하를 초래한다.

[0005] 따라서, 본 발명은 종래 문제점을 해결하기 위해 안출된 것으로, 센싱 구동시 Q 노드에 대한 충전 레벨을 강화하여 원하는 게이트 출력 특성이 확보될 수 있도록 한 게이트 드라이버와 이를 포함한 유기발광 표시장치를 제공한다.

**과제의 해결 수단**

[0006] 본 발명의 실시예에 따른 게이트 드라이버는 디스플레이 구동시 화상용 게이트신호를 출력하고, 상기 디스플레이 구동에 이은 센싱 구동시 센싱용 게이트신호를 출력하는 다수의 스테이지들을 갖는다. 상기 스테이지들 각각은, 상기 디스플레이 구동 중에 게이트 온 전압의 픽셀라인 선택 신호에 따라 제1 전단 캐리신호로 M 노드를 충전하고, 상기 센싱 구동시에 상기 M 노드의 충전 전압과 게이트 온 전압의 센싱 시작신호에 따라 제1 고전위 전원전압으로 Q 노드를 충전하는 픽셀라인 선택부; 및 상기 센싱 구동시 상기 Q 노드가 충전 상태를 유지하는 동안에 게이트 온 전압의 스캔 클럭을 상기 센싱용 게이트신호로 출력하는 출력부를 포함하고, 상기 제1 고전위 전원전압은 상기 디스플레이 구동시에 비해 상기 센싱 구동시에 더 높다.

**발명의 효과**

[0007] 본 발명은 픽셀라인 선택부에 인가되는 고전위 전원전압을 디스플레이 구동시에 비해 센싱 구동시에 더 높임으로써, 센싱 구동시 Q 노드에 대한 충전 레벨을 강화하여 원하는 게이트 출력 특성이 확보할 수 있다. 본 발명은 센싱 구동시 원하는 게이트 출력 특성이 확보하여 픽셀의 구동 특성을 보다 정확히 센싱함으로써, 보상 성능을 높일 수 있다.

[0008] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

**도면의 간단한 설명**

- [0009] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여준다.
- 도 2는 도 1의 게이트 쉬프트 레지스터를 구성하는 스테이지들 간의 연결 구성을 보여준다.
- 도 3은 본 발명의 실시예에 따른 일 스테이지를 나타내는 회로도이다.
- 도 4는 도 2 및 도 3의 스테이지들에서 출력되는 게이트신호를 기반으로 디스플레이 구동과 센싱 구동이 수행되는 타이밍을 설명하기 위한 도면이다.
- 도 5는 각 스테이지에 인가되는 제1 고전위 전원전압이 디스플레이 구동시에 비해 센싱 구동시에 더 높아지는 것을 보여주는 도면이다.
- 도 6은 각 스테이지에 인가되는 제1 및 제2 고전위 전원전압들이 디스플레이 구동시에 동일하고, 센싱 구동시에는 제1 고전위 전원전압이 제2 고전위 전원전압에 비해 높아지는 것을 보여주는 도면이다.
- 도 7은 디스플레이 구동시 및 센싱 구동시에 있어, 도 5 및 도 6의 제1 고전위 전원전압에 따른 Q 노드 전압 변화를 보여주는 도면이다.

도 8은 도 3의 스테이지에 연결되는 일 픽셀과, 상기 일 픽셀에 연결되는 데이터 구동회로를 보여주는 도면이다.

도 9는 센싱 구동을 위한 게이트신호와 데이터신호를 보여주는 도면이다.

도 10a는 도 9의 셋업 기간에 대응되는 픽셀의 등가회로도이다.

도 10b는 도 9의 센싱 기간에 대응되는 픽셀의 등가회로도이다.

도 10c는 도 9의 리셋 기간에 대응되는 픽셀의 등가회로도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0010] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 명세서는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 명세서의 개시가 완전하도록 하며, 본 명세서가 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 명세서는 청구항의 범주에 의해 정의될 뿐이다.
- [0011] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0012] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0013] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0014] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용될 수 있으나, 이 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 명세서의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0015] 본 명세서에서 표시패널의 기판 상에 형성되는 픽셀 회로와 게이트 드라이버는 n 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT로 구현될 수 있으나 이에 한정되지 않고 p 타입 MOSFET 구조의 TFT로 구현될 수도 있다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 TFT (NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 TFT에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. 이에 반해, p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 본 명세서의 실시예에 대한 설명에서는 소스와 드레인 중 어느 하나를 제1 전극, 소스와 드레인 중 나머지 하나를 제2 전극으로 기술한다.
- [0016] 이하, 첨부된 도면을 참조하여 본 명세서의 실시예를 상세히 설명한다. 이하의 실시예에서, 표시장치는 유기발광 물질들을 포함한 유기발광 표시장치를 중심으로 설명한다. 하지만, 본 명세서의 기술적 사상은 유기발광 표시장치에 국한되지 않고, 액정 표시장치 등의 다른 표시장치에도 적용될 수 있음에 주의하여야 한다.
- [0017] 이하의 설명에서, 본 명세서와 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 명세서의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0018] 이하의 설명에서 "전단 스테이지들"이란, 기준이 되는 스테이지의 상부에 위치하여 기준 스테이지에서 출력되는 게이트 신호에 비해 위상이 앞선 게이트 신호들을 생성하는 스테이지들을 의미한다. 그리고, "후단

스테이지들"이란, 기준이 되는 스테이지의 하부에 위치하여 기준 스테이지에서 출력되는 게이트 신호에 비해 위상이 뒤진 게이트 신호들을 생성하는 스테이지들을 의미한다. 이하의 설명에서, 본 발명의 게이트 드라이버를 구성하는 스위치 소자들은 옥사이드 소자, 아몰포스 실리콘 소자, 폴리 실리콘 소자 중 적어도 어느 하나로 구현될 수 있다. 그리고, 특정 스테이지가 활성화된다는 것은 그 스테이지의 Q노드에 게이트 온 전압이 충전된다는 것을 의미하고, 특정 스테이지가 비 활성화된다는 것은 그 스테이지의 Q노드가 게이트 오프 전압으로 방전된다는 것을 의미한다.

- [0019] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여준다.
- [0020] 도 1을 참조하면, 본 발명의 유기발광 표시장치는 표시패널(100), 데이터 구동회로, 게이트 드라이버, 및 타이밍 컨트롤러(110) 등을 구비한다.
- [0021] 표시패널(100)에는 다수의 데이터라인들과 다수의 게이트라인들이 교차되고, 이 교차영역마다 픽셀들이 매트릭스 형태로 배치되어 픽셀 어레이를 구성할 수 있다. 픽셀 어레이는 각 픽셀에 연결된 기준 라인을 더 포함할 수 있다.
- [0022] 각 픽셀은 OLED, 구동 TFT(Thin Film Transistor), 스토리지 커패시터, 및 적어도 하나 이상의 스위치 TFT를 포함할 수 있다. TFT들은 P 타입으로 구현되거나 또는, N 타입으로 구현되거나 또는, P 타입과 N 타입이 혼용된 하이브리드 타입으로 구현될 수 있다. 또한, TFT의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.
- [0023] 타이밍 컨트롤러(110)는 공지의 다양한 인터페이스 방식을 통해 외부의 호스트 시스템로부터 영상 데이터(RGB)를 입력 받는다. 타이밍 컨트롤러(110)는 실시간 센싱에 따른 센싱 결과를 기초로 픽셀들의 구동 특성 편차가 보상되도록 영상 데이터(RGB)를 보정한 후 소스 드라이브 IC들(120)로 전송할 수 있다.
- [0024] 타이밍 컨트롤러(110)는 호스트 시스템으로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE) 등의 타이밍신호를 입력 받는다. 타이밍 컨트롤러(110)는 호스트 시스템으로부터의 타이밍 신호를 기준으로 데이터 구동회로의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와, 게이트 드라이버의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 생성한다. 소스 타이밍 제어신호는 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 IC들(120) 내에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 소스 출력 인에이블신호(SOE)는 데이터전압의 출력 타이밍을 제어하는 신호이다.
- [0025] 타이밍 컨트롤러(110)는 소스 및 게이트 타이밍 제어신호들을 기초로 표시패널(100)의 픽셀 라인들에 대한 디스플레이 구동 타이밍과 센싱 구동 타이밍을 제어함으로써, 화상 표시 중에 실시간으로 픽셀들의 구동 특성이 센싱되도록 할 수 있다.
- [0026] 여기서, 픽셀 라인은 수평 방향으로 이웃한 1라인 분량의 픽셀 집합체를 의미한다. 그리고, 센싱 구동이란 특정 픽셀 라인에 배치된 픽셀들에 센싱용 데이터를 기입하여 해당 픽셀들의 구동 특성을 센싱하고, 이 센싱 결과를 기초로 해당 픽셀들의 구동 특성 변화를 보상하기 위한 보상 값을 업데이트하는 구동이다. 이하, 센싱 구동 중에 특정 픽셀 라인에 배치된 픽셀들에 센싱용 데이터를 기입하기 위한 동작을 SDW(Sensing Data Writing) 구동이라 칭한다.
- [0027] 디스플레이 구동이란 입력 영상을 표시패널(100)에서 재현하기 위해 1 프레임 내에서 입력 영상 데이터(RGB)를 픽셀 라인들에 기입하는 것이다. 이하, 디스플레이 구동을 IDW(Image Data Writing) 구동이라 칭한다.
- [0028] 타이밍 컨트롤러(110)는 한 프레임 중의 수직 액티브 기간에서 IDW 구동을 구현하고, IDW 구동이 이뤄지지 않는 수직 블랭크 기간에서 SDW 구동을 구현할 수 있다.
- [0029] 데이터 구동회로는 다수의 소스 드라이브 IC들(120)을 포함한다. 소스 드라이브 IC들(120)은 타이밍 컨트롤러(110)로부터 영상 데이터(RGB)를 입력 받는다. 소스 드라이브 IC들(120)은 타이밍 컨트롤러(110)로부터의 소스 타이밍 제어신호에 응답하여 영상 데이터(RGB)를 감마보상전압으로 변환하여 데이터전압을 생성하고, 그 데이터 전압을 게이트 신호에 동기시켜 표시패널(100)의 데이터라인들에 공급한다. 소스 드라이브 IC들은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 표시패널(100)의 데이터라인들에 접속될 수 있다.
- [0030] 게이트 드라이버는 게이트라인들에 접속된 게이트 쉬프트 레지스터(130)와, 타이밍 컨트롤러(110)에서 출력되는 신호의 전압 레벨을 부스팅하여 게이트 쉬프트 레지스터(130)에 공급하는 레벨 쉬프터(level shifter)(150)를



포함한다.

- [0031] 레벨 쉬프터(150)는 타이밍 콘트롤러(110)로부터 입력되는 게이트 타이밍 제어신호의 TTL(Transistor-Transistor- Logic) 레벨 전압을 표시패널(100)에 형성된 TFT를 스위칭시킬 수 있는 게이트 온 전압과 게이트 오프 전압으로 부스팅한다. 그리고, 레벨 쉬프터(150)는 레벨 쉬프팅 된 게이트 타이밍 제어신호를 게이트 쉬프트 레지스터(130)에 공급한다. 게이트 타이밍 제어신호는 게이트 스타트 신호(VSP), 게이트 쉬프트 클럭들(CLKs), 픽셀라인 선택 신호(LSP), 센싱 시작신호(SRT), 및 센싱 종료신호(SND) 등을 포함한다. 그리고, 게이트 쉬프트 클럭들(CLKs)은 위상이 서로 다른 N(N은 자연수)상 클럭들로 구현된다.
- [0032] 게이트 쉬프트 레지스터(130)는 레벨 쉬프터(150)로부터 입력되는 게이트 타이밍 제어신호와 전원 회로(미도시)로부터 입력되는 구동 전원(고전위 전원전압, 저전위 전원전압)을 기반으로, IDW 구동시 화상용 게이트신호를 출력하고, IDW 구동에 이은 SDW 구동시 센싱용 게이트신호를 출력하는 다수의 스테이지들을 포함한다. 각 스테이지는 IDW 구동을 위한 입력부 외에 SDW 구동을 위한 픽셀 라인 선택부를 더 포함한다. 원하는 화상용 게이트신호와 센싱용 게이트신호가 출력되기 위해서는 IDW 구동 및 SDW 구동시 각각에 있어 해당 스테이지의 Q 노드가 충분히 충전되어야 한다. 그런데, 픽셀 라인 선택부의 Q 노드 충전 경로가 입력부의 Q 노드 충전 경로에 비해 더 길고 SDW 구동에 할애된 시간이 매우 짧기 때문에, 센싱용 게이트신호의 출력을 위한 Q 노드 충전전압이 타겟값에 미달될 수 있다.
- [0033] SDW 구동시 Q 노드 충전 전압이 충분히 확보되도록, 전원 회로는 각 스테이지에 인가되는 고전위 전원전압을 픽셀 라인 선택부에 인가되는 제1 고전위 전원전압(GVDD1)과 인버터부에 인가되는 제2 고전위 전원전압(GVDD2)으로 2원화하고, 제1 고전위 전원전압(GVDD1)의 전압 레벨을 주기적으로 변경한다. 즉, 전원 회로는 IDW 구동시에 비해 SDW 구동시에 제1 고전위 전원전압(GVDD1)을 더 높게 설정한다. 다만, 전원 회로는 스테이지의 동작 안정성을 위해 제2 고전위 전원전압(GVDD2)을 IDW 구동시의 제1 고전위 전원전압(GVDD1)과 동일하게 설정할 수 있다. 제2 고전위 전원전압(GVDD2)은 주기적으로 변경되지 않고 일정하게 유지된다.
- [0034] 게이트 쉬프트 레지스터(130)는 GIP(Gate In Panel) 방식으로 표시패널(100)의 기관 상에 직접 형성될 수 있다. 게이트 쉬프트 레지스터(130)는 표시패널(100)에서 화상이 표시되지 않는 영역(즉, 베젤 영역(BZ))에 형성될 수 있으나, 이에 한정되지 않는다. 게이트 쉬프트 레지스터(130)는 RC 딜레이로 인한 게이트 신호의 왜곡을 최소화하기 위해 표시패널(100)의 제1 측 베젤 영역(BZ)과 제2 측 베젤 영역(BZ)에 더블 뱅크 방식으로 형성될 수 있으나, 이에 한정되지 않는다.
- [0035] 도 2는 도 1의 게이트 쉬프트 레지스터(130)에 포함된 신호 배선들과 스테이지들(132) 간의 연결 구성을 보여준다.
- [0036] 도 2를 참조하면, 본 발명의 실시예에 따른 게이트 쉬프트 레지스터(130)는 서로 종속적으로 접속된 다수의 스테이지들(132)을 구비한다. 스테이지들(132)은 GIP(Gate driver In Panel) 방식으로 형성된 GIP 소자들일 수 있다. 최상단 스테이지의 전단에는 적어도 하나 이상의 상단 더미 스테이지가 더 구비될 수 있고, 최하단 스테이지의 후단에는 적어도 하나 이상의 하단 더미 스테이지가 더 구비될 수 있으나, 이에 한정되지 않는다.
- [0037] 스테이지들(132)은 표시패널(100)의 게이트라인들에 일대일로 연결된다.
- [0038] 스테이지들(132)은 신호 배선들을 통해 입력되는 고전위 전원전압들(GVDD1, GVDD2) 저전위 전원전압(GVSS), 게이트 스타트 신호(VSP), 캐리 신호(C(n)~C(n+3)), 게이트 쉬프트 클럭들(CLKs), 픽셀 라인 선택신호(LSP), 센싱 시작 신호(SRT), 센싱 종료 신호(SND) 등을 기초로 게이트 신호를 생성한다. 게이트 신호는 스캔 신호(SCT(n)~SCT(n+3))와 캐리 신호(C(n)~C(n+3))를 포함할 수 있으며, 도면에 도시하지 않았지만 센스 신호를 더 포함할 수도 있다.
- [0039] 스캔 신호(SCT(n))와 캐리 신호(C(n))를 게이트 신호로 생성하는 스테이지 구성이 도 3에 예시되어 있다. 도 3의 스테이지(132)는 스캔 신호(SCT(n))를 생성하여 표시패널(100)의 게이트라인들(GLn)에 공급하고, 캐리 신호(C(n))를 생성하여 전단 및 후단 스테이지에 공급한다.
- [0040] 스테이지들(132)은 캐리 신호(C(n)~C(n+3))를 독립적으로 생성함으로써, 게이트 로드(load)에 의해 캐리 신호가 왜곡되는 것을 방지할 수 있다. 스테이지들(132)은 캐리 신호(C(n)~C(n+3))를 생성하여 후단 스테이지들 중 어느 하나에 스타트 신호로 공급함과 아울러, 전단 스테이지들 중 어느 하나에 리셋 신호로 공급할 수 있다.
- [0041] 스테이지들(132) 각각은 매 프레임마다 스타트단자에 인가되는 게이트 스타트 신호(VSP) 또는, 전단 캐리 신호에 따라 Q 노드의 동작을 활성화한다. 전단 캐리 신호는 전단 스테이지들 중 어느 하나로부터 인가되는 캐리 신

호이다. 스테이지들(132) 각각은 매 프레임마다 리셋단자에 인가되는 후단 캐리 신호에 따라 Q 노드의 동작을 비 활성화한다. 후단 캐리 신호는 후단 스테이지들 중 어느 하나로부터 인가되는 캐리 신호이다.

- [0042] 게이트 스타트 신호(VSP), 게이트 쉬프트 클럭들(CLKs), 픽셀 라인 선택신호(LSP), 센싱 시작 신호(SRT), 센싱 종료 신호(SND) 등은 스테이지들(132)에 공통으로 공급되는 신호들이다. 위상이 서로 다른 N(N은 자연수)상 클럭들로 구현되는 게이트 쉬프트 클럭들(CLKs)은 N상 캐리 클럭들과 N상 스캔 클럭들을 포함할 수 있다.
- [0043] 스캔 클럭들은 화상용 또는 센싱용 스캔 신호(SCT(n)~ SCT(n+3))를 생성하기 위한 클럭 신호이고, 캐리 클럭들은 전단 또는 후단 캐리 신호(C(n)~C(n+3))를 생성하기 위한 클럭 신호이다. 스캔 클럭들은 스캔 신호(SCT(n)~ SCT(n+3))에 동기되도록 게이트 온 전압과 게이트 오프 전압 사이에서 스윙된다. 캐리 클럭들은 캐리 신호(C(n)~C(n+3))에 동기되도록 게이트 온 전압과 게이트 오프 전압 사이에서 스윙된다.
- [0044] IDW 구동시 한 프레임 내에서 모든 스테이지들(132)이 활성화되어 화상용 스캔 신호(SCT(n)~ SCT(n+3))를 순차적으로 출력함과 아울러 화상용 캐리 신호(C(n)~C(n+3))를 순차적으로 출력한다. 이에 반해, SDW 구동시 한 프레임 내에서 특정 1개의 스테이지(132)만이 활성화되어 센싱용 스캔신호를 출력한다.
- [0045] 픽셀 라인 선택신호(LSP)는 IDW 구동 중에 상기 특정 스테이지(132)에 게이트 온 전압으로 입력된다. 이 픽셀 라인 선택신호(LSP)는 IDW 구동 중에 상기 특정 스테이지(132)에 입력되는 제1 전단 캐리신호에 동기되도록 게이트 온 전압 구간이 설정된다. 따라서, 게이트 온 전압의 픽셀라인 선택 신호(LSP)에 따라 게이트 온 전압의 제1 전단 캐리신호가 상기 특정 스테이지(132)의 M 노드에 충전된다.
- [0046] 한편, 픽셀 라인 선택신호(LSP)는 IDW 구동 중에 상기 특정 스테이지(132)를 제외한 나머지 스테이지들(132)에도 게이트 온 전압으로 입력된다. 하지만, 나머지 스테이지들(132)에 입력되는 전단 캐리신호들은 픽셀 라인 선택신호(LSP)와 게이트 온 전압 구간이 비 중첩되기 때문에, IDW 구동 중에 나머지 스테이지들(132)의 M 노드가 게이트 온 전압으로 충전되지는 못한다.
- [0047] 이와 같이, 픽셀 라인 선택신호(LSP)와 게이트 온 전압 구간이 겹치는 제1 전단 캐리신호에 의해 M 노드가 게이트 온 전압으로 충전되는 활성 스테이지(상기 특정 스테이지를 의미함)의 개수는 일정 시간(예컨대, 1 프레임)당 1개이다. 이러한 활성 스테이지의 위치는 일정 시간마다 바뀐다. 예를 들어, 활성 스테이지의 위치는 제1 전단 캐리신호와 픽셀라인 선택 신호(LSP)의 게이트 온 전압 구간 설정에 따라 매 프레임마다 랜덤하게 바뀔 수 있다.
- [0048] 센싱 시작 신호(SRT)는 SDW 구동 중에 상기 특정 스테이지(132)에 게이트 온 전압으로 입력된다. 따라서, 상기 특정 스테이지(132)의 M 노드의 충전 전압과 게이트 온 전압의 센싱 시작신호(SRT)에 따라 상기 특정 스테이지(132)의 Q 노드가 제1 고전위 전원전압(GVDD1)으로 충전된다. 이때, 제1 고전위 전원전압(GVDD1)은 IDW 구동시에 비해 SDW 구동시에 더 높게 설정되기 때문에, SDW 구동시 Q 노드가 게이트 온 전압까지 빠르게 충전될 수 있다.
- [0049] 한편, 센싱 시작 신호(SRT)는 SDW 구동 중에 상기 특정 스테이지(132)를 제외한 나머지 스테이지들(132)에도 게이트 온 전압으로 입력된다. 하지만, 나머지 스테이지들(132)의 M 노드들은 비 충전되어 있기 때문에, SDW 구동 중에 나머지 스테이지들(132)의 Q 노드가 게이트 온 전압으로 충전되지는 못한다.
- [0050] 센싱 종료 신호(SND)는 SDW 구동 중에 상기 특정 스테이지(132)에 게이트 온 전압으로 입력되어 상기 특정 스테이지(132)의 Q 노드를 게이트 오프 전압으로 방전한다. 센싱 종료 신호(SND)는 상기 특정 스테이지(132)에서 센싱용 스캔신호가 출력되고 난 이후에 상기 특정 스테이지(132)에 입력된다.
- [0051] 한편, 센싱 종료 신호(SND)는 SDW 구동 중에 상기 특정 스테이지(132)를 제외한 나머지 스테이지들(132)에도 게이트 온 전압으로 입력될 수 있다.
- [0052] 도 3은 본 발명의 실시예에 따른 일 스테이지를 나타내는 회로도이다. 도 4는 도 2 및 도 3의 스테이지들에서 출력되는 게이트신호를 기반으로 IDW 구동과 SDW 구동이 수행되는 타이밍을 설명하기 위한 도면이다.
- [0053] 도 3의 스테이지(132)는 화상용 및 센싱용 제n 스캔 신호(SCT(n))와 화상용 제n 캐리 신호(C(n))를 출력하기 위한 제n 스테이지(STGn)를 보여준다. 도 3에서, 제2 고전위 전원전압(GVDD2)은 게이트 온 전압과 실질적으로 동일하고, 저전위 전원 전압(GVSS)은 게이트 오프 전압과 실질적으로 동일할 수 있다. 도 3의 스테이지(132)는 게이트 라인(GLn)을 통해 도 8과 같은 픽셀(PIX)에 연결될 수 있다.
- [0054] 도 3 및 도 4를 참조하면, 스테이지(132)는 픽셀라인 선택부(BLK1), 입력부(BLK2), 인버터부(BLK3), 출력부

(BLK4), 및 안정화부(BLK5)를 포함한다.

- [0055] 픽셀라인 선택부(BLK1)는 한 프레임 중의 수직 액티브 기간(VWP)에서 수행되는 IDW 구동 중에 게이트 온 전압의 픽셀라인 선택 신호(LSP)에 따라 제1 전단 캐리신호(C(n-2))로 M 노드를 충전하여 SDW 구동을 준비한다. 이어서, 픽셀라인 선택부(BLK1)는 한 프레임 중의 수직 블랭크 기간(VBP)에서 M 노드의 충전 전압과 게이트 온 전압의 센싱 시작신호(SRT)에 따라 제1 고전위 전원전압(GVDD1)으로 Q 노드를 충전하여 SDW 구동이 시작되게 한다.
- [0056] 픽셀라인 선택부(BLK1)는 제1 내지 제5 트랜지스터들(T11~T15)를 포함할 수 있다. 제1 및 제2 트랜지스터들(T11, T12)은 수직 액티브 기간(VWP)에서 게이트 온 전압의 픽셀라인 선택 신호(LSP)에 따라 턴 온 되고, 제3 및 제4 트랜지스터들(T13, T14)은 M 노드가 충전 상태를 유지하는 동안 턴 온 되고, 제5 트랜지스터(T15)는 수직 블랭크 기간(VBP)에서 게이트 온 전압의 센싱 시작신호(SRT)에 따라 턴 온 된다.
- [0057] 제1 트랜지스터(T11)와 제2 트랜지스터(T12)는 제1 전단 캐리신호(C(n-2))의 입력단과 M 노드 사이에 직렬 접속되어, 게이트 온 전압의 픽셀라인 선택 신호(LSP)에 따라 동시에 턴 온 되어, M 노드에 제1 전단 캐리신호(C(n-2))를 인가한다. 제1 전단 캐리신호(C(n-2))의 게이트 온 전압 구간이 게이트 온 전압의 픽셀라인 선택 신호(LSP)이 동기되는 경우, M 노드는 제1 전단 캐리신호(C(n-2))에 의해 게이트 온 전압으로 충전된다.
- [0058] 제3 트랜지스터(T13)의 제1 전극은 제1 고전위 전원전압(GVDD1)의 입력단에 접속되고, 제3 트랜지스터(T13)의 제2 전극은 제1 트랜지스터(T11)와 제2 트랜지스터(T12) 사이에 접속되며, 제3 트랜지스터(T13)의 게이트전극은 M 노드에 접속된다. 제3 트랜지스터(T13)는 M 노드의 충전 전압에 따라 턴 온 되어, 제1 트랜지스터(T11)와 제2 트랜지스터(T12) 사이에 제1 고전위 전원전압(GVDD1)을 인가함으로써, 제1 및 제2 트랜지스터들(T11, T12)의 오프 전류(Off Current)를 줄이고, M 노드의 충전 전압을 SDW 구동이 수행되는 수직 블랭크 기간(VBP)까지 안정적으로 유지시킨다.
- [0059] 제4 트랜지스터(T14)의 제1 전극은 제1 고전위 전원전압(GVDD1)의 입력단에 접속되고, 제4 트랜지스터(T14)의 제2 전극은 제5 트랜지스터(T15)의 일측 전극에 접속되며, 제4 트랜지스터(T14)의 게이트전극은 M 노드에 접속된다. 제4 트랜지스터(T14)는 M 노드의 충전 전압에 따라 턴 온 되어, 제5 트랜지스터(T15)의 제1 전극에 제1 고전위 전원전압(GVDD1)을 인가한다.
- [0060] 제5 트랜지스터(T15)의 제1 전극은 제4 트랜지스터(T14)의 제2 전극에 접속되고, 제5 트랜지스터(T15)의 제2 전극은 Q 노드에 접속되며, 제5 트랜지스터(T15)의 게이트전극은 센싱 시작신호(SRT)의 입력단에 접속된다. 제5 트랜지스터(T15)는 게이트 온 전압의 센싱 시작신호(SRT)에 따라 턴 온 되어, 제1 고전위 전원전압(GVDD1)을 Q 노드에 인가한다.
- [0061] 또한, 픽셀라인 선택부(BLK1)는 제6 트랜지스터(T16)와 커패시터(Cx)를 더 포함할 수 있다.
- [0062] 커패시터(Cx)는 제1 고전위 전원전압(GVDD1)의 입력단과 M 노드 사이에 접속되어, M 노드의 충전 전압을 SDW 구동이 수행되는 수직 블랭크 기간(VBP)까지 안정적으로 유지시킨다.
- [0063] 제6 트랜지스터(T16)는 수직 블랭크 기간(VBP)에서 게이트 온 전압의 센싱 종료신호(SND)에 따라 턴 온 되어, Q 노드를 저전위 전원전압(GVSS)으로 방전한다. 센싱 종료신호(SND)는 센싱용 제n 스캔 신호(SCT(n))가 출력되고 난 이후의 수직 블랭크 기간(VBP)에서 게이트 온 전압으로 입력된다. 제6 트랜지스터(T16)의 게이트전극은 센싱 종료신호(SND)의 입력단에 접속되고, 제6 트랜지스터(T16)의 제1 전극은 Q 노드에 접속되며, 제6 트랜지스터(T16)의 제2 전극은 저전위 전원전압(GVSS)의 입력단에 접속된다.
- [0064] 입력부(BLK2)는 IDW 구동을 위해 Q 노드를 충전 시킨다. 입력부(BLK2)는 SDW 구동시에는 동작하지 않는다.
- [0065] 입력부(BLK2)는 IDW 구동시에 스타트 단자를 통해 입력되는 제2 전단 캐리 신호(C(n-3))에 응답하여 Q 노드를 게이트 온 전압의 제2 전단 캐리 신호(C(n-3))로 충전한다. 제2 전단 캐리 신호(C(n-3))는 제1 전단 캐리 신호(C(n-1))에 비해 게이트 온 전압의 위상이 앞선다. 입력부(BLK2)는 리셋 단자를 통해 입력되는 후단 캐리 신호 C(n+3)에 응답하여 Q 노드를 저전위 전원 전압(GVSS)으로 방전한다.
- [0066] 이를 위해, 입력부(BLK2)는 복수의 트랜지스터들(T1, T2)을 포함한다. 제1 트랜지스터(T21)는 제2 전단 캐리 신호(C(n-3))의 입력단(스타트 단자)에 접속된 게이트전극과 제1 전극, 및 Q 노드에 접속된 제2 전극을 포함하여, 게이트 온 전압의 제2 전단 캐리 신호(C(n-3))를 Q 노드에 인가한다. 제2 트랜지스터(T22)는 후단 캐리 신호(C(n+3))의 입력단(리셋 단자)에 접속된 게이트전극, Q 노드에 접속된 제1 전극, 및 저전위 전원 전압(GVSS)의 입력단에 접속된 제2 전극을 포함한다. 제2 트랜지스터(T22)는 후단 캐리 신호(C(n+3))가 입력되는 동안 Q 노드

와 저전위 전원 전압(GVSS)을 연결하여, Q 노드를 방전 한다.

- [0067] 인버터부(BLK3)는 IDW 구동시 및 SDW 구동시에 QB 노드를 Q 노드와 반대로 충전 및 방전한다. 인버터부(BLK3)는 IDW 구동시 게이트 온 전압의 위상이 제1 전단 캐리신호(C(n-2))보다 앞선 제2 전단 캐리신호(C(n-3))에 따라 QB 노드를 저전위 전원전압(GVSS)으로 제1 차 방전한 후, Q 노드의 충전 전압에 따라 QB 노드를 저전위 전원전압(GVSS)으로 제2 차 방전한 후, Q 노드의 방전 전압에 따라 QB 노드를 제2 고전위 전원전압(GVDD2)으로 충전한다. 이어서, 인버터부(BLK3)는 SDW 구동시 M 노드의 충전 전압과 게이트 온 전압의 센싱 시작신호(SRT)에 따라 QB 노드를 저전위 전원전압(GVSS)으로 제3 차 방전한 후, Q 노드의 충전 전압에 따라 QB 노드를 저전위 전원전압(GVSS)으로 제4 차 방전한다.
- [0068] 인버터부(BLK3)는 IDW 구동시 및 SDW 구동시에 Q 노드가 충전 상태를 유지하는 동안에 제2 고전위 전원전압(GVDD2)의 입력단과 QB 노드 간의 전기적 연결을 차단한다. 인버터부(BLK3)는 N1 노드의 전압에 따라 QB 노드에 제2 고전위 전원전압(GVDD2)을 인가하여 QB 노드를 충전할 수 있다. N1 노드의 전압은 Q 노드와 반대로 제어된다. N1 노드는 Q 노드가 충전 상태를 유지하는 동안 저전위 전원전압(GVSS)으로 방전되는 데 반해, Q 노드가 방전 상태를 유지하는 동안 제2 고전위 전원전압(GVDD2)으로 충전된다. 다시 말해, QB 노드의 전위는 Q 노드에 저전위 전원전압(GVSS)이 인가되는 동안 제2 고전위 전원전압(GVDD2)으로 충전된다.
- [0069] 이를 위해, 인버터부(BLK3)는 복수의 트랜지스터들(T31~T33)을 포함한다. 제1 트랜지스터(T31)는 N1 노드에 접속된 게이트전극, 제2 고전위 전원전압(GVDD2)의 입력단에 접속된 제1 전극, 및 QB 노드에 접속된 제2 전극을 포함한다. 제2 트랜지스터(T32)는 제2 고전위 전원전압(GVDD2)의 입력단에 접속된 게이트전극과 제1 전극, 및 N1 노드에 접속된 제2 전극을 포함한다. 제3 트랜지스터(T33)는 Q 노드에 접속된 게이트전극, N1 노드에 접속된 제1 전극, 및 저전위 전원전압(GVSS)의 입력단에 접속된 제2 전극을 포함한다.
- [0070] 인버터부(BLK3)는 IDW 구동시 및 SDW 구동시에 Q 노드가 충전된 동안에 QB 노드를 저전위 전원전압(GVSS)으로 방전한다. 그리고, 인버터부(BLK3)는 동작의 신뢰성을 높이기 위해 제2 전단 캐리신호(C(n-3))에 따라 QB 노드를 추가적으로 저전위 전원전압(GVSS)으로 방전할 수 있다.
- [0071] 이를 위해, 인버터부(BLK3)는 복수의 트랜지스터들(T34, T35)을 더 포함한다. 제4 트랜지스터(T34)는 Q 노드에 접속된 게이트전극과, QB 노드에 접속된 제1 전극, 및 저전위 전원전압(GVSS)이 인가되는 제2 전극을 포함한다. 그리고, 제5 트랜지스터(T35)는 제2 전단 캐리 신호(C(n-3))가 인가되는 게이트전극, QB 노드에 접속된 제1 전극, 및 저전위 전원전압(GVSS)이 인가되는 제2 전극을 포함한다.
- [0072] 인버터부(BLK3)는 동작의 신뢰성을 더 높이기 위해 SDW 구동시에 M 노드의 충전 전압과 게이트 온 전압의 센싱 시작신호(SRT)에 따라 QB 노드를 저전위 전원전압(GVSS)으로 방전한다.
- [0073] 이를 위해, 인버터부(BLK3)는 복수의 트랜지스터들(T36, T37)을 더 포함한다. 제6 트랜지스터(T36)는 센싱 시작신호(SRT)가 인가되는 게이트전극과, QB 노드에 접속된 제1 전극, 및 제7 트랜지스터(T37)의 일측 전극에 접속된 제2 전극을 포함한다. 그리고, 제7 트랜지스터(T37)는 M 노드에 접속된 게이트전극과 제6 트랜지스터(T36)의 제2 전극에 접속된 제1 전극, 및 저전위 전원전압(GVSS)이 인가되는 제2 전극을 포함한다.
- [0074] 출력부(BLK4)는 IDW 구동시 Q 노드가 충전 상태를 유지하는 동안에 게이트 온 전압의 스캔 클럭(SCCLK(n))을 화상용 스캔 신호(SCT(n))로 출력하고, 게이트 온 전압의 캐리 클럭(CRCLK(n))을 화상용 캐리 신호(C(n))로 출력한다. 그리고, 출력부(BLK4)는 SDW 구동시 Q 노드가 충전 상태를 유지하는 동안에 게이트 온 전압의 스캔 클럭(SCCLK(n))을 센싱용 스캔 신호(SCT(n))로 출력한다.
- [0075] 이를 위해, 출력부(BLK4)는 제1 및 제2 풀업 트랜지스터들(T41, T42)과 부스팅 커패시터(CB)를 포함한다. 제1 풀업 트랜지스터(T41)는 Q 노드에 접속된 게이트전극, 캐리 클럭(CRCLK(n))의 입력단에 접속된 제1 전극, 및 제1 출력 노드(N01)에 접속된 제2 전극을 포함한다. 제2 풀업 트랜지스터(T42)는 Q 노드에 접속된 게이트전극, 스캔 클럭(SCCLK(n))의 입력단에 접속된 제1 전극, 및 제2 출력 노드(N02)에 접속된 제2 전극을 포함한다. 제1 및 제2 풀업 트랜지스터들(T41, T42)의 게이트전극들이 동일한 Q 노드에 접속되기 때문에 스테이지(132)의 구성 및 실장 면적이 줄어들고, 베젤 영역을 줄이기에 유리하다. 부스팅 커패시터(CB)는 Q 노드와 제2 출력 노드(N02) 사이에 접속되어, Q 노드의 전압이 게이트 온 전압의 스캔 클럭(SCCLK(n))에 동기하여 부트 스트랩핑(Bootstrapping)되도록 한다. Q 노드의 전압이 부트 스트랩핑되면 게이트 온 전압의 스캔 클럭(SCCLK(n))이 빠르게 그리고 왜곡없이 화상용 스캔 신호(SCT(n))로 출력될 수 있다.
- [0076] 안정화부(BLK5)는 QB 노드가 충전된 동안 Q 노드, 및 출력 노드들(N01, N02)에 저전위 전원전압(GVSS)을 인가하

여 Q 노드, 및 출력 노드들(N01,N02)의 전압 상태를 안정화시킨다.

- [0077] 이를 위해, 안정화부(BLK5)는 복수의 트랜지스터들(T51~T53)을 포함한다. 제1 트랜지스터(T51)는 QB 노드에 접속된 게이트전극, 제1 출력 노드(N01)에 접속된 제1 전극, 및 저전위 전원전압(GVSS)이 인가되는 제2 전극을 포함한다. 제2 트랜지스터(T52)는 QB 노드에 접속된 게이트전극, 제2 출력 노드(N02)에 접속된 제1 전극, 및 저전위 전원전압(GVSS)이 인가되는 소스전극을 포함한다. 제3 트랜지스터(T53)는 QB 노드에 접속된 게이트전극, Q 노드에 접속된 제1 전극, 및 저전위 전원 전압(GVSS)이 인가되는 제2 전극을 포함한다.
- [0078] 도 4를 참조하면, IDW 구동 중에 M 노드가 게이트 온 전압으로 충전되는 활성 스테이지의 개수는 1 프레임 당 1 개일 수 있다. 이러한 활성 스테이지의 위치는 프레임마다 랜덤하게 바뀔 수 있다. SDW 구동을 위해 매 프레임마다 활성 스테이지의 위치가 랜덤하게 바뀌면, SDW 구동되는 픽셀 라인이 랜덤하게 바뀌게 된다. 예컨대, 제K 프레임의 수직 액티브 기간(VWP)에서 픽셀 라인 A에 연결된 제1 활성 스테이지의 M 노드가 충전(SDW 준비)된 후 제K 프레임의 수직 블랭크 기간(VBP)에서 제1 활성 스테이지로부터 출력된 센싱용 게이트신호에 따라 픽셀 라인 A가 센싱될 수 있다. 그리고, 제K+1 프레임의 수직 액티브 기간(VWP)에서 픽셀 라인 B에 연결된 제2 활성 스테이지의 M 노드가 충전(SDW 준비)된 후 제K+1 프레임의 수직 블랭크 기간(VBP)에서 제2 활성 스테이지로부터 출력된 센싱용 게이트신호에 따라 픽셀 라인 B가 센싱될 수 있다.
- [0079] SDW 구동 중에 픽셀들은 발광을 멈추기 때문에 순차적으로 픽셀 라인들을 센싱하면 센싱되는 픽셀 라인이 라인 덤으로 시인될 수 있다. 픽셀 라인들을 순차적으로 센싱하지 않고 랜덤한 순서로 센싱하면, 시각적 분산 효과에 의해 라인 덤이 보이지 않게 되는 효과가 있다.
- [0080] 도 5는 도 3의 스테이지에 인가되는 제1 고전위 전원전압이 IDW 구동시에 비해 SDW 구동시에 더 높아지는 것을 보여주는 도면이다. 도 6은 도 3의 스테이지에 인가되는 제1 및 제2 고전위 전원전압들이 IDW 구동시에 동일하고, SDW 구동시에는 제1 고전위 전원전압이 제2 고전위 전원전압에 비해 높아지는 것을 보여주는 도면이다. 그리고, 도 7은 디스플레이 구동시 및 센싱 구동시에 있어, 도 5 및 도 6의 제1 고전위 전원전압에 따른 Q 노드 전압 변화를 보여주는 도면이다.
- [0081] 도 5 및 도 6을 참조하면, 도 3의 스테이지(132)에 인가되는 고전위 전원전압은 픽셀라인 선택부(BLK1)에 인가되는 제1 고전위 전원전압(GVDD1)과 인버터부(BLK3)에 인가되는 제2 고전위 전원전압(GVDD2)으로 2원화된다.
- [0082] SDW 구동시 Q 노드 충전 전압이 충분히 확보되도록, 제1 고전위 전원전압(GVDD1)은 IDW 구동시에 비해 SDW 구동시에 더 높게 설정된다. SDW 구동시의 제1 고전위 전원전압(GVDD1)은 IDW 구동시의 제1 고전위 전원전압(GVDD1)인 "VX"보다 높고, 제1 고전위 전원전압(GVDD1)의 입력단에 연결된 트랜지스터들(T13,T14)의 브레이크-다운(Break-down) 전압보다 낮은 "VX+ $\alpha$ "로 설정될 수 있다. 도 7과 같이 SDW 구동시, 제1 고전위 전원전압(GVDD1)이 높을수록 Q 노드 충전을 및 충전 시간이 개선될 수 있다. 도 7에서, (A)는 SDW 구동시의 제1 고전위 전원전압(GVDD1)이 "VX"로 설정된 경우에 있어 Q 노드 전압이고, (B)는 SDW 구동시의 제1 고전위 전원전압(GVDD1)이 "VX+ $\alpha$ "로 설정된 경우에 있어 Q 노드 전압이다.
- [0083] 하지만, SDW 구동시, 제1 고전위 전원전압(GVDD1)이 높을수록 트랜지스터들(T13,T14)에 걸리는 부하가 커지는 단점이 있다. 따라서, SDW 구동을 위한 제1 고전위 전원전압(GVDD1)은 트랜지스터들(T13,T14)의 브레이크-다운(Break-down) 전압보다 낮은 전압 범위 내에서 높이는 것이 바람직하다.
- [0084] 다만, 스테이지의 동작 안정성을 위해 제2 고전위 전원전압(GVDD2)은 IDW 및 SDW 구동시에 동일하게 설정될 수 있다. 예를 들어, 도 6과 같이 제2 고전위 전원전압(GVDD2)은 IDW 구동시의 제1 고전위 전원전압(GVDD1)과 동일한 "VX"로 설정될 수 있다.
- [0085] 도 8은 도 3의 스테이지에 연결되는 일 픽셀과, 상기 일 픽셀에 연결되는 데이터 구동회로를 보여주는 도면이다. 도 9는 센싱 구동을 위한 게이트신호와 데이터신호를 보여주는 도면이다. 도 10a는 도 9의 셋업 기간에 대응되는 픽셀의 등가회로도이다. 도 10b는 도 9의 센싱 기간에 대응되는 픽셀의 등가회로도이다. 그리고, 도 10c는 도 9의 리셋 기간에 대응되는 픽셀의 등가회로도이다.
- [0086] 도 3의 스테이지(132)에서 출력되는 화상용 또는 센싱용 스캔 신호(SCT(n))는 도 8의 게이트 라인(GLn)을 통해 픽셀(PIX)에 공급된다. 도 8의 픽셀(PIX)은 외부 보상용 센싱 동작을 수행할 수 있다. 외부 보상용 센싱은 픽셀(PIX)의 구동 특성을 센싱하고, 그 센싱 결과를 기반으로 영상 데이터(RGB)를 보정하는 기술이다.
- [0087] 도 8의 픽셀(PIX)은 수직 액티브 기간 중에 IDW 구동되고, 수직 블랭크 기간 중에 SDW 구동된다. 소스 드라이버 IC(120)는 디지털-아날로그 컨버터(DAC)를 포함한다. 디지털-아날로그 컨버터(DAC)는 IDW 구동시 영상 데이터

(RGB)를 화상용 데이터전압(VIDW)로 변환하고, SDW 구동시 픽셀(PIX)에 기입될 센싱용 데이터전압을 생성하며, 픽셀(PIX)에 기입될 기준 전압(Vref)을 더 생성할 수 있다. 소스 드라이브 IC(120)는 SDW 구동에 필요한 센싱 회로(SU)와 아날로그-디지털 컨버터(ADC)를 더 포함한다. 센싱 회로(SU)는 전류 센싱형 또는 전압 센싱형으로 구현될 수 있다. 아날로그-디지털 컨버터(ADC)는 센싱 회로(SU)에서 샘플링된 아날로그 신호를 디지털 데이터(S-DATA)로 변환한다. 각 픽셀(PIX)에 연결된 기준 라인(RL)은 도시하지 않는 스위치 회로를 통해 디지털-아날로그 컨버터(DAC)와 센싱 회로(SU)에 선택적으로 연결될 수 있다.

[0088] 도 8을 참조하면, 픽셀(PIX)은 OLED, 구동 TFT(DT), 제1 스위치 TFT(ST1), 제2 스위치 TFT(ST2), 및 스토리지 커패시터(Cst)를 포함할 수 있다.

[0089] 먼저, IDW 구동을 위한 픽셀(PIX)의 동작을 설명하면 다음과 같다. IDW 구동은 프로그래밍 기간과 발광 기간으로 구현될 수 있다.

[0090] 프로그래밍 기간 동안, 제1 스위치 TFT(ST1)는 게이트라인(GLn)으로부터의 화상용 스캔 신호(SCT(n))에 따라 턴 온 되어 데이터라인(DL) 상의 화상용 데이터전압(VIDW)을 구동 TFT(DT)의 게이트전극(Ng)에 공급한다. 프로그래밍 기간 동안, 제2 스위치 TFT(ST2)는 게이트라인(GLn)으로부터의 화상용 스캔 신호(SCT(n))에 따라 턴 온 되어 기준 라인(RL) 상의 기준 전압(Vref)을 구동 TFT(DT)의 소스전극(Ns)에 공급한다. 따라서, 프로그래밍 기간 동안 구동 TFT(DT)의 게이트-소스 간 전압은 “Vdata-Vref” 로 설정된다.

[0091] 이어서, 발광 기간 동안 제1 및 제2 스위치 TFT들(ST1,ST2)은 턴 오프 된다. 발광 기간 동안 구동 TFT(DT)의 게이트-소스 간 전압은 스토리지 커패시터(Cst)에 의해 유지된다. 발광 기간 동안 구동 TFT(DT)에는 “Vdata-Vref” 의 제곱근에 비례하는 구동 전류가 흐르고, 이 구동전류에 의해 OLED가 발광된다.

[0092] 다음으로, 도 9 내지 도 10c를 기반으로 SDW 구동을 위한 픽셀(PIX)의 동작을 설명하면 다음과 같다. SDW 구동을 위한 수직 블랭크 기간(VBP)은 구동 TFT(DT)의 게이트-소스 간 전압을 센싱 조건에 맞게 설정하는 셋업 기간(①)과, 픽셀 전류를 샘플링하는 센싱 기간(②)과, 구동 TFT(DT)의 게이트-소스 간 전압을 IDW 구동의 발광 기간 상태로 원복 시키는 리셋 기간(③)을 포함한다.

[0093] 도 9 및 도 10a를 참조하면, 셋업 기간(①)에서 픽셀(PIX)의 제1 스위치 TFT(ST1)는 센싱용 스캔 신호(SCT(n))에 따라 턴 온 되어 구동 TFT(DT)의 게이트 전극(Ng)에 센싱용 데이터전압(VSDW)을 인가한다. 셋업 기간(①)에서 픽셀(PIX)의 제2 스위치 TFT(ST2)는 센싱용 스캔 신호(SCT(n))에 따라 턴 온 되어 구동 TFT(DT)의 소스 전극(Ns)에 기준전압(Vref)을 인가한다. 이를 통해 셋업 기간(①)에서 구동 TFT(DT)의 게이트-소스 간 전압이 센싱 조건에 맞게 설정된다.

[0094] 도 9 및 도 10b를 참조하면, 센싱 기간(②)에서 픽셀(PIX)의 제1 스위치 TFT(ST1)와 제2 스위치 TFT(ST2)는 턴 온 상태를 유지한다. 센싱 기간(②)에서 센싱 회로(SU)는 제2 스위치 TFT(ST2)와 기준 라인(RL)을 통해 입력되는 픽셀 전류를 샘플링한다.

[0095] 도 9 및 도 10c를 참조하면, 리셋 기간(③)에서 픽셀(PIX)의 제1 스위치 TFT(ST1)와 제2 스위치 TFT(ST2)는 턴 온 상태를 유지한다. 리셋 기간(③)에서 구동 TFT(DT)의 게이트 전극(Ng)에는 원복용 데이터전압(VREC)이 인가되고, 구동 TFT(DT)의 소스 전극(Ns)에는 기준 전압(Vref)이 인가된다. 원복용 데이터전압(VREC)은 화상용 데이터전압(VIDW)일 수 있다. 리셋 기간(③)에서 구동 TFT(DT)의 게이트-소스 간 전압은 IDW 구동의 발광 기간 상태로 원복 된다.

[0096] 전술한 바와 같이, 본 발명은 픽셀라인 선택부에 인가되는 고전위 전원전압을 디스플레이 구동시에 비해 센싱 구동시에 더 높임으로써, 센싱 구동시 Q 노드에 대한 충전 레벨을 강화하여 원하는 게이트 출력 특성이 확보할 수 있다. 본 발명은 센싱 구동시 원하는 게이트 출력 특성이 확보하여 픽셀의 구동 특성을 보다 정확히 센싱함으로써, 보상 성능을 높일 수 있다.

[0097] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

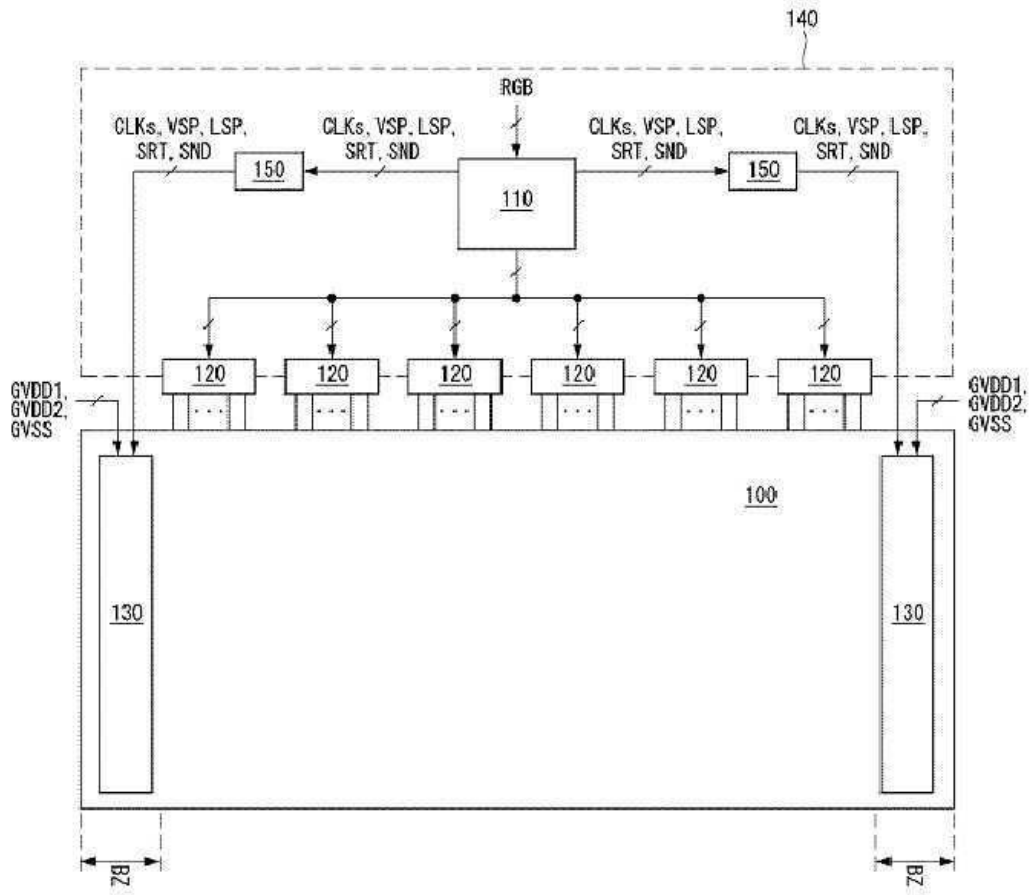
**부호의 설명**

[0098] 100 : 표시패널 110 : 타이밍 컨트롤러

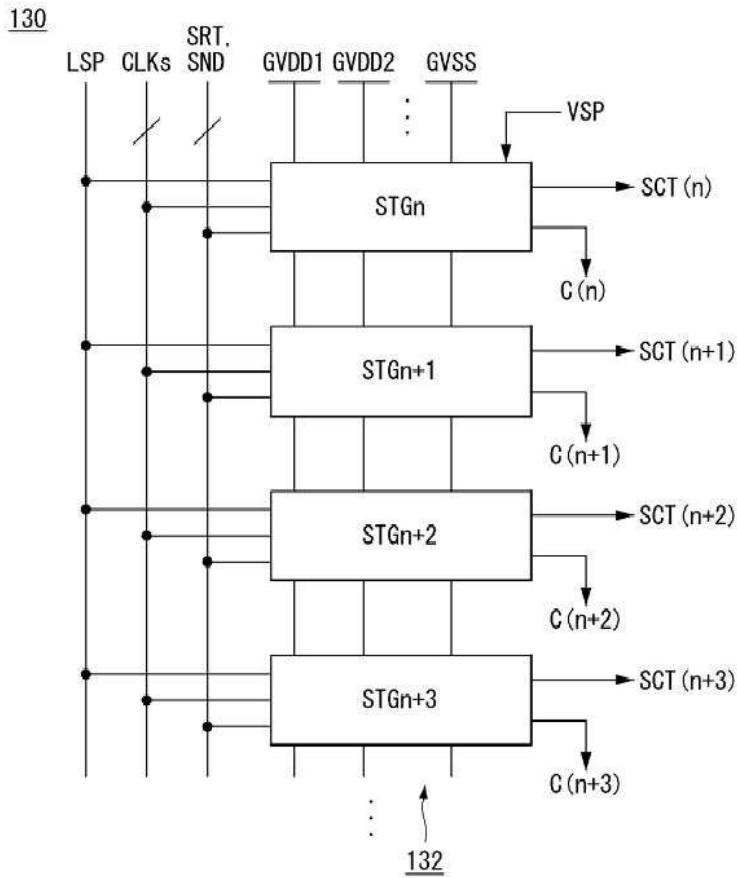
130 : 게이트 쉬프트 레지스터 132 : 스테이지

도면

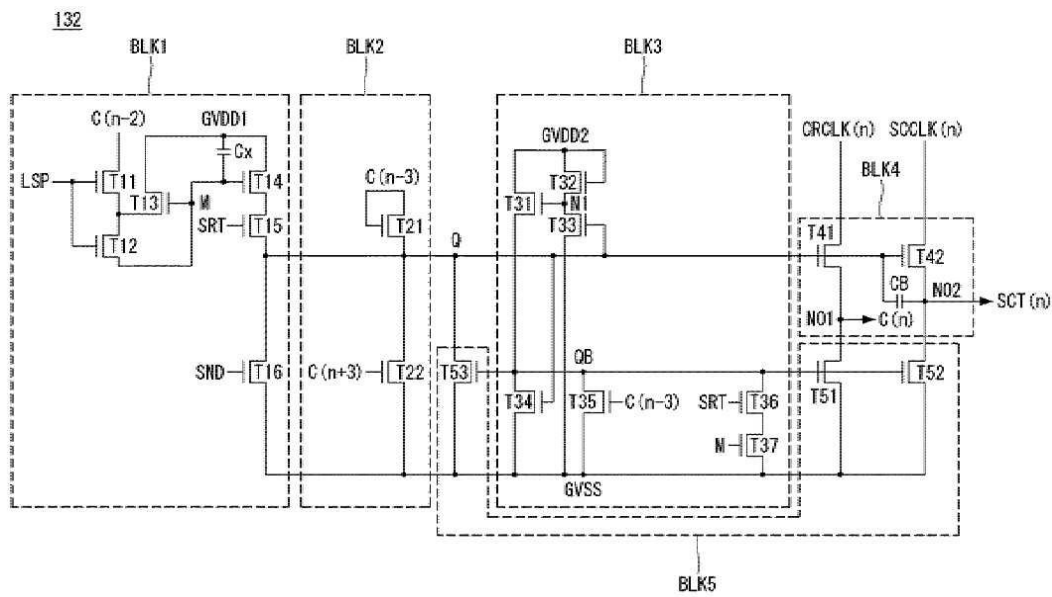
도면1



도면2

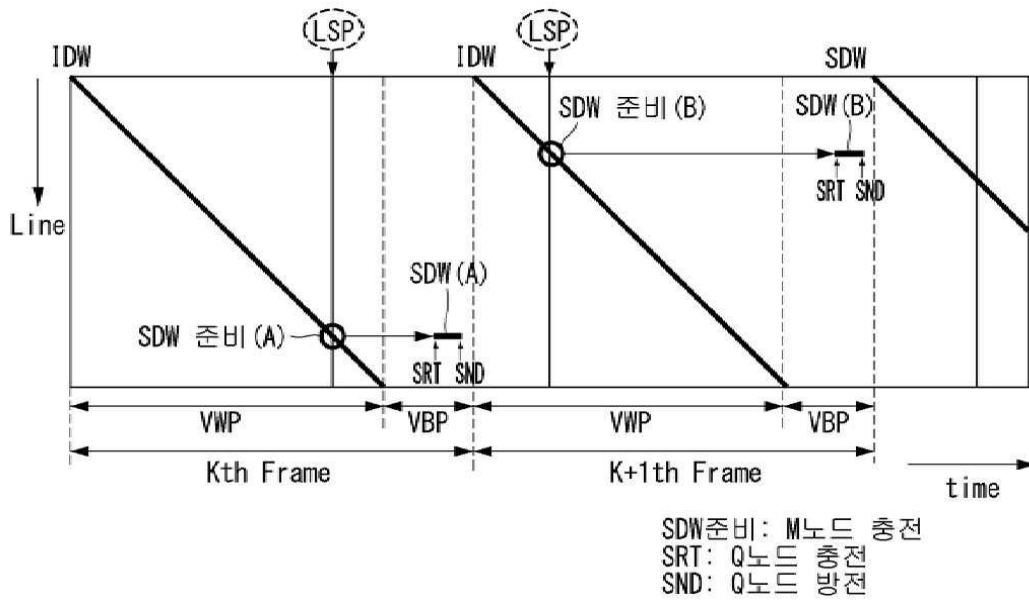


도면3

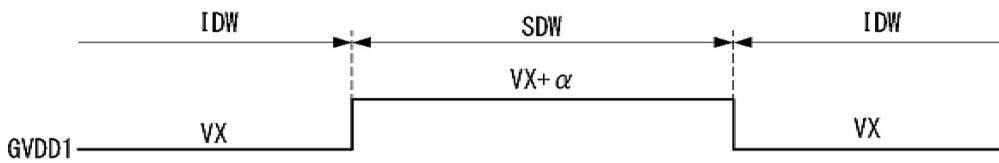




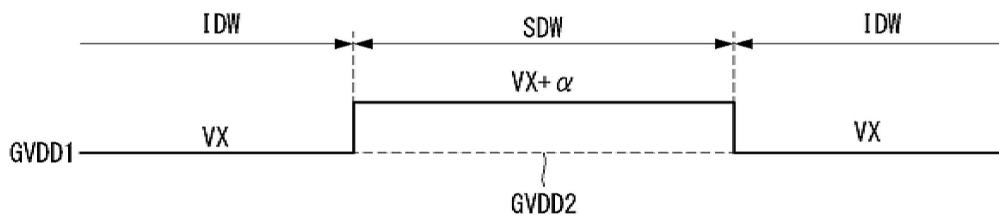
도면4



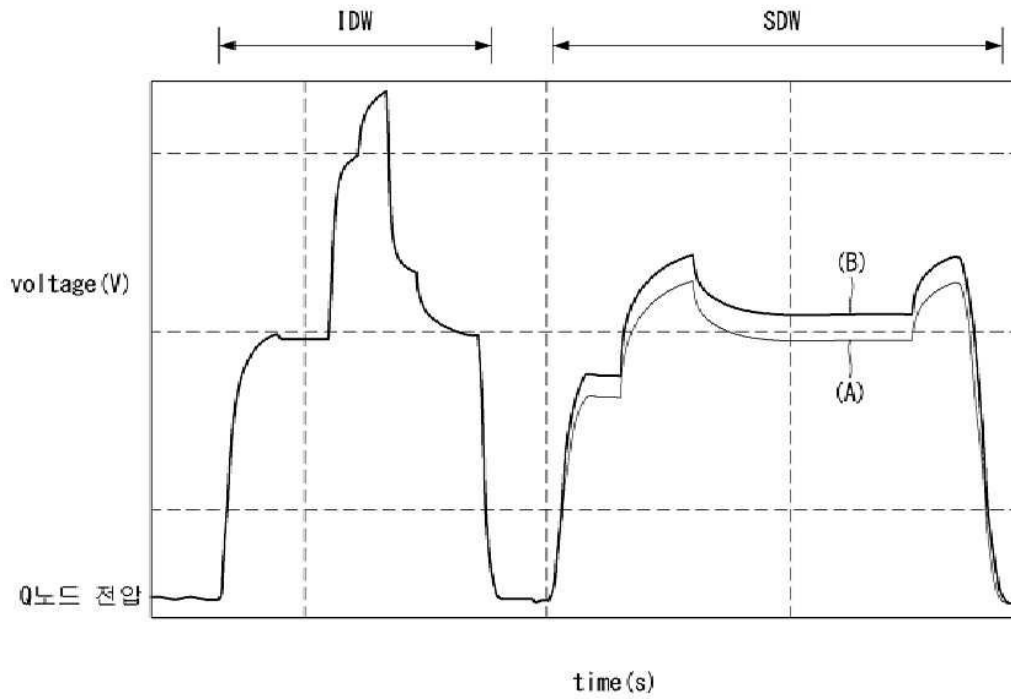
도면5



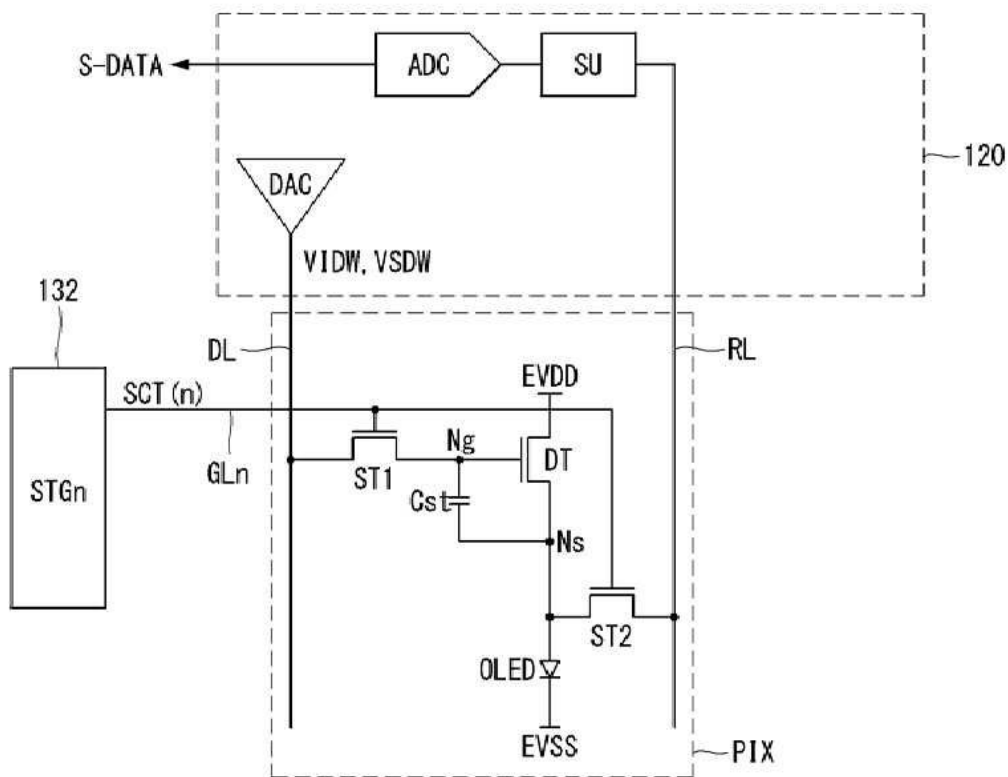
도면6



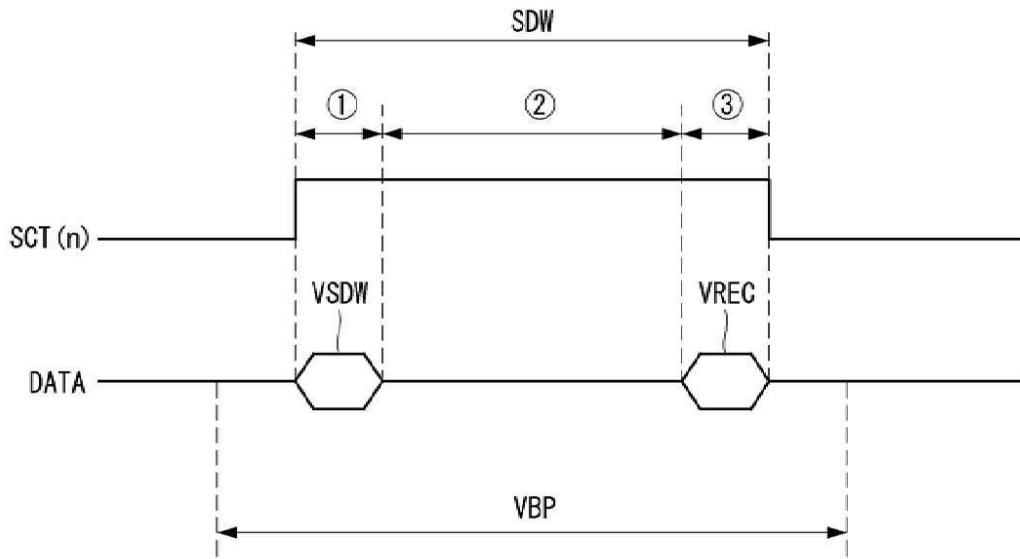
도면7



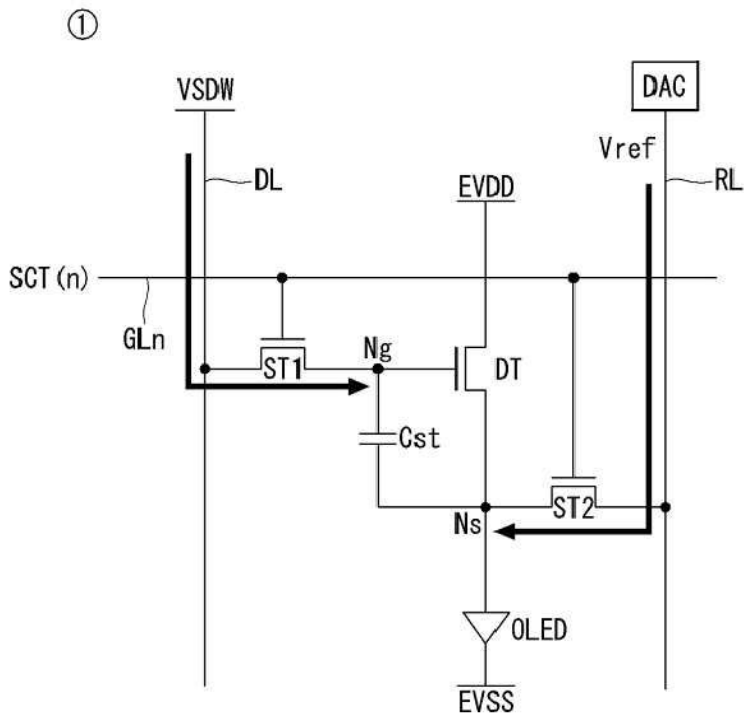
도면8



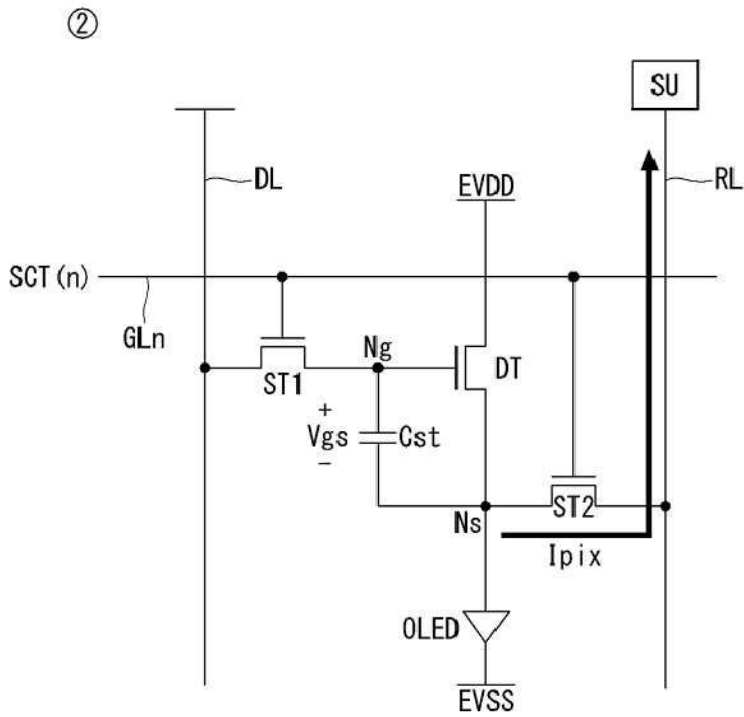
도면9



도면10a



도면10b



도면10c

