



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

241229

(11)

(B1)

(22) Přihlášeno 14 12 83

(21) {PV 9380-83}

(40) Zveřejněno 22 08 85

(45) Vydáno 15 09 87

(51) Int. Cl.⁴

G 05 D 3/12

//G 05 B 15/02

(75)

Autor vynálezu

HEMZAL BOLESLAV; ŠIK VLADISLAV, BRNO

(54) Zapojení desky logiky pro mikropočítač

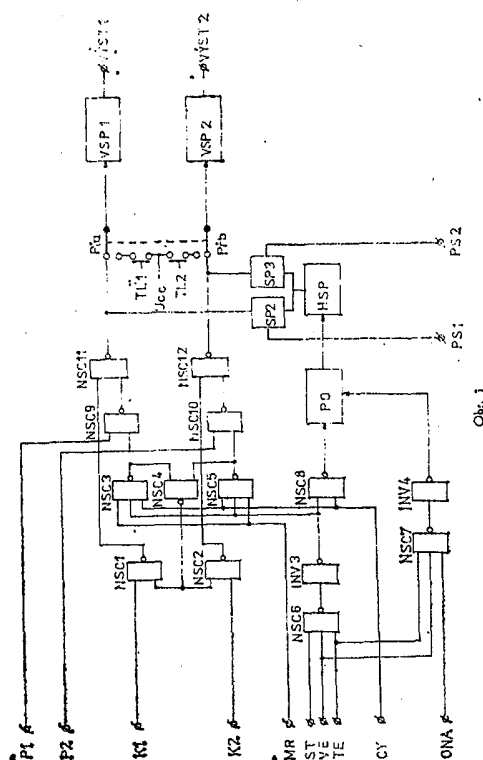
1

Zapojení desky logiky pro mikropočítač je určeno pro řízení technologických procesů, zejména natáčení slunečních kolektorů.

Zapojení desky logiky pro mikropočítač sestává z logických obvodů, odporů, přepínačů, tlačítek, převodníků úrovní, prahového obvodu, spínačů.

Zapojení desky logiky pro mikropočítač je určeno pro řízení technologických procesů. Zejména je zapojení desky logiky pro mikropočítač určeno pro řízení natáčení slunečních kolektorů natáčení slunečních článků pro výrobu elektrického proudu, natáčení zrcadel pro sluneční elektrárnu, řízení chodu malých vodních elektráren, natáčení antén, ovládání jednoduchých robotů, řízení chodu automatických kotelen atp.

2



Vynález se týká zapojení desky logiky pro mikropočítač, určený pro řízení technologických procesů, zejména natáčení slunečních kolektorů.

Dosud známé systémy slunečních kolektorů jsou většinou stacionární. V ojedinělých případech, kdy se používá natáčení systémů slunečních kolektorů, používá se pro řízení otáčení většinou hodinový strojek. Je-li použita elektronika, tak většinou bývá velmi nedokonalá. Znamé desky logiky pro mikropočítače a počítače jsou většinou velmi složité a jejich funkce nesplňuje požadavky pro natáčení slunečních kolektorů, protože natáčení je potřeba řídit v závislosti na více signálech, vzájemně se podmíněných. Jako například na teplotě, větru, mrazu, celkovém osvětlení atd. Dále je nutné zabezpečit ranní najíždění na východ a večer odstavení do bezpečnostní polohy.

Nevýhodou dosud známých systémů slunečních kolektorů je to, že jsou stacionární a proto mají malý výkon. Při použití natáčení podle hodinového strojku dochází ke značné úhlové chybě oproti skutečné poloze slunce. Při použití elektroniky je tato značně nedokonalá a proto nemůže zabezpečit správný provoz kolektorů. Dosud známé systémy řízení natáčení slunečních kolektorů neřídí natáčení v závislosti na okolních podmínkách jako je vítr, teplota, intenzita osvětlení atd.

Uvedené nevýhody v podstatě odstraňuje použití zapojení desky logiky pro mikropočítač podle tohoto vynálezu, jehož podstata spočívá v tom, že první svorka komparátorů je spojena s jedním vstupem prvního dvouvstupového obvodu typu NAND, přičemž jeho druhý vstup je spojen s jedním vstupem druhého dvouvstupového obvodu typu NAND a výstupem čtvrtého dvouvstupového obvodu typu NAND, přičemž druhý vstup druhého dvouvstupového obvodu typu NAND je spojen s druhou svorkou pro komparátory, přičemž výstup prvního dvouvstupového obvodu typu NAND je připojen na jeden vstup jedenáctého dvouvstupového obvodu NAND, kdežto výstup druhého dvouvstupového obvodu typu NAND je připojen na jeden vstup dvanáctého dvouvstupového obvodu typu NAND, přičemž jeden vstup třetího a pátého třívstupového obvodu a oba typy NAND jsou spojeny a připojeny na svorku mraky, také druhé vstupy třetího a pátého třívstupového obvodu oba typy NAND jsou spojeny a připojeny na výstup třetího obvodu typu invertor a na vstup osmého dvouvstupového obvodu typu NAND, jehož druhý vstup je jednak spojen se svorkou cykl a jednak se třetím vstupem třetího a pátého třívstupového obvodu oba typy NAND, přičemž výstup třetího třívstupového obvodu typu NAND je spojen s jedním vstupem čtvrtého dvouvstupového obvodu typu NAND a jedním vstupem devátého dvouvstupového obvodu typu NAND, jehož druhý vstup je spojen s první svorkou pro řízení

programem a jeho výstup je spojen s druhým vstupem jedenáctého dvouvstupového obvodu typu NAND, přičemž výstup pátého třívstupového obvodu typu NAND je spojen s druhým vstupem čtvrtého dvouvstupového obvodu typu NAND a s jedním vstupem desátého dvouvstupového obvodu typu NAND, jehož druhý vstup je spojen s druhou svorkou pro řízení programem a jeho výstup je spojen s druhým vstupem dvanáctého dvouvstupového obvodu typu NAND, přičemž vstup třetího obvodu typu invertor je spojen s výstupem šestého třívstupového obvodu typu NAND, jehož jeden vstup je spojen se svorkou start, druhý vstup je současně spojen se svorkou větr a jedním vstupem sedmého třívstupového obvodu typu NAND, třetí vstup je současně spojen se svorkou teplota a druhým vstupem sedmého třívstupového obvodu typu NAND, jehož třetí vstup je spojen se svorkou odblokování nájezdu a jeho výstup je spojen se vstupem čtvrtého obvodu typu invertor, jehož výstup je spojen s jedním vstupem prahového obvodu, kdežto druhý vstup prahového obvodu je spojen s výstupem osmého dvouvstupového obvodu typu NAND a výstup prahového obvodu je spojen se vstupem hlavního spínače, jehož výstup je současně připojen na jeden vstup druhého a jeden vstup třetího spínače, přičemž druhý vstup druhého spínače je spojen s první svorkou pro polohový snímač a druhý vstup třetího spínače je spojen s druhou svorkou pro polohový snímač, přičemž výstup druhého spínače je spojen s výstupem jedenáctého dvouvstupového obvodu typu NAND a jemu přiřazeným přepínatelným kontaktem, například první sekce přepínače, jehož přepínající se kontakt je spojen se vstupem prvního výstupního spínače, jehož výstup je na první svorce, přičemž druhý přepínatelný kontakt první sekce přepínače je spojen s jedním kontaktem prvního tlačítka, jehož druhý kontakt je spojen s jedním kontaktem druhého tlačítka a zdrojem elektrické energie, kdežto druhý kontakt druhého tlačítka je spojen s jedním jemu přiřazeným kontaktem druhé sekce přepínače, přičemž druhý přepínatelný kontakt druhé sekce přepínače je spojen s výstupem dvanáctého dvouvstupového obvodu typu NAND a výstupem třetího spínače, kdežto přepínající se kontakt druhé sekce přepínače je spojen se vstupem druhého výstupního spínače, jehož výstup je na druhé výstupní svorce. Mezi první svorkou pro komparátory a jeden vstup prvního dvouvstupového obvodu typu NAND je zapojen první obvod typu invertor, a to tak, že jeho výstup je připojen na jeden vstup prvního dvouvstupového obvodu typu NAND a jeho vstup na první svorku pro komparátory, přičemž mezi druhou svorkou pro komparátory a jeden vstup druhého dvouvstupového obvodu typu NAND je zapojen druhý obvod typu invertor, a to tak, že jeho výstup je připojen na jeden

vstup druhého dvouvstupového obvodu typu NAND a jeho vstup je připojen na druhou svorku pro komparátory. Mezi první svorkou pro komparátory a prvním obvodem typu invertor je zapojen první převodník úrovně, ale i mezi druhou svorkou pro komparátory a druhým obvodem typu invertor je zapojen druhý převodník úrovně. Mezi první svorkou pro polohové snímače a jedním vstupem druhého spínače je zapojen třetí převodník úrovně, ale i mezi druhou svorkou pro polohové snímače a jedním vstupem třetího spínače je zapojen čtvrtý převodník úrovně. Mezi výstup jedenáctého dvouvstupového obvodu typu NAND a výstup druhého spínače a jeden přepínatelný kontakť první sekce přepínače je zapojen první odpor, ale i mezi výstup dvanáctého dvouvstupového obvodu typu NAND a výstup třetího spínače a jeden přepínatelný kontakt druhé sekce přepínače je zapojen druhý odpor. Mezi první svorkou pro řízení programem, spojenou s jedním vstupem devátého dvouvstupového obvodu typu NAND a nulový potenciál je zapojen třetí odpor, ale i mezi druhou svorkou pro řízení programem, spojenou s jedním vstupem desátého dvouvstupového obvodu typu NAND a nulový potenciál je zapojen čtvrtý odpor. Mezi první svorkou pro komparátory a jeden vstup prvního dvouvstupového obvodu typu NAND je zapojen první převodník úrovně, ale i mezi druhou svorkou pro komparátory a jeden vstup druhého dvouvstupového obvodu typu NAND je zapojen druhý převodník úrovně.

Výhodou zapojení desky logiky pro mikropočítač podle tohoto vynálezu je, že umožňuje řídit natáčení a chod slunečních kolektorů podle okamžité polohy slunce, dále umožňuje řídit natáčení a chod kolektorů podle programu. Velkou předností je, že celý systém kolektorů je řízen v závislosti na okolních podmínkách jako je vítr, překročení teploty v systému. Mezi přednostmi patří automatický přechod z řízení, podle snímačů polohy slunce na zařízení podle programu na základě vyhodnocení signálu na vstupu mraky. Velmi výhodné je i to, že pomocí vstupů pro polohové snímače je možné večer systém odstavit a ráno s ním najet do požadované polohy, anebo kdykoliv během dne, to je během funkce systému jej vrátit do bezpečnostní polohy, která je volena s ohledem na bezpečnost systému. Deska logiky dále umožňuje ovládání systému, a to po přepnutí přepínače do druhé polohy, pomocí tlačítek. Výhodné je použití výstupních výkonových obvodů, což umožňuje desku logiky použít pro ovládání libovolného systému. Přínosem je i použití vstupních převodníků úrovně pro řídicí signály ze snímačů, což umožňuje používat libovolnou úroveň ve snímačích, například 15 V a tuto upravit převodníkem na požadovanou hodnotu nebo při použití ovládacích signálů o logických úrovních použitého typu logiky tyto děliče je možné bez ovlivnění funkce vy-

nechat. Mezi přednostmi patří i možnost použít desku logiky samostatně nebo v sestavě mikropočítače.

Příklad zapojení desky logiky pro mikropočítač je vyobrazen na připojeném výkrese na obr. 1 a jeho alternativní zapojení na obr. 2.

První svorka pro komparátory **K1** je spojena se vstupem prvního převodníku úrovně **PRU1**. Jeho výstup je spojen se vstupem prvního obvodu **INV1** typu invertor, jehož výstup je spojen s jedním vstupem prvního dvouvstupového obvodu **NSC1** typu NAND, jehož druhý vstup je spojen s jedním vstupem druhého dvouvstupového obvodu **NSC2** typu NAND a výstupem čtvrtého dvouvstupového obvodu **NSC4** typu NAND. Druhá svorka pro komparátory **K2** je spojena se vstupem druhého převodníku úrovně **PRU2**, jehož výstup je spojen se vstupem druhého obvodu **INV2** typu invertor, výstup je spojen s druhým vstupem druhého dvouvstupového obvodu **NSC2** typu NAND, kterého výstup je spojen s jedním vstupem dvanáctého dvouvstupového obvodu **NSC12** typu NAND. Výstup prvního dvouvstupového obvodu **NSC1** typu NAND je spojen s jedním vstupem jedenáctého dvouvstupového obvodu **NSC11** typu NAND. První vstup třetího a pátého třívstupového obvodu **NSC3** a **NSC5** oba typu NAND jsou spojeny a připojeny na svorku mraky **MR**, také druhé vstupy jsou spojeny a připojeny na výstup třetího obvodu **INV3** typu invertor a na jeden vstup osmého dvouvstupového obvodu **NSC8** typu NAND, na jehož druhý vstup jsou jednak připojeny třetí vstupy třetího a pátého třívstupového obvodu **NSC3** a **NSC5** oba typu NAND a jednak svorka cyk **CY**. Výstup třetího třívstupového obvodu **NSC3** typu NAND je současně spojen s jedním vstupem devátého dvouvstupového obvodu **NSC9** typu NAND, jehož druhý vstup je připojen na třetí odpor **R3**, jehož druhý vývod je připojen na nulový potenciál a na první svorku pro řízení programem **P1**, dále s jedním vstupem čtvrtého dvouvstupového obvodu **NSC4** typu NAND. Druhý vstup čtvrtého dvouvstupového obvodu **NSC4** typu NAND je spojen s výstupem pátého třívstupového obvodu **NSC5** typu NAND a jedním vstupem desátého dvouvstupového obvodu **NSC10** typu NAND, jehož druhý vstup je jednak spojen se čtvrtým odporem **R4**, jehož druhý vývod je připojen na nulový potenciál, jednak s druhou svorkou pro řízení programem **P2**. Výstup desátého dvouvstupového obvodu **NSC10** typu NAND je spojen s druhým vstupem dvanáctého dvouvstupového obvodu **NSC12** typu NAND, jehož výstup je spojen s druhým odporem **R2**. Výstup devátého dvouvstupového obvodu **NSC9** typu NAND je spojen s druhým vstupem jedenáctého dvouvstupového obvodu **NSC11** typu NAND, jehož výstup je spojen s prvním odporem **R1**. Vstup třetího obvodu **INV3** typu invertor je spojen s výstu-

pem šestého třívstupového obvodu **NSC6** typu NAND, jehož jeden vstup je připojen na svorku start **ST**, druhý vstup je současně připojen na svorku větr **VE** a na jeden vstup sedmého třívstupového obvodu **NSC7** typu NAND, třetí vstup je současně připojen na svorku teplota **TE** a na druhý vstup sedmého třívstupového obvodu **NSC7** typu NAND, jehož třetí vstup je připojen na svorku odblokování nájezdu **ONA** a jeho výstup je spojen se čtvrtým obvodem **INV4** typu invertor, jehož výstup je připojen na jeden vstup prahového obvodu **PO**. Na druhý vstup prahového obvodu **PO** je připojen výstup osmého dvouvstupového obvodu **NSC8** typu NAND. Výstup prahového obvodu **PO** je spojen se vstupem hlavního spínače **HSP**, jehož výstup je současně připojen na jeden vstup druhého spínače **SP2** a jeden vstup třetího spínače **SP3**. Druhý vstup druhého spínače **SP2** je připojen na výstup třetího převodníku úrovně **PRU3**, jehož vstup je připojen na první svorku pro polohové snímače **PS1**, druhý vstup třetího spínače **SP3** je připojen na výstup čtvrtého převodníku úrovně **PRU4**, jehož vstup je připojen na druhou svorku pro polohové snímače **PS2**. Výstup druhého spínače **SP2** je připojen na druhý vývod prvního odporu **R1** a jeden přepínatelný kontakt, například první sekce, přepínače **Přa**, jehož přepínající se kontakt je spojen se vstupem prvního výstupního spínače **VSP1**, jehož výstup je připojen na první výstupní svorku **VÝST1**, přičemž druhý přepínatelný kontakt je spojen s jedním kontaktem prvního tlačítka **TL1**, jehož druhý kontakt je spojen s jedním kontaktem druhého tlačítka **TL2** a zdrojem **Ucc** elektrické energie. Druhý kontakt druhého tlačítka je spojen s jemu přiřazeným jedním přepínatelným kontaktem druhé sekce přepínače **Přb**, jehož přepínající se kontakt je spojen se vstupem druhého výstupního spínače **VSP2**, jehož výstup je připojen na druhou výstupní svorku **VÝST2**. Druhý přepínatelný kontakt druhé sekce přepínače **Přb** je spojen s druhým vývodem druhého odporu **R2** a výstupem třetího spínače **SP3**.

Přivede-li se na některý ze vstupů start **ST**, teplota **TE**, větr **VE** nebo cykl **CY** logická úroveň L, nastane funkce najíždění do bezpečnostní polohy, a to takto. Bude-li logická úroveň L na jednom ze vstupů start **ST**, větr **VE** nebo teplota **TE**, bude na výstupu šestého třívstupového obvodu **NSC6** typu NAND logická úroveň H a na výstupu třetího obvodu **INV3** typu invertor logická úroveň L, která současně způsobí, že na výstupu osmého dvouvstupového obvodu **NSC8** typu NAND bude logická úroveň H, současně i na výstupu třetího a pátého třívstupového obvodu **NSC3** a **NSC5** oba typu NAND bude logická úroveň H, která způsobí, že na výstupu čtvrtého dvouvstupového obvodu **NSC4** typu NAND bude logická úroveň L a tato způsobí, že na výstupech prvního a druhého dvouvstupového obvodu **NSC1** a **NSC2** oba

typu NAND bude logická úroveň H, která bude i na jednom vstupu jedenáctého a dvanáctého dvouvstupového obvodu **NSC11** a **NSC12** oba typu NAND. Protože na druhých vstupech devátého a desátého dvouvstupového obvodu **NSC9** a **NSC10** oba typu NAND, které jsou spojeny s první a druhou svorkou pro řízení programem **P1** a **P2**, je logická úroveň L, toto je zabezpečeno současným ovládním programové paměti signály start **ST**, cykl **CY**, větr **VE**, teplota **TE**, bude na výstupech devátého a desátého dvouvstupového obvodu **NSC9** a **NSC10** oba typu NAND logická úroveň H. Tím na obou vstupech jedenáctého a dvanáctého dvouvstupového obvodu **NSC11** a **NSC12** oba typu NAND je logická úroveň H a na výstupech logická úroveň L nemůže sepnout, a tím na prvním druhý odpor **R1** a **R2** a přes přepínač **Přa**, **Přb** na vstupy prvního a druhého výstupního spínače **VSP1** a **VSP2**, které tato logická úroveň L nemůže sepnout, a tím na prvním ani na druhém výstupu **VÝST1** a **VÝST2** není řídicí signál. Ale protože je na výstupu osmého dvouvstupového obvodu **NSC8** typu NAND logická úroveň H, změní prahový obvod **PO** svůj stav a výstupem sepne hlavní spínač **HSP**. Toto je možné, protože na výstupu sedmého třívstupového obvodu **NSC7** typu NAND je logická úroveň H, protože na vstupu odblokování nájezdu **ONA** je logická úroveň L, což je zabezpečeno vnějším ovládním, tím na výstupu čtvrtého obvodu **INV4** typu invertor je logická úroveň L, která nemůže blokovat prahový obvod **PO**. Proto je možné pomocí prvního nebo druhého vstupu pro polohového snímače **PS1** a **PS2** ovládat druhý a třetí spínač **SP2** a **SP3**, a tím i první a druhý výstupní spínač **VSP1** a **VSP2**. Protože první a druhý výstupní spínač **VSP1** a **VSP2** může sepnout, objeví se i na prvním nebo druhém výstupu **VÝST1** nebo **VÝST2**, popřípadě na obou, řídicí signál, který způsobí najíždění do bezpečnostní polohy. V tomto režimu není ovládní pomocí prvního nebo druhého vstupu pro komparátory **K1** nebo **K2** možné. Na logické úrovni na vstupu mraky **MR** nezáleží.

V případě, že přivedeme logickou úroveň L jen na vstup cykl **CY**, bude se deska logiky pro mikropočítač chovat úplně shodně, tak jako v bodě a, s tím rozdílem, že šestý třívstupový obvod **NSC6** typu NAND, a tím i třetí obvod **INV3** typu invertor nemění výstupní logickou úroveň, která zůstává H, protože ani na jednom vstupu šestého třívstupového obvodu **NSC6** typu NAND není logická úroveň L. V tomto režimu není ovládní pomocí prvního nebo druhého vstupu pro komparátory **K1** nebo **K2** možné. Na logické úrovni na vstupu mraky **MR** nezáleží.

Ranní najetí kolektoru je uskutečněno tím, že na vstup odblokování nájezdu **ONA** se přivede logická úroveň H. Současně musí být splněna podmínka, že vstupy větr **VE** a teplota **TE** mají také logickou úroveň H. Ta-

to úroveň signalizuje, že není větr ani není překročena teplota. Svorka start **ST** má nyní logickou úroveň **L**. Svorka cykl **CY** má při najezení logickou úroveň **H**, která pouze připraví osmý dvouvstupový obvod **NSC8** typu **NAND** a třetí a pátý třívstupový obvod **NSC3** a **NSC5** oba typu **NAND**. Logická úroveň **H** signálu cykl **CY** také aktivuje obvody pro najezení. Protože jsou na všech třech vstupech sedmého třívstupového obvodu **NSC7** typu **NAND** logické úrovně **H**, je na výstupu logická úroveň **L**, a tím na výstupu čtvrtého obvodu **INV4** typu invertor logická úroveň **H**, která zablokuje prahový obvod **PO** ve stavu, kdy svým vstupem nemůže aktivovat hlavní spínač **HSP**. Protože není hlavní spínač **HSP** aktivován, není možné pomocí prvního a druhého vstupu pro polohové snímače **PS1** a **PS2** ovládat první nebo druhý výstupní spínač **VSP1** nebo **VSP2**, popřípadě oba dva jsou nyní ovládány pomocí prvního nebo druhého, popřípadě obou dvou vstupů pro řízení programem **P1**, **P2**, a to přivedením logické úrovně **H**. Tato úroveň způsobí, že na obou vstupech devátého nebo desátého obvodu **NSC9** nebo **NSC10** oba typu **NAND**, popřípadě na všech vstupech obou obvodů, jsou logické úrovně **H**, a tím na jejich výstupech logické úrovně **L**, které způsobí, že na výstupu jedenáctého nebo dvanáctého obvodu **NSC11** a **NSC12** oba typu **NAND**, popřípadě na výstupech obou obvodů, je logická úroveň **H** a ta je přes přepínač **Přa**, **Přb** přivedena na vstup prvního a druhého výstupního spínače **VSP1** a **VSP2**, které aktivuje. Tím se na prvním nebo druhém výstupu **VÝST1** nebo **VÝST2**, popřípadě na obou, objeví řídicí signál. V tomto režimu není ovládání pomocí prvního nebo druhého vstupu pro komparátory **K1** nebo **K2** možné, protože na vstupu start **ST** je logická úroveň **L**. Na logické úrovni na vstupu mraky **MR** nezáleží.

Přivede-li se na vstup start **ST** logická úroveň **H** a mají-li vstupy větr **VE**, teplota **TE** a cykl **CY** také logickou úroveň **H**, je možné ovládat stav prvního a druhého výstupního spínače **VSP1** a **VSP2**, buď pomocí prvního a druhého vstupu pro komparátory **K1** a **K2**, nebo prvním a druhým vstupem pro řízení programem **P1** a **P2**, a to podle logické úrovně na vstupu mraky **MR**. Přitom je nutné, aby na vstupu odblokování nájezdu **ONA** byla logická úroveň **L**. Nyní mají všechny vstupy šestého třívstupového obvodu **NSC6** typu **NAND** logickou úroveň **H** a výstup logickou úroveň **L**, a tím je na výstupu třetího obvodu **INV3** typu invertor logická úroveň **H**. Protože i vstup cykl **CY** má logickou úroveň **H**, je na výstupu osmého dvouvstupového obvodu **NSC8** typu **NAND** logická úroveň **L**, která nemůže změnit stav prahového obvodu **PO** a proto nemůže být sepnut hlavní spínač **HSP** a proto není možné pomocí prvního a druhého vstupu pro polohové snímače **PS1** a **PS2** ovládat první a druhý výstupní spínač **VSP1** a **VSP2**. Jelikož na vstu-

pu odblokování nájezdu **ONA** je logická úroveň **L**, není ovlivněna funkce prahového obvodu **PO**. Bude-li na vstupu mraky **MR** logická úroveň **H**, je možné pomocí prvního a druhého vstupu pro komparátory **K1** a **K2** ovládat první a druhý výstupní spínač **VSP1** a **VSP2**, a to takto. Na všech třech vstupech třetího a pátého třívstupového obvodu **NSC3** a **NSC5** oba typu **NAND** je logická úroveň **H** a na jejich výstupech logická úroveň **L**. Tím je na výstupu čtvrtého dvouvstupového obvodu **NSC4** typu **NAND** logická úroveň **H**. Nyní, bude-li na prvním a druhém vstupu pro komparátory **K1** a **K2** logická úroveň **H**, bude na výstupu prvního a druhého obvodu **INV1** a **INV2** oba typu invertor logická úroveň **L**, a tím na výstupu prvního a druhého dvouvstupového obvodu **NSC1** a **NSC2** oba typu **NAND** logická úroveň **H**, která je i na jednom vstupu jedenáctého a dvanáctého obvodu **NSC11** a **NSC12** oba typu **NAND**, přičemž na jejich druhých vstupech je také logická úroveň **H**, nebo na jednom vstupu devátého a desátého dvouvstupového obvodu **NSC9** a **NSC10**, který je spojen s výstupem třetího a pátého třívstupového obvodu **NSC3** a **NSC5** oba typu **NAND**, je logická úroveň **L**. Na výstupech jedenáctého a dvanáctého dvouvstupového obvodu **NSC11** a **NSC12** je logická úroveň **L**, která nemůže aktivovat první a druhý výstupní spínač, a tím na prvním a druhém výstupu **VÝST1** a **VÝST2** není řídicí signál. Jiné to je, jestliže se na jeden, například na první vstup pro komparátory **K1** přivede logická úroveň **L**, která způsobí, že na výstupu prvního obvodu **INV1** typu invertor bude logická úroveň **H**. V tom okamžiku bude na obou vstupech prvního dvouvstupového obvodu **NSC1** typu **NAND** logická úroveň **H** a jeho výstup bude mít logickou úroveň **L**, která způsobí, že na výstupu jedenáctého dvouvstupového obvodu **NSC11** typu **NAND** bude logická úroveň **H** a tato aktivuje první výstupní spínač **VSP1** a proto se na prvním výstupu **VÝST1** objeví řídicí signál. Protože úroveň na druhém vstupu pro komparátory **K2** se nezměnila, není ani na druhém výstupu **VÝST2** řídicí signál. V případě, že na druhý vstup pro komparátory **K2** se přivede logická úroveň **L**, přičemž na prvním vstupu pro komparátory **K1** je logická úroveň **H**, bude na výstupu druhého obvodu **INV2** typu invertor logická úroveň **H**, a tím na výstupu druhého dvouvstupového obvodu **NSC2** typu **NAND** logická úroveň **L**, která způsobí, že na výstupu dvanáctého dvouvstupového obvodu **NSC12** typu **NAND** je logická úroveň **H**, a tím je druhý výstupní spínač **VSP2** aktivní a na druhém výstupu **VÝST2** je řídicí signál. První výstup **VÝST1** je bez řídicího signálu, protože na prvním vstupu pro komparátory **K1** je logická úroveň **H**. V případě, že na první i druhý vstup pro komparátory **K1** a **K2** se současně přivede logická úroveň **L**, bude na výstupu prvního i druhého obvodu **INV1** i **INV2** oba typu invertor lo-

gická úroveň H, a tím na výstupu prvního i druhého dvouvstupového obvodu **NSC1** i **NSC2** oba typu NAND logická úroveň L, která způsobí, že na výstupu jedenáctého a dvanáctého obvodu **NSC11** a **NSC12** oba typu NAND bude logická úroveň H, která aktivuje první i druhý výstupní spínač **VSP1** i **VSP2**, a tím na prvním i druhém výstupu **VÝST1** i **VÝST2** se objeví řídicí signál. Pro ovládání podle tohoto bodu nezáleží na logické úrovni na prvním i druhém vstupu pro řízení programem **P1** a **P2**.

Nyní bude na vstupu mraky **MR** logická úroveň L. Přitom na vstupech cykl **CY**, start **ST**, větr **VE**, teplota **TE** bude logická úroveň H, která způsobí, že na výstupu osmého dvouvstupového obvodu **NSC3** typu NAND bude logická úroveň L, která způsobí, že výstup prahového obvodu **PO** je ve stavu, kdy nemůže sepnout hlavní spínač **HSP**. Tím není možné pomocí prvního a druhého vstupu pro polohové snímače **PS1** a **PS2** ovládat první a druhý výstupní spínač **VSP1** a **VSP2**. Logická úroveň L na vstupu mraky **MR** způsobí, že výstupy třetího a pátého třívstupového obvodu **NSC3** a **NSC5** oba typu NAND, budou mít logickou úroveň H, a tím na výstupu čtvrtého dvouvstupového obvodu **NSC4** typu NAND bude logická úroveň L, která způsobí, že na výstupech prvního a druhého dvouvstupového obvodu **NSC1** a **NSC2** oba typu NAND bude logická úroveň H, která bude i na jednom vstupu s nimi spojeném jedenáctého a dvanáctého dvouvstupového obvodu **NSC11** a **NSC12** oba typu NAND. Nyní není možné prvním ani druhým vstupem pro komparátory **K1** ani **K2** ovládat první a druhý výstupní spínač **VSP1** a **VSP2**. Oproti tomu je ovládání možné tím, že na jeden vstup, například na první vstup pro řízení programem **P1** se přivede logická úroveň H. Tím bude na obou vstupech devátého dvouvstupového obvodu **NSC9** typu NAND logická úroveň H a na jeho výstupu logická úroveň L, která způsobí, že na výstupu jedenáctého dvouvstupového obvodu **NSC11** typu NAND bude logická úroveň H a ta aktivuje první výstupní spínač **VSP1**, a tím se na prvním výstupu **VÝST1** objeví řídicí signál. Na druhém vstupu pro řízení programem **P2** je logická úroveň L, a tím na druhého výstupu **VÝST2** není řídicí signál.

Nyní se na první vstup pro řízení programem **P1** přivede logická úroveň L a na druhý vstup pro řízení programem **P2** logická úroveň H, která způsobí, že oba vstupy desátého dvouvstupového obvodu **NSC10** typu NAND mají logickou úroveň L. Tato způsobí, že na výstupu dvanáctého dvouvstupového obvodu **NSC12** typu NAND je logická úroveň H, která aktivuje druhý výstupní spínač **VSP2**, a tím se na druhém výstupu **VÝST2** objeví řídicí signál. Na prvním výstupu **VÝST1** není řídicí signál. Přivedeme-li nyní na první i druhý vstup pro řízení programem **P1** a **P2** současně logickou úroveň H, bude na výstupech devátého i desátého dvouvstupového obvodu **NSC9** i **NSC10** oba typu NAND logická úroveň L, která způsobí, že na výstupech jedenáctého i dvanáctého dvouvstupového obvodu **NSC11** i **NSC12** oba typu NAND je logická úroveň H. Tato úroveň aktivuje první i druhý výstupní spínač **VSP1** a **VSP2**, a tím na prvním i na druhém výstupu **VÝST1** i **VÝST2** bude řídicí signál.

První, druhý, třetí a čtvrtý převodník úrovně **PŘU1**, **PŘU2**, **PŘU3** a **PŘU4** slouží pro změnu úrovně vstupních signálů, jestliže tyto budou mít jinou úroveň než jsou logické úrovně použité logiky.

První a druhý odpor **R1** a **R2** omezují výstupní proud jedenáctého a dvanáctého dvouvstupového obvodu **NSC11** a **NSC12** oba typu NAND.

Třetí a čtvrtý odpor **R3** a čtvrtý odpor **R3** a **R4** udržují s nimi spojený jeden vstup devátého a desátého dvouvstupového obvodu **NSC9** a **NSC10** na logické úrovni L, není-li přítomen řídicí signál.

Přepnutím přepínače **Přa**, **Přb** do druhé polohy je možné ovládat první a druhý výstupní spínač **VSP1** a **VSP2** pomocí prvního a druhého tlačítka **TL1** a **TL2**.

Zapojení desky logiky pro mikropočítač je určeno pro řízení technologických procesů, zejména pro řízení natáčení slunečních kolektorů, natáčení slunečních článků pro výrobu elektrického proudu, natáčení zrcadel pro sluneční elektrárnu, řízení malých vodních elektráren, natáčení antén, ovládání jednoduchých robotů, řízení chodu automatických kotelen atp.

PŘEDMĚT VYNÁLEZU

1. Zapojení desky logiky pro mikropočítač, vyznačující se tím, že první svorka (**K1**) pro komparátory je spojena s jedním vstupem prvního dvouvstupového obvodu (**NSC1**) typu NAND, přičemž jeho druhý vstup je spojen s jedním vstupem druhého dvouvstupového obvodu (**NSC2**) typu NAND a výstupem čtvrtého dvouvstupového obvodu (**NSC4**) typu NAND, přičemž druhý vstup druhého dvouvstupového obvodu (**NSC2**) typu NAND je spojen s druhou svorkou pro komparátory (**K2**), přičemž výstup prvního dvouvstupového obvodu (**NSC1**) typu NAND je připojen

na jeden vstup jedenáctého dvouvstupového obvodu (**NSC11**) typu NAND, kdežto výstup druhého dvouvstupového obvodu (**NSC2**) typu NAND je připojen na jeden vstup dvanáctého dvouvstupového obvodu (**NSC12**) typu NAND, přičemž jeden vstup třetího a pátého třívstupového obvodu (**NSC3**) a (**NSC5**) oba typu NAND jsou spojeny a připojeny na svorky mraky (**MR**), také druhé vstupy třetího a pátého třívstupového obvodu (**NSC3**) a (**NSC5**) oba typu NAND jsou spojeny a připojeny na výstup třetího obvo-

du (INV3) typu invertor a na vstup osmého dvouvstupového obvodu (NSC8) typu NAND, jehož druhý vstup je jednak spojen se svorkou cykl (CY) a jednak se třetím vstupem třetího a pátého třívstupového obvodu (NSC3) a (NSC5) oba typu NAND, přičemž výstup třetího třívstupového obvodu (NSC3) typu NAND je spojen s jedním vstupem čtvrtého dvouvstupového obvodu (NSC4) typu NAND a jedním vstupem devátého dvouvstupového obvodu (NSC9) typu NAND, jehož druhý vstup je spojen s první svorkou pro řízení programem (P1) a jeho výstup je spojen s druhým vstupem jedenáctého dvouvstupového obvodu (NSC11) typu NAND, přičemž výstup pátého třívstupového obvodu (NSC5) typu NAND je spojen s druhým vstupem čtvrtého dvouvstupového obvodu (NSC4) typu NAND a s jedním vstupem desátého dvouvstupového obvodu (NSC10) typu NAND, jehož druhý vstup je spojen s druhou svorkou pro řízení programem (P2) a jeho výstup je spojen s druhým vstupem dvanáctého dvouvstupového obvodu (NSC12) typu NAND, přičemž vstup třetího obvodu (INV3) typu invertor je spojen s výstupem šestého třívstupového obvodu (NSC6) typu NAND, jehož jeden vstup je spojen se svorkou start (ST), druhý vstup je současně spojen se svorkou větr (VE) a jedním vstupem sedmého třívstupového obvodu (NSC7) typu NAND, třetí vstup je současně spojen se svorkou teplota (TE) a druhým vstupem sedmého třívstupového obvodu (NSC7) typu NAND, jehož třetí vstup je spojen se svorkou odblokování nájezdu (ONA) a jeho výstup je spojen se vstupem čtvrtého obvodu (INV4) typu invertor, jehož výstup je spojen s jedním vstupem prahového obvodu (PO), kdežto druhý vstup prahového obvodu (PO) je spojen s výstupem osmého dvouvstupového obvodu (NSC8) typu NAND a výstup prahového obvodu (PO) je spojen se vstupem hlavního spínače (HSP), jehož výstup je současně připojen na jeden vstup druhého a jeden vstup třetího spínače (SP2) a (SP3), přičemž druhý vstup druhého spínače (SP2) je spojen s první svorkou pro polohový snímač (PS1) a druhý vstup třetího spínače (SP3) je spojen s druhou svorkou pro polohový snímač (PS2), přičemž výstup druhého spínače (SP2) je spojen s výstupem jedenáctého dvouvstupového obvodu (NSC11) typu NAND a jemu přiřazeným přepínatelným kontaktem, například první sekce přepínače (Přa), jehož přepínající se kontakt je spojen se vstupem prvního výstupního spínače (VSP), jehož výstup je na první výstupní svorce (VÝST1), přičemž druhý přepínatelný kontakt první sekce přepínače (Přa) je spojen s jedním kontaktem prvního tlačítka (TL1), jehož druhý kontakt je spojen s jedním kontaktem druhého tlačítka (TL2) a zdrojem (Ucc) elektrické energie, kdežto druhý kontakt druhého tlačítka (TL2) je spojen s jedním jemu přiřazeným kontaktem druhé sekce přepínače

(Přb), přičemž druhý přepínatelný kontakt druhé sekce přepínače (Přb) je spojen s výstupem dvanáctého dvouvstupového obvodu (NSC12) typu NAND a výstupem třetího spínače (SP3), kdežto přepínající se kontakt druhé sekce přepínače (Přb) je spojen se vstupem druhého výstupního spínače (VSP2), jehož výstup je na druhé výstupní svorce (VÝST2).

2. Zapojení desky logiky pro mikropočítač podle bodu 1, vyznačené tím, že mezi první svorku (K1) pro komparátory a jeden vstup prvního dvouvstupového obvodu (NSC1) typu NAND je zapojen první obvod (INV1) typu invertor, a to tak, že jeho výstup je připojen na jeden vstup prvního dvouvstupového obvodu (NSC1) typu NAND a jeho vstup na první svorku (K1) pro komparátory, přičemž mezi druhou svorku (K2) pro komparátory a jeden vstup druhého dvouvstupového obvodu (NSC2) typu NAND je zapojen druhý obvod (INV2) typu invertor, a to tak, že jeho výstup je připojen na jeden vstup druhého dvouvstupového obvodu (NSC2) typu NAND a jeho vstup je připojen na druhou svorku (K2) pro komparátory.

3. Zapojení desky pro mikropočítač podle bodů 1 a 2, vyznačené tím, že mezi první svorku (K1) pro komparátory a prvním obvodem (INV1) typu invertor je zapojen první převodník úrovně (PŘU1), ale i mezi druhou svorku (K2) pro komparátory a druhým obvodem (INV2) typu invertor je zapojen druhý převodník úrovně (PŘU2).

4. Zapojení desky logiky pro mikropočítač podle bodů 1 až 3, vyznačené tím, že mezi první svorkou pro polohové snímače (PS1) a jedním vstupem druhého spínače (SP2) je zapojen třetí převodník úrovně (PŘU3), ale i mezi druhou svorkou pro polohové snímače (PS2) a jedním vstupem třetího spínače (SP3) je zapojen čtvrtý převodník úrovně (PŘU4).

5. Zapojení desky logiky pro mikropočítač podle bodů 1 až 4, vyznačené tím, že mezi výstup jedenáctého dvouvstupového obvodu (NSC11) typu NAND a výstup druhého spínače (SP2) a jeden přepínatelný kontakt první sekce přepínače (Přa) je zapojen první odpor (R1), ale i mezi výstup dvanáctého dvouvstupového obvodu (NSC12) typu NAND a výstup třetího spínače (SP3) a jeden přepínatelný kontakt druhé sekce přepínače (Přb) je zapojen druhý odpor (R2).

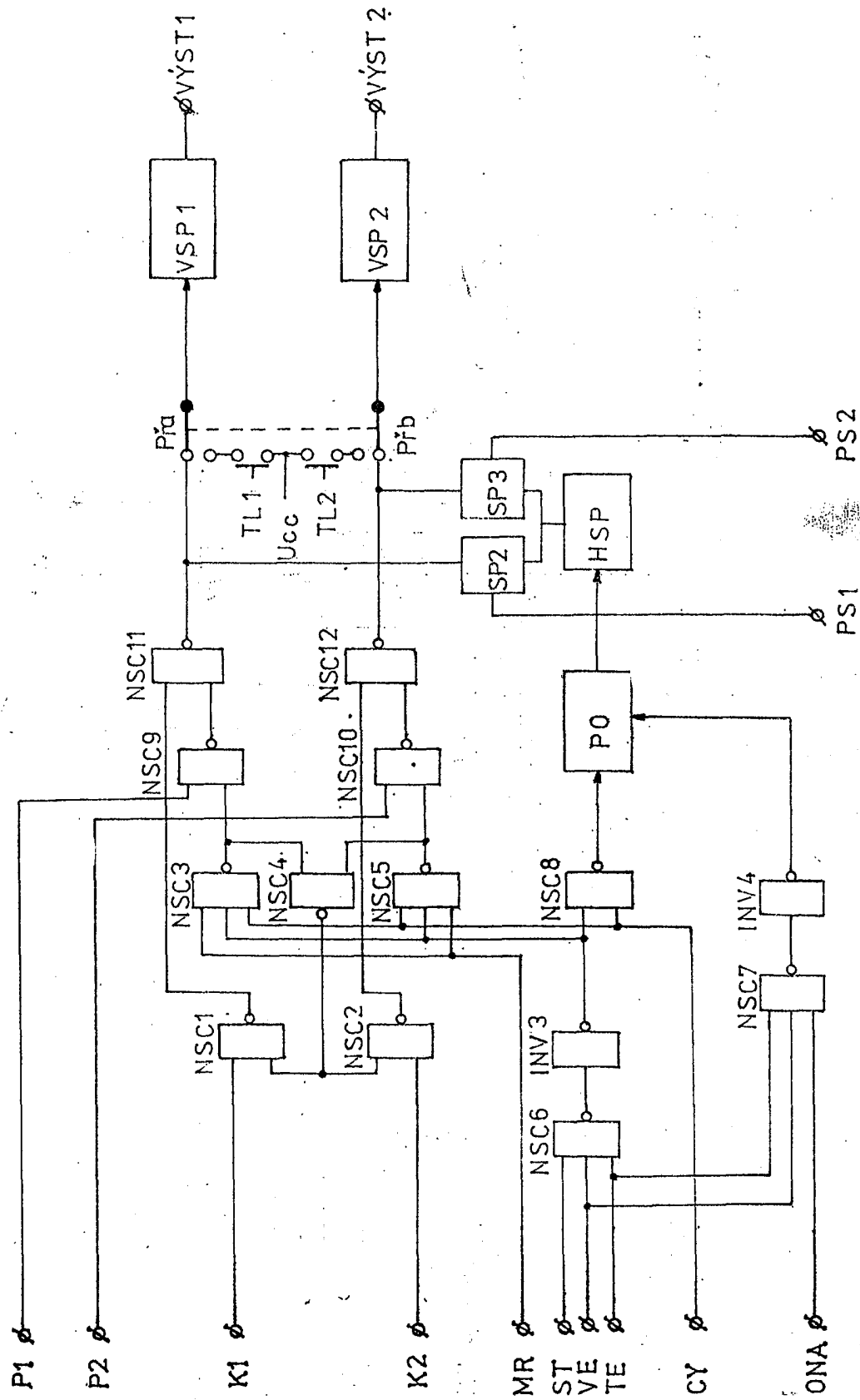
6. Zapojení desky logiky pro mikropočítač podle bodů 1 až 5, vyznačené tím, že mezi první svorku pro řízení programem (P1), spojenou s jedním vstupem devátého dvouvstupového obvodu (NSC9) typu NAND a nulový potenciál je zapojen třetí odpor (RR3), ale i mezi druhou svorkou pro řízení programem (P2), spojenou s jedním vstupem desátého dvouvstupového obvodu (NSC10) typu NAND a nulový potenciál je zapojen čtvrtý odpor (R4).

7. Zapojení desky logiky pro mikropočítač

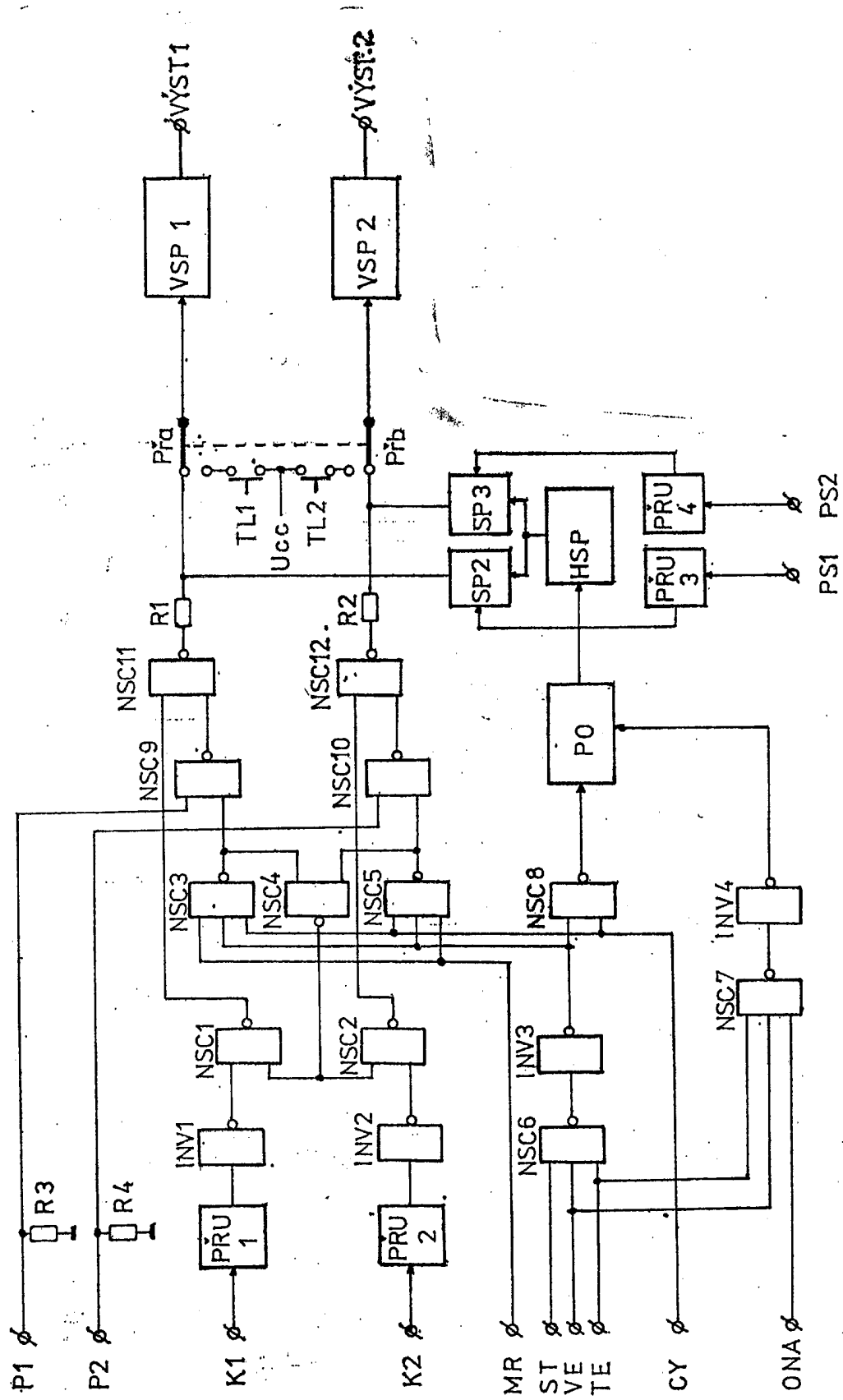
podle bodu 1, vyznačené tím, že mezi první svorku (K1) pro komparátory a jeden vstup prvního dvouvstupového obvodu (NSC1) typu NAND je zapojen první převodník úrovně

(PŘU1), přičemž mezi druhou svorku (K2) pro komparátory a jeden vstup druhého dvouvstupového obvodu (NSC2) typu NAND je zapojen druhý převodník úrovně (PŘU2).

2 listy výkresů



Obr. 1



Obr. 2