

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2007年11月15日 (15.11.2007)

PCT

(10) 国際公開番号  
WO 2007/129491 A1

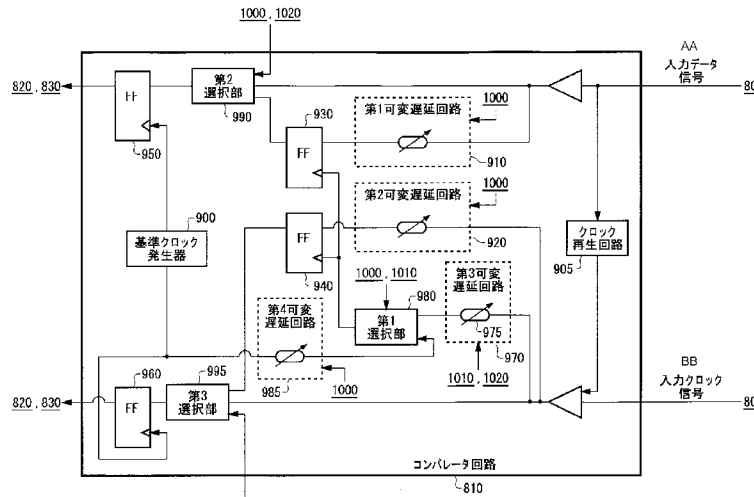
- (51) 国際特許分類:  
G01R 31/319 (2006.01)
- (21) 国際出願番号: PCT/JP2007/052565
- (22) 国際出願日: 2007年2月14日 (14.02.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
PCT/JP2006/309097  
2006年5月1日 (01.05.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト (ADVANTEST CORPORATION) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目3番2号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 淡路 利明 (AWAJI,

- Toshiaki) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目3番2号 株式会社アドバンテスト内 Tokyo (JP). 関野 隆 (SEKINO, Takashi) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目3番2号 株式会社アドバンテスト内 Tokyo (JP). 中村 隆之 (NAKAMURA, Takayuki) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目3番2号 株式会社アドバンテスト内 Tokyo (JP).
- (74) 代理人: 龍華 明裕 (RYUKA, Akihiro); 〒1631105 東京都新宿区西新宿6-2-2-1 新宿スクエアタワー5階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,

[ 続葉有 ]

(54) Title: TESTER, CIRCUIT, AND ELECTRONIC DEVICE

(54) 発明の名称: 試験装置、回路および電子デバイス



- 900 REFERENCE CLOCK GENERATOR
- 990 SECOND SELECTING SECTION
- 995 THIRD SELECTING SECTION
- 985 FOURTH VARIABLE DELAY CIRCUIT
- 910 FIRST VARIABLE DELAY CIRCUIT
- 920 SECOND VARIABLE DELAY CIRCUIT
- 980 FIRST SELECTING SECTION
- 970 THIRD VARIABLE DELAY CIRCUIT
- 810 COMPARATOR CIRCUIT
- 905 CLOCK RECOVERY CIRCUIT
- AA INPUT DATA SIGNAL
- BB INPUT CLOCK SIGNAL

(57) Abstract: An electronic device for capturing a data signal from an electronic device employing source synchronous clocking. The electronic device comprises a reception circuit for inputting an input data signal and an input clock signal indicating the timing at which the input data signal is to be acquired to receive the data. The reception circuit includes: a first adjusting section for adjusting a phase difference between the input data signal and the input clock signal to a first phase difference and outputting them as a first data signal and a first clock signal, a phase changing section for outputting a second clock signal having the phase difference specified for the first clock signal, a second adjusting section for adjusting the phase difference of the second clock signal with respect to the first clock signal to a second phase difference according to the result of acquiring the first clock signal at the change timing of the second clock signal, and a data acquiring section for acquiring the first data signal at the change timing of the second clock signal to receive the data.

[ 続葉有 ]



WO 2007/129491 A1



OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

(57) 要約:

ソース・シンクロナス・クロッキングを採用した電子デバイスからデータ信号を取り込むための電子デバイスであって、入力データ信号と、前記入力データ信号を取得すべきタイミングを示す入力クロック信号とを入力し、データを受け取る受信回路を備える電子デバイスであって、前記受信回路は、前記入力データ信号と前記入力クロック信号との位相差を第1位相差に調整し、第1データ信号および第1クロック信号として出力する第1調整部と、前記第1クロック信号に対して指定された位相差を有する第2クロック信号を出力する位相変更部と、前記第1クロック信号を前記第2クロック信号の変化タイミングで取得した結果に基づいて、前記第1クロック信号に対する前記第2クロック信号の位相差を第2位相差に調整する第2調整部と、前記第1データ信号を前記第2クロック信号の変化タイミングで取得してデータを受け取るデータ取得部とを有することを特徴とする。

## 明 細 書

### 試験装置、回路および電子デバイス

### 技術分野

[0001] 本発明は、試験装置、回路および電子デバイスに関する。特に本発明は、クロック信号の位相を調整する試験装置、回路および電子デバイスに関する。本出願は、下記の国際出願に関連する。文献の参照による組み込みが認められる指定国については、下記の出願に記載された内容を参照により本出願に組み込み、本出願の一部とする。

PCT/JP2006/309097 出願日 2006年05月01日

### 背景技術

[0002] 近年、高速アクセスが可能な半導体メモリには、ソース・シンクロナス・クロッキング (Source Synchronous Clocking) が採用されるようになってきている。このような半導体メモリは、データ信号のみならずそれに同期したクロック信号を自ら発生させる。外部のデバイスは、このクロック信号に同期してデータ信号を読み取ることにより、高速かつ効率的に半導体メモリをアクセスできる。

[0003] なお、現時点で先行技術文献の存在を認識していないので、先行技術文献に関する記載を省略する。

### 発明の開示

#### 発明が解決しようとする課題

[0004] このような半導体メモリの試験のために、従来の試験装置は、試験の基準クロック信号を、半導体メモリから取り込んだクロック信号と同期するように調整する。そして、試験装置は、調整されたこの基準クロック信号に基づいてデータ信号を読み取ることができるか否かを試験する。基準クロック信号にはストロブ信号によって人工的な遅延を発生させ、基準範囲内の遅延であればデータを読み取ることができるか否かも試験される。

[0005] 半導体メモリから発生されるデータ信号にはジッタが発生する場合がある。データ信号にジッタが発生しているときには、半導体メモリから発生されるクロック信号にも

同様なジッタが発生している場合が多い。一方で、従来の試験装置における基準クロック信号は、一旦調整された後はクロック信号に生じたジッタの影響を受けない。このため、基準クロック信号とデータ信号との間にはジッタ発生による位相差が生じ、試験の精度を低下させるおそれがあった。

[0006] そこで本発明は、上記の課題を解決することのできる試験装置、回路および電子デバイスを提供することを目的とする。この目的は請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

#### 課題を解決するための手段

[0007] 本発明の第1の形態によると、入力データ信号と、前記入力データ信号を取得すべきタイミングを示す入力クロック信号とを入力し、データを受け取る受信回路を備える電子デバイスであって、前記受信回路は、前記入力データ信号と前記入力クロック信号との位相差を第1位相差に調整し、第1データ信号および第1クロック信号として出力する第1調整部と、前記第1クロック信号に対して指定された位相差を有する第2クロック信号を出力する位相変更部と、前記第1クロック信号を前記第2クロック信号の変化タイミングで取得した結果に基づいて、前記第1クロック信号に対する前記第2クロック信号の位相差を第2位相差に調整する第2調整部と、前記第1データ信号を前記第2クロック信号の変化タイミングで取得してデータを受け取るデータ取得部とを有する電子デバイスを提供する。

[0008] また、当該電子デバイスは、前記入力データ信号および前記入力クロック信号を、外部の他のデバイスから受信してもよい。

また、当該電子デバイスは、前記入力データ信号を外部の他のデバイスから受信し、前記入力データ信号から、前記入力クロック信号を再生するクロック再生回路を更に備え、前記受信回路は、前記他のデバイスから受信した前記入力データ信号と、前記クロック再生回路により再生された前記入力クロック信号とを入力してデータを受け取ってもよい。

[0009] また、本発明の第2の形態によると、入力データ信号と、前記入力データ信号を取得すべきタイミングを示す入力クロック信号とを受け取る電子デバイスであって、前

記入力データ信号および前記入力クロック信号の少なくとも一方の位相を調整し、変化点のタイミングを合わせた第1データ信号および第1クロック信号として出力する第1調整部と、前記入力クロック信号を指定した時間遅延させて第2クロック信号として出力する可変遅延回路と、前記第1クロック信号を前記第2クロック信号の変化タイミングで取得した結果に基づいて前記可変遅延回路の遅延量を調整し、前記第1クロック信号に対する前記第2クロック信号の位相差を所望の位相差に調整する第2調整部と、を備え、前記第1データ信号を前記第2クロック信号の変化タイミングで取得することにより前記外部のデバイスからの信号を受け取る電子デバイスを提供する。

[0010] また、本発明の第3の形態によると、外部のデバイスからの信号を受け取る電子デバイスであって、基準クロックを発生する基準クロック発生器と、前記外部のデバイスが出力するデータ信号を指定した時間遅延させて遅延データ信号として出力する第1可変遅延回路と、前記外部のデバイスが出力する、前記データ信号を取得すべきタイミングを示すクロック信号を指定した時間遅延させて第1遅延クロック信号として出力する第2可変遅延回路と、前記遅延データ信号を前記基準クロックに基づくタイミングで取得する第1フリップフロップと、前記第1遅延クロック信号を前記基準クロックに基づくタイミングで取得する第2フリップフロップと、前記第1フリップフロップおよび前記第2フリップフロップが前記遅延データ信号および前記第1遅延クロック信号を信号の変化点のタイミングで取得するように前記第1可変遅延回路および前記第2可変遅延回路の少なくとも一方の遅延量を調整する第1遅延調整部と、前記クロック信号を指定した時間遅延させて第2遅延クロック信号として出力する第3可変遅延回路と、第1遅延調整部により位相が調整された前記第1遅延クロック信号を前記第2遅延クロック信号の変化タイミングで取得した結果に基づいて前記第3可変遅延回路の遅延量を調整することにより、前記第1遅延クロック信号および前記第2遅延クロック信号の位相差を所望の位相差に調整する第2遅延調整部と、を備え、前記遅延データ信号を前記第2遅延クロック信号の変化タイミングで取得することにより前記外部のデバイスからの信号を受け取る電子デバイスを提供する。

[0011] また、本発明の第4の形態によると、入力データ信号と、前記入力データ信号を取得すべきタイミングを示す入力クロック信号とを入力し、データを受け取る回路であ

って、前記入力データ信号と前記入力クロック信号との位相差を第1位相差に調整し、第1データ信号および第1クロック信号として出力する第1調整部と、前記第1クロック信号に対して指定された位相差を有する第2クロック信号を出力する位相変更部と、前記第1クロック信号を前記第2クロック信号の変化タイミングで取得した結果に基づいて、前記第1クロック信号に対する前記第2クロック信号の位相差を第2位相差に調整する第2調整部と、前記第1データ信号を前記第2クロック信号の変化タイミングで取得してデータを受け取るデータ取得部とを備える回路を提供する。

[0012] また、本発明の第5の形態によると、デバイスから受信した入力データ信号と、前記入力データ信号を取得すべきタイミングを示す入力クロック信号とを受け取る回路であって、前記入力データ信号および前記入力クロック信号の少なくとも一方の位相を調整し、変化点のタイミングを合わせた第1データ信号および第1クロック信号として出力する第1調整部と、前記入力クロック信号を指定した時間遅延させて第2クロック信号として出力する可変遅延回路と、前記第1クロック信号を前記第2クロック信号の変化タイミングで取得した結果に基づいて前記可変遅延回路の遅延量を調整し、前記第1クロック信号に対する前記第2クロック信号の位相差を所望の位相差に調整する第2調整部と、前記第1データ信号を前記第2クロック信号の変化タイミングで取得することにより前記デバイスからの信号を受け取る回路を提供する。

[0013] また、本発明の第6の形態によると、デバイスからの信号を受け取る回路であって、基準クロックを発生する基準クロック発生器と、前記デバイスが出力するデータ信号を指定した時間遅延させて遅延データ信号として出力する第1可変遅延回路と、前記デバイスが出力する、前記データ信号を取得すべきタイミングを示すクロック信号を指定した時間遅延させて第1遅延クロック信号として出力する第2可変遅延回路と、前記遅延データ信号を前記基準クロックに基づくタイミングで取得する第1フリップフロップと、前記第1遅延クロック信号を前記基準クロックに基づくタイミングで取得する第2フリップフロップと、前記第1フリップフロップおよび前記第2フリップフロップが前記遅延データ信号および前記第1遅延クロック信号を信号の変化点のタイミングで取得するように前記第1可変遅延回路および前記第2可変遅延回路の少なくとも一方の遅延量を調整する第1遅延調整部と、前記クロック信号を指定した時間遅延させ

て第2遅延クロック信号として出力する第3可変遅延回路と、第1遅延調整部により位相が調整された前記第1遅延クロック信号を前記第2遅延クロック信号の変化タイミングで取得した結果に基づいて前記第3可変遅延回路の遅延量を調整することにより、前記第1遅延クロック信号および前記第2遅延クロック信号の位相差を所望の位相差に調整する第2遅延調整部と、を備え、前記遅延データ信号を前記第2遅延クロック信号の変化タイミングで取得することにより前記デバイスからの信号を受け取る回路を提供する。

[0014] また、前記基準クロックに基づく信号と、前記第2遅延クロック信号とのいずれを前記第1フリップフロップおよび前記第2フリップフロップに供給するかを選択する第1選択部を更に備え、前記第1遅延調整部は、前記基準クロックに基づく信号を前記第2フリップフロップに供給するように前記第1選択部を設定した状態で、前記第1可変遅延回路および前記第2可変遅延回路の遅延量を調整し、前記第2遅延調整部は、前記第2遅延クロック信号を前記第2フリップフロップに供給するように前記第1選択部を設定した状態で、前記第3可変遅延回路の遅延量を設定し、前記第1フリップフロップは、前記第2遅延クロック信号を前記第1フリップフロップおよび前記第2フリップフロップに供給するように前記第1選択部を設定した状態で、前記遅延データ信号を前記第2遅延クロック信号の変化タイミングで取得してもよい。

[0015] また、前記第1遅延調整部は、前記第1可変遅延回路および前記第2可変遅延回路の遅延量をそれぞれ変化させながら前記第1フリップフロップおよび前記第2フリップフロップにより複数回前記データ信号および前記クロック信号を取得させ、前記データ信号および前記クロック信号の変化前の値および変化後の値を取得した回数が略同一となる前記第1可変遅延回路および前記第2可変遅延回路の遅延量を検出して前記第1可変遅延回路および前記第2可変遅延回路に設定してもよい。

また、前記第2遅延調整部は、前記第1遅延クロック信号のHレベル期間またはLレベル期間の略中間点に前記第2遅延クロック信号の変化タイミングが位置するように前記第3可変遅延回路の遅延量を調整してもよい。

[0016] また、前記第3可変遅延回路は、前記第2遅延クロック信号の位相を調整するための調整用可変遅延回路と、前記第2遅延クロック信号による前記遅延データ信号の

ストロブ位置を変化させるためのストロブ用可変遅延回路とを有し、前記第2遅延調整部は、前記ストロブ用可変遅延回路に対して予め定められた遅延量を設定した状態で前記調整用可変遅延回路の遅延量を調整することにより、前記第1遅延クロック信号および前記第2遅延クロック信号の位相差を所望の位相差に調整し、前記第1フリップフロップは、前記ストロブ用可変遅延回路の遅延量を変化させながら前記遅延データ信号を前記第2遅延クロック信号の変化タイミングで取得した結果に基づいて、前記遅延データ信号を前記第2遅延クロック信号の変化タイミングで取得してもよい。

[0017] また、本発明の第7の形態によると、被試験デバイスを試験する試験装置であって、前記被試験デバイスが出力するデータ信号と、前記入力データ信号を取得すべきタイミングを示すクロック信号との位相差を第1位相差に調整し、第1データ信号および第1クロック信号として出力する第1調整部と、前記第1クロック信号に対して指定された位相差を有する第2クロック信号を出力する位相変更部と、前記第1クロック信号を前記第2クロック信号の変化タイミングで取得した結果に基づいて、前記第1クロック信号に対する前記第2クロック信号の位相差を第2位相差に調整する第2調整部と、前記第1データ信号を前記第2クロック信号の変化タイミングで取得した結果に基づいて、前記被試験デバイスが出力する信号の良否を判定する判定部とを備える試験装置を提供する。

[0018] また、当該試験装置は、前記データ信号および前記クロック信号を、前記被試験デバイスから受け取ってもよい。

また、当該試験装置は、前記データ信号を前記被試験デバイスから受け取り、受け取った前記データ信号から、前記クロック信号を再生するクロック再生回路を更に備え、前記第1調整部は、前記被試験デバイスから受け取った前記データ信号と、前記クロック再生回路により再生された前記クロック信号との位相差を前記第1位相差に調整し、前記第1データ信号および前記第1クロック信号として出力してもよい。

[0019] また、本発明の第8の形態によると、被試験デバイスを試験する試験装置であって、前記被試験デバイスが出力するデータ信号、および、前記データ信号を取得すべきタイミングを示すクロック信号の少なくとも一方の位相を調整し、変化点のタイミングを

合わせた第1データ信号および第1クロック信号として出力する第1調整部と、前記クロック信号を指定した時間遅延させて第2クロック信号として出力する可変遅延回路と、前記第1クロック信号を前記第2クロック信号の変化タイミングで取得した結果に基づいて前記可変遅延回路の遅延量を調整し、前記第1クロック信号に対する前記第2クロック信号の位相差を所望の位相差に調整する第2調整部と、前記第1データ信号を前記第2クロック信号の変化タイミングで取得した結果に基づいて、前記被試験デバイスが出力する信号の良否を判定する判定部とを備える試験装置を提供する。

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションもまた、発明となりうる。

### 発明の効果

[0020] 本発明によれば、ソース・シンクロナス・クロッキングを採用した電子デバイスの良否を精度良く判定することができる。

### 図面の簡単な説明

[0021] [図1]図1は、試験装置10の全体構成を示す。

[図2]図2は、コンパレータ回路135の機能構成を示す。

[図3]図3は、制御装置150の機能構成を示す。

[図4]図4は、試験に先立つ調整処理および試験処理の流れを示すフローチャートである。

[図5]図5は、第1の遅延調整の処理の流れを示すフローチャートである。

[図6]図6は、第2の遅延調整の処理の流れを示すフローチャートである。

[図7]図7は、遅延量調整の対象となる信号のタイミングチャートを示す。

[図8]図8は、第1電子デバイス80および第2電子デバイス85の間のデータ転送を実現する機能の構成を示す。

[図9]図9は、コンパレータ回路810の機能構成を示す。

[図10]図10は、制御装置820の機能構成を示す。

[図11]図11は、遅延量調整の対象となる信号のタイミングチャートを示す。

### 符号の説明

[0022] 10 試験装置

- 80 第1電子デバイス
- 85 第2電子デバイス
- 100 被試験デバイス
- 110 タイミング発生器
- 120 パターン発生器
- 130 波形整形器
- 132 ドライバ回路
- 135 コンパレータ回路
- 140 判定部
- 150 制御装置
- 200 基準クロック発生器
- 205 クロック再生回路
- 210 第1可変遅延回路
- 220 第2可変遅延回路
- 230 第1フリップフロップ
- 240 第2フリップフロップ
- 250 第3フリップフロップ
- 260 第4フリップフロップ
- 270 第3可変遅延回路
- 272 ストローブ用可変遅延回路
- 275 調整用可変遅延回路
- 280 第1選択部
- 285 第4可変遅延回路
- 290 第2選択部
- 295 第3選択部
- 300 第1遅延調整部
- 310 第2遅延調整部
- 320 試験制御部

- 800 受信回路
- 810 コンパレータ回路
- 820 制御装置
- 830 データ処理部
- 900 基準クロック発生器
- 905 クロック再生回路
- 910 第1可変遅延回路
- 920 第2可変遅延回路
- 930 第1フリップフロップ
- 940 第2フリップフロップ
- 950 第3フリップフロップ
- 960 第4フリップフロップ
- 970 第3可変遅延回路
- 975 調整用可変遅延回路
- 980 第1選択部
- 985 第4可変遅延回路
- 990 第2選択部
- 995 第3選択部
- 1000 第1遅延調整部
- 1010 第2遅延調整部
- 1020 試験制御部

#### 発明を実施するための最良の形態

[0023] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0024] 図1は、試験装置10の全体構成を示す。試験装置10は、タイミング発生器110と、パターン発生器120と、波形整形器130と、ドライバ回路132と、コンパレータ回路135と、判定部140と、制御装置150とを備え、半導体メモリデバイスなどである被試

験デバイス100を試験することを目的とする。タイミング発生器110は、周期クロックなどの基準クロックを発生させてパターン発生器120に供給する。パターン発生器120は、周期クロックに基づいて、被試験デバイス100に inputsする試験パターンのデータ、被試験デバイス100に inputsするアドレス、および、被試験デバイス100に inputsする制御コマンドを生成する。そして、パターン発生器120は、これらのデータ、アドレスおよびコマンドを波形整形器130に出力する。また、パターン発生器120は、試験パターンのデータを期待値データとして判定部140にも出力する。

[0025] 波形整形器130は、入力を受けた試験パターン、アドレスおよび制御コマンドを、被試験デバイス100に inputs可能な信号波形に整形して、ドライバ回路132を介して被試験デバイス100に供給する。コンパレータ回路135は、被試験デバイス100からデータ信号を読み出す。被試験デバイス100がソース・シンクロナス・クロッキングを採用している場合には、コンパレータ回路135は、被試験デバイス100から供給を受けたクロック信号に同期してデータ信号を読み出してもよい。そして、判定部140は、読み出されたデータ信号によって示されるデータを、パターン発生器120から inputsした期待値データと比較する。読み出されたデータが期待値データと等しければ、判定部140は、被試験デバイス100が良品である旨の試験結果を出力する。制御装置150は、コンパレータ回路135に対し各種の設定を行う。具体的には、制御装置150は、コンパレータ回路135が精度良くデータ信号を読み出せるようにするため、コンパレータ回路135内に設けられた可変遅延回路の遅延量を調整する。また、制御装置150は、被試験デバイス100がソース・シンクロナス・クロッキングを採用しているか否かに応じ、コンパレータ回路135の動作を切り替える。

[0026] 図2は、コンパレータ回路135の機能構成を示す。コンパレータ回路135は、基準クロック発生器200と、クロック再生回路205と、第1可変遅延回路210と、第2可変遅延回路220と、第1フリップフロップ230と、第2フリップフロップ240と、第3フリップフロップ250と、第4フリップフロップ260と、第3可変遅延回路270と、第1選択部280と、第4可変遅延回路285と、第2選択部290と、第3選択部295とを有する。基準クロック発生器200は、試験装置10の基準クロックを発生する。基準クロック発生器200は、タイミング発生器110などから供給を受けた基準クロックをコンパレータ回路13

5の各部に供給してもよい。クロック再生回路205は、被試験デバイス100がソース・シンクロナス・クロッキングを採用していない場合に備えて、入力したデータ信号からクロック信号を再生して、入力したクロック信号として各部に供給する。第1可変遅延回路210は、被試験デバイス100が出力するデータ信号を入力し、入力したこのデータ信号を指定した時間遅延させて遅延データ信号として出力する。第2可変遅延回路220は、被試験デバイス100が出力する、データ信号を取得すべきタイミングを示すクロック信号を入力し、入力したこのクロック信号を、指定した時間遅延させて第1遅延クロック信号として出力する。これらの可変遅延回路の遅延量は、制御装置150の説明において後述する第1遅延調整部300により設定される。

[0027] 第1フリップフロップ230は、第1可変遅延回路210により出力される遅延データ信号を、基準クロックに基づくタイミングで取得する。信号を取得するタイミングは、第4可変遅延回路285による遅延量の分だけ基準クロックより遅れてもよい。同様に、第2フリップフロップ240は、第2可変遅延回路220により出力される第1遅延クロック信号を、基準クロックに基づくタイミングで取得する。第2選択部290は、被試験デバイス100が出力するデータ信号と、第1フリップフロップ230により出力される遅延データ信号との何れかを選択して、第3フリップフロップ250に供給する。第3フリップフロップ250は、第2選択部290が出力する信号を基準クロックに基づくタイミングで取得し、判定部140に供給する。第3選択部295は、被試験デバイス100が出力する他のデータ信号と、第3選択部295により出力される第1遅延クロック信号との何れかを選択して、第4フリップフロップ260に供給する。第4フリップフロップ260は、第3選択部295が出力する信号を基準クロックに基づくタイミングで取得し、判定部140に供給する。第2選択部290および第3選択部295は、何れの信号を選択するかを示す設定を、後述の第1遅延調整部300、第2遅延調整部310および試験制御部320から受けてもよい。

[0028] 第3可変遅延回路270は、本発明に係る位相変更部の一例であり、被試験デバイス100から出力されたクロック信号に対して指定した位相差を有する第2遅延クロック信号を生成するべく、当該クロック信号を指定した時間遅延させて第2遅延クロック信号として出力する。例えば、第3可変遅延回路270は、第2遅延クロック信号の位相を

調整するための調整用可変遅延回路275と、第2遅延クロック信号による遅延データ信号のストロブ位置を変化させるためのストロブ用可変遅延回路272とを有してもよい。第1選択部280は、基準クロックに基づく信号と第2遅延クロック信号との何れを第1フリップフロップ230および第2フリップフロップ240に供給するかを選択する。第4可変遅延回路285は、基準クロックを指定された遅延量遅延させて第1選択部280に供給する。

[0029] なお、図2では説明の明確化のため、データおよびクロックのそれぞれについて単一の信号に基づく試験を行う場合について説明した。更に詳細な試験のためには、これに代えて、コンパレータ回路135は、データおよびクロックのそれぞれについて、論理値が真であるか否かを示す判定結果の第1信号と、論理値が偽であるか否かを示す判定結果の第2信号とを生成してもよい。この場合、第1可変遅延回路210は、データについての第1信号および第2信号のそれぞれを遅延させる。同様に、第2可変遅延回路220は、クロックについての第1信号および第2信号のそれぞれを遅延させる。また、第1フリップフロップ230は、データについての第1信号および第2信号をそれぞれ取得し、第2フリップフロップ240は、クロックについての第1信号および第2信号をそれぞれ取得する。このような構成によれば、論理値真と論理値偽との過渡状態を検出でき、後段の判定部140による試験のバリエーションを広げることができる。

[0030] 図3は、制御装置150の機能構成を示す。制御装置150は、第1遅延調整部300と、第2遅延調整部310と、試験制御部320とを有する。第1遅延調整部300は、基準クロックに基づく信号を第1フリップフロップ230および第2フリップフロップ240に供給するように第1選択部280を設定する。また、第1遅延調整部300は、第1フリップフロップ230が出力する信号を選択して第3フリップフロップ250に供給するように第2選択部290を設定する。また、第1遅延調整部300は、第2フリップフロップ240が出力する信号を選択して第4フリップフロップ260に供給するように第3選択部295を設定する。

[0031] このように設定された状態において、第1遅延調整部300は、入力したデータ信号と入力したクロック信号との位相差を第1位相差に調整し、遅延データ信号および第1遅延クロック信号として出力する(なお、遅延データ信号は第1データ信号の一例で

ある。)。たとえば、第1遅延調整部300は、第1フリップフロップ230および第2フリップフロップ240が遅延データ信号および第1遅延クロック信号を信号の変化点のタイミングで取得するように第1可変遅延回路210および第2可変遅延回路220の少なくとも一方の遅延量を調整する。このように、第1位相差とは実質的に0の位相差であってもよいし、0より大きい所定の位相差であってもよい。

[0032] 調整の処理の具体例として、まず、第1遅延調整部300は、第1可変遅延回路210および第2可変遅延回路220の遅延量をそれぞれ変化させながら第1フリップフロップ230および第2フリップフロップ240により複数回データ信号およびクロック信号を取得させる。そして、第1遅延調整部300は、データ信号およびクロック信号の変化前の値および変化後の値を取得した回数が略同一となる第1可変遅延回路210および第2可変遅延回路220の遅延量を検出して第1可変遅延回路210および第2可変遅延回路220に設定する。これに代えて、第1遅延調整部300は、第1可変遅延回路210および第2可変遅延回路220の一方、および、第4可変遅延回路285の遅延量を調整してもよい。即ち例えば、第1遅延調整部300は、第1可変遅延回路210および第4可変遅延回路285の遅延量をそれぞれ変化させながら、第1フリップフロップ230および第2フリップフロップ240により複数回データ信号およびクロック信号を取得させる。そして、第1遅延調整部300は、データ信号およびクロック信号の変化前の値および変化後の値を取得した回数が略同一となる第1可変遅延回路210および第4可変遅延回路285の遅延量を検出して第1可変遅延回路210および第4可変遅延回路285に設定してもよい。

[0033] 更に他の例として、第1遅延調整部300は、入力したデータ信号および入力したクロック信号の位相差を、位相差比較器によって検出してもよい。位相差比較器とは、2つの信号を入力して、その位相差を論理値や電圧値などとして出力するものである。この場合、第1遅延調整部300は、位相差比較器による出力値と予め定められた基準値とを比較して、出力値が基準値より大きい場合には第1可変遅延回路210および第2可変遅延回路220の一方について遅延量を増加し、又は、他方について遅延量を減少させる。第1遅延調整部300は、出力値が基準値より小さい場合には当該一方の回路について遅延量を減少し、又は、当該他方の回路について遅延量を

増加させる。このように、位相比較の方法はデータ信号の取り込み回数に基づくものでなくともよい。

[0034] 第2遅延調整部310は、位相の調整が完了した旨の通知を第1遅延調整部300から受けて動作を開始する。第2遅延調整部310は、第2遅延クロック信号を第1フリップフロップ230および第2フリップフロップ240に供給するように第1選択部280を設定する。また、第2遅延調整部310は、第1フリップフロップ230が出力する信号を選択して第3フリップフロップ250に供給するように第2選択部290を設定したまま維持する。また、第2遅延調整部310は、第2フリップフロップ240が出力する信号を選択して第4フリップフロップ260に供給するように第3選択部295を設定したまま維持する。このように設定された状態で、第2遅延調整部310は、第1遅延調整部300により位相が調整された第1遅延クロック信号を第2遅延クロック信号の変化タイミングで取得した結果に基づいて第3可変遅延回路270の遅延量を調整する。そして、第2遅延調整部310は、第1遅延クロック信号および第2遅延クロック信号の位相差を第2位相差に調整する。このようにして、遅延データ信号および第2遅延クロック信号の位相差は、上記の第1位相差および第2位相差を合計した位相差に調整され、利用者の所望の位相差となる。

[0035] 具体的な処理として、たとえば、第2遅延調整部310は、ストロブ用可変遅延回路272に対して予め定められた遅延量を設定した状態で調整用可変遅延回路275の遅延量を調整することにより、第1遅延クロック信号および第2遅延クロック信号の変化点のタイミングが略等しくなるように設定してもよい。この設定の後にストロブ用可変遅延回路272による遅延を略0に戻すと、第1遅延クロック信号および第2遅延クロック信号の間にはストロブ用可変遅延回路272による遅延量に対応する位相差を生じさせることができる。

[0036] 試験制御部320は、位相の調整が完了した旨の通知を第2遅延調整部310から受けて動作を開始する。試験制御部320は、第2遅延クロック信号を第1フリップフロップ230および第2フリップフロップ240に供給するように第1選択部280を設定したまま維持する。また、試験制御部320は、第1フリップフロップ230が出力する信号を選択して第3フリップフロップ250に供給するように第2選択部290を設定したまま維持

する。また、試験制御部320は、第2フリップフロップ240が出力する信号を選択して第4フリップフロップ260に供給するように第3選択部295を設定したまま維持する。このように設定された状態で、試験制御部320は、被試験デバイス100により出力されるデータ信号を順次取り込む。試験制御部320は、ストロブ用可変遅延回路272の遅延量を調整することによって第2遅延クロック信号を更に遅延させ、被試験デバイス100のタイミング試験を行ってもよい。これにより、予め定められた基準範囲内の信号遅延が発生しても被試験デバイス100が正常動作可能か否かを試験できる。

[0037] 図4は、試験に先立つ調整処理および試験処理の流れを示すフローチャートである。まず、試験装置10は、被試験デバイス100の種類を判別する(S400)。被試験デバイス100の種類は、エンジニアによる入力に基づいて試験装置10に予め設定されていてもよいし、被試験デバイス100から出力される識別信号などに応じ試験装置10が自動的に判別してもよい。被試験デバイス100がソース・シンクロナス・クロッキングを採用していることを条件に(S410: YES)、第1遅延調整部300は、第1の遅延調整を行う(S420)。第1の遅延調整によって、第1フリップフロップ230および第2フリップフロップ240が遅延データ信号および第1遅延クロック信号を信号の変化点のタイミングで取得するように第1可変遅延回路210および第2可変遅延回路220が調整される。この遅延調整は、第1遅延調整部300、第1可変遅延回路210および第2可変遅延回路220によって実現され、これらの各部材が協働して本発明に係る第1調整部として機能する。即ち、これらの各部材は、協働して、入力したデータ信号およびクロック信号の少なくとも一方の位相を調整し、変化点のタイミングを合わせた第1遅延データ信号および第1遅延クロック信号として出力する。

[0038] 次に第2遅延調整部310は、第2の遅延調整を行う(S430)。第2の遅延調整によって、第1遅延クロック信号および第2遅延クロック信号の位相差が所望の位相差となるように、第3可変遅延回路270が調整される。具体的には、第2遅延調整部310は、第1遅延クロック信号のHレベル期間またはLレベル期間の略中間点に第2遅延クロック信号の変化タイミングが位置するように第3可変遅延回路270の遅延量を調整してもよい。これにより、第2遅延クロック信号の位相を、ストロブ用可変遅延回路272に遅延量が設定されていない状態においてはデータ信号を最も取り込み易い位

相とすることができ、この位相を基準としたそれぞれのストロブ位置について試験を可能とすることができる。

[0039] 次に、試験制御部320および判定部140は、被試験デバイス100の試験処理を行う(S440)。具体的には、まず、試験制御部320は、第2遅延クロック信号を第1フリップフロップ230および第2フリップフロップ240に供給するように第1選択部280を設定したまま維持する。また、試験制御部320は、ストロブ用可変遅延回路272の遅延量を調整することによりストロブ位置を様々な位置に調整する。そして、判定部140は、ストロブ用可変遅延回路272の遅延量を変化させながら遅延データ信号を第2遅延クロック信号の変化タイミングで取得した結果に基づいて、被試験デバイス100の良否を判定する。具体的には、判定部140は、第2選択部290により第1フリップフロップ230が出力する信号を選択させた結果第3フリップフロップ250から出力される信号値を期待値と比較した結果に基づいて被試験デバイス100が出力する信号の良否を判定する。

[0040] 一方で、被試験デバイス100がソース・シンクロナス・クロッキングを採用していない場合、即ち、図1に例示した被試験デバイス100ではない他の被試験デバイスが試験装置10に搭載されたことを条件に(S410:NO)、試験制御部320および判定部140は、この被試験デバイスの試験処理を行う(S450)。このような種類の被試験デバイスは、データ信号およびクロック信号に代えて第1データ信号および第2データ信号を出力する。試験制御部320は、第2選択部290により第1データ信号を選択させ、第3選択部295により第2データ信号を選択させる。そして、判定部140は、この結果第3フリップフロップ250および第4フリップフロップ260から出力される信号値をそれぞれ期待値と比較した結果に基づいて被試験デバイス100が出力する信号の良否を判定する。

[0041] 図5は、第1の遅延調整の処理の流れを示すフローチャートである。第1遅延調整部300は、基準クロックに基づく信号を第1フリップフロップ230および第2フリップフロップ240に供給するように第1選択部280を設定する(S500)。また、第1遅延調整部300は、第1フリップフロップ230が出力する信号を選択して第3フリップフロップ250に供給するように第2選択部290を設定する。また、第1遅延調整部300は、第2

フリップフロップ240が出力する信号を選択して第4フリップフロップ260に供給するように第3選択部295を設定する。次に、第1遅延調整部300は、第1可変遅延回路210および第2可変遅延回路220の少なくとも一方の遅延量を変更するべく以下の処理を行う。

[0042] まず、第1遅延調整部300は、第1可変遅延回路210および第2可変遅延回路220の少なくとも一方に所定の遅延量を設定する(S510)。具体的には、第1可変遅延回路210は、被試験デバイス100が出力するデータ信号を指定した時間遅延させて遅延データ信号として出力する(S520)。また、第2可変遅延回路220は、被試験デバイス100が出力する、データ信号を取得すべきタイミングを示すクロック信号を、指定した時間遅延させて第1遅延クロック信号として出力する(S530)。第1フリップフロップ230は、遅延データ信号を基準クロックに基づくタイミングで取得する(S540)。第2フリップフロップ240は、第1遅延クロック信号を基準クロックに基づくタイミングで取得する(S550)。遅延データ信号および第1遅延クロック信号の取得回数が所定回数に達するまで以上の処理を繰り返す(S560)。

[0043] 遅延データ信号および第1遅延クロック信号の取得回数が所定回数に達すると(S560: YES)、第1遅延調整部300は、遅延データ信号および第1遅延クロック信号の位相調整が完了したか否かを判断する(S570)。例えば、第1遅延調整部300は、データ信号およびクロック信号の変化前の値および変化後の値を取得した回数が略同一となった場合に、遅延データ信号および第1遅延クロック信号の位相調整が完了したと判断してもよい。位相調整が完了していなければ(S570: NO)、第1遅延調整部300はS510に処理を戻して第1可変遅延回路210および第2可変遅延回路220の遅延量を変更させる。位相調整が完了すると(S570: YES)、本図の処理を終了する。

[0044] 図6は、第2の遅延調整の処理の流れを示すフローチャートである。位相の調整が完了した旨の通知を第1遅延調整部300から受けて、第2遅延調整部310は以下の処理を開始する。まず、第2遅延調整部310は、第2遅延クロック信号を第1フリップフロップ230および第2フリップフロップ240に供給するように第1選択部280を設定する(S600)。また、第2遅延調整部310は、第1フリップフロップ230が出力する信

号を選択して第3フリップフロップ250に供給するように第2選択部290を設定したまま維持する。また、第2遅延調整部310は、第2フリップフロップ240が出力する信号を選択して第4フリップフロップ260に供給するように第3選択部295を設定したまま維持する。

- [0045] 次に、第2遅延調整部310は、ストロブ用可変遅延回路272に対して予め定められた遅延量を設定する(S610)。この状態で第2遅延調整部310は、調整用可変遅延回路275の遅延量を調整するべく以下の処理を行う。まず、第2遅延調整部310は、調整用可変遅延回路275に所定の遅延量を設定する(S620)。そして、第2可変遅延回路220は、被試験デバイス100が出力する、データ信号を取得すべきタイミングを示すクロック信号を指定した時間遅延させて第1遅延クロック信号として出力する(S630)。また、第3可変遅延回路270は、クロック信号を指定した時間遅延させて第2遅延クロック信号として出力する(S640)。第2フリップフロップ240は、第1遅延クロック信号を第2遅延クロック信号によって指定されたタイミングで取得する(S650)。第1遅延クロック信号の取得回数が所定回数に達するまで以上の処理を繰り返す(S660)。
- [0046] 第1遅延クロック信号の取得回数が所定回数に達すると(S660: YES)、第2遅延調整部310は、第2遅延クロック信号の位相調整が完了したか否かを判断する(S670)。例えば、第2遅延調整部310は、クロック信号の変化前の値および変化後の値を取得した回数が略同一となった場合に、第2遅延クロック信号の位相調整が完了したと判断してもよい。位相調整が完了していなければ(S670: NO)、第2遅延調整部310はS610に処理を戻して第3可変遅延回路270の遅延量を変更させる。位相調整が完了すると(S670: YES)、本図の処理を終了する。
- [0047] 図7は、遅延量調整の対象となる信号のタイミングチャートを示す。被試験デバイス100によって出力されるデータ信号は第1可変遅延回路210によって遅延されて遅延データ信号として出力される。一方、被試験デバイス100によって出力されるクロック信号は第2可変遅延回路220によって遅延されて第1遅延クロック信号として出力される。第2遅延クロック信号は、第3可変遅延回路270により、第1遅延クロック信号と所望の位相差に調整される。このように第2遅延クロック信号はクロック信号と同期し

ているので、被試験デバイス100の出力信号にジッタが発生した場合であっても試験の精度を維持することができる。また、ストロブ用可変遅延回路272によってストロブ遅延が最小に設定されると、第2遅延クロック信号の変化点が早まる。ストロブ用可変遅延回路272によってストロブ遅延が最大に設定されると、第2遅延クロック信号の変化点が遅れる。このように、被試験デバイス100から出力されるクロック信号を基準にストロブ位置を調整できるので、被試験デバイス100のタイミング試験における良否判定の精度を高めることができる。

[0048] 図8は、第1電子デバイス80および第2電子デバイス85の間のデータ転送を実現する機能の構成を示す。本図を参照して、第2電子デバイス85がその外部に設けられた他の第1電子デバイス80と同期して動作し、第1電子デバイス80から出力された信号を適切なタイミングで取り込む構成について説明する。なお、図8では第1電子デバイス80および第2電子デバイス85を、別体に設けられた2つのデバイスとして示したが、これに代えて、第1電子デバイス80および第2電子デバイス85は同一のチップ上に一体に形成されており、第2電子デバイス85はこのような同一チップ上の第1電子デバイス80から信号を入力してもよい。

[0049] 第1電子デバイス80は、ソース・シンクロナス・クロッキングを採用しており、クロック信号およびそれに同期したデータ信号を第2電子デバイス85に対し出力する。第2電子デバイス85は、受信回路800と、データ処理部830とを備える。受信回路800は、第1電子デバイス80から入力したクロック信号に同期して、入力したデータ信号を読み出すことで、第1電子デバイス80からデータを受け取る。そして、データ処理部830は、読み出されたデータ信号に基づく処理を行う。なお、第1電子デバイス80がソース・シンクロナス・クロッキングを採用していない場合には、受信回路800は、データ信号のみを第1電子デバイス80から取得して、クロック信号はその他の外部の装置や内部のクロック発生器から取得してもよい。一例として、受信回路800は、データ信号からクロック再生によりクロック信号を生成し、そのクロック信号を入力クロック信号としてコンパレータ回路810に供給してもよい。

[0050] 受信回路800は、コンパレータ回路810と、制御装置820とを備える。コンパレータ回路810は、第1電子デバイス80から入力したクロック信号に同期して、入力したデ

ータ信号を読み出す。そして、制御装置820は、コンパレータ回路810に対し各種の設定を行う。具体的には、制御装置820は、コンパレータ回路810が精度良くデータ信号を読み出せるようにするため、コンパレータ回路810内に設けられた可変遅延回路の遅延量を調整する。

[0051] 図9は、コンパレータ回路810の機能構成を示す。コンパレータ回路810は、基準クロック発生器900と、クロック再生回路905と、第1可変遅延回路910と、第2可変遅延回路920と、第1フリップフロップ930と、第2フリップフロップ940と、第3フリップフロップ950と、第4フリップフロップ960と、第3可変遅延回路970と、第1選択部980と、第4可変遅延回路985と、第2選択部990と、第3選択部995とを有する。基準クロック発生器900は、コンパレータ回路810の基準クロックを発生する。基準クロック発生器900は、外部の装置などから供給を受けた基準クロックをコンパレータ回路810の各部に供給してもよい。クロック再生回路905は、第1電子デバイス80がソース・シンクロナス・クロッキングを採用していない場合に備えて、入力データ信号から入力クロック信号を再生する。第1可変遅延回路910は、第1電子デバイス80が出力するデータ信号を指定した時間遅延させて遅延データ信号として出力する。第2可変遅延回路920は、第1電子デバイス80が出力する、データ信号を取得すべきタイミングを示すクロック信号を、指定した時間遅延させて第1遅延クロック信号として出力する。これらの可変遅延回路の遅延量は、制御装置820の説明において後述する第1遅延調整部1000により設定される。

[0052] 第1フリップフロップ930は、本発明に係るデータ取得部の一例であり、第1可変遅延回路910により出力される遅延データ信号を、基準クロックに基づくタイミングで取得する。信号を取得するタイミングは、第4可変遅延回路985による遅延量の分だけ基準クロックより遅れてもよい。同様に、第2フリップフロップ940は、第2可変遅延回路920により出力される第1遅延クロック信号を、基準クロックに基づくタイミングで取得する。第2選択部990は、第1電子デバイス80が出力するデータ信号と、第1フリップフロップ930により出力される遅延データ信号との何れかを選択して、第3フリップフロップ950に供給する。第3フリップフロップ950は、第2選択部990が出力する信号を基準クロックに基づくタイミングで取得し、制御装置820およびデータ処理部83

0に供給する。第3選択部995は、第1電子デバイス80が出力する他のデータ信号と、第3選択部995により出力される第1遅延クロック信号との何れかを選択して、第4フリップフロップ960に供給する。第4フリップフロップ960は、第3選択部995が出力する信号を基準クロックに基づくタイミングで取得し、制御装置820およびデータ処理部830に供給する。第2選択部990および第3選択部995は、何れの信号を選択するかを示す設定を、後述の第1遅延調整部1000、第2遅延調整部1010および試験制御部1020から受けてもよい。

[0053] 第3可変遅延回路970は、本発明に係る位相変更部の一例であり、第1電子デバイス80から出力されたクロック信号に対して指定した位相差を有する第2遅延クロック信号を生成するべく、当該クロック信号を指定した時間遅延させて第2遅延クロック信号として出力する。例えば、第3可変遅延回路970は、第2遅延クロック信号の位相を調整するための調整用可変遅延回路975を有してもよい。これに代えて、第3可変遅延回路970は、第1遅延クロック信号を遅延させた信号を生成することにより、入力クロック信号と比較して指定した時間遅延した第2遅延クロック信号を生成してもよい。第1選択部980は、基準クロックに基づく信号と第2遅延クロック信号との何れを第1フリップフロップ930および第2フリップフロップ940に供給するかを選択する。第4可変遅延回路985は、基準クロックを指定された遅延量遅延させて第1選択部980に供給する。

[0054] なお、図2では説明の明確化のため、データおよびクロックのそれぞれについて単一の信号に基づく試験を行う場合について説明した。更に詳細な試験のためには、これに代えて、コンパレータ回路810は、データおよびクロックのそれぞれについて、論理値が真であるか偽かを示す判定結果の第1信号と、論理値が偽であるか否かを示す判定結果の第2信号とを生成してもよい。この場合、第1可変遅延回路910は、データについての第1信号および第2信号のそれぞれを遅延させる。同様に、第2可変遅延回路920は、クロックについての第1信号および第2信号のそれぞれを遅延させる。また、第1フリップフロップ930は、データについての第1信号および第2信号をそれぞれ取得し、第2フリップフロップ940は、クロックについての第1信号および第2信号をそれぞれ取得する。このような構成によれば、論理値真と論理値偽との過渡状

態を検出することができる。

[0055] 図10は、制御装置820の機能構成を示す。制御装置820は、第1遅延調整部1000と、第2遅延調整部1010と、試験制御部1020とを有する。第1遅延調整部1000は、基準クロックに基づく信号を第1フリップフロップ930および第2フリップフロップ940に供給するように第1選択部980を設定する。また、第1遅延調整部1000は、第1フリップフロップ930が出力する信号を選択して第3フリップフロップ950に供給するように第2選択部990を設定する。また、第1遅延調整部1000は、第2フリップフロップ940が出力する信号を選択して第4フリップフロップ960に供給するように第3選択部995を設定する。

[0056] このように設定された状態において、第1遅延調整部1000は、入力データ信号と入力クロック信号との位相差を第1位相差に調整し、遅延データ信号および第1遅延クロック信号として出力する。たとえば、第1遅延調整部1000は、第1フリップフロップ930および第2フリップフロップ940が遅延データ信号および第1遅延クロック信号を信号の変化点のタイミングで取得するように第1可変遅延回路910および第2可変遅延回路920の少なくとも一方の遅延量を調整する。このように、第1位相差とは実質的に0の位相差であってもよいし、0より大きい所定の位相差であってもよい。

この遅延調整は、第1遅延調整部1000、第1可変遅延回路910および第2可変遅延回路920によって実現され、これらの各部材が協働して本発明に係る第1調整部として機能する。即ち、これらの各部材は、協働して、入力データ信号および入力クロック信号の少なくとも一方の位相を調整し、変化点のタイミングを合わせた第1遅延データ信号および第1遅延クロック信号として出力する。

[0057] 調整の処理の具体例として、まず、第1遅延調整部1000は、第1可変遅延回路910および第2可変遅延回路920の遅延量をそれぞれ変化させながら第1フリップフロップ930および第2フリップフロップ940により複数回データ信号およびクロック信号を取得させる。そして、第1遅延調整部1000は、データ信号およびクロック信号の変化前の値および変化後の値を取得した回数が略同一となる第1可変遅延回路910および第2可変遅延回路920の遅延量を検出して第1可変遅延回路910および第2可変遅延回路920に設定する。これに代えて、第1遅延調整部1000は、第1可変遅延

延回路910および第2可変遅延回路920の一方、および、第4可変遅延回路985の遅延量を調整してもよい。即ち例えば、第1遅延調整部1000は、第1可変遅延回路910および第4可変遅延回路985の遅延量をそれぞれ変化させながら、第1フリップフロップ930および第2フリップフロップ940により複数回データ信号およびクロック信号を取得させる。そして、第1遅延調整部1000は、データ信号およびクロック信号の変化前の値および変化後の値を取得した回数が略同一となる第1可変遅延回路910および第4可変遅延回路985の遅延量を検出して第1可変遅延回路910および第4可変遅延回路985に設定してもよい。

[0058] 更に他の例として、第1遅延調整部1000は、入力データ信号および入力クロック信号の位相差を、位相差比較器によって検出してもよい。位相差比較器とは、2つの信号を入力して、その位相差を論理値や電圧値などとして出力するものである。この場合、第1遅延調整部1000は、位相差比較器による出力値と予め定められた基準値とを比較して、出力値が基準値より大きい場合には第1可変遅延回路910および第2可変遅延回路920の一方について遅延量を増加し、又は、他方について遅延量を減少させる。第1遅延調整部1000は、出力値が基準値より小さい場合には当該一方の回路について遅延量を減少し、又は、当該他方の回路について遅延量を増加させる。このように、位相比較の方法はデータ信号の取り込み回数に基づくものでなくともよい。

[0059] 第2遅延調整部1010は、位相の調整が完了した旨の通知を第1遅延調整部1000から受けて動作を開始する。第2遅延調整部1010は、第2遅延クロック信号を第1フリップフロップ930および第2フリップフロップ940に供給するように第1選択部980を設定する。また、第2遅延調整部1010は、第1フリップフロップ930が出力する信号を選択して第3フリップフロップ950に供給するように第2選択部990を設定したまま維持する。また、第2遅延調整部1010は、第2フリップフロップ940が出力する信号を選択して第4フリップフロップ960に供給するように第3選択部995を設定したまま維持する。このように設定された状態で、第2遅延調整部1010は、第1遅延調整部1000により位相が調整された第1遅延クロック信号を第2遅延クロック信号の変化タイミングで取得した結果に基づいて第3可変遅延回路970の遅延量を調整する。そし

て、第2遅延調整部1010は、第1遅延クロック信号および第2遅延クロック信号の位相差を第2位相差に調整する。このようにして、遅延データ信号および第2遅延クロック信号の位相差は、上記の第1位相差および第2位相差を合計した位相差に調整され、利用者の所望の位相差となる。

[0060] 試験制御部1020は、位相の調整が完了した旨の通知を第2遅延調整部1010から受けて動作を開始する。試験制御部1020は、第2遅延クロック信号を第1フリップフロップ930および第2フリップフロップ940に供給するように第1選択部980を設定したまま維持する。また、試験制御部1020は、第1フリップフロップ930が出力する信号を選択して第3フリップフロップ950に供給するように第2選択部990を設定したまま維持する。また、試験制御部1020は、第2フリップフロップ940が出力する信号を選択して第4フリップフロップ960に供給するように第3選択部995を設定したまま維持する。このように設定された状態で、試験制御部1020は、第1電子デバイス80により出力されるデータ信号を順次取り込む。これにより、第1フリップフロップ930は、遅延データ信号を、第2遅延クロック信号の変化タイミングで取得することにより第1電子デバイス80からデータを受け取ることができる。なお、遅延データ信号を受け取るのは本図の例では第1フリップフロップ930だが、第2遅延クロック信号の変化タイミングで受け取るのであれば、第1フリップフロップ930以外の他のフリップフロップが遅延データ信号を取得してもよい。

[0061] 図11は、遅延量調整の対象となる信号のタイミングチャートを示す。第1電子デバイス80によって出力されるデータ信号は第1可変遅延回路910によって遅延されて遅延データ信号として出力される。一方、第1電子デバイス80によって出力されるクロック信号は第2可変遅延回路920によって遅延されて第1遅延クロック信号として出力される。第2遅延クロック信号は、第3可変遅延回路970により、第1遅延クロック信号と所望の位相差に調整される。たとえば、図示のように、第2遅延クロック信号の立ち上がりのタイミングを、遅延データ信号が立ち上がって安定した後のタイミングとすれば、遅延データ信号を確実に取り込ませることができる。また、第2遅延クロック信号はクロック信号と同期しているので、遅延データ信号とも同期している可能性が高く、第1電子デバイス80の出力信号にジッタが発生した場合であってもデータ信号を

確実に取り込むことができる。

[0062] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

## 請求の範囲

- [1] 入力データ信号と、前記入力データ信号を取得すべきタイミングを示す入力クロック信号とを入力し、データを受け取る受信回路を備える電子デバイスであって、  
前記受信回路は、  
前記入力データ信号と前記入力クロック信号との位相差を第1位相差に調整し、第1データ信号および第1クロック信号として出力する第1調整部と、  
前記第1クロック信号に対して指定された位相差を有する第2クロック信号を出力する位相変更部と、  
前記第1クロック信号を前記第2クロック信号の変化タイミングで取得した結果に基づいて、前記第1クロック信号に対する前記第2クロック信号の位相差を第2位相差に調整する第2調整部と、  
前記第1データ信号を前記第2クロック信号の変化タイミングで取得してデータを受け取るデータ取得部と  
を有する電子デバイス。
- [2] 当該電子デバイスは、前記入力データ信号および前記入力クロック信号を、外部の他のデバイスから受信する請求項1に記載の電子デバイス。
- [3] 当該電子デバイスは、前記入力データ信号を外部の他のデバイスから受信し、  
前記入力データ信号から、前記入力クロック信号を再生するクロック再生回路を更に備え、  
前記受信回路は、前記他のデバイスから受信した前記入力データ信号と、前記クロック再生回路により再生された前記入力クロック信号とを入力してデータを受け取る  
請求項1に記載の電子デバイス。
- [4] 入力データ信号と、前記入力データ信号を取得すべきタイミングを示す入力クロック信号とを受け取る電子デバイスであって、  
前記入力データ信号および前記入力クロック信号の少なくとも一方の位相を調整し、変化点のタイミングを合わせた第1データ信号および第1クロック信号として出力する第1調整部と、  
前記入力クロック信号を指定した時間遅延させて第2クロック信号として出力する可

変遅延回路と、

前記第1クロック信号を前記第2クロック信号の変化タイミングで取得した結果に基づいて前記可変遅延回路の遅延量を調整し、前記第1クロック信号に対する前記第2クロック信号の位相差を所望の位相差に調整する第2調整部と、

を備え、

前記第1データ信号を前記第2クロック信号の変化タイミングで取得することにより前記外部のデバイスからの信号を受け取る電子デバイス。

[5] 外部のデバイスからの信号を受け取る電子デバイスであって、

基準クロックを発生する基準クロック発生器と、

前記外部のデバイスが出力するデータ信号を指定した時間遅延させて遅延データ信号として出力する第1可変遅延回路と、

前記外部のデバイスが出力する、前記データ信号を取得すべきタイミングを示すクロック信号を指定した時間遅延させて第1遅延クロック信号として出力する第2可変遅延回路と、

前記遅延データ信号を前記基準クロックに基づくタイミングで取得する第1フリップフロップと、

前記第1遅延クロック信号を前記基準クロックに基づくタイミングで取得する第2フリップフロップと、

前記第1フリップフロップおよび前記第2フリップフロップが前記遅延データ信号および前記第1遅延クロック信号を信号の変化点のタイミングで取得するように前記第1可変遅延回路および前記第2可変遅延回路の少なくとも一方の遅延量を調整する第1遅延調整部と、

前記クロック信号を指定した時間遅延させて第2遅延クロック信号として出力する第3可変遅延回路と、

第1遅延調整部により位相が調整された前記第1遅延クロック信号を前記第2遅延クロック信号の変化タイミングで取得した結果に基づいて前記第3可変遅延回路の遅延量を調整することにより、前記第1遅延クロック信号および前記第2遅延クロック信号の位相差を所望の位相差に調整する第2遅延調整部と、

- を備え、  
前記遅延データ信号を前記第2遅延クロック信号の変化タイミングで取得することにより前記外部のデバイスからの信号を受け取る電子デバイス。
- [6] 入力データ信号と、前記入力データ信号を取得するべきタイミングを示す入力クロック信号とを入力し、データを受け取る回路であって、  
前記入力データ信号と前記入力クロック信号との位相差を第1位相差に調整し、第1データ信号および第1クロック信号として出力する第1調整部と、  
前記第1クロック信号に対して指定された位相差を有する第2クロック信号を出力する位相変更部と、  
前記第1クロック信号を前記第2クロック信号の変化タイミングで取得した結果に基づいて、前記第1クロック信号に対する前記第2クロック信号の位相差を第2位相差に調整する第2調整部と、  
前記第1データ信号を前記第2クロック信号の変化タイミングで取得してデータを受け取るデータ取得部と  
を備える回路。
- [7] デバイスから受信した入力データ信号と、前記入力データ信号を取得するべきタイミングを示す入力クロック信号とを受け取る回路であって、  
前記入力データ信号および前記入力クロック信号の少なくとも一方の位相を調整し、変化点のタイミングを合わせた第1データ信号および第1クロック信号として出力する第1調整部と、  
前記入力クロック信号を指定した時間遅延させて第2クロック信号として出力する可変遅延回路と、  
前記第1クロック信号を前記第2クロック信号の変化タイミングで取得した結果に基づいて前記可変遅延回路の遅延量を調整し、前記第1クロック信号に対する前記第2クロック信号の位相差を所望の位相差に調整する第2調整部と、  
前記第1データ信号を前記第2クロック信号の変化タイミングで取得することにより前記デバイスからの信号を受け取る回路。
- [8] デバイスからの信号を受け取る回路であって、

基準クロックを発生する基準クロック発生器と、

前記デバイスが出力するデータ信号を指定した時間遅延させて遅延データ信号として出力する第1可変遅延回路と、

前記デバイスが出力する、前記データ信号を取得すべきタイミングを示すクロック信号を指定した時間遅延させて第1遅延クロック信号として出力する第2可変遅延回路と、

前記遅延データ信号を前記基準クロックに基づくタイミングで取得する第1フリップフロップと、

前記第1遅延クロック信号を前記基準クロックに基づくタイミングで取得する第2フリップフロップと、

前記第1フリップフロップおよび前記第2フリップフロップが前記遅延データ信号および前記第1遅延クロック信号を信号の変化点のタイミングで取得するように前記第1可変遅延回路および前記第2可変遅延回路の少なくとも一方の遅延量を調整する第1遅延調整部と、

前記クロック信号を指定した時間遅延させて第2遅延クロック信号として出力する第3可変遅延回路と、

第1遅延調整部により位相が調整された前記第1遅延クロック信号を前記第2遅延クロック信号の変化タイミングで取得した結果に基づいて前記第3可変遅延回路の遅延量を調整することにより、前記第1遅延クロック信号および前記第2遅延クロック信号の位相差を所望の位相差に調整する第2遅延調整部と、

を備え、

前記遅延データ信号を前記第2遅延クロック信号の変化タイミングで取得することにより前記デバイスからの信号を受け取る回路。

- [9] 前記基準クロックに基づく信号と、前記第2遅延クロック信号とのいずれを前記第1フリップフロップおよび前記第2フリップフロップに供給するかを選択する第1選択部を更に備え、

前記第1遅延調整部は、前記基準クロックに基づく信号を前記第2フリップフロップに供給するように前記第1選択部を設定した状態で、前記第1可変遅延回路および

前記第2可変遅延回路の遅延量を調整し、

前記第2遅延調整部は、前記第2遅延クロック信号を前記第2フリップフロップに供給するように前記第1選択部を設定した状態で、前記第3可変遅延回路の遅延量を設定し、

前記第1フリップフロップは、前記第2遅延クロック信号を前記第1フリップフロップおよび前記第2フリップフロップに供給するように前記第1選択部を設定した状態で、前記遅延データ信号を前記第2遅延クロック信号の変化タイミングで取得する

請求項8に記載の回路。

[10] 前記第1遅延調整部は、

前記第1可変遅延回路および前記第2可変遅延回路の遅延量をそれぞれ変化させながら前記第1フリップフロップおよび前記第2フリップフロップにより複数回前記データ信号および前記クロック信号を取得させ、

前記データ信号および前記クロック信号の変化前の値および変化後の値を取得した回数が略同一となる前記第1可変遅延回路および前記第2可変遅延回路の遅延量を検出して前記第1可変遅延回路および前記第2可変遅延回路に設定する

請求項9に記載の回路。

[11] 前記第2遅延調整部は、前記第1遅延クロック信号のHレベル期間またはLレベル期間の略中間点に前記第2遅延クロック信号の変化タイミングが位置するように前記第3可変遅延回路の遅延量を調整する請求項9に記載の回路。

[12] 前記第3可変遅延回路は、前記第2遅延クロック信号の位相を調整するための調整用可変遅延回路と、前記第2遅延クロック信号による前記遅延データ信号のストローク位置を変化させるためのストローク用可変遅延回路とを有し、

前記第2遅延調整部は、前記ストローク用可変遅延回路に対して予め定められた遅延量を設定した状態で前記調整用可変遅延回路の遅延量を調整することにより、前記第1遅延クロック信号および前記第2遅延クロック信号の位相差を所望の位相差に調整し、

前記第1フリップフロップは、前記ストローク用可変遅延回路の遅延量を変化させながら前記遅延データ信号を前記第2遅延クロック信号の変化タイミングで取得した結

果に基づいて、前記遅延データ信号を前記第2遅延クロック信号の変化タイミングで取得する

請求項9に記載の回路。

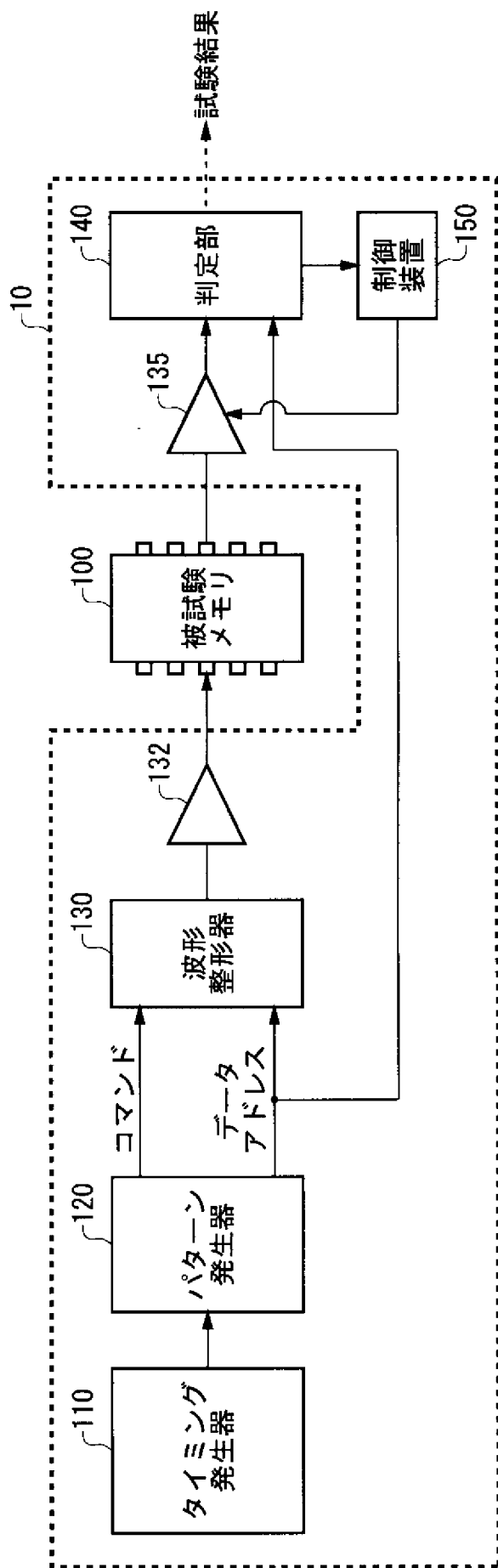
- [13] 被試験デバイスを試験する試験装置であって、  
前記被試験デバイスが出力するデータ信号と、前記入力データ信号を取得すべきタイミングを示すクロック信号との位相差を第1位相差に調整し、第1データ信号および第1クロック信号として出力する第1調整部と、  
前記第1クロック信号に対して指定された位相差を有する第2クロック信号を出力する位相変更部と、  
前記第1クロック信号を前記第2クロック信号の変化タイミングで取得した結果に基づいて、前記第1クロック信号に対する前記第2クロック信号の位相差を第2位相差に調整する第2調整部と、  
前記第1データ信号を前記第2クロック信号の変化タイミングで取得した結果に基づいて、前記被試験デバイスが出力する信号の良否を判定する判定部と  
を備える試験装置。
- [14] 当該試験装置は、前記データ信号および前記クロック信号を、前記被試験デバイスから受け取る請求項13に記載の試験装置。
- [15] 当該試験装置は、前記データ信号を前記被試験デバイスから受け取り、  
受け取った前記データ信号から、前記クロック信号を再生するクロック再生回路を更に備え、  
前記第1調整部は、前記被試験デバイスから受け取った前記データ信号と、前記クロック再生回路により再生された前記クロック信号との位相差を前記第1位相差に調整し、前記第1データ信号および前記第1クロック信号として出力する  
請求項13に記載の試験装置。
- [16] 被試験デバイスを試験する試験装置であって、  
前記被試験デバイスが出力するデータ信号、および、前記データ信号を取得すべきタイミングを示すクロック信号の少なくとも一方の位相を調整し、変化点のタイミングを合わせた第1データ信号および第1クロック信号として出力する第1調整部と、

前記クロック信号を指定した時間遅延させて第2クロック信号として出力する可変遅延回路と、

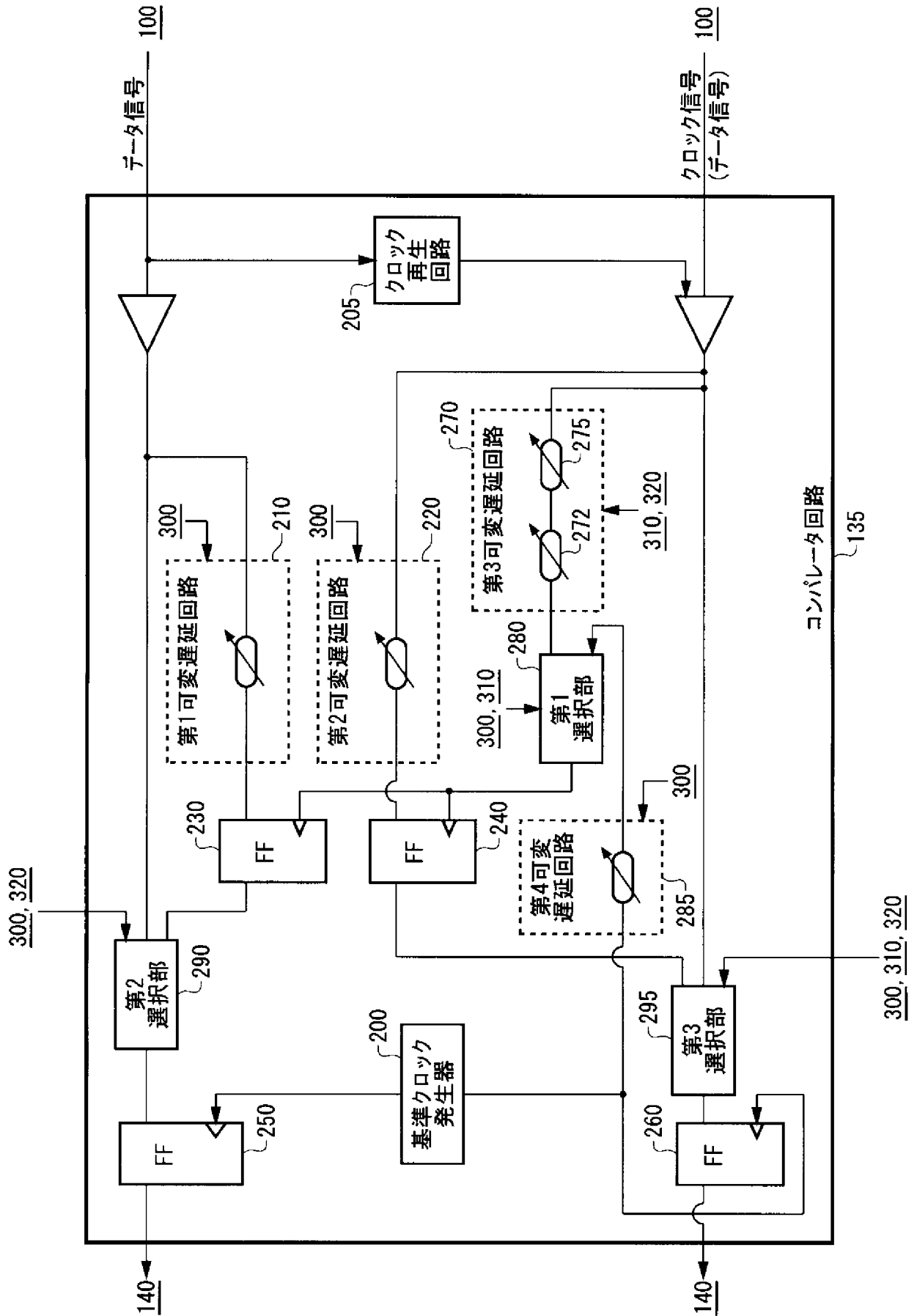
前記第1クロック信号を前記第2クロック信号の変化タイミングで取得した結果に基づいて前記可変遅延回路の遅延量を調整し、前記第1クロック信号に対する前記第2クロック信号の位相差を所望の位相差に調整する第2調整部と、

前記第1データ信号を前記第2クロック信号の変化タイミングで取得した結果に基づいて、前記被試験デバイスが出力する信号の良否を判定する判定部と  
を備える試験装置。

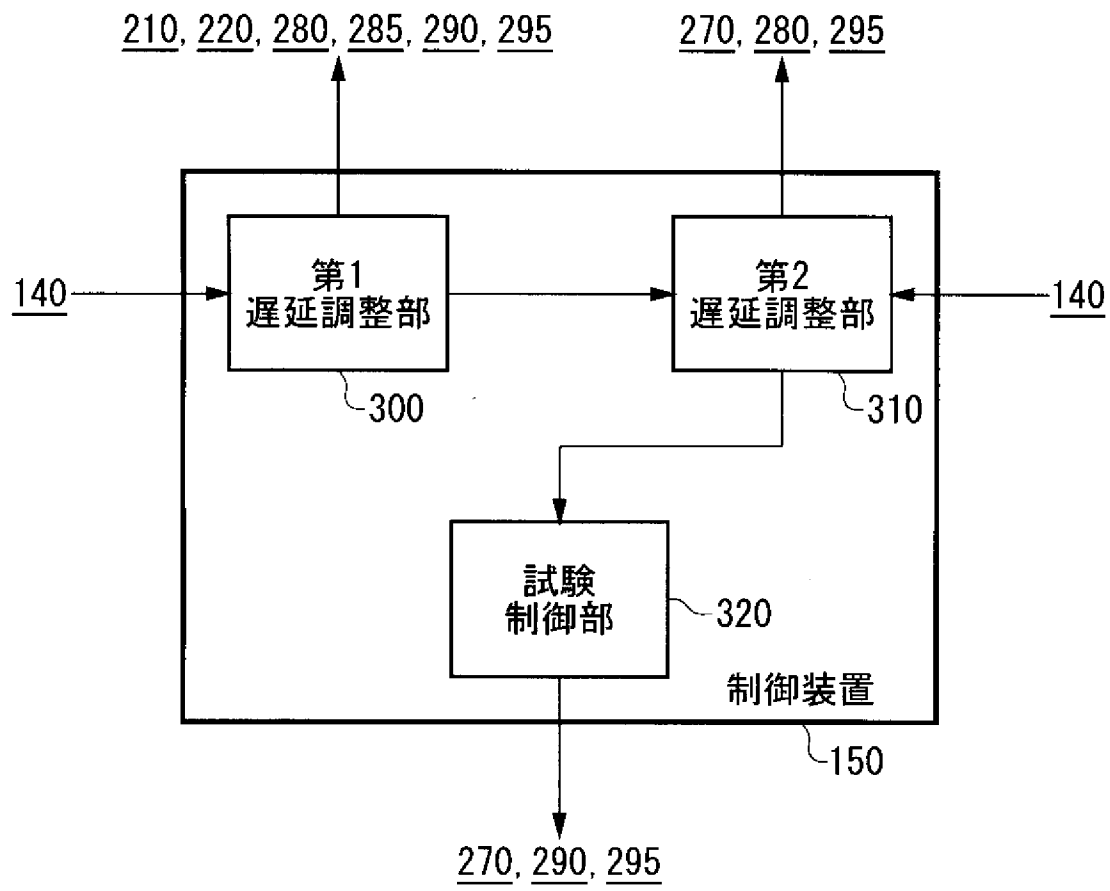
[図1]



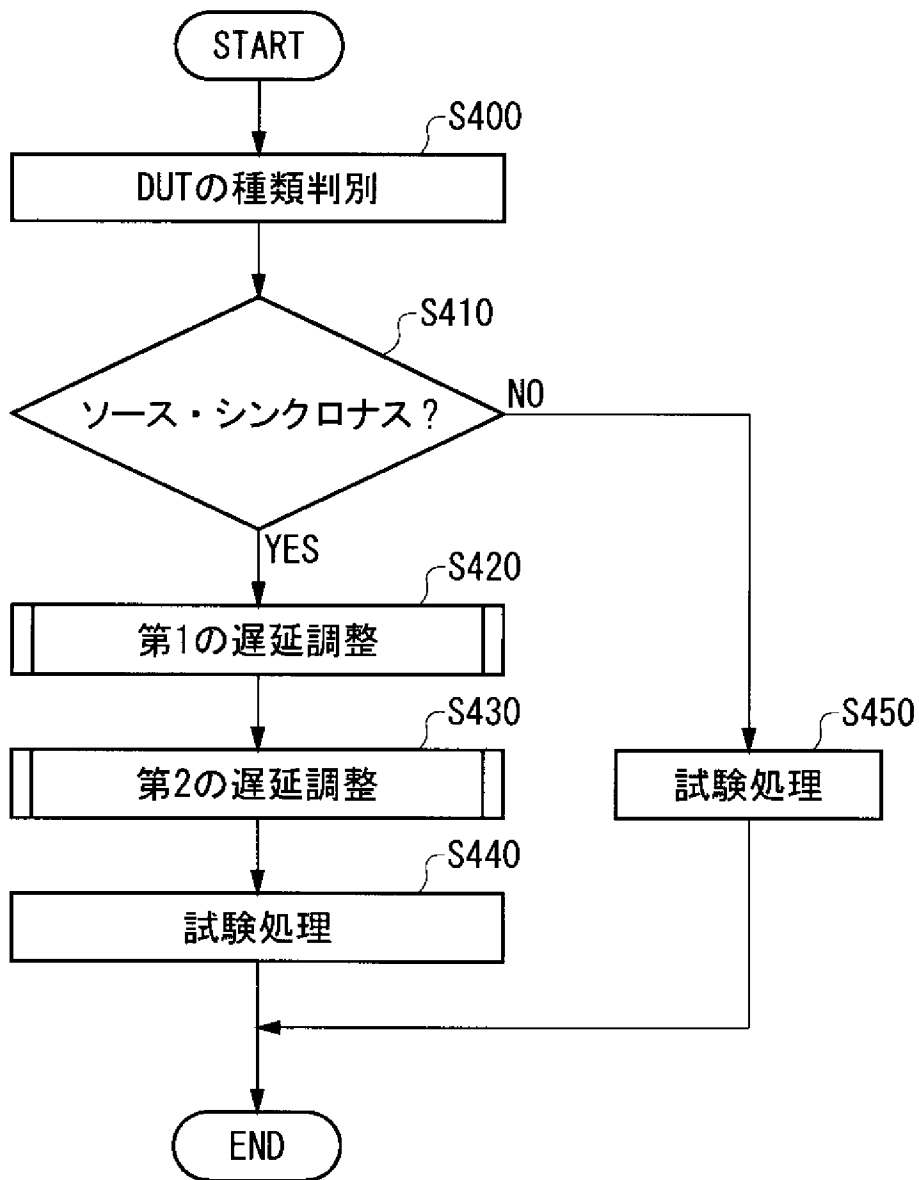
[図2]



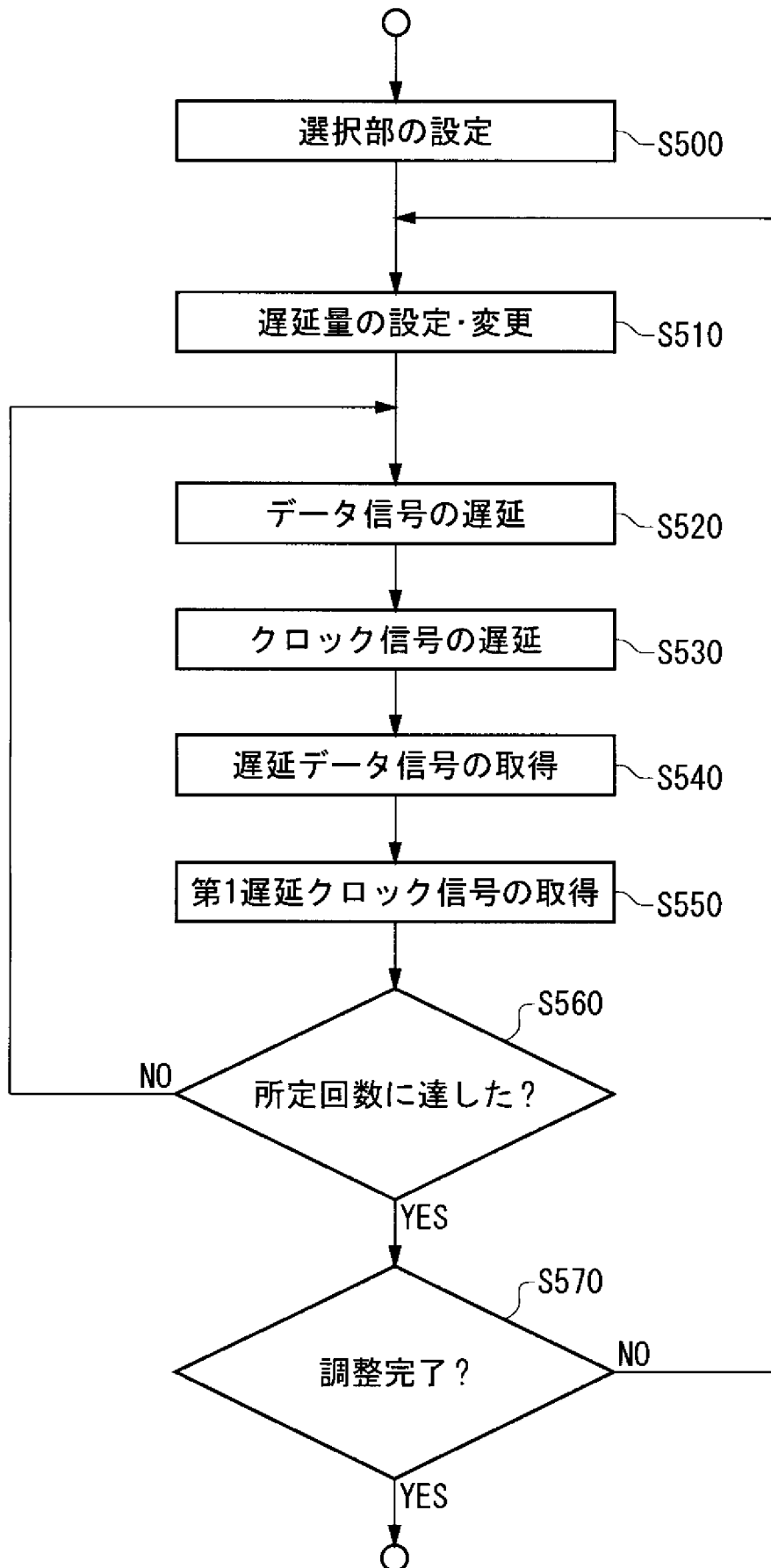
[図3]



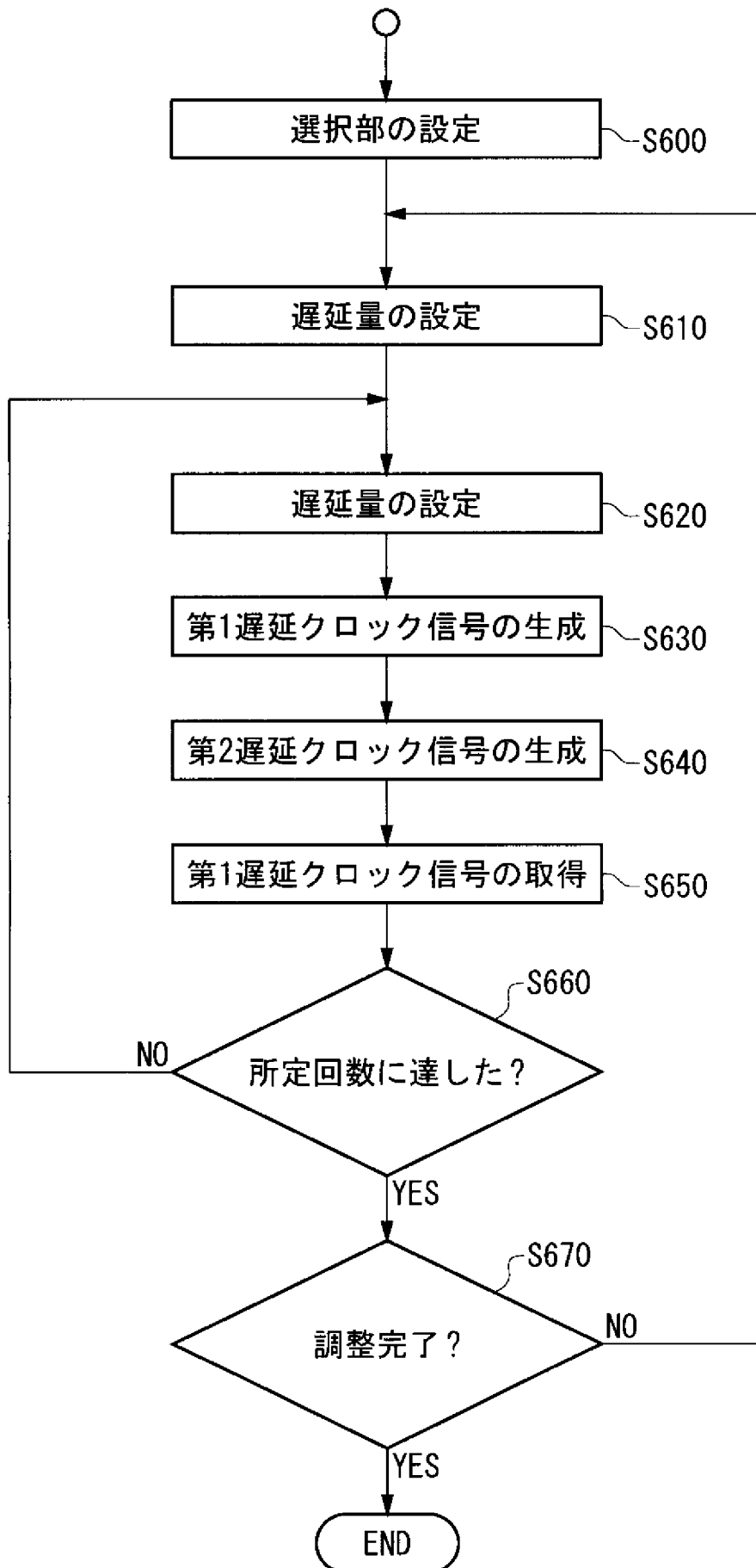
[図4]



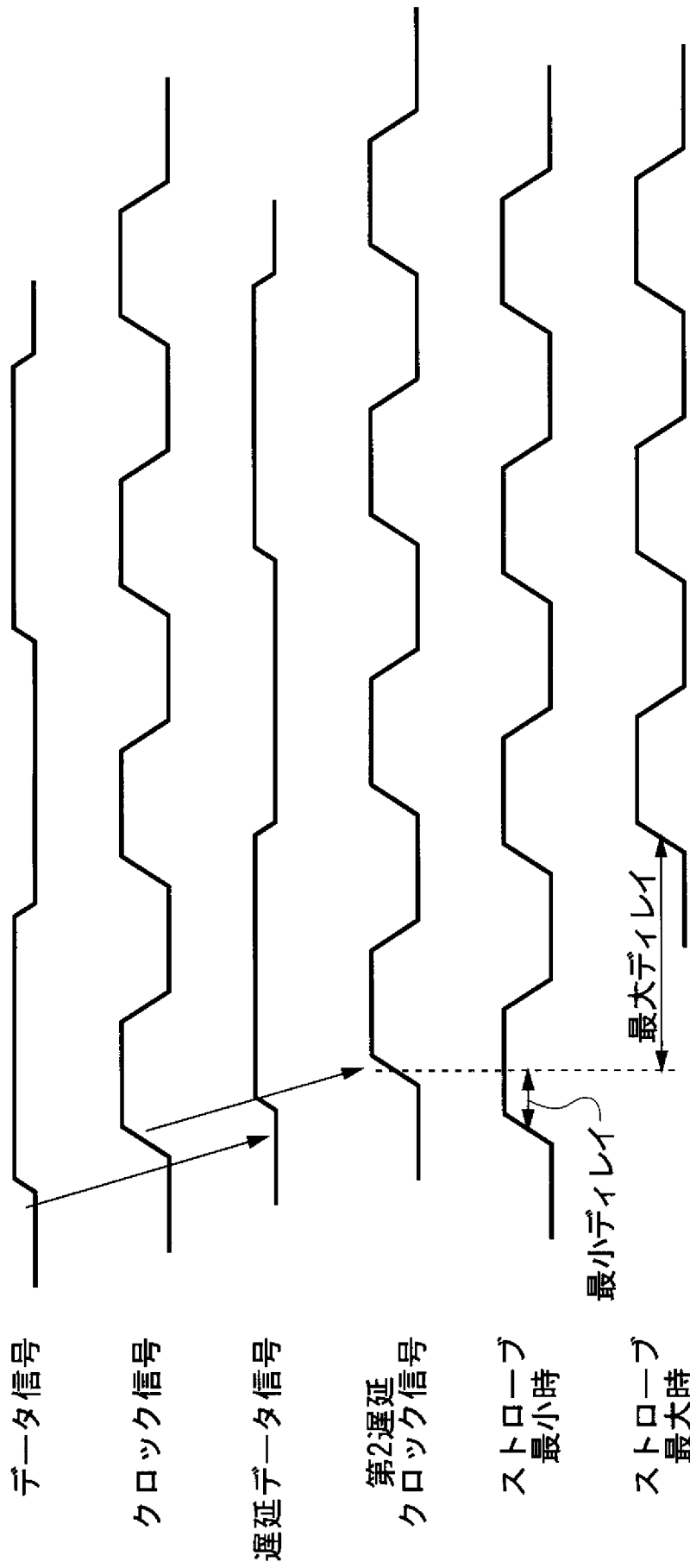
[図5]

S420

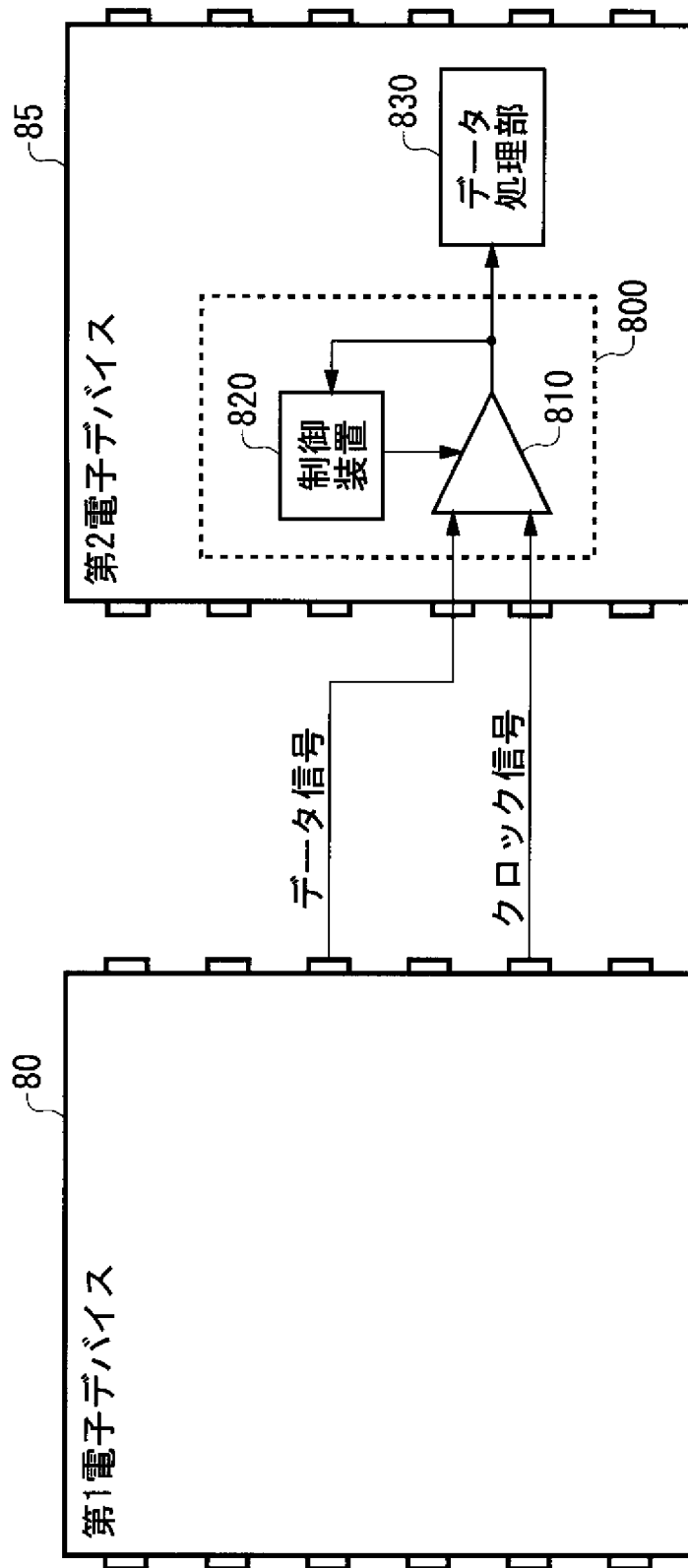
[図6]

S430

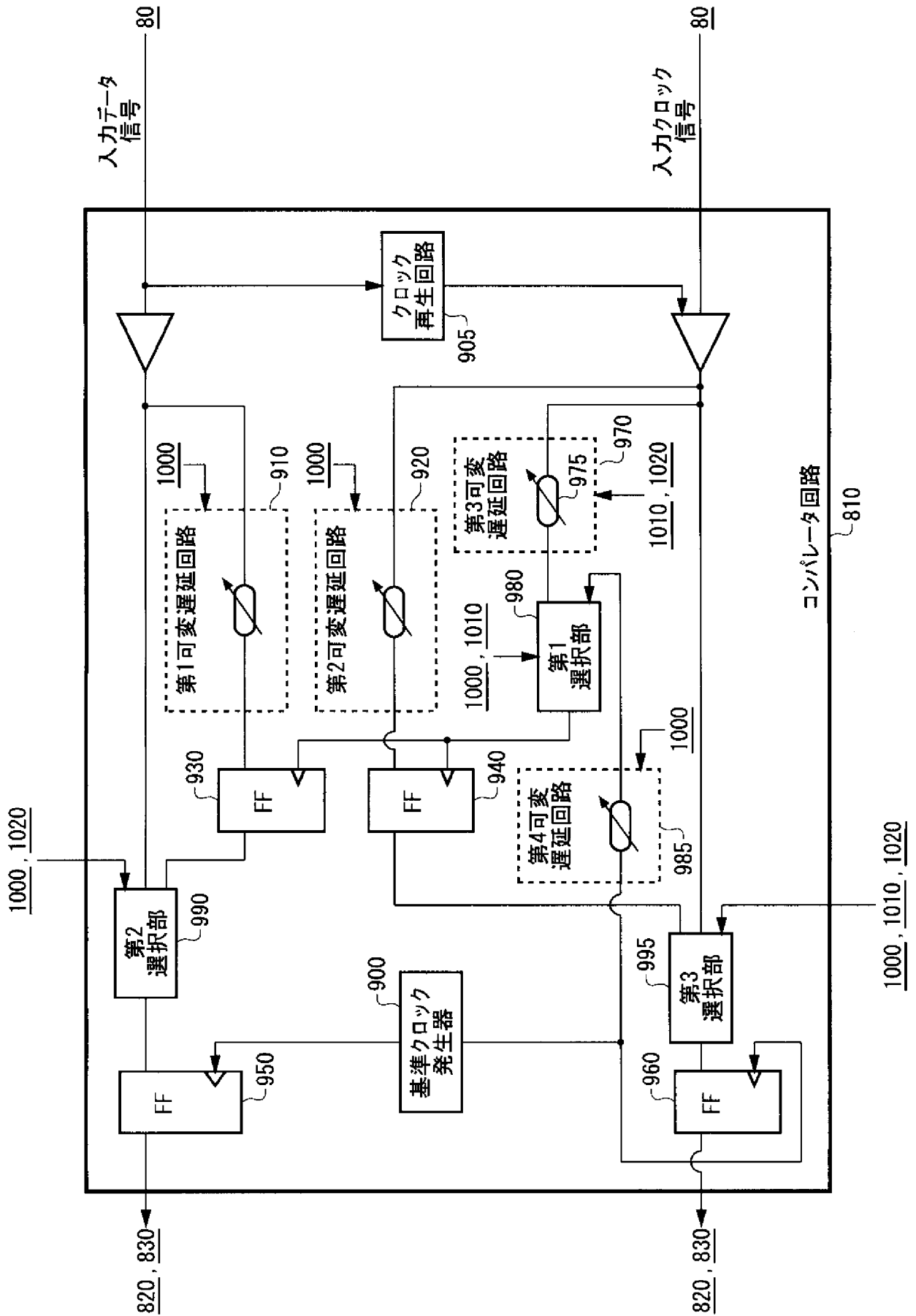
[図7]



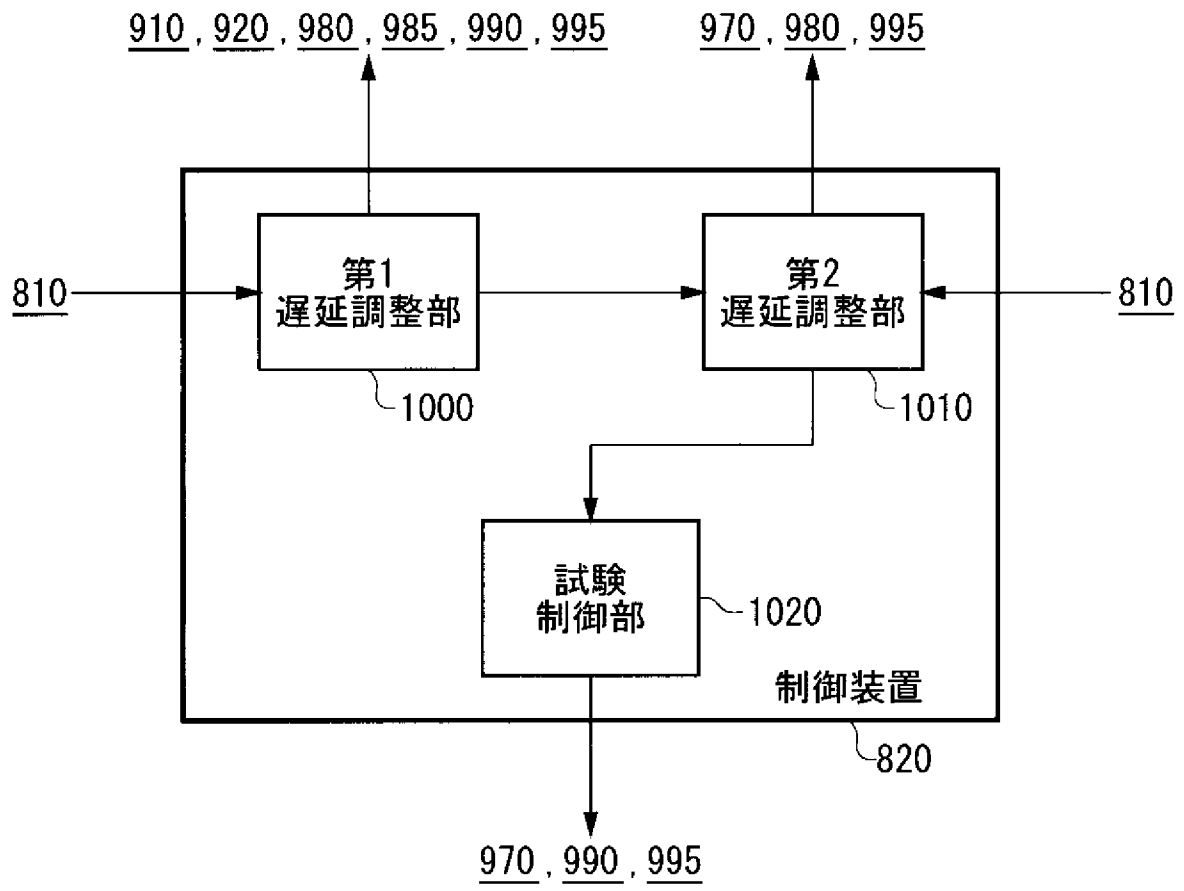
[図8]



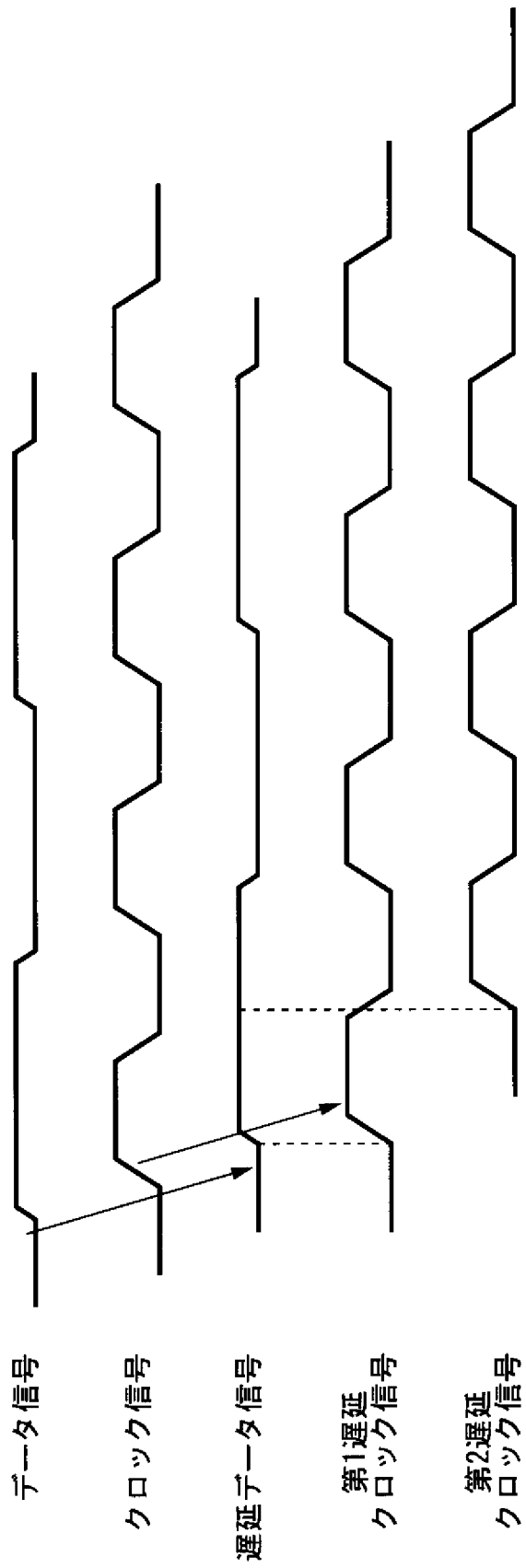
[図9]



[図10]



[図11]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2007/052565

**A. CLASSIFICATION OF SUBJECT MATTER**

G01R31/319(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

G01R31/28-3193, G11C11/401-4099, 56, 29/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-201532 A (Advantest Corp.), 27 July, 2001 (27.07.01), Full text; all drawings & US 2001/0052097 A1 & DE 10101899 A1 & TW 238256 B	1-16
A	JP 2001-356153 A (Advantest Corp.), 26 December, 2001 (26.12.01), Full text; all drawings & US 2001/0052097 A1 & DE 10101899 A1 & CN 1329254 A & TW 238256 B	1-16
A	JP 2002-25294 A (Advantest Corp.), 25 January, 2002 (25.01.02), Full text; all drawings & US 2002/0003433 A1 & DE 10132241 A1 & TW 519569 B	1-16

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
02 May, 2007 (02.05.07)

Date of mailing of the international search report  
15 May, 2007 (15.05.07)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2007/052565

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-121501 A (Advantest Corp.), 23 April, 2003 (23.04.03), Full text; all drawings (Family: none)	1-16
A	JP 2005-285160 A (Advantest Corp.), 13 October, 2005 (13.10.05), Par. Nos. [0042] to [0048]; Figs. 3 to 5 & WO 2005/093443 A1 & US 2007/006031 A1 & EP 1742074 A1	1-16
A	JP 2004-325410 A (Toshiba Corp.), 18 November, 2004 (18.11.04), Full text; all drawings & US 2004/0250180 A1	1-16

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G01R31/319(2006.01) i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G01R31/28-3193, G11C11/401-4099, 56, 29/00		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-201532 A (株式会社アドバンテスト) 2001.07.27, 全文、 全図 & US 2001/0052097 A1 & DE 10101899 A1 & TW 238256 B	1-16
A	JP 2001-356153 A (株式会社アドバンテスト) 2001.12.26, 全文、 全図 & US 2001/0052097 A1 & DE 10101899 A1 & CN 1329254 A & TW 238256 B	1-16
A	JP 2002-25294 A (株式会社アドバンテスト) 2002.01.25, 全文、全 図 & US 2002/0003433 A1 & DE 10132241 A1 & TW 519569 B	1-16
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 02.05.2007	国際調査報告の発送日 15.05.2007	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 神谷 健一 電話番号 03-3581-1101 内線 3258	2S 9705

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2003-121501 A (株式会社アドバンテスト) 2003. 04. 23, 全文、 全図 (ファミリーなし)	1-16
A	JP 2005-285160 A (株式会社アドバンテスト) 2005. 10. 13, 段落 [0042]-[0048]、図 3 - 5 & WO 2005/093443 A1 & US 2007/006031 A1 & EP 1742074 A1	1-16
A	JP 2004-325410 A (株式会社東芝) 2004. 11. 18, 全文、全図 & US 2004/0250180 A1	1-16