

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第1区分

【発行日】平成30年2月15日(2018.2.15)

【公表番号】特表2017-507323(P2017-507323A)

【公表日】平成29年3月16日(2017.3.16)

【年通号数】公開・登録公報2017-011

【出願番号】特願2016-544161(P2016-544161)

【国際特許分類】

G 01 R 31/28 (2006.01)

H 01 L 21/822 (2006.01)

H 01 L 27/04 (2006.01)

【F I】

G 01 R 31/28 V

H 01 L 27/04 T

【手続補正書】

【提出日】平成29年12月28日(2017.12.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

回路であって、

スキャンクロックにより駆動され、1以上の整数であるM個のスキャン出力を生成するように構成されるスキャン圧縮アーキテクチャと、

1以上の整数であるk個の位相シフトされたスキャンクロックを生成するために前記スキャンクロックをkで分周するように構成されるクロック分周器と、

前記スキャン圧縮アーキテクチャに結合され、前記M個のスキャン出力と前記k個の位相シフトされたスキャンクロックとに応答してkM個のスロースキャン出力を生成するように構成されるパッキングロジックと、

を含み、

前記パッキングロジックが、

M個のパッキング要素であって、前記M個のパッキング要素の各パッキング要素が、前記M個のスキャン出力の或るスキャン出力を受信するように構成される、前記M個のパッキング要素と、

各パッキング要素におけるk個のフリップフロップであって、或るパッキング要素における前記k個のフリップフロップの各フリップフロップが、前記スキャン出力と前記k個の位相シフトされたスキャンクロックに応答して前記kM個のスロースキャン出力の或るスロースキャン出力を生成するように、各フリップフロップが、前記M個のスキャン出力の或るスキャン出力を受信し、前記k個の位相シフトされたスキャンクロックの或る位相シフトされたスキャンクロックを受信するように構成される、前記各パッキング要素におけるk個のフリップフロップと、

を含む、回路。

【請求項2】

請求項1に記載の回路であって、

各パッキング要素が、前記スキャン出力と前記k個の位相シフトされたスキャンクロックとに応答してk個のスロースキャン出力を生成する、回路。

【請求項 3】

請求項 1 に記載の回路であって、
前記スキャン圧縮アーキテクチャが、
1以上の整数であるN個のデータ入力を受信し、N個のスキャン入力を生成するように構成される第1の複数の入力／出力（I/O）回路と、
前記第1の複数のI/O回路に結合され、前記N個のスキャン入力を受信するように構成される伸長器と、
前記伸長器に結合され、前記M個のスキャン出力を生成するように構成される圧縮器と、
前記伸長器と前記圧縮器との間に結合される複数のスキャンチェーンであって、前記複数のスキャンチェーンの各スキャンチェーンが複数のスキャンセルを含む、前記複数のスキャンチェーンと、
を更に含む、回路。

【請求項 4】

請求項 1 に記載の回路であって、
前記パッキングロジックに結合され、前記kM個のスロースキャン出力に応答してkM個のデータ出力を生成するように構成される第2の複数のI/O回路を更に含む、回路。

【請求項 5】

請求項 1 に記載の回路であって、

前記複数のスキャンチェーンが前記スキャンクロックにより駆動される、回路。

【請求項 6】

請求項 1 に記載の回路であって、

前記伸長器が、前記N個のスキャン入力に応答して複数のコアスキャン入力を生成するように構成される、回路。

【請求項 7】

請求項 1 に記載の回路であって、

前記複数のスキャンチェーンが、前記複数のコアスキャン入力を受信するように構成され、

前記複数のスキャンセルの各スキャンセルが、前記スキャンクロックの周波数で前記複数のコアスキャン入力の或るコアスキャン入力をシフトするように構成される、回路。

【請求項 8】

請求項 1 に記載の回路であって、

前記複数のスキャンチェーンが、前記複数のコアスキャン入力に応答して複数のコアスキャン出力を生成するように構成される、回路。

【請求項 9】

請求項 1 に記載の回路であって、

前記圧縮器が、前記複数のコアスキャン出力に応答して前記M個のスキャン出力を生成するように構成される、回路。

【請求項 10】

集積回路をテストする方法であって、

1以上の整数であるN個のデータ入力から1以上の整数であるM個のスキャン出力を生成することであって、前記N個のデータ入力が前記集積回路の各テストサイクルにおいて生成されるビットのセットである、前記M個のスキャン出力を生成することと、

スキャンクロックから1以上の整数であるk個の位相シフトされたスキャンクロックを生成することと、

前記M個のスキャン出力からkM個のスロースキャン出力を生成するようにパッキングロジックを構成することであって、前記パッキングロジックがM個のパッキング要素を含む、前記パッキングロジックを構成することと、

前記M個のスキャン出力の或るスキャン出力と前記k個の位相シフトされたスキャンクロックとに応答してk個のスロースキャン出力を生成するように前記M個のパッキング要

素の各パッキング要素を構成することと、

を含み、

前記 k M 個のスロースキャン出力が前記テストの出力である、方法。

【請求項 1 1】

請求項 1 0 に記載の方法であって、

前記 N 個のデータ入力から M 個のスキャン出力を生成することが、

前記 N 個のデータ入力に応答して N 個のスキャン入力を生成することと、

前記 N 個のスキャン入力に応答して複数のコアスキャン入力を生成することと、

前記複数のコアスキャン入力に応答して複数のコアスキャン出力を生成することと、

前記複数のコアスキャン出力に応答して前記 M 個のスキャン出力を生成することと、

を含む、方法。

【請求項 1 2】

請求項 1 0 に記載の方法であって、

各パッキング要素が k 個のフリップフロップを含む、方法。

【請求項 1 3】

請求項 1 0 に記載の方法であって、

前記パッキング要素において受信された前記スキャン出力と前記 k 個の位相シフトされたスキャンクロックの或る位相シフトされたスキャンクロックとに応答してスロースキャン出力を生成するように、パッキング要素における前記 k 個のフリップフロップの各フリップフロップを構成することを更に含む、方法。

【請求項 1 4】

請求項 1 0 に記載の方法であって、

前記複数のコアスキャン入力に応答して複数のコアスキャン出力を生成するように複数のスキャンチェーンを構成することを更に含み、

前記複数のスキャンチェーンの各スキャンチェーンが複数のスキャンセルを含む、方法。

。

【請求項 1 5】

請求項 1 0 に記載の方法であって、

前記複数のスキャンセルの各スキャンセルが、前記スキャンクロックの周波数で前記複数のコアスキャン入力の或るコアスキャン入力をシフトするように構成される、方法。

【請求項 1 6】

請求項 1 0 に記載の方法であって、

前記 k M 個のスロースキャン出力に応答して k M 個のデータ出力を生成することを更に含む、方法。

【請求項 1 7】

コンピューティングデバイスであって、

処理ユニットと、

前記処理ユニットに結合される複数の論理回路と、

前記複数の論理回路の少なくとも 1 つの論理回路に結合されるテスト回路と、

を含み、

前記テスト回路が、

スキャンクロックにより駆動され、1 以上の整数である M 個のスキャン出力を生成するように構成されるスキャン圧縮アーキテクチャと、

1 以上の整数である k 個の位相シフトされたスキャンクロックを生成するために前記スキャンクロックを k で分周するように構成されるクロック分周器と、

前記スキャン圧縮アーキテクチャに結合され、前記 M 個のスキャン出力と前記 k 個の位相シフトされたスキャンクロックとに応答して k M 個のスロースキャン出力を生成するように構成されるパッキングロジックと、

を含み、

前記パッキングロジックが、

M個のパッキング要素であって、前記M個のパッキング要素の各パッキング要素が、前記M個のスキャン出力の或るスキャン出力を受信するように構成される、前記M個のパッキング要素と、

各パッキング要素におけるk個のフリップフロップであって、或るパッキング要素における前記k個のフリップフロップの各フリップフロップが、前記スキャン出力と前記位相シフトされたスキャンクロックとに応答して前記kM個のスロースキャン出力の或るスロースキャン出力を生成するように、各フリップフロップが、前記M個のスキャン出力の或るスキャン出力を受信し、前記k個の位相シフトされたスキャンクロックの或る位相シフトされたスキャンクロックを受信するように構成される、前記各パッキング要素におけるk個のフリップフロップと、

を含む、コンピューティングデバイス。

【請求項18】

請求項17に記載のコンピューティングデバイスであって、前記スキャン圧縮アーキテクチャが、整数であるN個のデータ入力を受信し、N個のスキャン入力を生成するように構成される第1の複数の入力／出力（I/O）回路と、

前記第1の複数のI/O回路に結合され、前記N個のスキャン入力を受信するように構成される伸長器と、

前記伸長器に結合され、前記M個のスキャン出力を生成するように構成される圧縮器と、

前記伸長器と前記圧縮器との間に結合される複数のスキャンチェーンであって、前記複数のスキャンチェーンの各スキャンチェーンが複数のスキャンセルを含む、前記複数のスキャンチェーンと、

を更に含む、コンピューティングデバイス。

【請求項19】

請求項17に記載のコンピューティングデバイスであって、前記パッキングロジックに結合され、前記kM個のスロースキャン出力に応答してkM個のデータ出力を生成するように構成される第2の複数のI/O回路を更に含む、コンピューティングデバイス。

【請求項20】

請求項17に記載のコンピューティングデバイスであって、前記複数のスキャンチェーンが、前記複数のコアスキャン入力を受信するように構成され、前記複数のスキャンセルの各スキャンセルが、前記スキャンクロックの周波数で前記複数のコアスキャン入力の或るコアスキャン入力をシフトするように構成される、コンピューティングデバイス。