

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-35252

(P2010-35252A)

(43) 公開日 平成22年2月12日(2010.2.12)

(51) Int.Cl. F I テーマコード (参考)
H02M 7/48 (2007.01) H02M 7/48 S 5H007
H02M 7/48 F

審査請求 未請求 請求項の数 11 O L (全 28 頁)

(21) 出願番号 特願2008-191598 (P2008-191598)
(22) 出願日 平成20年7月25日(2008.7.25)

(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目7番3号
(74) 代理人 100094916
弁理士 村上 啓吾
(74) 代理人 100073759
弁理士 大岩 増雄
(74) 代理人 100093562
弁理士 児玉 俊英
(74) 代理人 100088199
弁理士 竹中 孝生
(72) 発明者 小草 慎一
東京都千代田区丸の内二丁目7番3号 三
菱電機株式会社内

最終頁に続く

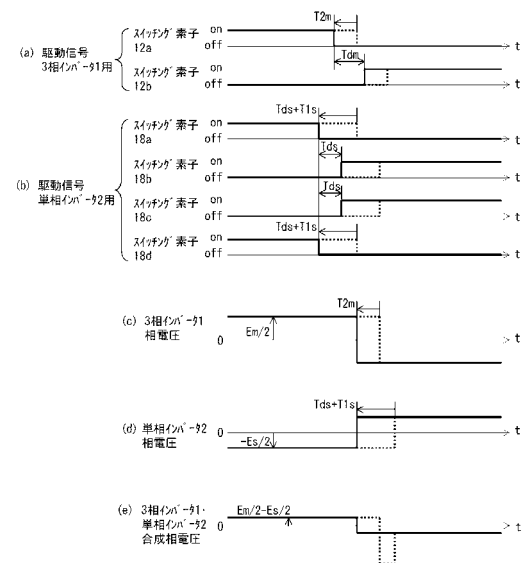
(54) 【発明の名称】 電力変換装置

(57) 【要約】

【課題】各相で複数のインバータを直列接続した電力変換装置において、直列に接続されたインバータの電圧が切り換わるタイミングを揃えて、サージ電圧を抑制した電力変換装置を提供することを目的とする。

【解決手段】3相インバータ1の上アームのスイッチング素子12aがオフする場合は、相電圧切り換えのタイミングが T_{2m} 遅れるので、それを見越して、スイッチング素子オフの信号を T_{2m} 早めて出力する。一方、単相インバータ2の相電圧切り換えのタイミングは、 $(T_{ds} + T_{1s})$ 遅れるので、 $(T_{ds} + T_{1s})$ 早めてスイッチング素子18a、18dオフの信号を出力する。これにより、3相インバータ1、単相インバータ2の相電圧切り換えのタイミングが揃い、同時に、電圧が切り換わるので、3相インバータ1と単相インバータ2とを合わせた相電圧にサージ電圧が生じず、負荷3の電圧にもサージ電圧が生じない。

【選択図】図14



【特許請求の範囲】**【請求項 1】**

スイッチング素子をオンオフ制御することにより直流 / 交流間で電力の変換を行う第 1 および第 2 の電力変換器の各交流側を直列に接続してなる電力変換装置であって、

上記第 1 の電力変換器のスイッチング素子を駆動する第 1 の駆動信号と上記第 2 の電力変換器のスイッチング素子を駆動する第 2 の駆動信号とを作成する駆動信号生成回路を備えた電力変換装置において、

上記第 1 の電力変換器の交流出力電圧を上昇または下降させるタイミングで上記第 2 の電力変換器の交流出力電圧を下降または上昇させるため、上記第 1 および第 2 の駆動信号として作成された第 1 および第 2 の指令駆動信号に対し、上記第 1 の電力変換器の交流出力電圧が実際に上昇または下降する電圧変化タイミングと上記第 2 の電力変換器の交流出力電圧が実際に下降または上昇する電圧変化タイミングとが同一の同期電圧変化タイミングとなるよう上記第 1 および第 2 の指令駆動信号を補正して第 1 および第 2 の補正駆動信号を出力する駆動信号補正手段を備えたことを特徴とする電力変換装置。

10

【請求項 2】

上記駆動信号補正手段は、上記第 1 および第 2 の電力変換器に設定された短絡防止時間と、上記第 1 および第 2 の電力変換器のスイッチング素子におけるオンオフ駆動信号入力時からオンオフ動作出力時までのオンオフ遅延時間と、上記第 1 および第 2 の電力変換器の交流側電流の向きとに基づき上記補正に係る補正時間量を設定することを特徴とする請求項 1 記載の電力変換装置。

20

【請求項 3】

上記駆動信号生成回路は、交流電圧指令に基づき PWM (パルス幅変調) 制御で上記第 1 の駆動信号を作成し、上記交流電圧指令と上記第 1 の電力変換器の交流出力電圧との偏差である偏差指令に基づき PWM 制御で上記第 2 の駆動信号を作成することを特徴とする請求項 2 記載の電力変換装置。

【請求項 4】

上記駆動信号補正手段は、上記第 1 および第 2 の指令駆動信号に基づく電圧変化タイミングが上記同期電圧変化タイミングと一致するよう、上記第 1 および第 2 の補正駆動信号を、上記第 1 および第 2 の指令駆動信号を所定の補正時間量だけ早めたものとすることを特徴とする請求項 3 記載の電力変換装置。

30

【請求項 5】

上記第 1 および第 2 の電力変換器の電圧切換動作の種別毎に上記第 1 および第 2 の指令駆動信号に対応する上記第 1 および第 2 の補正駆動信号を予め記憶しておき、上記駆動信号補正手段は、上記電圧切換動作の種別毎に上記予め記憶された上記第 1 および第 2 の指令駆動信号に対応する上記第 1 および第 2 の補正駆動信号を読み出すようにしたことを特徴とする請求項 4 記載の電力変換装置。

【請求項 6】

上記交流電圧指令を所定時間進める進み時間設定回路を設け、上記駆動信号補正手段は、上記第 1 および第 2 の指令駆動信号に基づく電圧変化タイミングが上記同期電圧変化タイミングと一致するよう、上記第 1 および第 2 の補正駆動信号を、上記第 1 および第 2 の指令駆動信号を所定の補正時間量だけ遅らせたものとすることを特徴とする請求項 3 記載の電力変換装置。

40

【請求項 7】

上記駆動信号補正手段は、上記第 1 または第 2 の電力変換器のいずれか、その駆動信号の変化タイミングに対して交流出力電圧の電圧変化タイミングがより遅くなる方の電圧変化タイミングが上記同期電圧変化タイミングと一致するよう、上記第 1 および第 2 の指令駆動信号を補正して上記第 1 および第 2 の補正駆動信号を出力することを特徴とする請求項 3 記載の電力変換装置。

【請求項 8】

上記第 1 の電力変換器は、第 1 の直流電圧源の直流電圧を 3 相の交流電圧に変換する 3 相

50

インバータであり、上記第 2 の電力変換器は、第 2 の直流電圧源の直流電圧を単相の交流電圧に変換する単相インバータであり、上記 3 相インバータの各相交流側と上記単相インバータの交流側とを直列にして 3 相交流負荷に接続されたことを特徴とする請求項 3 ないし 7 のいずれか 1 項に記載の電力変換装置。

【請求項 9】

上記単相インバータを、その交流側が互いに直列に接続された複数の単相インバータで構成したことを特徴とする請求項 8 記載の電力変換装置。

【請求項 10】

上記第 1 の電力変換器は、第 1 の直流電圧源の直流電圧を単相の交流電圧に変換する第 1 の単相インバータであり、上記第 2 の電力変換器は、第 2 の直流電圧源の直流電圧を単相の交流電圧に変換する第 2 の単相インバータであり、上記第 1 の単相インバータの交流側と上記第 2 の単相インバータの交流側とを直列にして単相交流負荷に接続されたことを特徴とする請求項 3 ないし 7 のいずれか 1 項に記載の電力変換装置。

10

【請求項 11】

上記第 1 および第 2 の電力変換器は、それらの交流側に接続された交流電源の交流電圧を直流電圧に変換する第 1 および第 2 のコンバータとしたことを特徴とする請求項 3 ないし 7 のいずれか 1 項に記載の電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

この発明は、スイッチング素子をオンオフ制御することにより直流 / 交流間で電力の変換を行う第 1 および第 2 の電力変換器の各交流側を直列に接続してなる電力変換装置に係り、特に、その電圧切換時の電圧波形を改善する技術に関するものである。

【背景技術】

【0002】

従来の電力変換装置は、第 1 の電力変換器としての、例えば、3 相インバータと、この 3 相インバータの各相出力に直列に接続された、第 2 の電力変換器としての単相インバータとから成る電力変換装置であり、3 相インバータの出力電圧波形が正弦波とずれている差分を単相インバータで供給することで、総合としては正弦波の出力電圧波形を得ている（例えば、特許文献 1 参照）。

30

【0003】

【特許文献 1】特開 2000 - 50643 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来の電力変換装置として、いわゆる、2 レベルインバータを例にとって説明すると、上アームと下アームとのスイッチング素子が交互にオンする。しかし、例えば、上アームのスイッチング素子をオフに切り換える駆動信号と下アームのスイッチング素子をオンに切り換える駆動信号とが同時に制御装置から出力されたとしても、ゲートドライブ回路やスイッチング素子に遅れがあり、遅れの量がオンの場合とオフの場合に異なるので上アームのスイッチング素子と下アームのスイッチング素子とが同時に切り換わらない。

40

【0005】

従って、例えば、3 相インバータの出力電圧を上昇させるタイミングで単相インバータの出力電圧を下降させるよう両インバータに同時に駆動信号を送出した場合、実際に、3 相インバータの出力電圧が上昇するタイミングと単相インバータの出力電圧が下降するタイミングとに種々の条件によりずれが生じうる。このように、両インバータの出力電圧の電圧変化タイミングにずれが発生すると、両者の出力電圧を加算し負荷に供給される電圧は、この電圧切り換えタイミングでサージ状の電圧を発生することになり、電磁ノイズが発生して周囲の機器に悪影響を及ぼしたり、負荷の鉄損を増大させる等の種々の弊害をもたらすことになる。

50

【 0 0 0 6 】

この発明は、上記のような問題点を解消するために成されたものであって、各相で複数のインバータを直列接続した電力変換装置において、直列に接続されたインバータの電圧が切り換わるタイミングを揃えて、サージ電圧を抑制した電力変換装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

この発明に係る電力変換装置は、スイッチング素子をオンオフ制御することにより直流 / 交流間で電力の変換を行う第 1 および第 2 の電力変換器の各交流側を直列に接続してなる電力変換装置であって、

第 1 の電力変換器のスイッチング素子を駆動する第 1 の駆動信号と第 2 の電力変換器のスイッチング素子を駆動する第 2 の駆動信号とを作成する駆動信号生成回路を備えた電力変換装置において、

第 1 の電力変換器の交流出力電圧を上昇または下降させるタイミングで第 2 の電力変換器の交流出力電圧を下降または上昇させるため、第 1 および第 2 の駆動信号として作成された第 1 および第 2 の指令駆動信号に対し、第 1 の電力変換器の交流出力電圧が実際に上昇または下降する電圧変化タイミングと第 2 の電力変換器の交流出力電圧が実際に下降または上昇する電圧変化タイミングとが同一の同期電圧変化タイミングとなるよう第 1 および第 2 の指令駆動信号を補正して第 1 および第 2 の補正駆動信号を出力する駆動信号補正手段を備えたものである。

【発明の効果】

【 0 0 0 8 】

以上のように、この発明に係る電力変換装置では、駆動信号補正手段を備えて、第 1 および第 2 の指令駆動信号を補正して第 1 および第 2 の補正駆動信号を出力するようにしたので、第 1 の電力変換器の交流出力電圧が実際に上昇または下降する電圧変化タイミングと第 2 の電力変換器の交流出力電圧が実際に下降または上昇する電圧変化タイミングとが同一の同期電圧変化タイミングとなり、電圧切り換え時に発生するサージ電圧が抑制される。

【発明を実施するための最良の形態】

【 0 0 0 9 】

実施の形態 1 .

図 1 は、この発明の実施の形態 1 における電力変換装置の全体構成を示す図である。図に示すように、電力変換装置の主回路構成としては、第 1 の電力変換器である 3 相インバータ 1 の交流側の各相出力線に、第 2 の電力変換器である単相インバータ 2 の交流側が直列に接続される。単相インバータ 2 の交流側は、その片方を 3 相インバータ 1 に、残る片方を負荷 3 にそれぞれ接続する。図 1 では省略しているが、3 相インバータ 1 は直流電圧源を備え、そこから電力の供給を受けるものとする。単相インバータ 2 は、直流側に直流電圧源を備えそこから電力の供給を受ける構成でも、電力は 3 相インバータ 1 から供給を受け単相インバータ 2 の直流電圧を制御することによって維持する構成でもよい。

【 0 0 1 0 】

3 相インバータ 1 は、図 2 に示すようなスイッチング素子 1 2 a ~ 1 2 f と逆並列に接続されたダイオード 1 3 a ~ 1 3 f および直流回路としてのコンデンサ 1 1 から成る 2 レベルインバータである。

単相インバータ 2 は、図 3 に示すようなスイッチング素子 1 8 a ~ 1 8 d、ダイオード 1 9 a ~ 1 9 d、およびコンデンサ 2 0 から構成される単相フルブリッジの 2 レベルインバータである。

【 0 0 1 1 】

次に、実施の形態 1 の電力変換装置における制御動作を説明する訳であるが、その理解を容易とするため、先ず、従来装置における制御動作と、課題の欄で既述した従来装置における問題点について詳細に説明することとする。

10

20

30

40

50

【 0 0 1 2 】

図 4 は、その従来の電力変換装置の全体構成を示すもので、その主回路構成の部分は、本願発明の図 1 に示した内容と同様である。

図 4 の負荷制御回路 4 は、負荷 3 を制御するための回路で、電力変換装置が出力する電圧の指令（交流電圧指令）を出力する。これを駆動信号生成回路 5 に入力する。

【 0 0 1 3 】

駆動信号生成回路 5 の内部を、図 5 に示す。負荷制御回路 4 からの交流電圧指令を図 6（a）とすると 3 相インバータ PWM 回路 30 では、図 6（b）に示すように、PWM（パルス幅変調）された電圧を演算、減算器 31 に出力する。

減算器 31 では、負荷制御回路 4 が出力する交流電圧指令と、3 相インバータ 1 の PWM 回路 30 が出力する PWM された電圧波形との減算を行い偏差指令を作成する。この結果求められる波形は、図 6（c）に示すようになる。この波形は、3 相インバータ 1 の理想的な電圧である交流電圧指令から、実際に出力している電圧を減算しているので、3 相インバータ 1 が出力している電圧のうち、余剰な高調波電圧を正負反転させたものである。よって、この電圧波形を指令として単相インバータ 2 から電圧を出力すると、3 相インバータ 1 が出力する余剰な高調波電圧を打ち消すように単相インバータ 2 が動作するので、負荷 3 の電圧高調波を低減できる。

【 0 0 1 4 】

また、図 6（b）の波形は、3 相インバータ 1 の直流電圧の仮想中性点から見た場合の電圧波形であり、この電圧波形が含む零相電圧は線間電圧には影響を与えないので負荷 3 の電圧には影響を与えないことが知られている。零相電圧を含む図 6（b）の波形から演算した図 6（c）の波形も零相電圧を含んでおり、この零相電圧を変更しても負荷 3 には影響がない。よって、例えば、図 6（c）の波形から零相電圧を 0 にすると、図 6（d）の波形が得られる。このように零相電圧を操作することで単相インバータ 2 の電圧指令の振幅を小さくすることができる。

図 6（d）を PWM すると、図 6（e）に示すような波形となる。負荷 3 の相電圧は、3 相インバータ 1 と単相インバータ 2 との電圧を加算して零相電圧を除いたものであり、図 6（f）に示す波形となる。

【 0 0 1 5 】

ここでは、例として、零相電圧操作回路 32 では零相電圧を 0 としたが、零相電圧を、例えば、3 次高調波電圧として電圧指令の振幅を下げる方法など他の方法を用いることもでき、あるいは、零相電圧操作回路 32 を省略して零相電圧を操作しなくても本発明には影響がない。従って、後段でも触れるように、特許文献 1 のような零相電圧を操作していない電力変換装置にも適用できる。また、3 相インバータ 1 が単相インバータで、電力変換装置が単相負荷に接続される場合でも零相電圧操作回路 32 を省略すれば、単相構成の電力変換装置に適用できるものである。

【 0 0 1 6 】

ここで、図 6（b）と、（c）または（d）とを比較すると明らかなように、3 相インバータ 1 がスイッチングすると単相インバータ 2 の電圧指令が大きく変動する。即ち、3 相インバータ 1 が出力する高調波電圧を打ち消すために、3 相インバータ 1 の出力電圧が切り換わる時には、単相インバータ 2 も同時に 3 相インバータ 1 と逆方向に出力電圧を切り換える、具体的には、3 相インバータ 1 の出力電圧を上昇させるタイミングで単相インバータ 2 の出力電圧を下降させる、または、3 相インバータ 1 の出力電圧を下降させるタイミングで単相インバータ 2 の出力電圧を上昇させる必要があることを意味している。

【 0 0 1 7 】

ここで、一般的な 2 レベルインバータにおけるスイッチング時の動作について説明する。

2 レベルインバータの場合、上アームと下アームとのスイッチング素子が交互にオンする。しかし、例えば、上アームのスイッチング素子をオフに切り換える駆動信号と下アームのスイッチング素子をオンに切り換える駆動信号とが同時に制御装置から出力されたと

10

20

30

40

50

しても、ゲートドライブ回路やスイッチング素子に遅れがあり、遅れの量がオンの場合とオフの場合に異なるので上アームのスイッチング素子と下アームのスイッチング素子とが同時に切り換わらない。このときに両方のスイッチング素子が同時にオン状態になると直流回路が短絡してしまうため、通常オンの信号を数マイクロ秒遅れさせて上アームと下アームとのスイッチング素子が両方ともオフとなる期間を作る。これを短絡防止時間と呼ぶ。

【 0 0 1 8 】

この短絡防止時間などの遅れを考慮して一般的な 2 レベルインバータで制御回路が出力する駆動信号と、実際の出力電圧の関係を表したのが図 7 である。以下では短絡防止時間を T_d 、駆動信号生成回路 5 が駆動信号をオンにしてから実際にスイッチング素子がオンするまでの遅延時間を T_1 、駆動信号生成回路 5 が駆動信号をオフにしてから実際に素子がオフするまでの遅延時間を T_2 とする。

【 0 0 1 9 】

駆動信号生成回路 5 が出力する駆動信号は、上アームのスイッチング素子がオンからオフに切り換わる信号を出した後、図 7 のように設定された T_d の分遅れて下アームのスイッチング素子をオンにする信号が出力される。ここで、上アームのスイッチング素子がオンしている間は、スイッチング素子のコレクタ、エミッタ間の電圧は素子の特性によって決まる数ボルトの電圧になる。ここでは、これを 0 ボルトと見なしても差し支えないので、以下ではスイッチング素子がオンの場合の電圧は 0 ボルトとして扱う。

上アームのスイッチング素子がオンの間はスイッチング素子のコレクタ、エミッタ間電圧 V_{CE} は 0 である。制御回路から出力する駆動信号がオフに切り換わると T_2 遅れてスイッチング素子がオフになる。また、上アームのスイッチング素子がオフになる駆動信号が出てから下アームのスイッチング素子がオンになる駆動信号が出るまでに T_d の遅れがあり、さらに、下アームのスイッチング素子がオンするまで T_1 の遅れがあるので、上アームのスイッチング素子がオフする駆動信号が出力されてから $(T_d + T_1)$ 遅れてオンする。

【 0 0 2 0 】

また、スイッチング素子がオフするときに、電流がスイッチング素子とダイオードとのいずれに流れているかで動作が異なる。電流が流れているのがスイッチング素子であれば、スイッチング素子がオフすると即座に反対側のアームのダイオードに電流が転流する。よって、スイッチング素子がオフすると V_{CE} は 2 レベルインバータの直流電圧となる。スイッチング素子がオフするときに電流が流れているのがダイオードならば、スイッチング素子がオフしてもダイオードに電流が流れ続け、反対側のスイッチング素子がオンするまで転流しない。よって、スイッチング素子がオフしても下アームのスイッチング素子がオンするまで上アームのスイッチング素子の V_{CE} は 0 のままとなる。よって、駆動信号は同じであっても電流の方向によって、各スイッチング素子の V_{CE} は異なり、電流の向きが負荷に向かって正の方向であれば、図 7 (b) (c) に実線で示す V_{CE} となり、電流が負荷に向かって負の方向では、破線で示す V_{CE} となる。即ち、インバータの相電圧も電流の方向によって変化し、電流が負荷に向かって正ならば、図 7 (d) の実線の電圧波形となり、電流が負荷に向かって負ならば破線の電圧波形となる。

以上のように、実際の電圧波形は、 T_d 、 T_1 、 T_2 があるため、駆動信号のオン・オフとはタイミングがずれる上に、さらに電流の方向によって異なる電圧となる。

【 0 0 2 1 】

従来の電力変換装置では、複数のインバータが直列に接続されているが、まず、各インバータのスイッチング時の動作について説明する。

図 8 は、3 相インバータ 1 が図 2 の回路であるとした場合の、1 相の電流経路を表している。図 2 の回路の直流電圧を E_m とし、この直流回路の仮想中性点から 3 相インバータ 1 が交流側に出力する電圧を見ると、出力電圧は、 $E_m / 2$ または $- E_m / 2$ のいずれかとなる。

3 相インバータ 1 が出力する電流が負荷に向かって正の方向であるとする、3 相イン

10

20

30

40

50

バータ 1 の出力電圧が $E_m / 2$ である場合は、図 8 (a) の太線で示す経路で矢印の方向に電流が流れる。即ち、上アームのスイッチング素子 1 2 a に電流が流れる。一方、図 8 (a) からスイッチングしてスイッチング素子 1 2 a がオフ、1 2 b がオンすると 3 相インバータ 1 の出力電圧が $- E_m / 2$ に切り換わり、図 8 (b) に太線で示す経路で電流が流れるので、下アームのダイオード 1 3 b に電流が流れる。

【 0 0 2 2 】

図 9 は、単相インバータ 2 が図 3 の回路構成のものであり、3 相インバータ 1 から負荷 3 に向かって正の方向に電流が流れている場合の電流経路を示している。この場合の電流経路は、ダイオード 1 9 a からコンデンサ 2 0、ダイオード 1 9 d を経て負荷 3 へ電流が流れる図 9 (a) と、スイッチング素子 1 8 b からコンデンサ 2 0、スイッチング素子 1 8 c を経て負荷 3 へ電流が流れる図 9 (b) と、ダイオード 1 9 a、スイッチング素子 1 8 c を経て負荷 3 へ電流が流れる図 9 (c) と、スイッチング素子 1 8 b、ダイオード 1 9 d を経て電流が流れる図 9 (d) の 4 つの電流経路がある。また、電圧の方向は、3 相インバータ 1 から負荷 3 へ向かう方向を正とし、単相インバータ 2 の直流電圧を E_s とすると、単相インバータ 2 が出力する電圧は E_s 、0、 $- E_s$ の 3 つである。図 9 では、出力電圧が E_s の場合は (b)、出力電圧が 0 の場合は (c) および (d)、出力電圧が $- E_s$ の場合は (a) である。

【 0 0 2 3 】

電流が負荷 3 に向かって正方向に流れているときに、3 相インバータ 1 がスイッチングして出力電圧が $E_m / 2$ から $- E_m / 2$ に下がる方向に切り換わる場合は、図 8 (a) から (b) に切り換わる。このとき、前記のように同じ相の単相インバータ 2 は、3 相インバータ 1 とは逆に電圧が上がる方向に切り換わる。即ち、出力電圧が $- E_s$ から 0 または E_s に切り換わる場合と、0 から E_s に切り換わる場合がある。出力電圧が $- E_s$ から 0 に切り換わる場合は、図 9 (a) から (c) または (d) に切り換わり、出力電圧が $- E_s$ から E_s に切り換わる場合は、図 9 (a) から (b) に切り換わる。出力電圧が 0 から E_s に切り換わるのは、図 9 (c) から (b) に切り換わる場合と (d) から (b) に切り換わる場合の 2 ケースである。

よって、3 相インバータ 1 でスイッチング素子 1 2 a からダイオード 1 3 b に電流が転流すると、単相インバータ 2 ではダイオード 1 9 a ~ 1 9 d のいずれかから反対側のアームにあるスイッチング素子 1 8 a ~ 1 8 d に電流が転流する。

【 0 0 2 4 】

このときに生じる電圧が切り換わるタイミングのずれについて説明する。

3 相インバータ 1 の短絡防止時間を T_{dm} 、駆動信号生成回路 5 が駆動信号をオンにしてから実際にスイッチング素子がオンするまでの遅延時間を T_{1m} 、駆動信号生成回路 5 が駆動信号をオフにしてから実際に素子がオフするまでの遅延時間を T_{2m} とする。また、単相インバータ 2 については、その短絡防止時間を T_{ds} 、駆動信号生成回路 5 が駆動信号をオンにしてから実際にスイッチング素子がオンするまでの遅延時間を T_{1s} 、駆動信号生成回路 5 が駆動信号をオフにしてから実際に素子がオフするまでの遅延時間を T_{2s} とする。

【 0 0 2 5 】

例として、3 相インバータ 1 が図 8 (a) から (b)、単相インバータ 2 が図 9 (a) から (b) に切り換わる場合について考える。

駆動信号生成回路 5 は、3 相インバータ 1 のスイッチング素子 1 2 a がオフする信号を出力すると同時に単相インバータ 2 のスイッチング素子 1 8 a、1 8 d がオフする信号を出力する。その後、駆動信号生成回路 5 は、3 相インバータ 1、単相インバータ 2 のオフするアームと反対側のアームのスイッチング素子をオンする指令を出す。3 相インバータ 1 は T_{dm} 、単相インバータ 2 は T_{ds} 遅れてオンする信号を出す。

【 0 0 2 6 】

電流が負荷 3 に向かって正の方向であれば、3 相インバータ 1 は、図 8 (a) から (b) に切り換わるので、スイッチング素子 1 2 a からダイオード 1 3 b への転流である。図

10

20

30

40

50

7で説明したように、3相インバータ1の相電圧の切り換えは、駆動信号生成回路5がスイッチング素子12aをオフする信号を出してから T_{2m} 後に切り換わるので、図10(c)の実線のように切り換わる。単相インバータ2は、図9(a)から(b)に切り換わるので、負荷3側のアームではダイオード19dからスイッチング素子18cへの転流が生じ、3相インバータ1側のアームではダイオード19aからスイッチング素子18bに転流が生じる。よって単相インバータ2では、駆動信号生成回路5がスイッチング素子18a、18dがオフする信号を出してから $(T_{ds} + T_{1s})$ 後に切り換わり、図10(d)の実線のようにになる。図10(c)に実線で示した3相インバータ1の相電圧と図10(d)に実線で示した単相インバータ2の相電圧を加算すると図10(e)の実線のようにになる。

10

【0027】

図10(e)では、3相インバータ1の相電圧が切り換わったタイミングで負の方向に電圧が大きく振れた後、単相インバータ2がスイッチングすることで電圧の絶対値が小さくなっているが、このサージ電圧は3相インバータ1と単相インバータ2の電圧が同時に変わっていったら生じないはずの電圧である。

また、図10(c)(d)(e)の破線は、電流が負荷3に向かって負の方向に流れている場合の電圧波形である。この場合は、図10(e)の合成相電圧では正の方向にサージ電圧が生じる。

また、単相インバータ2の電圧切り換えが他のパターンでも、同様にダイオードから反対側アームのスイッチング素子への転流なので単相インバータ2の電圧切り換えが $(T_{ds} + T_{1s})$ 遅れる。よって、3相インバータ1と単相インバータ2との電圧切り換えにタイミングのずれが発生し、電圧の変化幅は異なるが電流の方向が同じなら上記のタイミングは図9(a)から(b)に切り換わる場合と同じである。

20

また、3相インバータ1の電圧が逆に切り換わる場合も、同様に3相インバータ1と単相インバータ2との電圧が切り換わるタイミングのずれが生じる。

【0028】

この3相インバータ1と単相インバータ2との電圧が切り換わるタイミングのずれが存在すると、図6は図11に示すようになる。特に、負荷3の電圧は図11(f)のようにサージ電圧が乗った電圧波形となる。

【0029】

30

図12は、電圧が急峻な変化をした場合の電圧波形の例である。単相インバータ2と負荷3を接続するケーブルの単相インバータ2側の電圧が図12(a)のようなものであっても、ケーブルのインダクタンスや対地間の浮遊容量などにより負荷3の電圧は図12(b)に示すような電圧波形となることがある。図12(b)の電圧変化のピークは図12(a)のスイッチングで変化する電圧の最大2倍にも達し、負荷3に必要な絶縁耐量が大きくなる。また、このように電圧が急峻に変化することにより高調波電流が流れると、電磁ノイズの原因となり周囲の機器に悪影響を及ぼしたり、負荷の鉄損を増大させたりする原因となる。

【0030】

40

以上、従来装置における制御動作とそれに伴う問題点について説明したが、その内容と対比する形で、以下、本願発明の実施の形態1における電力変換装置について説明する。

図1に戻り、単相インバータ2、負荷3間あるいは3相インバータ1、単相インバータ2間に電流センサ40を設け、計測した電流値を駆動信号生成回路5Aに入力する。

駆動信号生成回路5Aは、図13に示すように、PWMパターン記憶回路46で構成する。

PWMパターン記憶回路46は、電圧切換動作の種別毎に、3相インバータ1や単相インバータ2のスイッチング素子をオンオフするための駆動信号のパターンを記憶しておき、負荷制御回路4からの電圧指令値と電流センサ40で計測した電流に応じて、記憶しているパターンから最適なパターンを出力する。

【0031】

50

換言すると、PWMパターン記憶回路46は、3相インバータ1の交流出力電圧を上昇または下降させるタイミングで単相インバータ2の交流出力電圧を下降または上昇させるため、それぞれ第1および第2の駆動信号として作成された第1および第2の指令駆動信号に対し、3相インバータ1の交流出力電圧が実際に上昇または下降する電圧変化タイミングと単相インバータ2の交流出力電圧が実際に下降または上昇する電圧変化タイミングとが同一の同期電圧変化タイミングとなるようそれぞれ第1および第2の指令駆動信号を補正して第1および第2の補正駆動信号を出力する駆動信号補正手段であって、電圧切換動作の種別毎に予め記憶された第1および第2の指令駆動信号に対応する第1および第2の補正駆動信号を読み出すようにしたものと言える。

【0032】

以下、これら第1および第2の指令駆動信号から第1および第2の補正駆動信号を作成する要領について説明する。

図14は、負荷3に向かって電流が正の方向に流れている場合の駆動信号生成回路5Aの出力と3相インバータ1の相電圧、単相インバータ2の相電圧および3相インバータ1と単相インバータ2の相電圧を合わせた相電圧波形を示すものである。実線が、本実施の形態1のパルス補正を行った場合の各波形であり、上述した第1および第2の補正駆動信号に相当する。破線は、補正を行わない場合の波形で、上述の第1および第2の指令駆動信号に相当する。補正を行っていない場合は、先の図10の実線と同じである。

【0033】

図14(a)の破線のように、3相インバータ1の上アームのスイッチング素子12aをオフする信号が出力され、同時に、図14(b)の破線のように、単相インバータ2のスイッチング素子18a、18dをオフする信号を出力する。このタイミングが3相インバータ1と単相インバータ2の相電圧切り換えの理想的なタイミングである。よって、3相インバータ1、単相インバータ2の相電圧切り換えのタイミングが理想のタイミングに揃うように、駆動信号生成回路5Aが出力する駆動信号を早める。

負荷3に向かって正の方向に電流が流れていて、3相インバータ1の上アームのスイッチング素子12aがオフする場合は、相電圧切り換えのタイミングが T_{2m} 遅れるので、それを見越して、図14(a)に実線で示すように、スイッチング素子オフの信号を T_{2m} 早めて出力する。一方、単相インバータ2の相電圧切り換えのタイミングは、 $(T_{ds} + T_{1s})$ 遅れるので、図14(b)に実線で示すように、 $(T_{ds} + T_{1s})$ 早めてスイッチング素子18a、18dオフの信号を出力する。これにより実際の電圧切り換えのタイミングが、理想的なタイミングになる。よって、3相インバータ1、単相インバータ2の相電圧切り換えのタイミングが揃い、同時に、電圧が切り換わるので、3相インバータ1と単相インバータ2とを合わせた相電圧にサージ電圧が生じず、負荷3の電圧にもサージ電圧が生じない。

【0034】

電流が負の場合は、図15の破線のように、3相インバータ1の上アームのスイッチング素子12aの駆動信号がオフになってから $(T_{dm} + T_{1m})$ 遅れて3相インバータ1の相電圧が切り換わり、単相インバータ2は、スイッチング素子18a、18dの駆動信号がオフになってから T_{2s} 遅れで切り換わる。よって、図15(a)の実線で示すように、スイッチング素子12aの駆動信号がオフするタイミングを $(T_{dm} + T_{1m})$ 早めることで3相インバータ1の相電圧が切り換わるタイミングを理想的なタイミングに補正することができる。単相インバータ2は、図15(b)の実線のように、スイッチング素子18a、18dの駆動信号がオフになるタイミングを T_{2s} 早めることで、単相インバータ2の相電圧が切り換わるタイミングを理想的なタイミングに合わせることができる。

【0035】

ここで挙げた例だけでなく、3相インバータ1が、先の図8(b)から(a)に切り換わる場合や、単相インバータ2のパターンが、先の図9(a)から(c)に切り換わる場合、電流の向きが異なる場合でも同様の手法で駆動信号の補正ができる。

【0036】

10

20

30

40

50

このような構成とすれば、3相インバータ1、単相インバータ2の相電圧切り換えのタイミングが揃い、同時に電圧が切り換わるので3相インバータ1と単相インバータ2とを合わせた相電圧の、各インバータの短絡防止時間、ゲート回路の特性やスイッチング素子の特性に起因するサージ電圧を小さくできる。よって、負荷3の電圧もサージ電圧が小さくなり、また、サージ電圧以外の全体的な出力電圧の歪みも小さくすることができる。

【0037】

以上の結果、電磁ノイズを低減させるための特別の対策が不要となって装置が小型化し、また、鉄損等の損失が低減して装置としての寿命も増大するという効果を奏する。

【0038】

実施の形態2.

10

駆動信号を早めることにより、電圧切り換えのタイミングを理想のタイミングに合わせることが先の実施の形態1と同じであるが、実施の形態1とは異なる駆動信号補正手段の例を、実施の形態2として以下に説明する。

図16は、この発明の実施の形態2における電力変換装置の全体構成を示す図である。

図17は、図16の駆動信号生成回路5Bの内部構成を示す図である。

図17は、先の図5の駆動信号生成回路5に、パルス補正回路44とパルス補正回路45とを追加し、パルス補正回路44には3相インバータPWM回路30が出力する駆動信号と電流センサ40で計測する電流値とを入力するようにしたものである。また、パルス補正回路45には、単相インバータPWM回路33が出力する駆動信号と電流センサ40で計測する電流値とを入力する。

20

【0039】

パルス補正回路44およびパルス補正回路45は、少なくとも駆動信号を早める補正量の最大値以上に駆動信号を遅延させるとともに電流の方向を判定し、先の実施の形態1において図14、図15を用いて説明した駆動信号の補正と実質的に同様の処理を行う。

パルス補正回路44、パルス補正回路45で遅延させている時間内では、駆動信号を修正して早めることが可能であるので、図14、図15で示したと同様の補正が可能となるわけである。また、パルス補正回路44、45で遅延させる時間は等しいものとする。

【0040】

図18は、図16の負荷制御回路52の内部構成を示す図である。この負荷制御回路52は、後段のパルス補正回路44、45で遅延させる時間分を、交流電圧指令を進めることで補償する進み時間設定回路として機能するものである。

30

負荷制御回路52中の負荷制御回路4Aは、先の図4の負荷制御回路4の交流電圧指令を演算するために用いる出力電圧の角周波数と位相を出力するようにしたものである。進み時間設定値と負荷制御回路4Aが出力した角周波数とを乗算器50で乗算し、進み時間設定値で設定されている時間で回転する位相を求める。これを加算器51で負荷制御回路4Aが出力する位相に加算する。これは、進み時間設定値で設定した時間の分、未来の位相を求めていることになる。加算器51の出力を負荷制御回路4Aに入力する。負荷制御回路4Aでは、負荷制御の演算は先の負荷制御回路4と同じ現在の位相で行うが、出力する電圧指令の位相は、加算器51が出力する進み時間設定値だけ未来の位相での値を演算して出力する。この進み時間設定値は、パルス補正回路44、45で遅延させる時間と同じにする。

40

【0041】

このようにすると、図18の加算器51で加算して進めた位相の分、パルス補正回路44、45で遅延させて位相を遅らせるので、3相インバータ1、単相インバータ2が出力する電圧は本来出力すべき位相、タイミングに一致する。

従って、3相インバータ1と単相インバータ2との電圧切り換えのタイミングが揃い、3相インバータ1と単相インバータ2とを合わせた相電圧の、各インバータの短絡防止時間、ゲート回路の特性やスイッチング素子の特性に起因するサージ電圧を抑制できる。

また、実施の形態1のように、あらかじめ電圧指令や電流の向きに合わせて駆動信号のパターンを大量に演算、記憶する必要がないので、構成が簡便となる。

50

【 0 0 4 2 】

なお、負荷制御回路 5 2 で、進み時間設定値分だけ未来の位相の電圧指令を出力するのは、パルス補正回路 4 4、4 5 が遅延作用を持ち、それによって生じる制御の誤差を補償するためであるが、角周波数が小さいなどの理由でこの誤差が十分に小さく問題にならない場合には、位相の補償を省略して図 4 の負荷制御回路 4 をそのまま用いて構成を更に簡単にしてもよい。

【 0 0 4 3 】

実施の形態 3 .

本実施の形態 3 では、まずパルス（駆動信号）を補正する方法について説明する。

図 1 9 は、電流が負荷 3 に向かって正の方向に流れていて、3 相インバータ 1 が、先の図 8 (a) から (b)、単相インバータ 2 が、先の図 9 (a) から (b) に切り換わる時の波形を示し、破線は補正を行わない場合で、実線は本実施の形態 3 の補正を行った場合である。

10

本実施の形態 3 では、電流が負荷 3 に向かって正の方向に流れている場合は、図 1 9 (a) のように、後述する駆動信号生成回路 5 B が出力する 3 相インバータ 1 のスイッチング素子 1 2 a をオフさせる駆動信号を $(Tds + T1s - T2m)$ 遅れさせて出力する。単相インバータ 2 のスイッチング素子 1 8 a、1 8 d をオフさせる指令はそのままのタイミングで出力する。

【 0 0 4 4 】

即ち、この実施の形態 3 では、3 相インバータ 1 と単相インバータ 2 とのいずれか、その駆動信号の変化タイミングに対して交流出力電圧の電圧変化タイミングがより遅くなる方の電圧変化タイミングが、上述した同期電圧変化タイミングと一致するよう駆動信号を補正するもので、ここでは、単相インバータ 2 での電圧変化タイミングがより遅いので、その駆動信号は補正せず（補正量が零）、3 相インバータ 1 の駆動信号を補正している。

20

【 0 0 4 5 】

結果として、図 1 9 (c) に示すように、3 相インバータ 1 の相電圧が切り換わるタイミングを、単相インバータ 2 の相電圧が切り換わるタイミングに揃えることができる。これにより、3 相インバータ 1 と単相インバータ 2 とを合わせた相電圧のサージ電圧を抑制できる。よって、負荷 3 の電圧のサージ電圧を抑制することができる。

【 0 0 4 6 】

また、以上の方法は、 $(Tds + T1s - T2m)$ が正の値であることを想定しているが、 $(Tds + T1s - T2m)$ が負の場合は、3 相インバータ 1 への駆動信号のタイミングを補正せず、単相インバータ 2 への駆動信号のタイミングを $-(Tds + T1s - T2m)$ 遅れさせれば、単相インバータ 2 の相電圧が切り換わるタイミングを、3 相インバータ 1 の相電圧が切り換わるタイミングに合わせることができ、同様に、負荷 3 の電圧のサージ電圧を抑制できる。

30

【 0 0 4 7 】

電流が負荷 3 に向かって負の方向に流れている場合は、図 2 0 のように、駆動信号生成回路 5 B が出力する単相インバータ 2 のスイッチング素子 1 8 a、1 8 d をオフさせる指令を $(Tdm + T1m - T2s)$ 遅れさせて出力する。3 相インバータ 1 のスイッチング素子 1 2 a をオフさせる指令は従来通りのタイミングで出力する。この補正により、単相インバータ 2 の相電圧が切り換わるタイミングを、図 2 0 (d) のように、3 相インバータ 1 の電圧が切り換わるタイミングに合わせることができ、よって、図 2 0 (e) のように、3 相インバータ 1 と単相インバータ 2 とを合わせた相電圧のサージ電圧を抑制でき、負荷 3 の電圧のサージ電圧を抑制することができる。

40

【 0 0 4 8 】

また、以上の方法は、 $(Tdm + T1m - T2s)$ が正の値であることを想定しているが、 $(Tdm + T1m - T2s)$ が負の場合は、単相インバータ 2 への信号のタイミングを従来通りにして、3 相インバータ 1 への信号のタイミングを $-(Tds + T1s - T2m)$ 遅れさせれば、3 相インバータ 1 の相電圧が切り換わるタイミングを、単相インバー

50

タ 2 の相電圧が切り換わるタイミングに合わせることができ、負荷 3 の電圧のサージ電圧を抑制することができる。

【 0 0 4 9 】

また、ここで挙げた例だけでなく、3 相インバータ 1 が、先の図 8 (b) から (a) に切り換わる場合や、単相インバータ 2 のパターンが、先の図 9 (a) から (c) に切り換わる場合、電流の向きが異なる場合でも同様の補正ができる。

【 0 0 5 0 】

本実施の形態 3 では、先の図 1 のように、単相インバータ 2、負荷 3 間あるいは 3 相インバータ 1、単相インバータ 2 間に電流センサ 4 0 を設け、計測した電流値を駆動信号生成回路 5 B に入力する。そして、この駆動信号生成回路 5 B は、例えば、図 2 1 に示すよ

10

【 0 0 5 1 】

電流センサ 4 0 で測定した電流値に応じて、パルス補正回路 4 1 は、3 相インバータ P W M 回路 3 0 が出力する駆動信号を先の図 1 9、2 0 で説明した要領で補正を行う。パルス補正回路 4 3 は、電流センサ 4 0 で測定した電流の向きに応じて単相インバータ 2 の電圧指令演算に用いる 3 相インバータ 1 の相電圧が切り換わるタイミングをずらすことで、単相インバータ 2 の電圧指令が切り換わるタイミングをずらし、単相インバータ 2 のスイッチング素子を駆動する駆動信号のタイミングをずらすことができる。このようにして、

20

【 0 0 5 2 】

単相インバータ 2 の駆動信号を補正するために 3 相インバータ P W M 回路 3 0 の出力を補正するのは、零相電圧操作回路 3 2 によっては交流電圧指令に図 6 (d) に示すように、他の相のスイッチングによる変化分があるので、単相インバータ P W M 回路 3 3 と T d 生成回路 7 1 との間で補正を行う演算が増加するためである。従って、零相電圧操作回路 3 2 を省略してある場合は、単相インバータ P W M 回路 3 3 と T d 生成回路 7 1 との間に補正回路を入れて演算を行うことは容易である。零相電圧操作回路 3 2 があっても、3 相インバータ 1 のどの相がスイッチングして交流電圧指令が変化しているのかを判断する演算を行うことで単相インバータ P W M 回路 3 3 と T d 生成回路 7 1 との間でパルス補正を

30

【 0 0 5 3 】

このような構成とすることで、あらかじめ駆動信号のパターンを網羅的に演算して記憶させることなく、各インバータの短絡防止時間、ゲート回路の特性やスイッチング素子の特性に起因する負荷 3 のサージ電圧を抑制することができる。また、信号を遅延させることも必要がないので制御応答を高速にすることが可能である。

【 0 0 5 4 】

実施の形態 4 .

本実施の形態 4 は、3 相インバータ 1 自体に先のものとは異なる構成のものも適用し得ることを示すものである。即ち、3 相インバータ 1 が、図 2 2 に示す、3 相の 3 レベルインバータであっても、先の実施の形態 1 ~ 3 と同様の方法により、3 相インバータ 1 と単相インバータ 2 との電圧切り換えのずれを補正して電圧サージを抑制できる。

40

【 0 0 5 5 】

負荷 3 に向かって正の方向に電流が流れている場合としては、3 相 3 レベルインバータ 1 には、図 2 3 のスイッチング素子 1 6 a、1 6 b を通じて電流が単相インバータ 2 の方へ電流が流れている場合と、図 2 4 のダイオード 1 5 a、スイッチング素子 1 6 b を通じて電流が単相インバータ 2 の方向へ電流が流れていく場合と、図 2 5 のダイオード 1 7 d、1 7 c を通じて単相インバータ 2 の方向へ電流が流れていく場合との 3 つのいずれかである。また、3 相インバータ 1 の直流電圧を E_m としコンデンサ 1 4 a、1 4 b の電圧が同じ $E_m / 2$ とすると、3 相 3 レベルインバータ 1 の出力電圧は、図 2 3 の場合は $E_m /$

50

2、図24の場合は0、図25の場合は $-E_m/2$ である。よって、3相3レベルインバータ1の相電圧が下がる方向に切り換わる場合は、図23から図24、図24から図25、図23から図25のいずれかである。図23から図24の場合は、スイッチング素子16aからダイオード15aに転流が起こる。図24から図25の場合は、ダイオード15a、スイッチング素子16bから、ダイオード17d、17cに転流が起こる。図23から図25の場合は、スイッチング素子16a、16bからダイオード17d、17cに転流が起こる。

【0056】

いずれの場合もスイッチング素子からダイオードへの転流が生じることは、先の図8で説明した2レベルインバータの場合と同じである。よって、3相インバータ1と単相インバータ2との電圧切り換えのタイミングのずれは、3相インバータ1が2レベルの場合と同じである。また、電圧の極性や、電流の向きが異なる場合についても同様である。よって、先の実施の形態1～3と同じ手法を用いて3相インバータ1と単相インバータ2との電圧切り換えのずれを補正できる。

【0057】

このように、3相インバータ1に2レベルインバータではなく、より電圧指令との誤差が小さいが構成が複雑な3レベルインバータを用いた場合でも、各インバータの短絡防止時間、ゲート回路の特性やスイッチング素子の特性に起因する負荷3のサージ電圧を抑制できる。

【0058】

実施の形態5.

本実施の形態5は、単相インバータ2自体に先のものとは異なる構成のものも適用し得ることを示すものである。即ち、単相インバータ2が、図26に示すような2レベルハーフブリッジの回路のものであっても先の実施の形態1～3と同様の方法により、3相インバータ1と単相インバータ2との電圧切り換えのずれを補正して電圧サージを抑制できる。

【0059】

負荷3に向かって正の方向に電流が流れる場合としては、図27(a)のコンデンサ21a、スイッチング素子22aを通じて電流が流れる場合と、図27(b)の電流がコンデンサ21b、ダイオード23bを通じて電流が流れる場合との2つのパターンがある。コンデンサ21a、21bの電圧は、同じで $E_s/2$ とすると、図27(a)の場合、出力電圧は $E_s/2$ となり、図27(b)の場合、出力電圧は $-E_s/2$ となる。3相インバータ1の電圧が下がる方向に切り換わり、単相インバータ2の電圧が上がる方向に切り換わる場合は、図27(b)から図27(a)に切り換わるので、ダイオード23bからスイッチング素子22aに転流する。ダイオードからスイッチング素子への転流であることは、先の図9で説明した2レベルフルブリッジの回路の場合と同じである。

【0060】

よって、3相インバータ1と単相インバータ2との電圧切り換えのずれは、単相インバータ2が2レベルフルブリッジの回路の場合と同じである。また、電圧が極性や、電流の向きが異なる場合についても2レベルフルブリッジの回路と同様である。よって、先の実施の形態1～3と同じ手法を用いて3相インバータ1と単相インバータ2との電圧切り換えのずれを補正できる。

【0061】

このように、単相インバータ2が2レベルフルブリッジ回路ではなく、構成要素が少ない2レベルハーフブリッジ回路であっても、各インバータの短絡防止時間、ゲート回路の特性やスイッチング素子の特性に起因する負荷3のサージ電圧を抑制することができる。

【0062】

実施の形態6.

更に、単相インバータ2が、図28に示すような、3レベルフルブリッジのインバータであっても、先の実施の形態1～3と同様の方法により、3相インバータ1と単相インバ

10

20

30

40

50

ータ 2 との電圧切り換えのタイミングずれを補正して電圧サージを抑制できる。

【 0 0 6 3 】

図 2 8 の回路で負荷 3 に向かって正の方向に電流が流れている場合としては、図 2 9 のように、ダイオード 2 5 b、2 5 a、スイッチング素子 2 4 e、2 4 f を通じて流れる場合と、図 3 0 のように、スイッチング素子 2 4 c、ダイオード 2 6 b、ダイオード 2 6 c、スイッチング素子 2 4 f を通じて流れる場合と、図 3 1 のように、スイッチング素子 2 4 c、スイッチング素子 2 4 d、ダイオード 2 5 h、ダイオード 2 5 g を通じて電流が流れる場合と、図 3 2 のように、スイッチング素子 2 4 c、2 4 d、コンデンサ 2 7 b、2 7 a、スイッチング素子 2 4 e、2 4 f を通じて電流が流れる場合と、図 3 3 のように、スイッチング素子 2 4 c、ダイオード 2 6 b、コンデンサ 2 7 a、スイッチング素子 2 4 e、2 4 f を通じて電流が流れる場合と、図 3 4 のように、スイッチング素子 2 4 c、2 4 d、コンデンサ 2 7 b、ダイオード 2 6 c、スイッチング素子 2 4 f を通じて電流が流れる場合と、図 3 5 のように、ダイオード 2 5 b、2 5 a、コンデンサ 2 7 a、ダイオード 2 6 c、スイッチング素子 2 4 f を通じて電流が流れる場合と、図 3 6 のように、スイッチング素子 2 4 c、ダイオード 2 6 b、コンデンサ 2 7 b、ダイオード 2 5 h、2 5 g を通じて電流が流れる場合と、図 3 7 のように、ダイオード 2 5 b、ダイオード 2 5 a、コンデンサ 2 7 a、2 7 b、ダイオード 2 5 h、2 5 g を通じて電流が流れる場合とがある。

10

【 0 0 6 4 】

コンデンサ 2 7 a、2 7 b の電圧は同じで $E_s / 2$ とすると、単相インバータ 2 の出力電圧は、図 2 9、3 0、3 1 の場合は 0、図 3 2 の場合は E_s 、図 3 3、3 4 の場合は $E_s / 2$ 、図 3 5、3 6 の場合は $-E_s / 2$ 、図 3 7 の場合は $-E_s$ となる。

20

【 0 0 6 5 】

3 相インバータ 1 の電圧が下がる方向にスイッチングすると、3 相インバータ 1 の出力電圧は指令に対して電圧が高すぎる状態から低すぎる状態に移行する。よって、単相インバータ 2 の出力電圧は、3 相インバータ 1 と単相インバータ 2 との合成電圧を下げる電圧から、合成電圧を上げる電圧に移行する。そのため単相インバータ 2 の出力電圧は $-E_s$ から E_s 、 $E_s / 2$ 、0 に切り換わる場合と、 $-E_s / 2$ から E_s 、 $E_s / 2$ 、0 に切り換わる場合と、0 から E_s 、 $E_s / 2$ に切り換わる場合とがある。それぞれの詳細な説明は省略するが、ほとんどの場合はダイオードからスイッチング素子に転流するパターンである。このパターンは単相インバータ 2 が 2 レベルフルブリッジの回路の場合とタイミングのずれが同じなので、先の実施の形態 1 ~ 3 の手法をそのまま適用できる。

30

【 0 0 6 6 】

例外的なパターンは、図 3 5 から図 3 1 に切り換わる場合である。

図 3 5 から図 3 1 に切り換わる場合は、ダイオード 2 5 b、2 5 a からスイッチング素子 2 4 c、2 4 d に転流し、ダイオード 2 6 c、スイッチング素子 2 4 f からダイオード 2 5 h、2 5 g に転流する。この時の 3 相インバータ 1 および単相インバータ 2 の駆動信号および 3 相インバータ 1、単相インバータ 2 の電圧切り換わりのタイミングは図 3 8 に示すようになる。3 相インバータ 1 では、スイッチング素子 1 2 a がオフする駆動信号がオフになって図 3 8 (c) に実線で示すように、 $T_2 m$ 後に電圧が切り換わる。

40

【 0 0 6 7 】

単相インバータ 2 では、コンデンサ 2 7 a、2 7 b より 3 相インバータ 1 側の回路では、転流はスイッチング素子 2 4 c、2 4 d がオンするまで転流しない。単相インバータ 2 の 3 相インバータ 1 側の入力端子からコンデンサ 2 7 a、2 7 b の間の直流電圧中性点までの電圧を単相インバータ 2 の 3 相インバータ 1 側電圧とすると、図 3 8 (d) の実線のように、スイッチング素子 2 4 a、2 4 b の駆動信号がオフになってから ($T_{ds} + T_1$) 後に電圧が切り換わる。

一方、コンデンサ 2 7 a、2 7 b より負荷 3 側では、スイッチング素子 2 4 f がオフするとダイオード 2 5 h、2 5 g に転流する。直流電圧中性点から負荷 3 側の出力端子までの電圧を単相インバータ 2 の負荷 3 側電圧とすると、図 3 8 (e) で実線で示すように T

50

2 s 後に電圧が切り換わる。よって、単相インバータ 2 の電圧は、図 3 8 (d) (e) を合わせた電圧となり、図 3 8 (f) の実線のようにになる。これを図 3 8 (c) の 3 相インバータ 1 の相電圧と合わせると、図 3 8 (g) の実線のようにになる。

また、電流の方向が逆の場合は、図 3 8 に破線で示すような波形となる。

【 0 0 6 8 】

以上のように、駆動信号を同時にオフにすると 3 相インバータ 1 と単相インバータ 2 との電圧切り換えりが 3 回に分かれるが、以下に示すように、各素子の駆動信号を補正することで電圧切り換えりのタイミングを揃えることができる。

【 0 0 6 9 】

電流が正の場合は、図 3 9 (a) のように、スイッチング素子 1 2 a、1 2 b の駆動信号を T_{2m} 早めて、図 3 9 (b) のように、スイッチング素子 2 4 a、2 4 b、2 4 c、2 4 d の駆動信号は $(T_{ds} + T_{1s})$ 早めて、スイッチング素子 2 4 f、2 4 h の駆動信号は T_{2s} 早めることで 3 相インバータ 1、単相インバータ 2 の電圧切り換えりのタイミングを揃えることができ、負荷 3 のサージ電圧を抑えることができる。

【 0 0 7 0 】

電流が負の場合も、図 4 0 (a) のように、スイッチング素子 1 2 a、1 2 b の駆動信号を $(T_{dm} + T_{1m})$ 早めて、図 4 0 (b) のように、スイッチング素子 2 4 a、2 4 b、2 4 c、2 4 d の駆動信号は T_{2s} 早めて、スイッチング素子 2 4 f、2 4 h の駆動信号は $(T_{ds} + T_{1s})$ 早めることで、3 相インバータ 1、単相インバータ 2 の電圧切り換えりのタイミングを揃えることができ、負荷 3 のサージ電圧を抑えることができる。

【 0 0 7 1 】

これは、先の実施の形態 1 および 2 の応用であり、制御回路におけるパルス補正のアルゴリズムを変更することで実現可能である。

また、先の実施の形態 3 のように、駆動信号を遅れさせる補正ならば、3 相インバータ 1 および単相インバータ 2 における電圧切り換えのタイミングずれのうち一番遅いものに合わせるよう補正すればよい。よって、実施の形態 3 の制御回路におけるパルス補正のアルゴリズムを変更することで実現可能である。

【 0 0 7 2 】

以上のように、単相インバータ 2 が 2 レベルインバータよりも交流電圧指令との誤差が小さい電圧を出力できるが構成が複雑な 3 レベルフルブリッジの回路を用いた場合でも、各インバータの短絡防止時間、ゲート回路の特性やスイッチング素子の特性に起因する負荷 3 のサージ電圧を抑制できる。

以上の実施の形態 4 ~ 6 では、3 相インバータ 1 か単相インバータ 2 のいずれかが、実施の形態 1 ~ 3 の説明で用いた回路と異なる場合について説明したが、更に、3 相インバータ 1 が図 2 2 の 3 レベルインバータ、単相インバータ 2 が図 2 8 の 3 レベルインバータなど、どの組み合わせでも可能であり、同様の手法で負荷 3 のサージ電圧を抑制することができる。

【 0 0 7 3 】

実施の形態 7 .

先の実施の形態 1 ~ 6 では、単相インバータ 2 は各相 1 台の例について説明しているが、単相インバータ 2 は、図 4 1 に示すように、複数の単相インバータの交流側を直列に接続したものでよい。このような構成であっても、実施の形態 1 ~ 6 と同様の方法を用いて負荷 3 のサージ電圧を抑制できる。

図 4 1、図 4 2 は、先の実施の形態 2 と同じ手法を用いることを想定した図であるが、駆動信号生成回路 8 2 は、図 4 2 のようにして、単相インバータ PWM 回路 9 0 により単相インバータ 8 0、8 1 の駆動信号を生成する。パルス補正回路 9 1、9 2 は、先の実施の形態 2 のパルス補正回路 4 5 と同じ手法の動作でよい。単相インバータ 8 0、8 1 は同じ回路でも、例えば、単相インバータ 8 0 が 2 レベルインバータ、単相インバータ 8 1 が 3 レベルインバータといった異なる回路の組み合わせや、単相インバータ 8 0、8 1 の直流電圧が異なる組み合わせでも構わない。

【 0 0 7 4 】

実施の形態 8 .

また、3 相インバータ 1 を単相インバータとして単相の負荷に用いる構成でも、先の実施の形態 1 ~ 6 で説明した補正方法が適用できる。図 4 3 は、負荷 1 0 3 が単相負荷である場合であるが、ここで、3 相インバータ 1 を単相インバータ 1 0 0 に変更し、単相インバータ 1 0 2 を 1 台用いた構成としている。単相インバータ 1 0 0 は、図 4 4 の 2 レベルフルブリッジインバータ、図 4 5 の 2 レベルハーフブリッジインバータ、図 4 6 の 3 レベルフルブリッジインバータ、図 4 7 の 3 レベルハーフブリッジインバータ等、どれでもよい。単相インバータ 1 0 2 に関しても先の実施の形態 1 ~ 6 で説明したどの回路でもよい。補正の方法も実施の形態 1 ~ 6 で説明したどの方法でもよい。例えば、実施の形態 2 と同じ方法なら、図 4 8 のような構成となる。図 4 8 は、先の図 1 7 を単相の電力変換装置に対応させただけの構成であり、単相なので零相電圧操作回路 3 2 は省略している。他の実施の形態 1、3 ~ 5 であっても容易に単相の電力変換装置に対応させた構成とできる。このように単相の電力変換装置であっても実施の形態 1 ~ 6 と同様の効果が得られる。

10

【 0 0 7 5 】

実施の形態 9 .

また、先の実施の形態 1 ~ 6 は、直流電力を交流電力に変換して負荷へ供給するインバータとしての用途について説明を行ったが、負荷の代わりに交流電力系統を接続し、交流電力を直流電力に変換するコンバータとして用いることも可能である。

【 図面の簡単な説明 】

20

【 0 0 7 6 】

【 図 1 】 この発明の実施の形態 1 における電力変換装置の全体構成を示す図である。

【 図 2 】 図 1 の 3 相インバータ 1 の内部構成を示す図である。

【 図 3 】 図 1 の単相インバータ 2 の内部構成を示す図である。

【 図 4 】 本願発明の説明の便宜上想定した、従来の電力変換装置の全体構成を示す図である。

【 図 5 】 図 4 の駆動信号生成回路 5 の内部構成を示す図である。

【 図 6 】 図 4 の電力変換装置における電圧指令と出力電圧を説明する図である。

【 図 7 】 一般的な 2 レベルインバータにおける動作を説明する図である。

【 図 8 】 図 4 の 3 相インバータ 1 における電流経路を説明する図である。

30

【 図 9 】 図 4 の単相インバータ 2 における電流経路を説明する図である。

【 図 1 0 】 図 4 の電力変換装置の動作を説明する図である。

【 図 1 1 】 従来の電力変換装置における電圧指令と出力電圧を示し、従来の問題点を説明する図である。

【 図 1 2 】 電力変換装置の出力電圧が急峻な変化をした場合の負荷電圧の状況を説明する図である。

【 図 1 3 】 図 1 の駆動信号生成回路 5 A の内部構成を示す図である。

【 図 1 4 】 この発明の実施の形態 1 における、駆動信号を補正する要領を説明する図である。

【 図 1 5 】 この発明の実施の形態 1 における、駆動信号を補正する要領を説明する図である。

40

【 図 1 6 】 この発明の実施の形態 2 における電力変換装置の全体構成を示す図である。

【 図 1 7 】 図 1 6 の駆動信号生成回路 5 B の内部構成を示す図である。

【 図 1 8 】 図 1 6 の負荷制御回路 5 2 の内部構成を示す図である。

【 図 1 9 】 この発明の実施の形態 2 における、駆動信号を補正する要領を説明する図である。

【 図 2 0 】 この発明の実施の形態 2 における、駆動信号を補正する要領を説明する図である。

【 図 2 1 】 この発明の実施の形態 3 における電力変換装置の全体構成を示す図である。

【 図 2 2 】 この発明の実施の形態 4 における 3 相インバータ 1 の内部構成を示す図である

50

。

【図 2 3】図 2 2 の 3 相インバータ 1 における電流経路を説明する図である。

【図 2 4】図 2 2 の 3 相インバータ 1 における電流経路を説明する図である。

【図 2 5】図 2 2 の 3 相インバータ 1 における電流経路を説明する図である。

【図 2 6】この発明の実施の形態 5 における単相インバータ 2 の内部構成を示す図である。

。

【図 2 7】図 2 6 の単相インバータ 2 における電流経路を説明する図である。

【図 2 8】この発明の実施の形態 6 における単相インバータ 2 の内部構成を示す図である。

。

【図 2 9】図 2 8 の単相インバータ 2 における電流経路を説明する図である。

10

【図 3 0】図 2 8 の単相インバータ 2 における電流経路を説明する図である。

【図 3 1】図 2 8 の単相インバータ 2 における電流経路を説明する図である。

【図 3 2】図 2 8 の単相インバータ 2 における電流経路を説明する図である。

【図 3 3】図 2 8 の単相インバータ 2 における電流経路を説明する図である。

【図 3 4】図 2 8 の単相インバータ 2 における電流経路を説明する図である。

【図 3 5】図 2 8 の単相インバータ 2 における電流経路を説明する図である。

【図 3 6】図 2 8 の単相インバータ 2 における電流経路を説明する図である。

【図 3 7】図 2 8 の単相インバータ 2 における電流経路を説明する図である。

【図 3 8】この発明の実施の形態 6 の説明の便宜上想定した、駆動信号の補正を行わない場合の動作を説明する図である。

20

【図 3 9】この発明の実施の形態 6 における、駆動信号を補正する要領を説明する図である。

【図 4 0】この発明の実施の形態 6 における、駆動信号を補正する要領を説明する図である。

【図 4 1】この発明の実施の形態 7 における電力変換装置の全体構成を示す図である。

【図 4 2】図 4 1 の駆動信号生成回路 8 2 の内部構成を示す図である。

【図 4 3】この発明の実施の形態 8 における電力変換装置の全体構成を示す図である。

【図 4 4】図 4 3 の単相インバータ 1 0 0 の内部構成の一例を示す図である。

【図 4 5】図 4 3 の単相インバータ 1 0 0 の内部構成の一例を示す図である。

【図 4 6】図 4 3 の単相インバータ 1 0 0 の内部構成の一例を示す図である。

30

【図 4 7】図 4 3 の単相インバータ 1 0 0 の内部構成の一例を示す図である。

【図 4 8】図 4 3 の駆動信号生成回路 1 0 5 の内部構成を示す図である。

【符号の説明】

【0 0 7 7】

1 3 相インバータ、2, 8 0, 8 1, 1 0 0, 1 0 2 単相インバータ、3 負荷、
4, 4 A, 5 2 負荷制御回路、5, 5 A, 5 B 駆動信号生成回路、
6, 7, 8 3, 8 4 ゲートドライブ回路、
1 1, 1 4 a, 1 4 b, 2 0, 2 1 a, 2 1 b, 2 7 a, 2 7 b コンデンサ、
1 2 a ~ 1 2 f, 1 6 a ~ 1 6 l, 1 8 a ~ 1 8 d, 2 2 a, 2 2 b, 2 4 a ~ 2 4 h
スイッチング素子、

40

3 0 3 相インバータ P W M 回路、

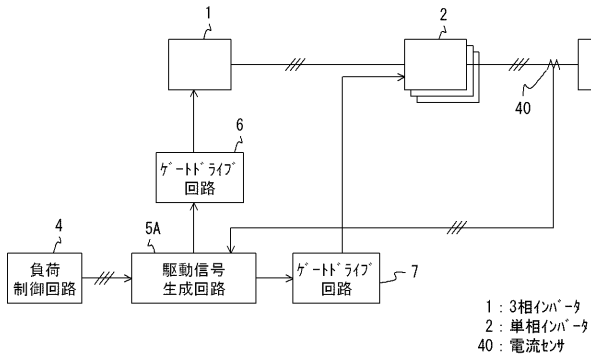
3 3, 9 0, 1 1 0, 1 1 2 単相インバータ P W M 回路、4 0, 1 0 4 電流センサ、

4 1, 4 3 ~ 4 5, 9 1, 9 2, 1 1 3, 1 1 4 パルス補正回路、

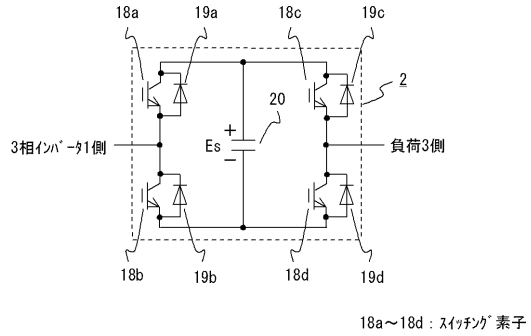
4 6 P W M パターン記憶回路、

7 0, 7 1, 9 3, 9 4, 1 1 5, 1 1 6 T d 生成回路。

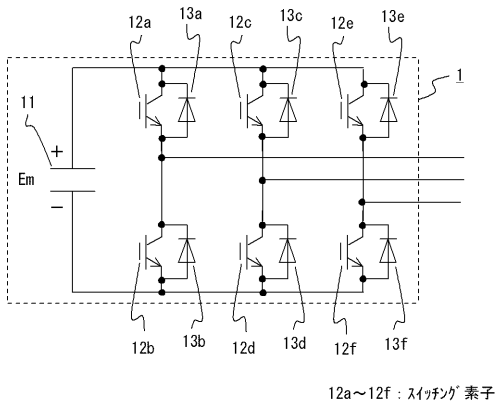
【図 1】



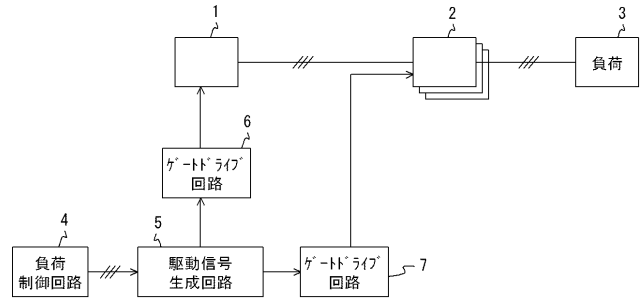
【図 3】



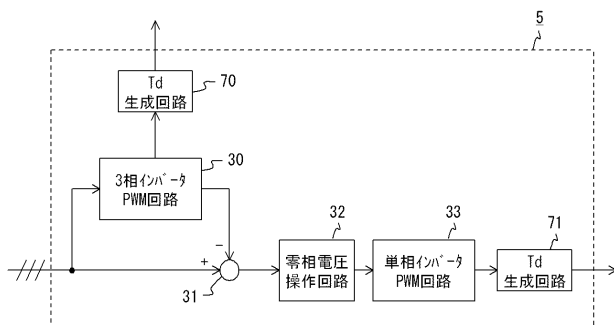
【図 2】



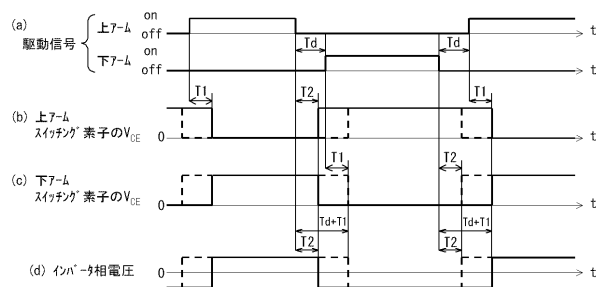
【図 4】



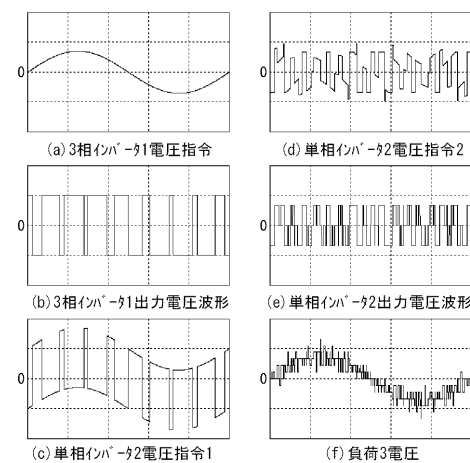
【図 5】



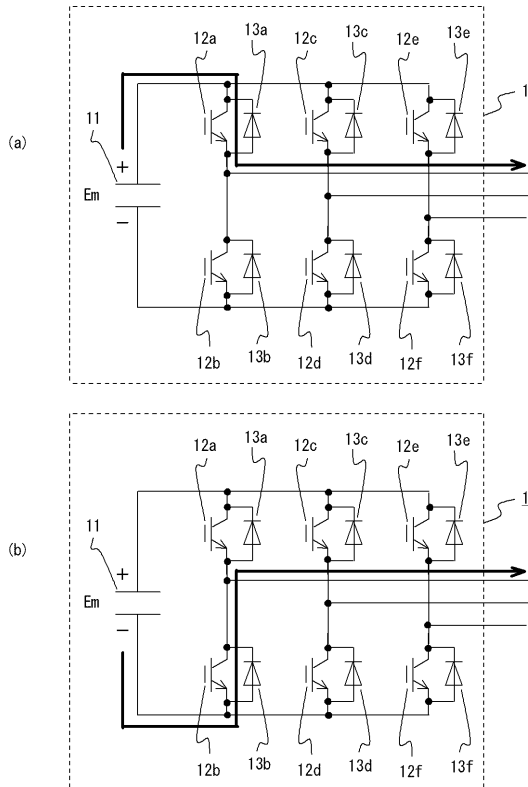
【図 7】



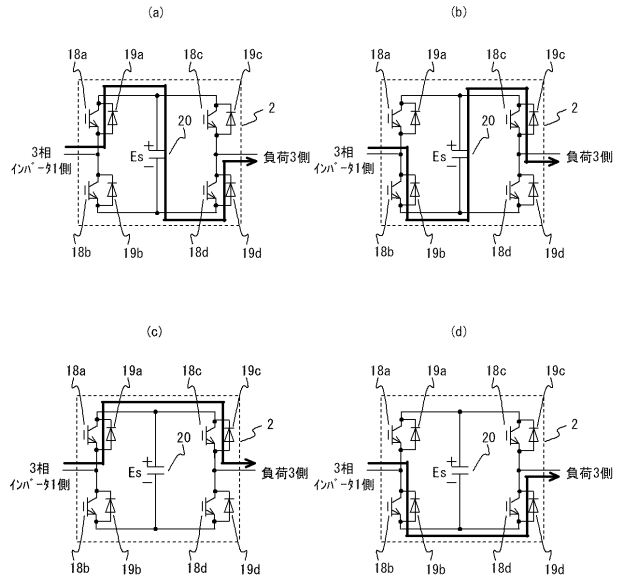
【図 6】



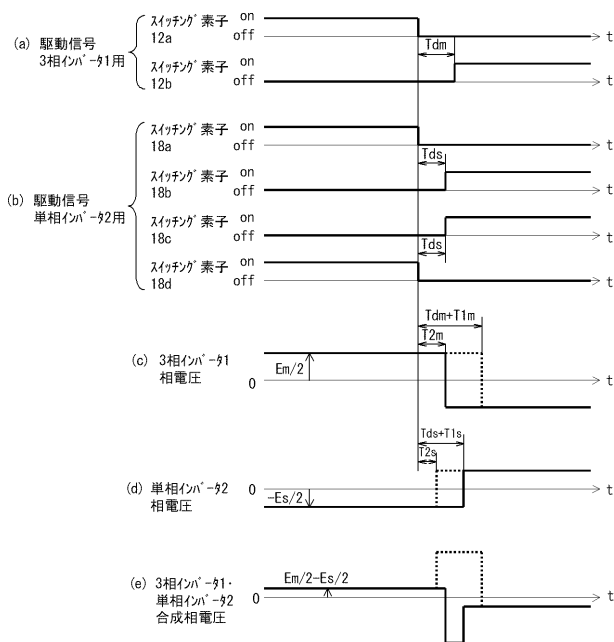
【図 8】



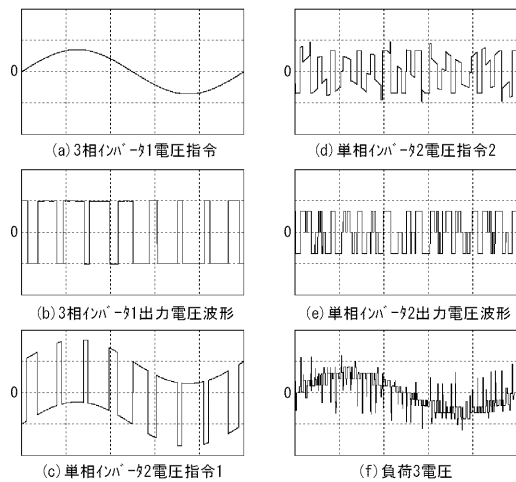
【図 9】



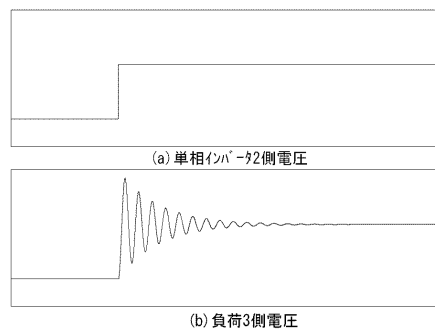
【図 10】



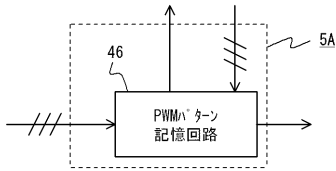
【図 11】



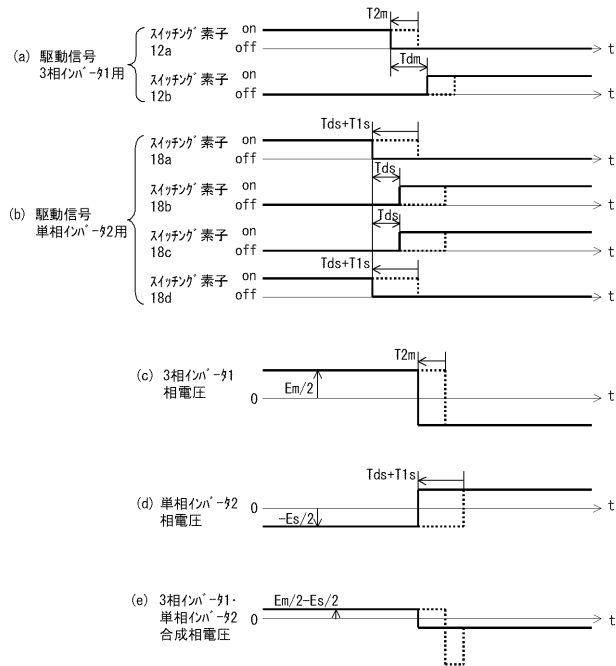
【図 12】



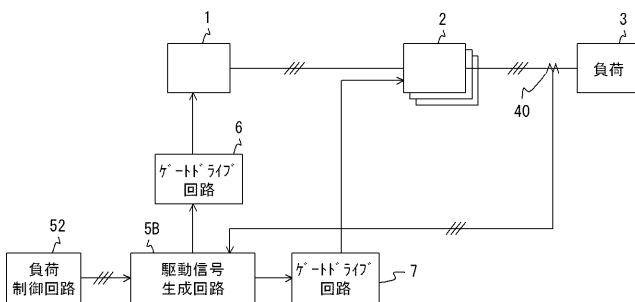
【図 13】



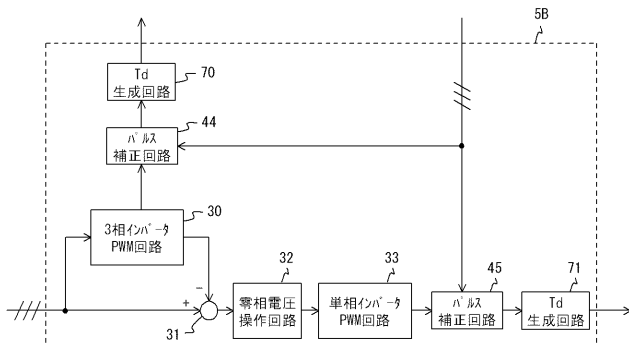
【図 14】



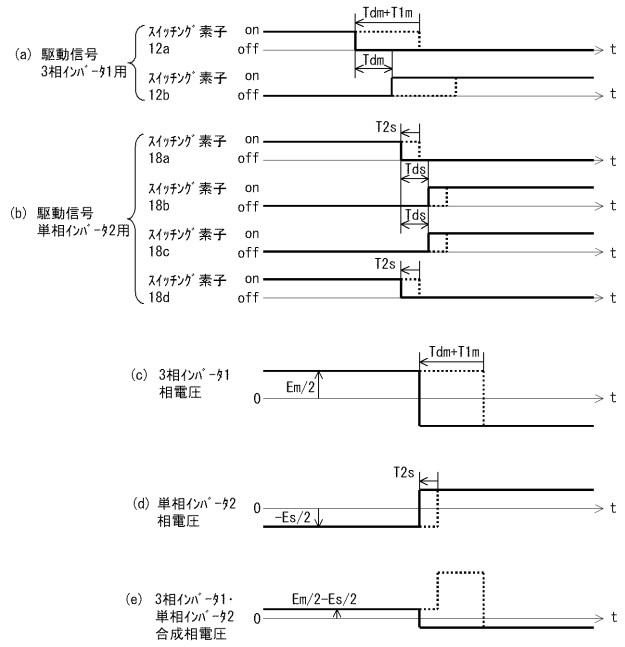
【図 16】



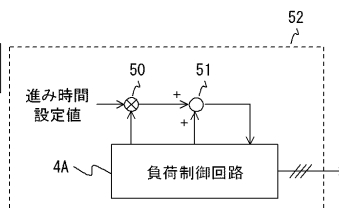
【図 17】



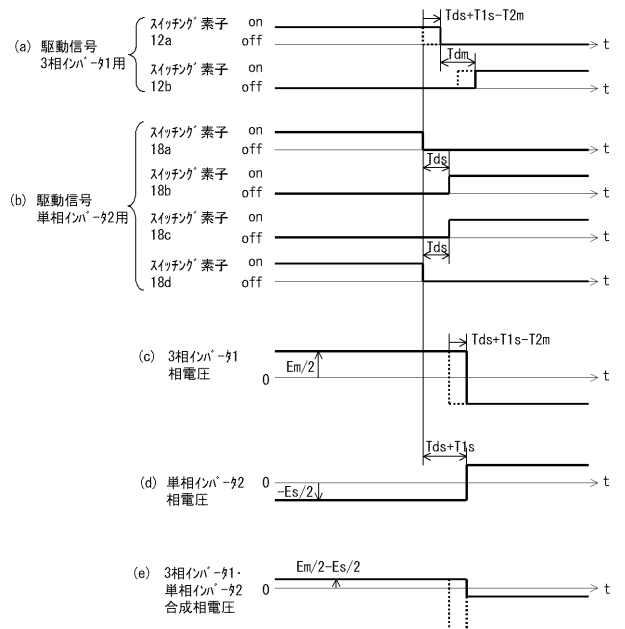
【図 15】



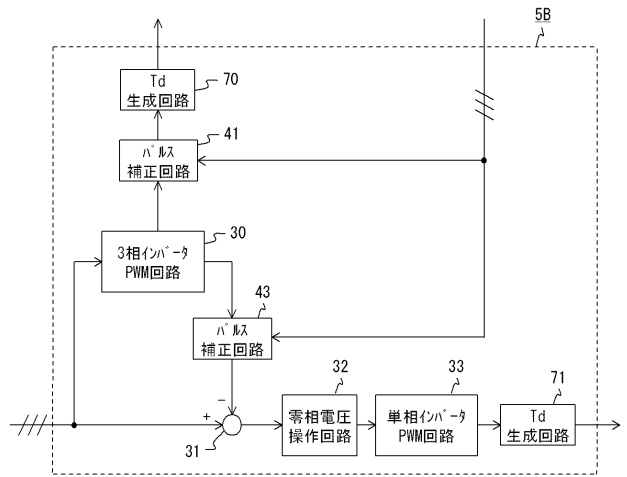
【図 18】



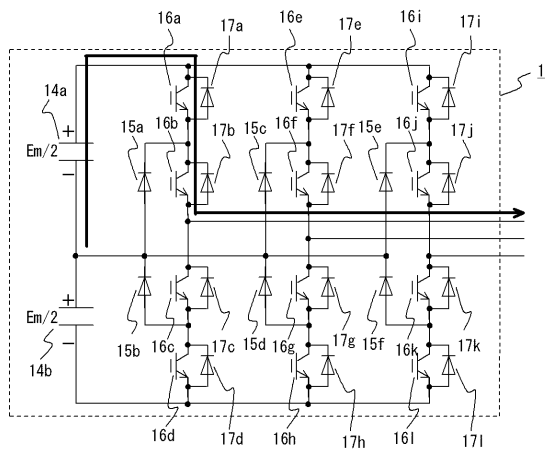
【図 19】



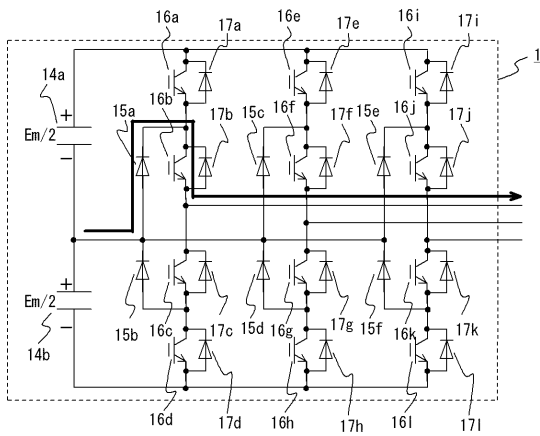
【 図 2 1 】



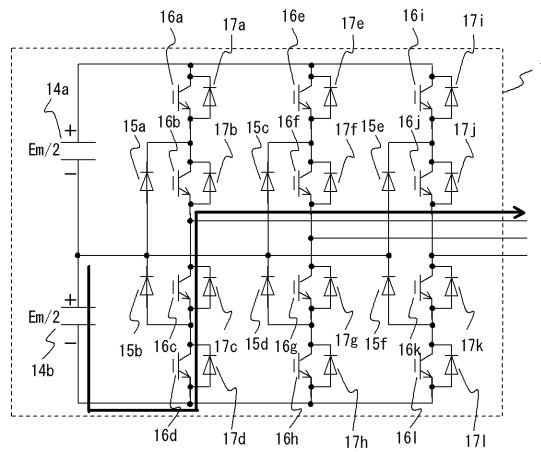
【 図 2 3 】



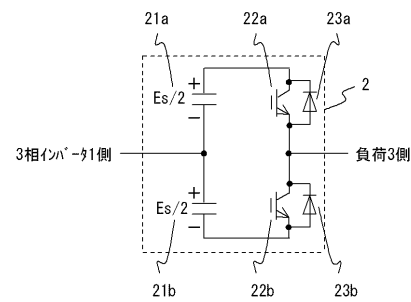
【図 2 4】



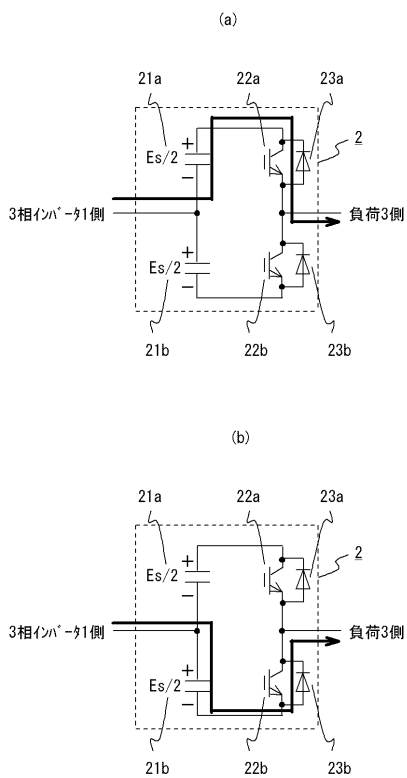
【図 2 5】



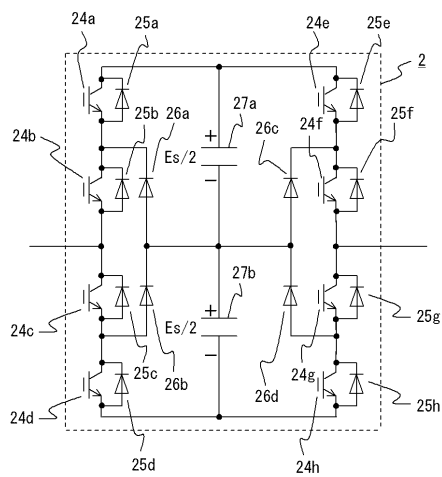
【図 2 6】



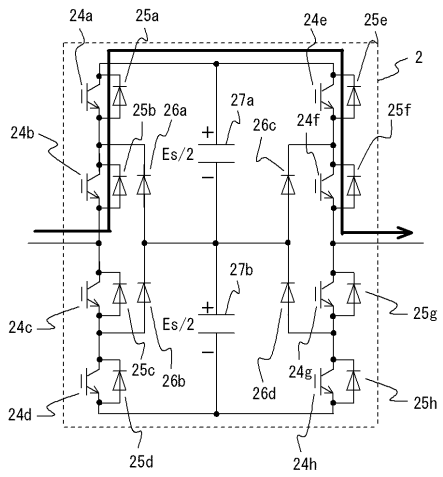
【図 2 7】



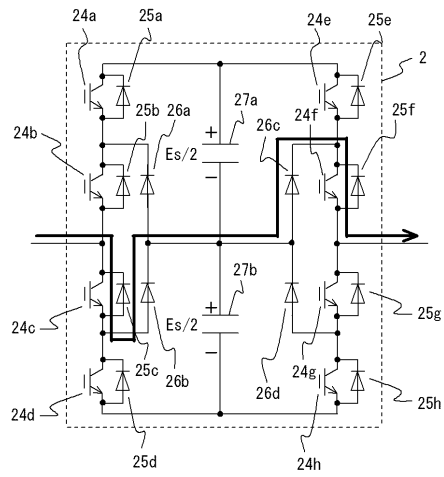
【図 2 8】



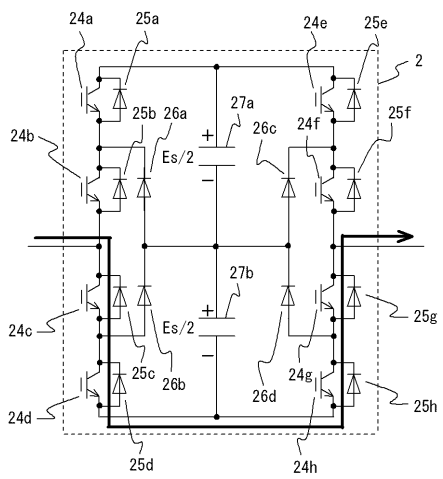
【図 29】



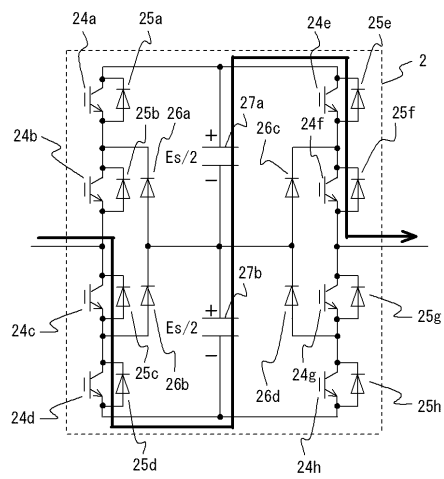
【図 30】



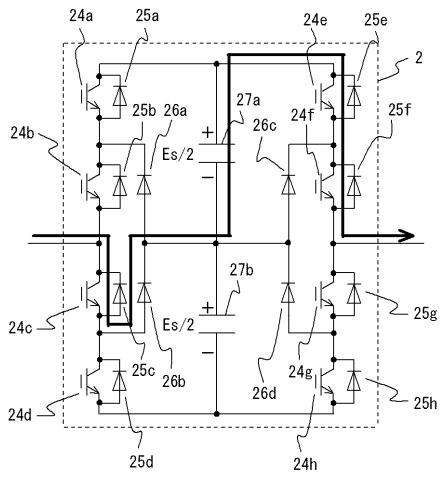
【図 31】



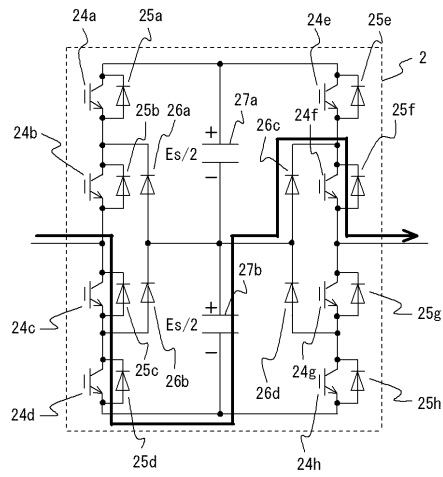
【図 32】



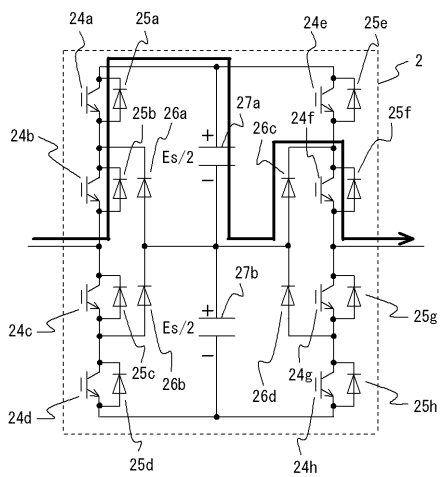
【図 3 3】



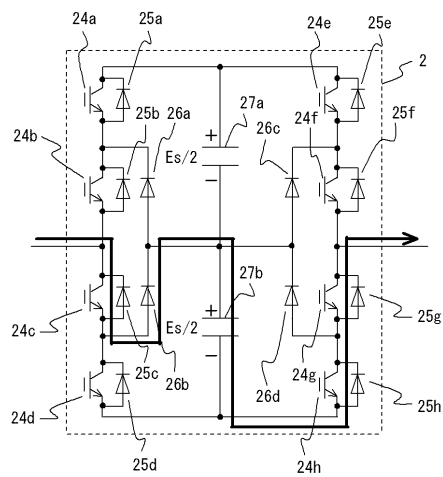
【図 3 4】



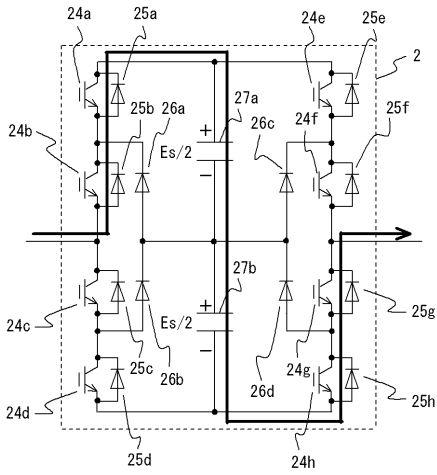
【図 3 5】



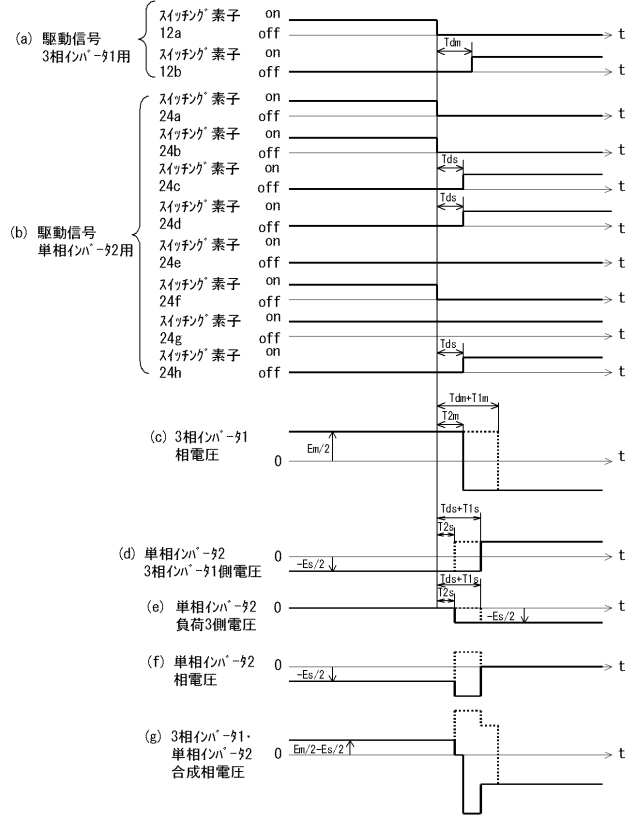
【図 3 6】



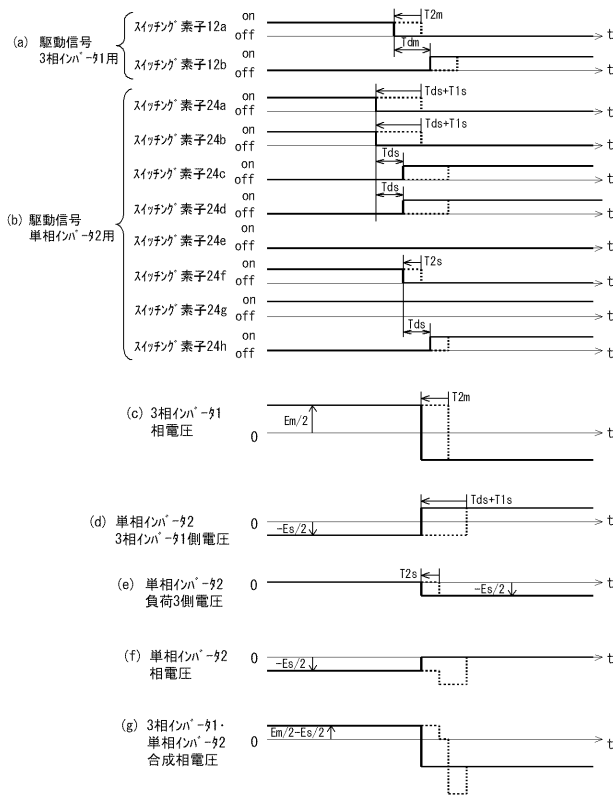
【図 37】



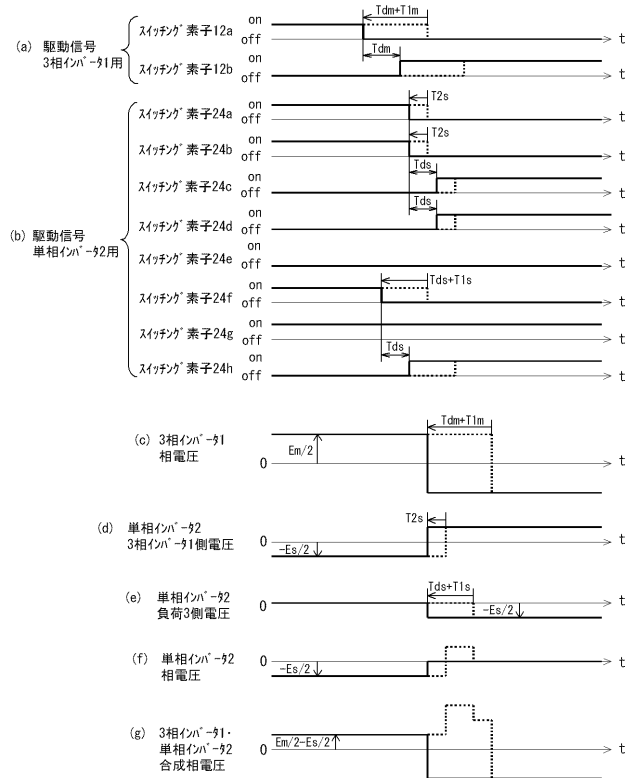
【図 38】



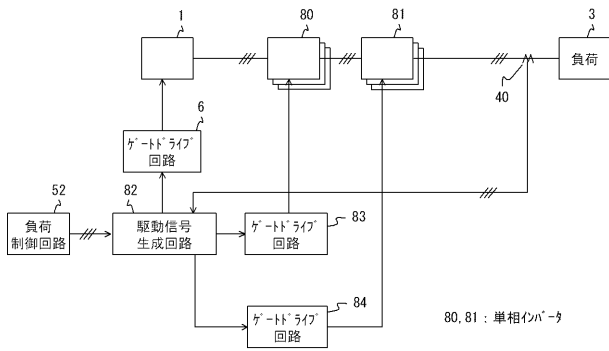
【図 39】



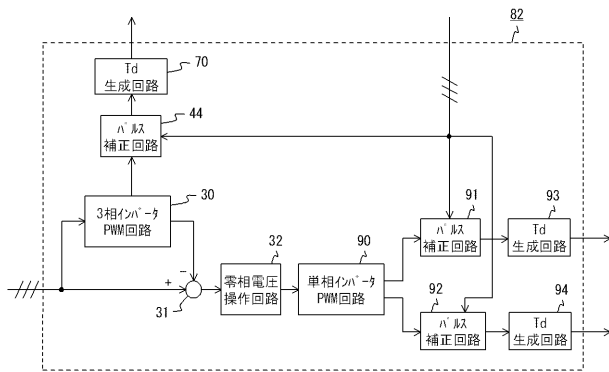
【図 40】



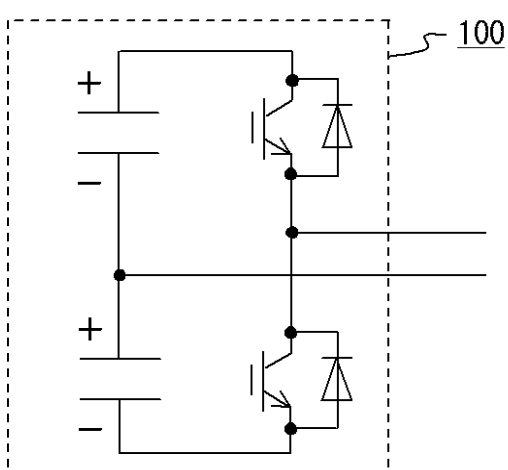
【 図 4 3 】



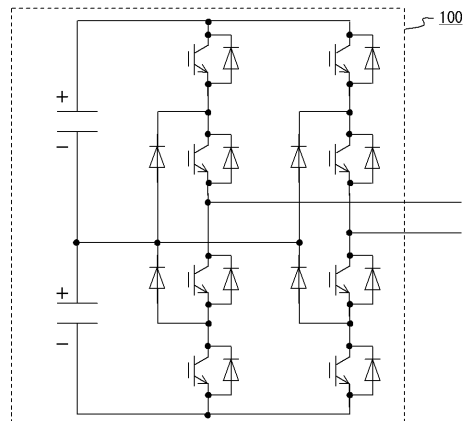
【 図 4 2 】



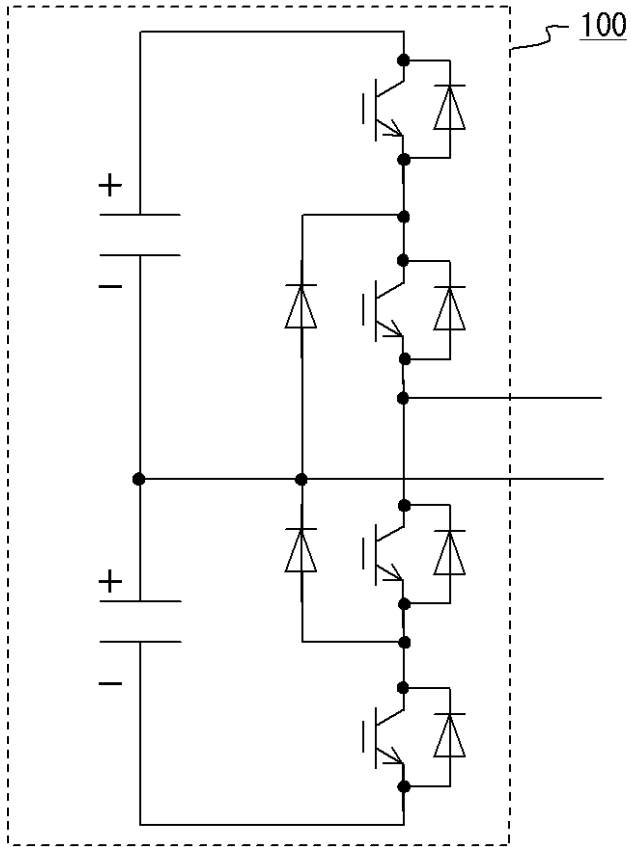
【 図 4 5 】



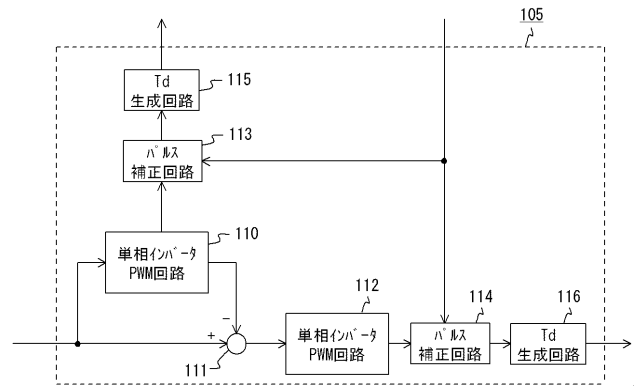
【 図 4 6 】



【図 47】



【図 48】



フロントページの続き

- (72)発明者 原川 雅哉
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 藤井 俊行
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 岸田 行盛
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- Fターム(参考) 5H007 AA06 CA01 CB05 CC06 CC23 DA05 DB01 DC02 EA02