

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96106804

※申請日期：2007年2月27日

※IPC 分類：

H01L 21/768 (2006.01)

## 一、發明名稱：(中文/英文)

用於金屬集成之新穎結構及其製造方法

NOVEL STRUCTURE AND METHOD FOR METAL INTEGRATION

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商·萬國商業機器公司

International Business Machines Corporation

代表人：(中文/英文)

安德森黎恩 D

ANDERSON, LYNNE D.

住居所或營業所地址：(中文/英文)

美國紐約州阿蒙市

Armonk, New York 10504, U.S.A.

國籍：(中文/英文)

美國/USA

## 三、發明人：(共 3 人)

姓名：(中文/英文)

1. 楊智超/YANG, CHIH-CHAO

2. 史普諾泰瑞 A/SPOONER, TERRY A.

3. 史崔頓奧斯卡/VAN DER STRATEN, OSCAR

國籍：(中文/英文)

1. 中華民國/ROC

2. 美國/USA

3. 荷蘭/Netherlands

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國；2006年3月1日；11/364,953

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

本發明提供一種內連線結構及其形成方法，其中該內連線結構在介層洞開口之一的底部含有一挖鑿特徵。根據本發明，形成該內連線結構的方法既不會破壞上方線開口內沉積的擴散阻障層之覆蓋，也不會帶來因為氬在包含該介層洞及線開口之介電材料內濺鍍所造成的損害。根據本發明，此種內連線結構僅在該介層洞開口內含有擴散阻障層，而不存在於上方的線開口內。此特徵增強該介層洞開口區域周邊的機械強度和擴散特性，但不會降低該等線開口內的導體之體積比率。根據本發明，此種內連線結構係利用在形成該線開口之前先在介層洞開口底部提供該挖鑿特徵，並在該線開口內沉積擴散阻障層來實現。

## 六、英文發明摘要：

An interconnect structure including a gouging feature at the bottom of one of the via openings and a method of forming the same are provided. In accordance with the present invention, the method of forming the interconnect structure does not disrupt the coverage of the deposited diffusion barrier in the overlying line opening, nor does it introduce damages caused by Ar sputtering into the dielectric material including the via and line openings. In accordance with the present invention, such an interconnect structure contains a diffusion barrier layer only within the via opening, but not in the overlying line opening. This feature enhances both mechanical strength and diffusion property around the via opening areas without decreasing volume fraction of conductor inside the line openings. In accordance with the present invention, such an interconnect structure is achieved by providing the gouging feature in the bottom of the via opening prior to formation of the line opening and deposition of the diffusion barrier in said line opening.

## 七、指定代表圖：

(一)、本案指定代表圖為：第(12B)圖。

(二)、本代表圖之元件代表符號簡單說明：

12	下內連線層	14	覆蓋層
16	上內連線層	18	第一低 k 介電材料
20	特徵	24	第二低 k 介電材料
30、46	擴散阻障材料	48	黏合 / 電鍍種層
50	內連線導電材料		

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種半導體結構及其製造方法。更明確地說，本發明係有關於一種內連線結構，其在位於一介層洞開口上方的線開口內含有一連續擴散阻障層，以及製造此種半導體結構的方法。該連續擴散阻障層係在位於該介層洞開口下方的導電結構內提供一挖鑿特徵之後形成。因此，不會在形成該挖鑿特徵期間對該介電材料造成傷害。

### 【先前技術】

一般來說，半導體元件包含複數個電路，其形成製造在一半導體基材上的積體電路。通常會繞線出一複雜的訊號路徑網路以連接分布在該基材表面上的電路構件。這些訊號在該元件上的有效繞線需要形成多重或多層結構，例如，單或雙嵌線路結構。在一典型的內連線結構中，金屬介層洞垂直於該半導體基材延伸，而金屬線則平行於該半導體基材延伸。

由於數以百萬計的元件和電路被壓縮在一半導體晶片上，線路密度及金屬層數量雙雙隨著世代演進而增加。為了提供高訊號速度下的低 RC(電阻 / 電容)，介電常數低於二氧化矽的低 k 介電材料以及含銅線路成為必要配備。習知嵌入製程形成的薄金屬線路及鑲入(stud)的品質是非常重要的，以確保良率及可靠度。現今此領域所遭遇的主要問題是嵌入在低 k 介電材料內的深次微米金屬鑲入有不佳

的機械完整性，其可導致令人不滿意的熱循環以及內連線結構內的應力遷移阻力。此問題在既不使用新式金屬化方法也不使用多孔性低 k 介電材料時變得更加嚴重。

為了在內連線結構內使用銅嵌入和低 k 介電材料的同時解決此機械強度差的問題，半導體業採用所謂的“介層洞貫穿 (via punch-through)”技術。介層洞貫穿提供一介層洞挖鑿特徵 (或錨狀區)。據稱此種介層洞挖鑿特徵可達到合理的接觸電阻以及增加的接觸鑲入之機械強度。這些發現在，例如，M. -Si. Liang 在 IEEE 國際電子元件會議 (IEEE Int. Electron Devices Meeting), 313(2004) 的「銅 / 低 k 集成之挑戰」、D. Edelstein 等在 IEEE 國際可靠度物理座談會 (IEEE Int. Reliability Physics Symp.) 316(2004) 的「具有銅 / 電漿輔助化學氣相沉積之低 k 後段製程之 90 奈米 CMOS 技術的綜合可靠度評估」、以及核准予 Chang 等之美國專利第 4,184,909 號、核准予 Simon 等之美國專利第 5,933,753 號、核准予 Geffken 等之美國專利第 5,985,762 號、核准予 Uzoh 等之美國專利第 6,429,519 號以及核准予 Yang 等之美國專利第 6,784,105 號中指出。

但是，先前技藝用來形成介層洞挖鑿之氫濺鍍技術不僅會從該溝槽 (即線開口) 底部除去所沉積的內襯材料，例如氮化鈮，並且也會傷害到該低 k 介電材料。因為形成該挖鑿特徵的需要，最終的內連線結構不僅在該溝槽底部有不佳的內襯覆蓋，並且因為氫濺鍍製程而在低 k 介電材料內造成嚴重損害。這變成主要的良率貶抑以及先進晶片製

造的可靠度問題。

既存的先前技藝方法之介層洞挖鑿的詳細製程步驟在第 1A-1E 圖中示出，並且在下面描述。首先參見第 1A 圖，其示出在位於一下內連線層 100 上方的上內連線層 108 進行雙嵌圖案化後所形成的先前技藝結構。該下內連線層 100 包含一第一低 k 介電材料 102，其包含一金屬、銅特徵 104 在其內。該下內連線層 100 藉由一覆蓋層 106 與該上內連線層 108 部份分離。該上內連線層 108 包含一第二低 k 介電材料 110，其包含位於其內的線 112 和介層洞 114 開口兩者。位於該介層洞開口 114 下方之該下介層洞 100 的金屬特徵 104 表面係暴露出的，如第 1A 圖所示。

第 1B 圖示出在所有的暴露表面上形成擴散阻障層，例如氮化鈮，116 之後的第 1A 圖的先前技藝結構。接著執行氫濺鍍，例如在第 1C 圖中所示者，以清潔該介層洞開口 114 內的底部水平表面並在該下內連線層 100 的金屬特徵 104 內形成挖鑿特徵(即錨狀區)118。該挖鑿特徵 118 係經運用以增強所示各種內連線層之間的內連線強度。在氫濺鍍製程期間，會從每一個線開口 112 底部除去該擴散阻障層 116，並且在每一個線開口 112 底部造成介電損害 120(其在該第二低 k 介電材料 110 內由圓圈表示)。在該濺鍍製程期間形成的介電損害 120 是來自於先前技藝濺鍍製程固有的侵略特性。

第 1D 圖示出在其暴露出的表面上形成金屬內襯層，例如鈮、鈦、鈷、銻或鉑，122 之後的第 1C 圖之先前技藝

結構。第 1E 圖示出以導電金屬，例如銅，124 填充該線及介層洞開口(分別是 112 和 114)並平坦化之後的先前技藝結構。如第 1E 圖所示，該先前技藝結構在該填充金屬的線底部有不佳的擴散阻障層 116 覆蓋(以元件符號 126 表示)以及特徵底部粗糙，其係形成在該第二低 k 介電材料 110 內的損害 120 造成的結果。這兩個特徵雙雙降低該擴散阻障層 116 的品質，並劣化整體線路可靠度。此外，前述特性兩者皆使該結構展現出高度的金屬對金屬洩漏。

已研發出多孔性超低 k 介電材料(介電常數約 2.8 或更低)，並且已經使用在內連線結構內做為層間介電材料之一。與密實的(即非多孔性)低 k 介電材料相比，氫濺鍍的損害衝擊在所測試的大部分超低 k 介電材料上更顯著，這使得目前的金屬化方法(見第 1A-1E 圖，例如)與超低 k 介電材料的集成幾乎不可能存在。因此，所有現今的超低 k 硬體皆在阻障層完整性測試中失敗。第 2 圖示出擁有包含超低 k 介電材料的銅內連線之先前技藝結構的掃描式電子顯微鏡(SEM)剖面。該 SEM 影像中的箭頭指出氫濺鍍期間形成在該超低 k 介電材料內的損害。

鑒於上述內連線結構的缺點，並且特別是含有多孔性超低 k 介電材料做為層間介電材料之一者，持續需要研發一種新穎的並且改善的集成結構，其避免該擴散阻障層從形成在介電材料(包含低 k 和超低 k)內的線開口水平表面移除，因而不會在該介電材料內造成損害。

**【發明內容】**

本發明提供一種在介層洞開口底部含有一挖鑿特徵的內連線結構及其形成方法，其既不會破壞上方線開口內沉積的擴散阻障層之覆蓋，並且本發明方法也不會帶來因為氫在包含該介層洞及線開口之介電材料內濺鍍所造成的損害。根據本發明，此種內連線結構係利用在形成該線開口之前先在介層洞開口底部提供該挖鑿特徵，並在該線開口內沉積擴散阻障層來實現。

因為本發明內連線結構的線區域內之擴散阻障層覆蓋是連續的，並且不會在該內連線介電材料內造成損害，與利用第 1A-1E 圖所示的製程流程製出的先前技藝內連線結構相比，本發明內連線結構擁有改善的線路可靠度以及較低程度的金屬對金屬洩漏。

在本發明之一實施例中，本發明提供一種半導體結構，其至少包含：

一下內連線層，包含一第一介電材料，其擁有至少一導電特徵嵌入在其內；

一介電覆蓋層，位於該第一介電材料以及該至少一導電特徵的某些，但並非所有，部分上；以及

一上內連線層，包含一第二介電材料，其擁有至少一導電填充介層洞及一位於上方的導電填充線路配置在其內，其中該導電填充介層洞係利用一錨狀區與該第一內連線層之至少一導電特徵暴露出的表面接觸，

該導電填充介層洞係利用一第一擴散阻障層與

該第二介電材料分離，並且

該導電填充線路係利用一第二連續擴散阻障層與該第二介電材料分離，因此該第二介電材料在毗鄰該導電填充線路的區域內不含有受到損害的區域。

在本發明之較佳實施例中，該內連線結構包含填充有銅或含銅合金的介層洞及線路，並且該第一及第二介電材料是介電常數約 2.8 或更低之相同或不同的多孔性介電材料。

在本發明之又另一實施例中，本發明提供一種半導體結構，其至少包含：

一下內連線層，包含一第一介電材料，其擁有至少一導電特徵嵌入在其內；

一介電覆蓋層，位於該第一介電材料以及該至少一導電特徵的某些，但並非所有，部分上；以及

一上內連線層，包含一第二介電材料，其擁有至少一導電填充介層洞及一位於上方的導電填充線路配置在其內，其中該導電填充介層洞係利用一錨狀區與該至少一第一內連線層之至少一導電特徵接觸，

一金屬介面層，位於該錨狀區之一表面上，並且與該導電填充介層洞接觸，

該導電填充介層洞係利用一第一擴散阻障層與該第二介電材料分離，以及

該導電填充線路係利用一第二連續擴散阻障層與該第二介電材料分離，因此該第二介電材料在毗鄰該導

電填充線路的區域內不含有受到損害的區域。

除了提供前述半導體結構外，本發明也提供其製造方法。在本發明之一實施例中，該方法包含：

提供一初始內連線結構，其含有一下內連線層，該內連線層包含擁有至少一導電特徵嵌入在其內的第二介電材料，一上內連線層，其包含擁有至少一介層洞開口的第一介電材料，該介層洞開口暴露出位於該下內連線層上之該至少一導電特徵的一部分，該下及上內連線層係利用一介電覆蓋層部分隔離，以及位於該上內連線層表面上的圖案化硬罩幕；

在該初始內連線結構所有暴露出的表面上形成一第一阻障層；

在該至少一導電特徵內形成一貫穿挖鑿特徵，其係位於該介層洞開口底部；

在該第二介電材料內形成至少一線開口，其延伸在該至少一介層洞開口上；

至少在該至少一線開口內形成一第二連續擴散阻障層；

在該至少一線開口及該至少一介層洞開口兩者內形成一黏合／電鍍種層；以及

以一導電材料填充該至少一線開口及至少一介層洞開口。

在本發明之較佳實施例中，本發明之方法包含以銅或含銅合金填充該介層洞及線路，並且使用介電常數約 2.8

或更低的多孔性介電材料做為該第一及第二介電材料。

在本發明之又另一實施例中，該方法包含如下步驟：

提供一初始內連線結構，其含有一下內連線層，該內連線層包含擁有至少一導電特徵嵌入在其內的第二介電材料，一上內連線層，其包含擁有至少一介層洞開口的第二介電材料，該介層洞開口暴露出位於該下內連線層上之該至少一導電特徵的一部分，該下及上內連線層係利用一介電覆蓋層部分隔離，以及位於該上內連線層表面上的圖案化硬罩幕；

在該初始內連線結構所有暴露出的表面上形成一第一阻障層；

在該至少一導電特徵內形成一貫穿挖鑿特徵，其係位於該介層洞開口底部；

在該挖鑿特徵上形成一金屬介面層；

在該第二介電材料內形成至少一線開口，其延伸在該至少一介層洞開口上；

從該至少一線開口及該至少一介層洞開口移除蝕刻殘餘物；

至少在該至少一線開口內形成一第二連續擴散阻障層；

在該至少一線開口及該至少一介層洞開口兩者內形成一黏合／電鍍種層；以及

以一導電材料填充該至少一線開口及至少一介層洞開口。

### 【實施方式】

現在將藉由參考如下討論及伴隨本申請案之圖式更詳細描述本發明，其提供含有一挖鑿的介層洞特徵(即錨狀介層洞底部)之內連線結構及其製造方法。本申請案之圖式，此後更詳細談論，係經提供做為例示用，因此，並沒有按照比例繪製。

本發明之製程流程始於提供第 3 圖所示之初始內連線結構 10。明確地說，第 3 圖所示之初始內連線結構 10 包含一多層內連線，其含有利用一介電覆蓋層 14 部分分離的下內連線層 12 及上內連線層 16。該下內連線層 12，其位於含有一或多個半導體元件之半導體基材(未示出)上，包含擁有至少一導電特徵(即導電區)20 之第一介電材料 18，該導電特徵係利用一阻障層(未示出)與該第一介電層 18 隔離。該上內連線層 16 包含一第二介電材料 24，其擁有至少一介層洞開口 26 在其內。如所示，該至少一介層洞開口 26 暴露出一部分的導電特徵 20。位於該上內連線層 16 上方的是一圖案化硬罩幕 28。雖然第 3 圖所示結構示出單一個介層洞開口 26，但本發明預期到在該第二介電材料 24 內形成任何數量的此種介層洞開口，其暴露出可能存在於該第一介電材料 18 內的其他導電特徵 20。

第 3 圖所示之該初始結構 10 係利用熟知技藝者習知的技術製成。例如，該初始內連線結構可藉由首先施加該第一介電材料 18 至一基材(未示出)表面上形成。該基材，其

未經示出，可含有半導體材料、絕緣材料、導電材料或其任何組合。當該基材係由半導體材料組成時，可使用任何半導體，例如矽、鍺化矽、矽鍺碳、碳化矽、鍺合金、砷化鎵、砷化銻、磷化銻及其他 III / V 或 II / VI 族化合物半導體。除了所列出的半導體材料類型之外，本發明也預期到半導體基材係一多層半導體的情況，例如，矽 / 鍺化矽、矽 / 碳化矽、絕緣層上矽 (silicon-on-insulators, SOIs) 或絕緣層上矽鍺 (silicon germanium-on-insulators, SGOIs)。

當該基材係一絕緣材料時，該絕緣材料可以是有機絕緣體、無機絕緣體或其含有多層的組合。當該基材係一導電材料時，該基材可包含，例如，多晶矽、元素金屬、元素金屬合金、金屬矽化物、金屬氮化物或其含有多層的組合。當該基材包含半導體材料時，可在其上製造一或多種半導體元件，例如互補式金氧半導體 (CMOS) 元件。

該下內連線層 12 的第一介電材料 18 可含有任何層間或層內介電材料，包含無機介電材料或有機介電材料。該第一介電材料 18 可以是多孔的或無孔的，在本發明之某些實施例中，高度傾向使用介電材料約 2.8 或更低的多孔介電材料。可用來做為該第一介電材料 18 之適合的介電材料之某些範例包含，但不限於：二氧化矽、倍半矽氧烷 (silsesquioxanes)、含有矽、碳、氧和氫原子之摻雜碳的氧化物 (即有機矽酸鹽)、熱固性聚多芳基酯 (polyarylene ethers)、或其多層。此申請案中使用「聚多芳基」一詞來表示芳基 (aryl) 份額或惰性取代之芳基份額，其係藉由鍵

結、稠環(fused-ring)、或例如氧、硫、磺(sulfone)、亞磺(sulfoxide)、羰基(carbonyl)及諸如此類之惰性連結族群連結在一起。

該第一介電材料 18 的介電常數通常是約 4.0 或更低，擁有約 2.8 或更低的介電常數甚至是更典型的。與介電常數大於 4 的介電材料相比，這些介電材料一般擁有較低的寄生串訊(crosstalk)。該第一介電材料 18 的厚度可取決於所使用的介電材料以及該下內連線層 12 內的確實介電材料數量而改變。一般來說，並且就正常內連線結構而言，該第一介電材料 18 的厚度為約 200 至約 450 奈米。

該下內連線層 12 也擁有至少一導電特徵 20，其係嵌入在該第一介電材料 18 內(即位於其內)。該導電特徵 20 包含利用一阻障層(未示出)與該第一介電材料 18 隔離的導電材料。該導電特徵 20 的形成係利用微影(即，施加一光阻至該第一介電材料 18 表面，將該光阻暴露在預期圖案之幅射下，並利用習知光阻顯影劑顯影經曝光的光阻)，在該第一介電材料 18 內蝕刻(乾蝕刻或濕蝕刻)一開口以及以該阻障層填充該蝕刻出的區域，然後利用一導電材料形成該導電區域。該阻障層，其可包含鉭、氮化鉭、鈦、氮化鈦、鈦、氮化鈦、鎢、氮化鎢或可作用為阻障層以避免導電材料擴散通過其間的任何其他材料，係利用沉積製程形成，例如，原子層沉積(ALD)、化學氣相沉積(CVD)、電漿輔助化學氣相沉積(PECVD)、物理氣相沉積(PVD)、濺鍍、化學溶液沉積、或電鍍。

該阻障層的厚度可取決於該沉積製程的確實方法以及所使用的材料而改變。通常，該阻障層的厚度為約 4 至約 40 奈米，擁有約 7 至約 20 奈米的厚度是更典型的。

在形成該阻障層之後，以導電材料填充該第一介電材料 18 內該開口的剩餘區域，而形成該導電特徵 20。用來形成該導電特徵 20 的導電材料包含，例如，多晶矽、導電金屬、含有至少一種導電金屬的合金、導電金屬矽化物或其組合。較佳地，用來形成該導電特徵 20 的導電材料係例如銅、鎢或鋁等導電金屬，在本發明中高度傾向於帶有銅或銅合金(例如鋁銅)。利用習知沉積製程將該導電材料填充進入該第一介電材料 18 內之剩餘開口中，包含但不限於，CVD、PECVD、濺鍍、化學溶液沉積或電鍍。在沉積後，可使用例如化學機械研磨(CMP)之習知平坦化製程來提供該阻障層和該導電特徵 20 的上表面實質上皆與該第一介電材料 18 的上表面共平面之結構。

在形成該至少一導電特徵 20 後，利用習知沉積製程在該下內連線層 12 表面上形成一全覆式介電覆蓋層 14，例如 CVD、PECVD、化學溶液沉積、或蒸鍍。該介電覆蓋層 14 包含任何適合的介電覆蓋材料，例如碳化矽、四矽氮( $\text{Si}_4\text{NH}_3$ )、二氧化矽、摻雜碳的氧化物、摻雜氮及氫的碳化矽( $\text{SiC}(\text{N},\text{H})$ )或其多層。該覆蓋層 14 的厚度可根據其形成技術以及組成該層的材料而改變。通常，該覆蓋層 14 的厚度為約 15 至約 55 奈米，擁有約 25 至約 45 奈米的厚度是更典型的。

接著，藉由施加該第二介電材料 24 至該覆蓋層 14 暴露出的上表面來形成該上內連線層 16。該第二介電材料 24 可含有與該下內連線層 12 的第一介電材料 18 相同或不同，較佳地相同，的介電材料。該第一介電材料 18 所用之製程技術和厚度範圍在此也可運用在該第二介電材料 24 上。該第二介電材料 24 也可包含兩種不同的材料，即先沉積一種介電材料，然後沉積另一種不同的介電材料。在本發明之一實施例中，該第二介電材料 24 包含兩種不同的低 k 介電材料，因此該上內連線層 16 擁有一混合結構，其具有隨後填充之嵌入在一多孔性介電材料內的導電填充線路，以及隨後填充之嵌入在一密實(即非多孔性)介電材料內的介層洞。在此種實施例中，該多孔性低 k 介電材料的介電常數為約 2.8 或更低，而該密實的低 k 介電材料的介電常數為約 4.0 或更低。

接著，在該第二介電材料 24 內形成至少一介層洞開口 26，藉由首先在該第二介電材料 24 上表面上形成一全覆式硬罩幕材料。該全覆式硬罩幕材料包含氧化物、氮化物、氮氧化物或含有其多層之任何組合。通常，該硬罩幕材料係例如二氧化矽的氧化物或例如四氮化三矽的氮化物。該全覆式硬罩幕材料係利用習知沉積製程形成，例如 CVD、PECVD、化學溶液沉積、或蒸鍍。如此沉積出的硬罩幕材料之厚度可取決於所形成的硬罩幕材料類型、組成該硬罩幕材料的沉積層數量以及所用之沉積技術而改變。通常，如此沉積出的硬罩幕材料的厚度為約 10 至約 80 奈米，擁

有約 20 至約 60 奈米的厚度甚至是更典型的。

在形成該全覆式硬罩幕材料層之後，利用習知沉積製程在該硬罩幕材料上形成光阻(未示出)，例如 CVD、PECVD、旋轉塗佈、化學溶液沉積或蒸鍍。該光阻可以是正光阻材料、負光阻材料或混合材料，每一種對熟知技藝者而言都是習知的。然後使光阻經受微影製程，其包含將該光阻暴露在一圖案之輻射下，並利用習知光阻顯影劑顯影經曝光的光阻。該微影步驟在該硬罩幕材料上提供一圖案化光阻，其界定出該介層洞開口 26 的寬度。

在提供該圖案化光阻後，運用一或多種蝕刻製程將該介層洞圖案轉移至該硬罩幕材料上，然後轉移進入該第二介電材料 24 內。可在該介層洞圖案被轉移至該硬罩幕上之後利用習知去光阻製程立即將該圖案化光阻剝除，形成圖案化硬罩幕 28。或者，可在該介層洞圖案被轉移至該第二介電材料 24 內之後才剝除該圖案化光阻。用來轉移該介層洞圖案之蝕刻可包含乾蝕刻製程、濕式化學蝕刻製程或其組合。在此使用「乾蝕刻」一詞來表示例如反應性離子蝕刻、離子束蝕刻、電漿蝕刻或雷射剝離等蝕刻技術。

在形成第 3 圖所示之初始內連線結構 10 之後，在該初始內連線結構所有暴露出的表面上形成一擴散阻障材料(其，為了本發明之主張，係有關於第一擴散阻障層)30，提供例如第 4 圖所示之結構。如所示，擴散阻障材料 30 覆蓋該圖案化硬罩幕 28 暴露出的表面，位於該介層洞開口 26 內之該第二介電材料 24 的側壁以及該導電特徵 20 暴露

出的部分。根據本發明，該擴散阻障材料 30 係一薄層，其厚度通常在約 0.5 至約 20 奈米範圍內，擁有約 1 至約 10 奈米的厚度甚至是更典型的。該擴散阻障材料層 30 係利用習知沉積製程形成，包含但不限於：CVD、PVD、ALD 或旋轉塗佈。該擴散阻障材料 30 包含含金屬材料，例如，氮化鈮、鈮、鈦、氮化鈦、鈮化鈦、鎢、鈦或鈷，絕緣材料，例如二氧化矽、四氮化三矽、碳化矽、摻雜氮和氫的碳化矽或其任何組合。

在形成該擴散阻障材料 30 之後，接著使第 4 圖之結構經受氫濺鍍製程，其從該介層洞底部除去該擴散阻障材料 30，並貫穿下方的導電特徵 20，而在該導電特徵 20 內形成一挖鑿特徵(或錨狀區)32。該氫濺鍍製程期間所形成的結構在，例如，第 5A 圖示出。觀察到此濺鍍製程也除去位於該硬罩幕 28 表面上的擴散阻障材料 30。該第二介電材料 24 並未在此製程期間受到損害，因為其受到該硬罩幕 28 的保護。用來形成該挖鑿特徵的氫濺鍍製程包含常在內連線技術中用來形成此種特徵之任何習知濺鍍製程。做為說明，可用以下非限制性條件來執行氫濺鍍：20 sccm 的氫氣流、25°C 的溫度、400 KHz 及 750 W 之上電極偏壓、13.6 MHz 及 400 W 的檯面偏壓(table bias)、以及 0.6 毫托耳的製程壓力。雖然是為了說明目的提出氫，也可使用任何其他氣體來進行濺鍍製程，例如氮、氬、氫、氮氣、氫氣、氬、聯胺( $N_2H_2$ )、或其混合物。

第 5B 圖示出本發明之一選擇性實施例，其中在第 5A

圖示出之所有暴露出的表面上形成一金屬介面層 34。該金屬介面層 34 係利用任何習知沉積製程形成，例如 CVD、PECVD、化學溶液沉積、蒸鍍、有機金屬沉積、ALD、濺鍍、PVP 或電鍍(無電或有電)、該金屬介面層 34 的厚度可取決於所使用的確實金屬界面材料以及所用的沉積技術而改變。通常，該金屬介面層 34 的厚度為約 0.5 至約 40 奈米，擁有約 1 至約 10 奈米的厚度甚至是更典型的。該金屬介面層 34 包含一金屬阻障材料，例如鈷、氮化鈮、鈮、鈦、氮化鈦、鈟、鉍、金、銻、鉑、鈮或銀。也預期到使用此類材料的合金。

接著，沉積一平坦化層 36，填充第 5A 和 5B 圖所示結構之任一者的介層洞開口 26。該平坦化層 36 係利用習知沉積製程沉積，例如 CVD、PECVD、旋轉塗佈、蒸鍍或化學溶液沉積。該平坦化材料包含習知抗反射塗覆材料或玻璃纖維材料。如第 6 圖所示，該平坦化層 36 完全填充該介層洞開口 26，並且延伸至該介層洞開口 26 上方該硬罩幕暴露出的表面上(如第 6 圖所示)或該金屬介面層 34 上方(未示出)。

除了平坦化層 36，第 6 圖所示結構也包含配置在該平坦化層 36 表面上的第二硬罩幕 38 以及配置在該第二硬罩幕 38 表面上的圖案化光阻 40。該第二硬罩幕 38 係利用與形成該硬罩幕 28 所述之相同製程技術形成，並且係由上面關於該硬罩幕 28 提及的硬罩幕材料之一組成。該圖案化光阻 40 係利用沉積及微影形成，並且其包含擁有線開口寬度

的開口。

接著使第 6 圖所示結構經受能夠形成第 7 圖所示結構之一或多種蝕刻製程。如此圖所示，該一或多種蝕刻製程在該第二介電材料 24 內形成線開口 42。根據本發明，至少一線開口 42 係位於該介層洞開口 26 上方並與其連接，該介層洞開口 26 係受到剩餘的平坦化層 36 的保護。該一或多種蝕刻步驟依序除去該第二硬罩幕 38 暴露出的部分、該下方的平坦化層 36 部分、以及該第二介電材料 24 暴露出的部分。該圖案化光阻 40 和該圖案化第二硬罩幕 38 通常在所提及的蝕刻步驟期間除去。

第 8 圖示出從該介層洞開口 26 內除去剩餘的平坦化層 36 之後的第 7 圖之結構。該剩餘的平坦化層之剝除係利用化學濕蝕刻製程或化學灰化製程來執行，其在從該結構上除去該平坦化材料時具有選擇性。在本發明之某些實施例中，氧化物或蝕刻殘餘物 44 可能殘存在該挖鑿特徵 32 內。

在此情況下，可利用表面清潔製程從該挖鑿特徵 32 除去該氧化物或蝕刻殘餘物 44，其可包含濕式化學蝕刻製程及／或輕微的氫轟擊。在此例中不會產生任何損害，因為氫轟擊條件並不如先前技藝用來形成該挖鑿特徵 32 者那般嚴酷。通常，本情況中僅為表面清潔所使用的製程時間是低於 5 秒，與先前技藝用來產生該挖鑿特徵的多於 10 秒相比。做為說明，可用以下非限制性條件來執行氫濺鍍：20 sccm 的氫氣流、25°C 的溫度、400 KHz 及 400 W 之上電極偏壓、13.6 MHz 及 200 W 的檯面偏壓、以及 0.6 毫托

耳的製程壓力。雖然是為了說明目的提出氫，也可使用任何其他氣體來進行濺鍍製程，例如氫、氮、氫、氮氣、氫氣、氫、氮、聯胺( $N_2H_2$ )、或其混合物。

在本發明之某些實施例中，從該至少一線開口及該至少一介層洞開口區中除去蝕刻殘餘物。在一實施例中，使用電漿蝕刻，其含有氧氣、氫氣、氮氣、一氧化碳、二氧化碳、或氮之至少一者或其組合。在另一實施例中，該蝕刻殘餘物係利用濕蝕刻除去，其含有氫氟酸、氫氯酸、硫酸、或硝酸之至少一種或其組合。第 9 圖示出執行此清潔製程之後所形成的結構。

第 10A 和 10B 圖示出接下來可形成的兩種不同結構。第 10A 和 10B 圖所示之兩種結構皆包含一擴散阻障層 46(為了本發明之主張，該擴散阻障層 46 代表第二擴散阻障層)。如第 10A 圖所示，該擴散阻障層 46 僅覆蓋該線開口 42 內暴露出的表面，而在第 10B 圖中，該擴散阻障層 46 覆蓋該線開口 42 和該介層洞開口 26 兩者內暴露出的表面。該擴散阻障層 46 之覆蓋範圍係由其形成之沉積製程的條件和時間長短決定。注意到該擴散阻障層 46 在本製程期間持續存在該線開口 42 內。

根據本發明，該擴散阻障層 46 包含鈿、氮化鈿、鈦、氮化鈦、鈦、氮化鈦、鈿化鈦、氮化鈦鈿、鎢、鈿化鎢或可作用為阻障層以避免導電材料擴散通過其間的任何其他材料。也預期到這些材料的組合而形成一多層堆疊擴散阻障層。該擴散阻障層 46 係利用沉積製程形成，例如，原子

層沉積 (ALD)、化學氣相沉積 (CVD)、電漿輔助化學氣相沉積 (PECVD)、物理氣相沉積 (PVD)、濺鍍、化學溶液沉積、或電鍍。

該擴散阻障層 46 的厚度可取決於該阻障層內的材料層數目、其形成技術以及該擴散阻障層本身的材料而改變。通常，該擴散阻障層 46 的厚度為約 4 至約 40 奈米，擁有約 7 至約 20 奈米的厚度甚至是更典型的。

第 11A 和 11B 圖示出接下來可分別從第 10A 和 10B 圖所示結構形成的兩種不同結構。第 11A 和 11B 圖所示之兩種結構皆包含一黏合 / 電鍍種層 48。

該黏合 / 電鍍種層 48 係由元素週期表 VIII A 族的金屬或金屬合金組成。適合用來做為該黏合 / 電鍍種層之 VIII A 族元素的範例包含，但不限於：鈦、鈦化鈮、鈷、鎳、鉑、鈮及其合金。在某些實施例中，較佳地使用鈦、鈷或鎳做為層 48。

該黏合 / 電鍍種層 48 係利用習知沉積製程形成，包含，例如，化學氣相沉積 (CVD)、電漿輔助化學氣相沉積 (PECVD)、原子層沉積 (ALD)、電鍍、濺鍍及物理氣相沉積 (PVD)。該黏合 / 電鍍種層 48 的厚度可取決於若干因素而改變，包含，例如，該黏合 / 電鍍種層 48 的成分材料以及其形成技術。通常，該黏合 / 電鍍種層 48 的厚度為約 1.5 至約 10 奈米，擁有低於 6 奈米的厚度甚至是更典型的。

第 12A 和 12B 圖分別示出可從第 11A 和 11B 圖所示結構形成的不同內連線結構。第 12A 和 12B 圖所示之每一個

結構係在以內連線導電材料 50 填充該介層洞及線開口以及該挖鑿特徵 32 並且平坦化之後的狀態。該內連線導電材料 50 可包含與該導電特徵 20 相同或不同，較佳地相同，的導電材料(在該導電材料不是多晶矽的前提下)。較佳地，使用銅、鋁、鎢或其合金，帶有銅或鋁銅是最佳的。該導電材料 50 係利用與上面形成該導電材料 20 所述者相同的沉積製程形成，並且在沉積該導電材料之後，使該結構經受平坦化。該平坦化製程除去位於該上內連線層 16 的第二低 k 介電材料 24 上之若干材料。

本發明之方法可用來在第 3-12B 圖所示各層上形成額外的內連線層。各個內連線層的每一者皆會包含上述之挖鑿特徵。

因為上述之集成製程結構，在形成該挖鑿特徵 32 期間不會在該第二介電材料 24 內形成受損區域。此外，本發明之集成製程使該擴散阻障層 46 可在該金屬線區域內有連續覆蓋，且擁有均勻的厚度(即，厚度變異低於 2 奈米)。因為擴散阻障層 46 在本發明之內連線結構的線區域內之覆蓋是連續的，並且不會在該內連線介電材料內造成損害，與第 1A-1E 圖所示之內連線結構相比，本發明之內連線結構擁有改善的線路可靠度以及較低程度的金屬-金屬洩漏。也應注意到擴散阻障材料 30 僅存在於該介層洞開口 26 內，但不存在於該線開口 42 內。此特徵增強介層洞開口周邊的機械強度及擴散特性，而不會降低該線開口 42 內的導體 50 的體積比率。進一步注意到在某些實施例中，

該導電填充介層洞內之該第一擴散阻障層 30 和該第二連續擴散阻障層 46 的總擴散阻障層厚度比該導電填充線路內之第二連續擴散阻障層 46 厚。

雖然本發明已經關於其較佳實施例具體示出並描述，但熟知技藝者會了解前述及其他形式和細節的改變可在不背離本發明之精神及範圍下做出。因此意欲使本發明不受所敘述及所示的確實形式及細節所限，而是落在附屬申請專利範圍的範圍內。

#### 【圖式簡單說明】

第 1A-1E 圖係示出先前技藝用來形成內連線結構之基本製程步驟之圖示表示(透過剖面圖)。

第 2 圖係示出具有銅內連線在超低 k 介電材料內之先前技藝內連線結構之 SEM 影像(透過剖面圖)。

第 3 圖係示出利用一上內連線層形成一介層洞接觸開口(此後稱為介層洞開口)之後的本發明之初始結構之圖示表示(透過剖面圖)。

第 4 圖係示出至少在該介層洞開口內形成一第一擴散阻障層之後的第 3 圖之結構的圖示表示(透過剖面圖)。

第 5A 圖係示出在濺鍍以從該介層洞接觸開口底部除去該第一擴散阻障層並且貫穿進入下方的導電特徵而在其內形成一挖鑿特徵之後的第 4 圖之結構的圖示表示(透過剖面圖)；第 5B 圖示出本發明之一選擇性實施例，其中提供第 5A 圖之結構一金屬界面層。

第 6 圖係示出形成一平坦化層、硬罩幕及圖案化光阻之後的第 5A 圖之結構的圖示表示(透過剖面圖)。

第 7 圖係示出在該上內連線層內形成至少一線開口之後的第 6 圖之結構的圖示表示(透過剖面圖)。

第 8 圖係示出除去在形成該線開口期間保護該介層洞開口的剩餘平坦化材料之後的第 7 圖之結構的圖示表示(透過剖面圖)。

第 9 圖係示出除去該介層洞底部氧化物 / 殘餘物之後的第 8 圖之結構的圖示表示(透過剖面圖)。

第 10A-10B 圖係示出形成一第二擴散阻障層之後所形成的第 9 圖之結構的圖示表示(透過剖面圖)。

第 11A-11B 圖分別示出形成一黏合 / 電鍍種層之後所形成的第 10A 和 10B 圖之結構的圖示表示(透過剖面圖)。

第 12A-12B 圖係分別示出金屬填充和平坦化之後所形成的第 11A 和 11B 圖之結構的圖示表示(透過剖面圖)。

#### 【主要元件符號說明】

10	初始內連線結構	12、100	下內連線層
14、106	覆蓋層	16、108	上內連線層
18、102	第一低 k 介電材料	20、104	特徵
24、110	第二低 k 介電材料	26、114	介層洞開口
28、38	硬罩幕	30、46、116	擴散阻障材料
32	挖鑿特徵	34	金屬介面層
36	平坦化層	40	圖案化光阻

42、112 線開口

48 黏合／電鍍種層

118 挖鑿特徵

122 金屬內襯層

44 氧化物或蝕刻殘餘物

50 內連線導電材料

120 介電損害

124 導電金屬

## 十、申請專利範圍：

### 1. 一種半導體結構，其至少包含：

一下內連線層，其包含一第一介電材料，該第一介電材料擁有至少一導電特徵嵌入在其內；

一介電覆蓋層，其位於該第一介電材料以及該至少一導電特徵的某些，但並非所有，部分上；以及

一上內連線層，其包含一第二介電材料，該第二介電材料擁有至少一導電填充介層洞及一位於上方的導電填充線路配置在其內，其中該導電填充介層洞係利用一錨狀區與該第一內連線層之至少一導電特徵暴露出的表面接觸，

該導電填充介層洞係利用一第一擴散阻障層與該第二介電材料分離，並且

該導電填充線路係利用一第二連續擴散阻障層與該第二介電材料分離，因此該第二介電材料在毗鄰該導電填充線路的區域內不含有受到損害的區域，並且

其中該第一擴散阻障層僅存在於該至少一導電填充介層洞內之該第二介電材料與該介電覆蓋層的側壁上且僅存在於該至少一導電特徵之暴露上表面的某些部分上，並且

其中該第二擴散阻障層與該至少一導電填充線路中之該第二介電材料的側壁直接接觸，並且

其中該導電填充線路之上表面與該第二介電材料之上表面共平面。

2. 如申請專利範圍第 1 項所述之半導體結構，其中上述之第一及第二介電材料包含相同或不同的密實低 k 介電材料，該密實低 k 介電材料之介電常數約 4.0 或更低。
3. 如申請專利範圍第 1 項所述之半導體結構，其中上述之第一及第二介電材料包含相同或不同的多孔性低 k 介電材料，該多孔性低 k 介電材料之介電常數約 2.8 或更低。
4. 如申請專利範圍第 1 項所述之半導體結構，其中上述之第二介電材料包含兩種不同的低 k 介電材料，並且該上內連線層擁有一混合結構，該混合結構具有嵌入在一多孔性介電材料中之該導電填充線路，以及嵌入在一密實介電材料中之該導電填充介層洞。
5. 如申請專利範圍第 4 項所述之半導體結構，其中上述之多孔性低 k 介電材料之介電常數約 2.8 或更低，而該密實低 k 介電材料之介電常數約 4.0 或更低。
6. 如申請專利範圍第 1 項所述之半導體結構，其中上述之介電覆蓋層包含碳化矽、四矽氮 ( $\text{Si}_4\text{NH}_3$ )、二氧化矽、摻雜碳的氧化物、摻雜氮及氫的碳化矽 ( $\text{SiC}(\text{N},\text{H})$ ) 或其多層之一。

7. 如申請專利範圍第 1 項所述之半導體結構，其中上述之嵌入在該第一介電材料中之至少一導電特徵包含銅或含銅合金。
8. 如申請專利範圍第 1 項所述之半導體結構，其中上述之至少一導電填充介層洞和至少一上方之導電填充線路包含銅或含銅合金。
9. 如申請專利範圍第 1 項所述之半導體結構，其中上述之第一擴散阻障層包含一種含金屬材料、一種絕緣材料或其任何組合。
10. 如申請專利範圍第 1 項所述之半導體結構，其中上述之第二連續擴散阻障層包含鉍、氮化鉍、鈦、氮化鈦、鈦、氮化鈦、鉍化鈦、鉍化鈦、氮化鈦鉍、鎢或氮化鎢。
11. 如申請專利範圍第 1 項所述之半導體結構，其中上述之第二連續擴散阻障層不存在於該導電填充介層洞內，但該導電填充介層洞係利用該第一擴散阻障層與該第二介電材料隔離。
12. 如申請專利範圍第 1 項所述之半導體結構，其中上述之第二連續擴散阻障層也存在於該導電填充介層洞內該第

一擴散阻障層上方。

13. 如申請專利範圍第 1 項所述之半導體結構，其中上述之導電填充介層洞內之該第一擴散阻障層和該第二連續擴散阻障層的總擴散阻障層厚度比該導電填充線路內之該第二連續擴散阻障層厚度更厚。

14. 如申請專利範圍第 1 項所述之半導體結構，更包含一黏合／電鍍種層，其位於該至少一導電填充線路內該第二連續擴散阻障層上，並且位於該至少一導電填充介層洞內該第一擴散阻障層上。

15. 如申請專利範圍第 1 項所述之半導體結構，更包含一黏合／電鍍種層，其位於該至少一導電填充線路內該第二連續擴散阻障層上，並且位於該至少一導電填充介層洞內該第二擴散阻障層上。

16. 如申請專利範圍第 14 項所述之半導體結構，其中上述之黏合／電鍍種層包含鈦、鈦化鈹、鋱、銻、鉑、鈮、鉭、銅或其合金之一或組合物。

17. 如申請專利範圍第 1 項所述之半導體結構，其中上述之第二擴散阻障層存在於位於該導電填充介層洞上方之該

至少一導電填充線路中，但不存在於該至少一導電填充介層洞。

18. 一種半導體結構，其至少包含：

一下內連線層，其包含一第一介電材料，該第一介電材料擁有至少一導電特徵嵌入在其內；

一介電覆蓋層，其位於該第一介電材料以及該至少一導電特徵的某些，但並非所有，部分上；以及

一上內連線層，其包含一第二介電材料，該第二介電材料擁有至少一導電填充介層洞及一位於上方的導電填充線路配置在其內，其中該導電填充介層洞係利用一錨狀區與該至少一第一內連線層之至少一導電特徵接觸，

一金屬介面層，其直接位於該錨狀區內之該至少一導電特徵之一表面上，並且與該導電填充介層洞接觸，

該導電填充介層洞係利用一第一擴散阻障層與該第二介電材料分離，以及

該導電填充線路係利用一第二連續擴散阻障層與該第二介電材料分離，因此該第二介電材料在毗鄰該導電填充線路的區域內不含有受到損害的區域，並且

其中該第一擴散阻障層僅存在於該至少一導電填充介層洞內之該第二介電材料與該介電覆蓋層的側壁上且僅存在於該至少一導電特徵之暴露上表面的某些部分上，並且

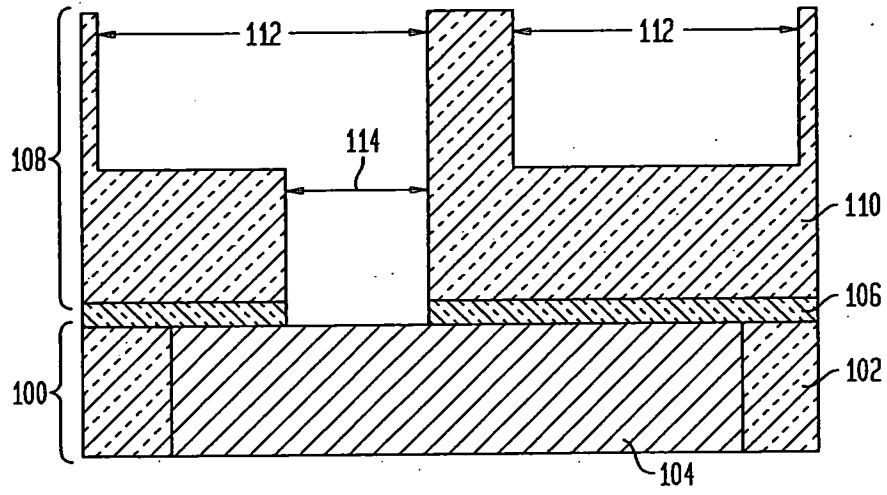
其中該第二擴散阻障層與該至少一導電填充線路中之該第二介電材料的側壁直接接觸，並且

其中該導電填充線路之上表面與該第二介電材料之上表面共平面。

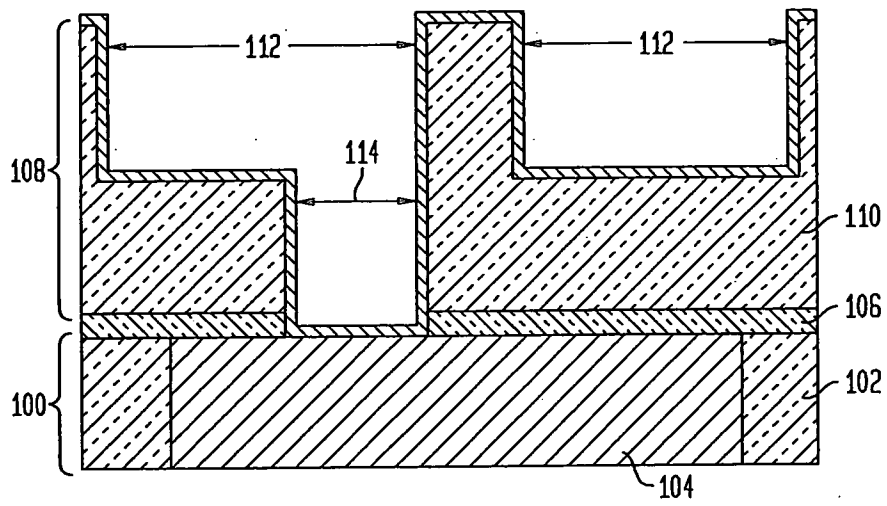
19. 如申請專利範圍第 18 項所述之半導體結構，其中上述之金屬介面層包含鈷、氮化鈮、鈮、鈦、氮化鈦、鈟、銱、金、銻、鉑、鈮、銀或其合金之一或組合物。

20. 如申請專利範圍第 18 項所述之半導體結構，其中上述之第二擴散阻障層存在於位於該導電填充介層洞上方之該至少一導電填充線路中，但不存在於該至少一導電填充介層洞。

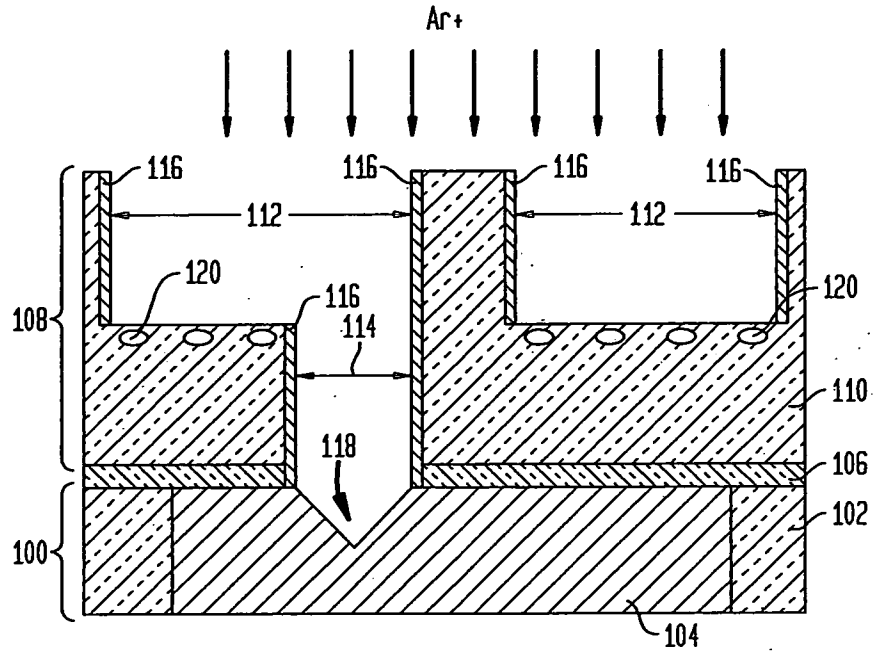
第 1A 圖  
(先前技藝)



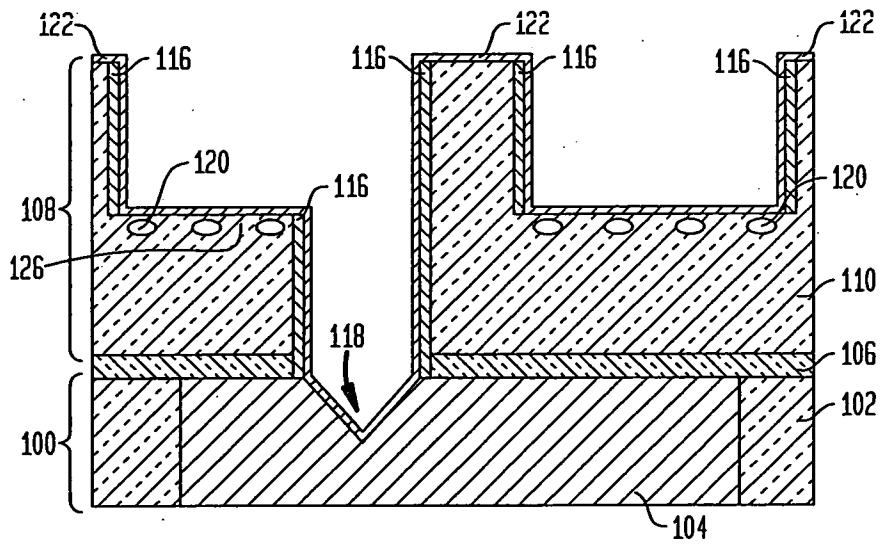
第 1B 圖  
(先前技藝)



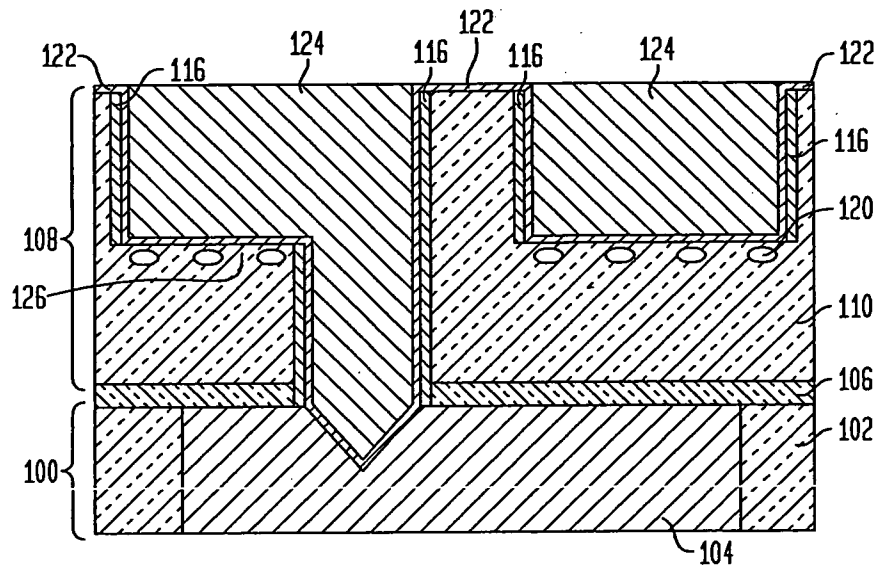
第 1C 圖  
(先前技藝)



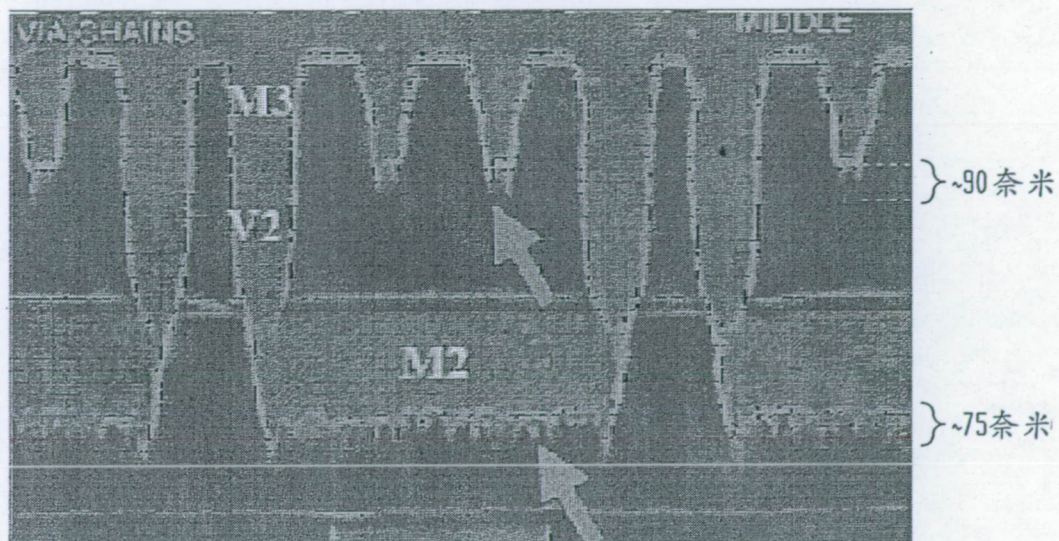
第 1D 圖  
(先前技藝)



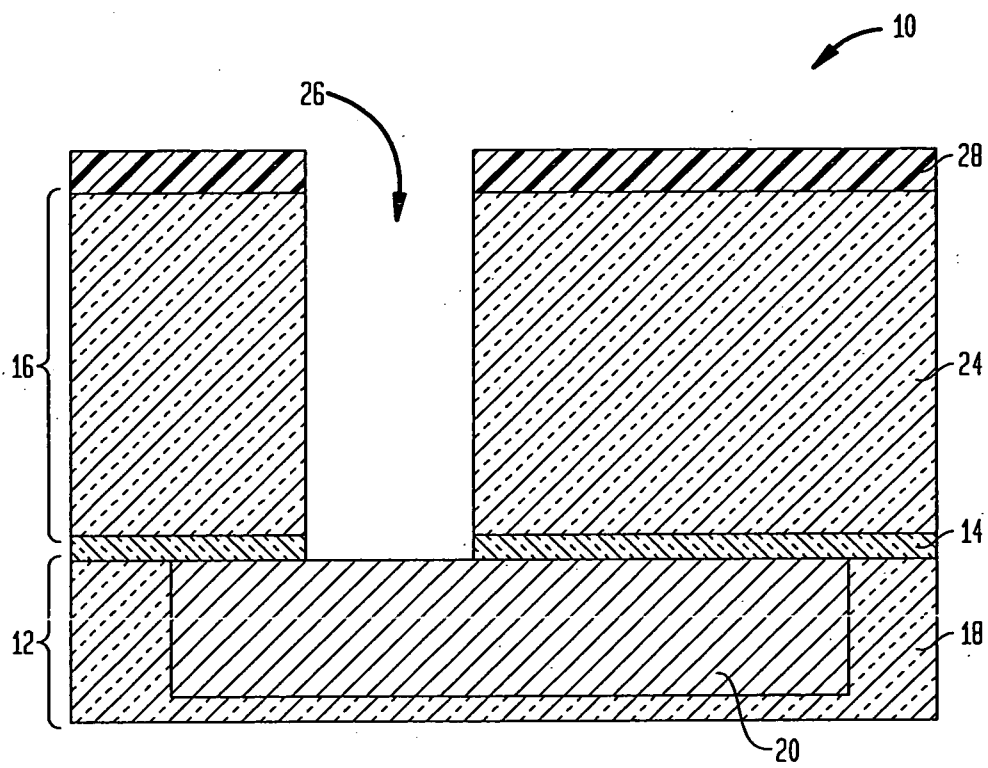
第 1E 圖  
(先前技藝)



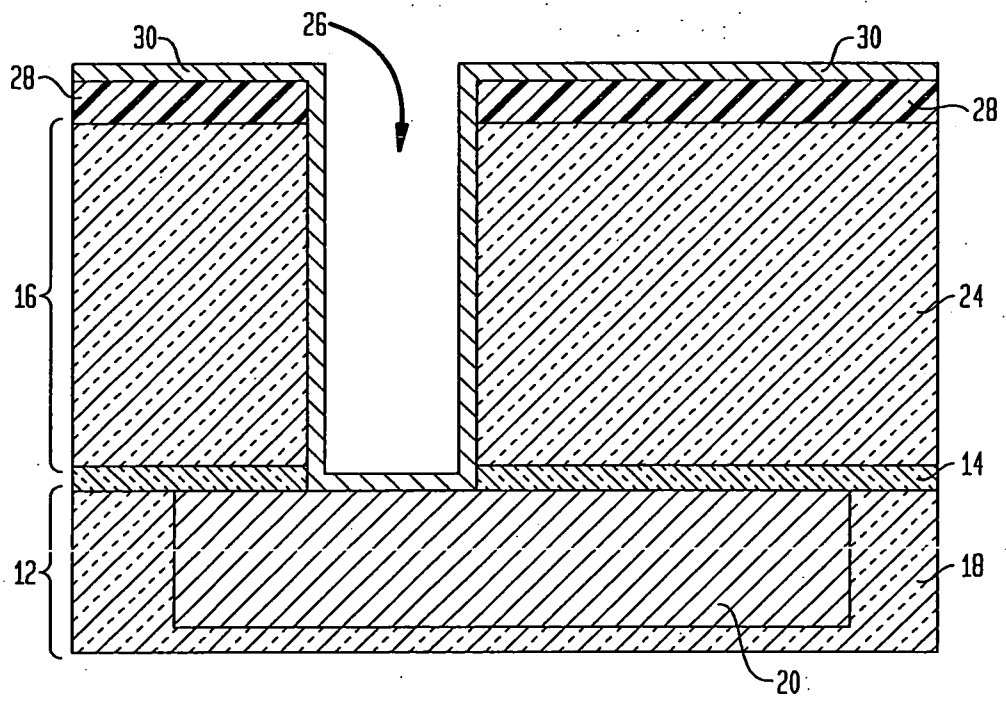
第 2 圖  
(先前技藝)



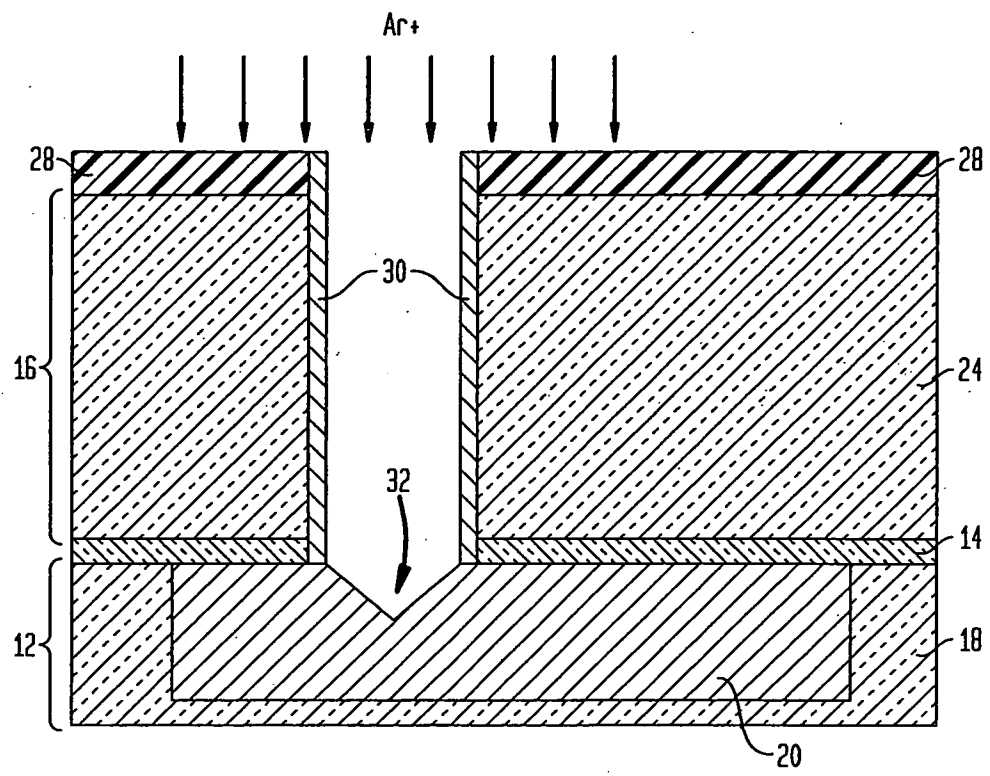
第 3 圖



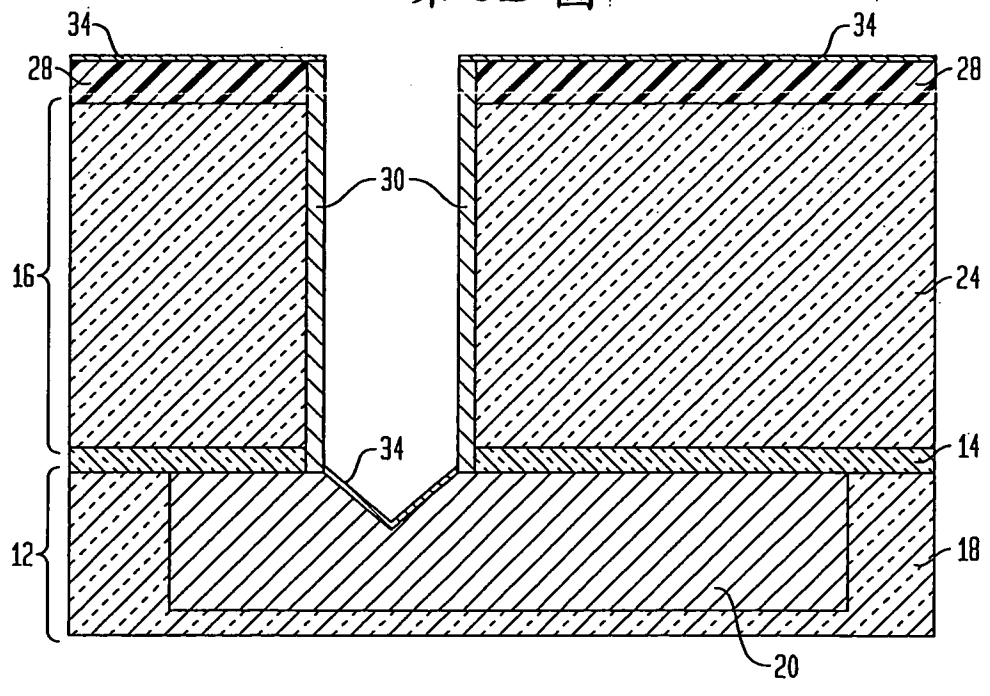
第 4 圖



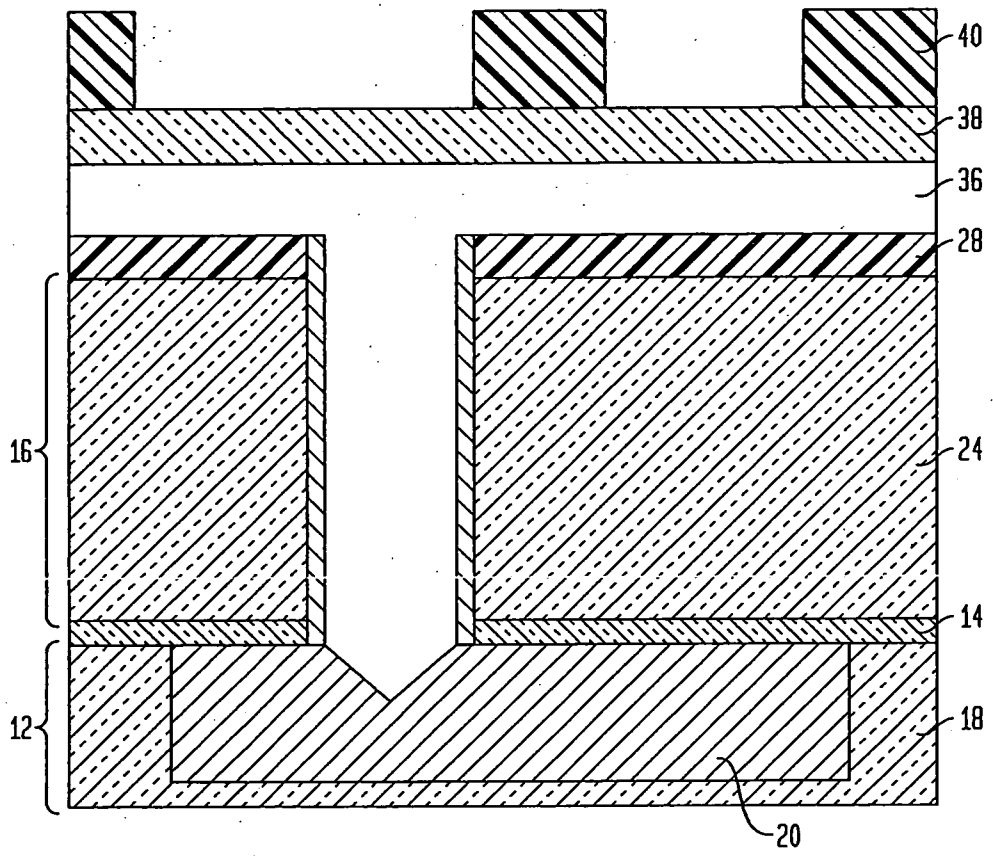
第 5A 圖



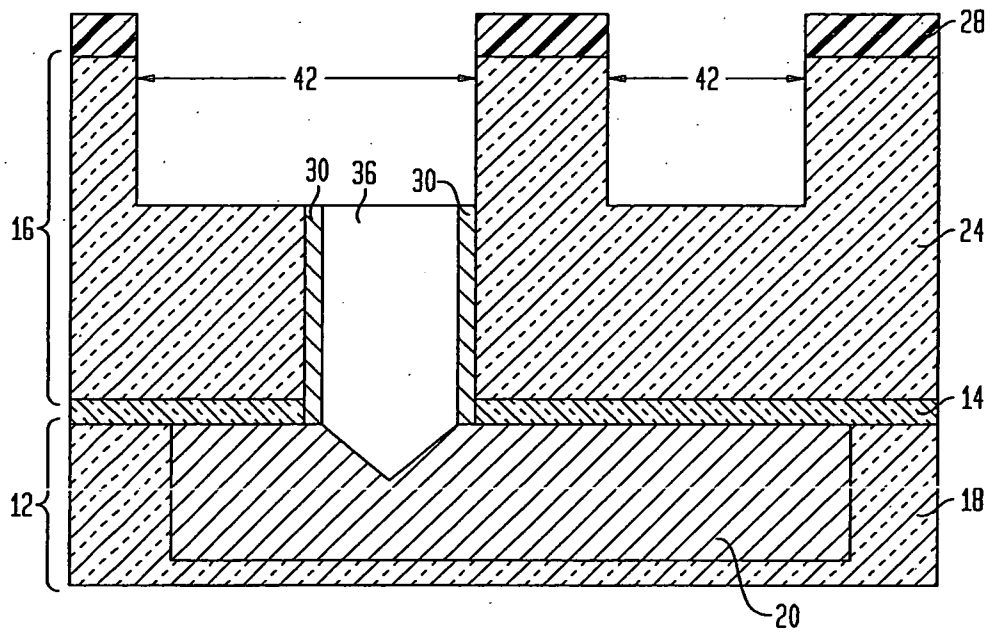
第 5B 圖



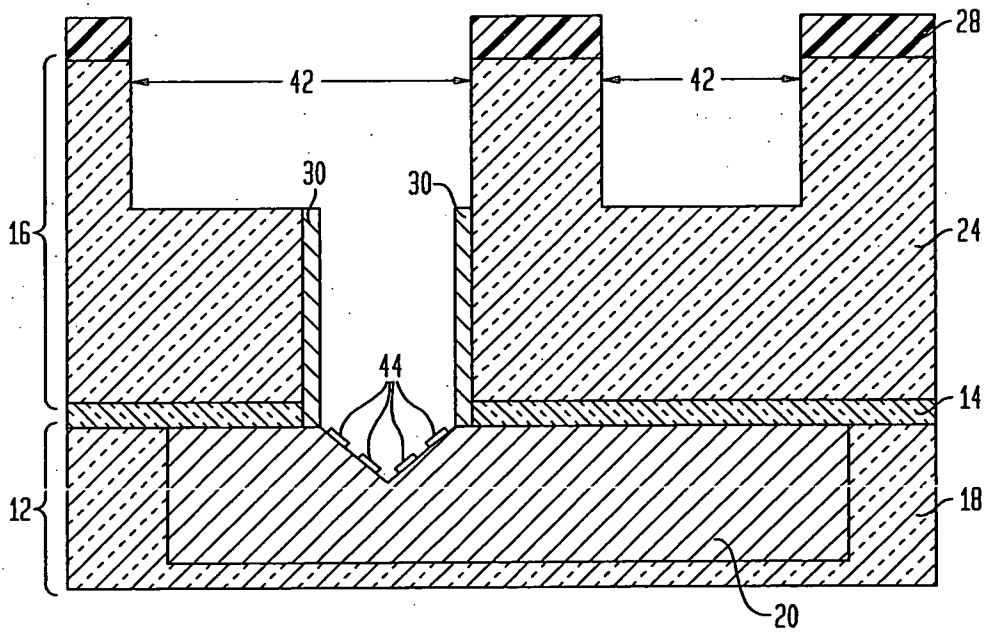
第 6 圖



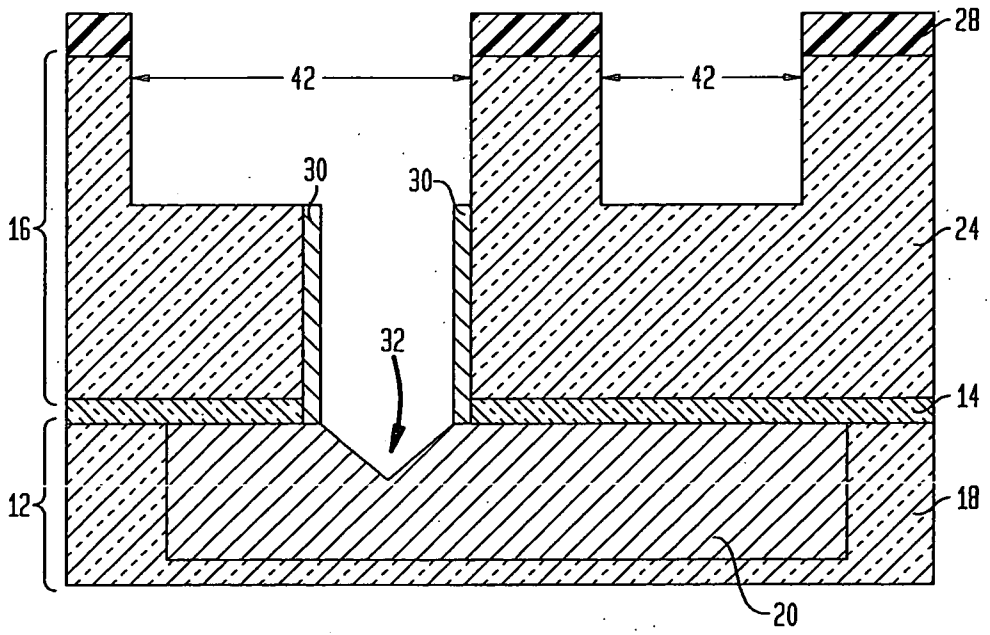
第 7 圖



第 8 圖

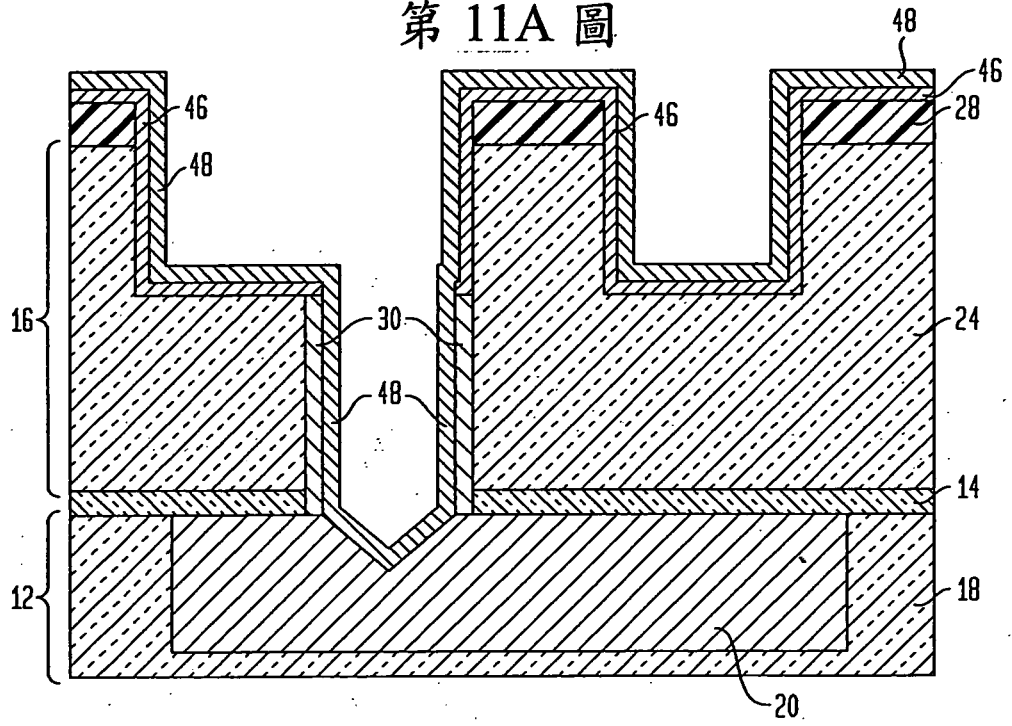


第 9 圖

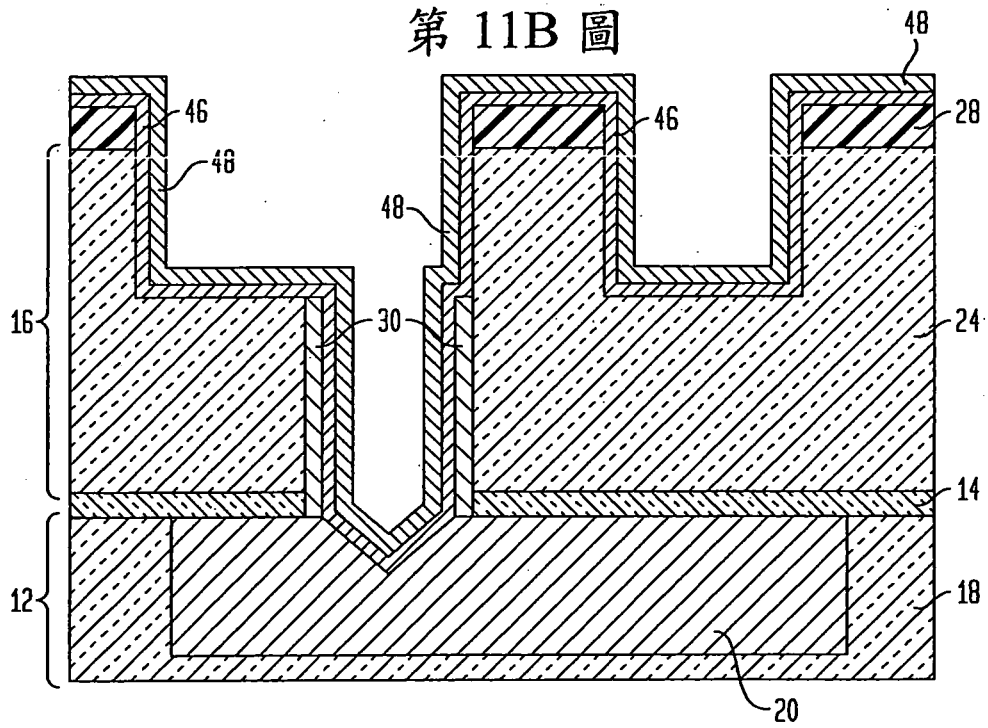




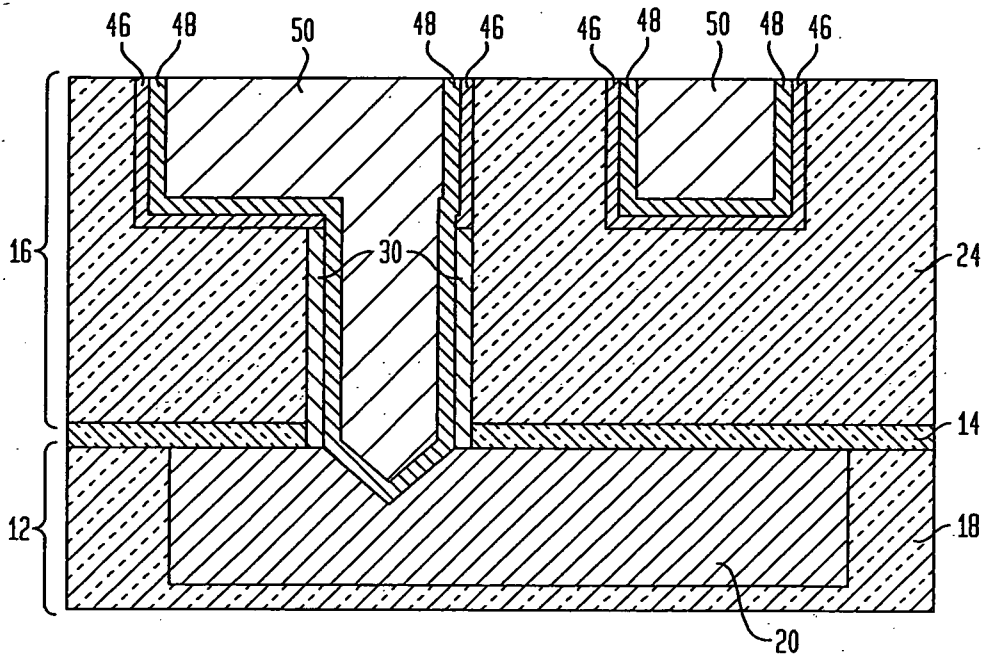
第 11A 圖



第 11B 圖



第 12A 圖



第 12B 圖

