



(12) Ausschließungspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) DD (11) 228 402 A5

4(51) H 03 K 3/352

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21)	AP H 03 K / 267 374 7	(22)	18.09.84	(44)	09.10.85
(31)	2/60208 84201211.4	(32)	19.09.83 22.08.84	(33)	BE EU

(71)	siehe (73)
(72)	Remmerie, Guido P. T. C.; van den Bossche, Luc J. L., BE
(73)	International Standard Electric Corporation, New York, US

(54) Elektronische Kontakte und damit verbundene Bauelemente

(57) Ziel und Aufgabe der Erfindung bestehen darin, eine vorteilhaftere Art eines elektronischen Kontaktes zu schaffen, der auch durch die Polarität der Ladung einer Kapazität gesteuert werden kann, und insbesondere eine Thyristorausführungsart, die mit hohen Durchbruchsspannungen arbeitet. Die Aufgabe wird dadurch gelöst, daß zwei elektronische Reservekontakte vorgesehen sind, die es ermöglichen, eine niedrige und eine hohe Impedanz zwischen den ersten und den dritten Anschlüssen und zwischen den zweiten und den dritten Anschlüssen zu bilden, wobei die Impedanzzustände dieser beiden Reservekontakte entgegengesetzt sind. Fig. 1

Berlin, den 21.2.1985

64 374/13

- 1 -

Elektronische Kontakte und damit verbundene Bauelemente

Anwendungsgebiet der Erfindung

Die Erfindung betrifft elektronische Kontakte, die eine niedrige oder hohe Impedanz zwischen einem ersten und einem zweiten Anschluß gemäß der Steuerung einer Schaltung bilden können, die ein Steuersignal zwischen einem dritten und einem vierten Anschluß liefert.

Charakteristik der bekannten technischen Lösungen

Derartige elektronische Kontakte werden beispielsweise in der BE-PS 896 388 verwendet, das sich teilweise auf eine kapazitiv gesteuerte Ladungsschaltung bezieht und die es ermöglicht, eine Kapazität positiv oder negativ zu laden, die, je nach Vorzeichen dieser Ladung, einen elektronischen Kontakt öffnet oder schließt, der durch zwei DMOS-Transistoren, die entgegengesetzt in Reihe liegen, gebildet wird, und zwar in einer solchen Weise, daß ihre Drainelektroden jeweils die beiden Anschlüsse des elektronischen Kontaktes bilden, während ihre Source-Elektroden jeweils mit dem gleichen Anschluß der Kapazität verbunden sind und ihre Gate-Elektroden beide mit dem anderen Anschluß der Kapazität verbunden sind, die im letzteren Fall durch die parasitäre Kapazität zwischen diesen paarweisen Anschlüssen gebildet wird. Auf diese Weise kann durch die Verwendung von Transistoren relativ hohen Spannungen standgehalten werden, indem ein elektronischer Kontakt gebildet wird, der in eine Schaltung eingesetzt werden kann, in welcher an den Kontaktanschlüssen die eine oder andere Polari-

tät auftreten kann. Wenn die Polarität der Ladung an der Steuerkapazität für den Kontakt tatsächlich derart ist, daß dieser keine niedrige Widerstandsstrecke bietet, d. h., daß die beiden Transistoren gesperrt sind, dann sind die parasitären Dioden, die für diesen Transistorzustand zwischen der Source- und Drainelektrode erscheinen, folglich auch in Seriengegenschaltung verbunden, die eine hohe Impedanz aufrechterhält, welche Polarität durch die Schaltung auch anliegen mag, in die der Kontakt eingesetzt ist.

Die Transistoren in dem oben erwähnten Patent haben inverse Eigenschaften, d. h., sie können den Strom in der einen oder anderen Richtung leiten, sperren jedoch eine Spannungspolarität.

Aus der PCT-Anmeldung WO 82/03733 ist ein elektronisches Bauelement bekannt, bei dem die Mittel zur Leistungsbegrenzung dazu bestimmt sind, eine Strom-Spannungs- oder I/V-Kennlinie zu erzeugen, die, ausgehend vom Nullpunkt, bis zu einem maximalen Strom bei einer vorbestimmten Spannung ansteigt, bei diesem Strom verbleibt, bis eine Maximalspannung erreicht ist, und dann plötzlich bis zu einem Strom abfällt, der nahezu Null ist. An dem letzten Knickpunkt dieser Kennlinie erreicht die Verlustleistung der Einrichtung ein Maximum (maximaler Strom und Spannung), und unter Umständen kann dies unzulässig sein, beispielsweise dann, wenn das Bauelement in einen elektronischen Chip zu integrieren ist.

Ziel der Erfindung

Ziel der Erfindung ist es, die Verwendung derartiger elektronischer Kontakte zu ermöglichen, während gleichzeitig

eine Komplikation der Steuerschaltung vermieden werden soll. Ein weiteres Ziel besteht darin, ein elektronisches Bauelement mit einer verringerten Verlustleistung zu schaffen.

Darlegung des Wesens der Erfindung

Die Aufgabe der vorliegenden Erfindung besteht darin, eine vorteilhaftere Art eines elektronischen Kontaktes zu schaffen, der auch durch die Polarität der Ladung einer Kapazität gesteuert werden kann, und insbesondere eine Thyristorausführungsart, die mit hohen Durchbruchspannungen arbeitet, beispielsweise 300 V, die jedoch den Strom nur in einer Richtung passieren läßt, während Spannungen der einen oder anderen Polarität gesperrt werden können.

In Übereinstimmung mit einem ersten Merkmal der Erfindung ist der oben definierte elektronische Kontakt dadurch gekennzeichnet, daß zwei elektronische Reservekontakte vorgesehen sind und die Schaffung einer niedrigen oder hohen Impedanz zwischen den ersten und den dritten Anschlüssen und zwischen den zweiten und den dritten Anschlüssen, wobei die Impedanzbedingungen dieser beiden Reservekontakte entgegengesetzt sind.

Nach einem weiteren Merkmal ist der elektronische Kontakt dadurch gekennzeichnet, daß er einen ersten vorgespannten Kontakt enthält, der geeignet ist, eine niedrige Impedanz bei einer vorbestimmten Spannungspolarität zwischen den ersten und zweiten Anschlüssen zu schaffen, und zwar parallel mit einem zweiten vorgespannten Kontakt, der zur Bildung einer niedrigen Impedanz für die entgegengesetzte Polarität

geeignet ist.

Die vorgespannten Kontakte sind identisch und antiparallel verbunden. Der elektronische Kontakt ist gekennzeichnet durch einen vorgespannten Kontakt von der Thyristorart, der zwei Steueranschlüsse enthält, die es ermöglichen, den niedrigen oder hohen Impedanzzustand durch das Steuersignal einzuschalten. Die zwei Steueranschlüsse sind jeweils mit dem zweiten Anschluß durch einen MOS-Transistor verbunden, wobei die Gate-Elektroden dieser Transistoren der komplementären Polarität mit dem vierten Anschluß verbunden sind, während die Source-Elektrode des einen Transistors und die Drainelektrode des anderen Transistors mit dem zweiten Anschluß verbunden sind.

Eine solche Anordnung bietet den Vorteil, daß die beiden elektronischen Kontakte des Thyristortyps oben gegenüber unten wie ein Triac verbunden sein können und mit Hilfe der gleichen Steuerschaltung gesteuert werden, und insbesondere, daß nach dem oben erwähnten Patent eine positive oder negative Ladung für eine Kapazität verwendet wird, um den elektronischen Kontakt zu schließen oder zu öffnen. Tatsächlich wird es mittels der elektronischen Reservekontakte in Übereinstimmung mit der Polarität der Spannung, die an die Anschlüsse des elektronischen Kontaktes gelegt ist, der durch die beiden vorgespannten Kontakte, die in Parallelgeschaltung verbunden sind, automatisch möglich sein, eine Verbindung zwischen einem Anschluß der Steuerkapazität und dem Anschluß des elektronischen Hauptkontaktes mit einer gegebenen Polarität zu erreichen. Auf diese Weise soll immer dieselbe Kapazitäts-Ladungsschaltung benutzt werden, d, h. der Spannungs-

verdoppler-Wechselstrom-Gleichstromwandler, der in dem oben erwähnten Patent beschrieben ist, um denjenigen der beiden polarisierten Kontakte zu schließen oder zu öffnen, der in einen Belastungsstromkreis effektiv eingesetzt ist und von der Polarität der Spannung abhängt, die an den Anschlüssen dieser Kontakte auftritt, die in Parallel-Gegenschaltung verbunden sind.

Andererseits besteht der Vorteil der elektronischen Thyristorkontakte darin, daß sie in der gezeigten Weise gesteuert werden können, und bezüglich der DMOS-Transistoren, die in Reihengegenschaltung verbunden sind, wie in dem oben erwähnten belgischen Patent anstelle der vorgeschlagenen top against bottom-Verbindung, besteht der Vorteil darin, daß der Widerstand für den geschlossenen Zustand des Kontaktes deutlich geringer ist, d. h. unter 10 Ohm anstelle von $25 + 25 = 50$ Ohm. Darüber hinaus wird für die Thyristorlösung die erforderliche Fläche in einer integrierten Schaltung auf ein Viertel reduziert.

Die vorliegende Erfindung betrifft auch ein elektronisches Bauelement, das den Teil einer Schaltung bildet und auch eine Stromquelle und eine Last enthält. Das genannte Bauelement umfaßt Mittel zur Begrenzung der Verlustleistung. Dieses Bauelement wird dadurch geschaffen, daß eine Strom-Spannungskennlinie für das Bauelement erzeugt wird, die, ausgehend vom Nullpunkt, die Belastungskennlinie des Bauelements kreuzt und anschließend der genannten Belastungskennlinie zur Spannungsachse folgt, ohne die Belastungskennlinie wieder zu kreuzen, die durch den Kurzschlußstrom durch das Bauelement und dessen Leerlaufspannung bestimmt ist.

Das Minimum der Leistung, die in dem Bauelement als Verlust auftritt, befindet sich in dessen Arbeitspunkt, d. h. in dem Punkt, wo die I/V-Kennlinie die Belastungskennlinie kreuzt. Unerwünschte, anormale Signale haben verschiedene Ursachen, wie beispielsweise ein Blitzschlag in den Fernsprechweg oder eine Hauptstromversorgung, die zufällig mit dem Bauelement verbunden sind, und könnten die Kennlinien der Schaltung beeinflussen. Tatsächlich werden solche Signale zu den normalen Signalen hinzugefügt, die durch die Energiequelle erzeugt werden, so daß die Lage der Belastungskennlinie modifiziert wird. Der Arbeitspunkt bewegt sich dann entlang des Teils der I/V-Kennlinie, der ~~de~~ Belastungskennlinie kreuzt. In dem Fall, daß diese unerwünschten, anormalen Signale sehr groß werden, könnte die Belastungskennlinie in einer solchen Weise verschoben werden, daß der Arbeitspunkt das obere Ende von diesem Teil der I/V-Kennlinie erreicht. Dieser Arbeitspunkt wird dann instabil und bewegt sich zu höheren Spannungen.

Da die I/V-Kennlinie dann der Belastungskennlinie folgt, wird die in dem Bauelement verbrauchte Leistung während dieses Übergangs des Arbeitspunktes auf ein Minimum reduziert. Wenn die unerwünschten anormalen Signale nicht auftreten, kehrt die Belastungskennlinie zu der anfangs erwähnten Position infolge der Tatsache zurück, daß der Teil der I/V-Kennlinie, der der Belastungskennlinie folgt, nicht die letztere kreuzt; der Arbeitspunkt bewegt sich von den höheren Spannungen zu seiner ursprünglichen Position. Diese würde nicht dieselbe sein, wenn dort eine Kreuzung zwischen dem Teil der I/V-Kennlinie und der Belastungskennlinie erfolgt ist. Eine solche

Kreuzung würde tatsächlich einen Arbeitspunkt hervorbringen, der von dem oben erwähnten entfernt ist, und das normale Arbeiten des elektronischen Bauelementes beeinflussen.

Ein anderes Ziel der vorliegenden Erfindung besteht darin, bei relativ kleinen Spannungen solche Ströme zuzulassen, die wesentlich größer als der Kurzschlußstrom sind und durch das elektronische Bauelement fließen, während die oben erwähnten Vorteile für höhere Spannungen beibehalten werden.

Dieses Ziel wird durch die Tatsache erreicht, daß der Teil der genannten Strom-Spannungskennlinie, der die genannte Belastungskennlinie kreuzt, einen ersten, für solche Spannungen sich erstreckenden Bereich aufweist, die wesentlich kleiner sind als die genannte Leerlaufspannung, bezogen auf einen Strom, der wesentlich größer ist als der genannte Kurzschlußstrom, und einen zweiten Bereich aufweist, der den ersten Bereich mit dem Teil der Kennlinie verbindet, der der Belastungskennlinie folgt.

Der Arbeitspunkt des Bauelementes kann sich daher längs des ersten Bereiches der I/V-Kennlinie so bewegen, daß der Strom in diesem Bauelement den genannten, relativ großen Wert bei kleinen Spannungen erreichen kann, ohne daß die leistungsbegrenzende Vorrichtung aktiviert wird. Bei höheren Spannungswerten arbeitet das Bauelement wie oben beschrieben.

Ein anderes Ziel der vorliegenden Erfindung besteht auch darin, solche elektronischen Kontakte in Fernmeldesystemen und insbesondere in Fernsprechteilnehmerschaltungen zu ver-

wenden, die die Ausführung verschiedener Überwachungs- und Steuerungsoperationen ermöglichen, einschließlich der Bereitstellung eines Rufstromes. Das sind Funktionen, die früher im allgemeinen mit Hilfe von Relaiskontakten erfüllt wurden, sogar in Hauptämtern, in denen die übrige Anlage elektronisch aufgebaut ist.

Daher betrifft die Erfindung auch eine Fernmeldesystem-Teilnehmerschaltung, die aus einer Reihenimpedanz in jeder der beiden Leitungsadern und Kontakten auf jeder Seite dieser beiden Impedanzen besteht, um ein selektives Verbinden ihrer beiden Anschlüsse zum Amt oder der Leitung oder alternativ zu den Reserveschaltungen zu ermöglichen.

Ein solches System wurde beispielsweise in dem Artikel gefunden, der auf den Seiten 316 bis 324 des IEEE Journal of Solid State Circuits, Juni 1983, veröffentlicht ist, und insbesondere auf Seite 317. Es ist dort ersichtlich, daß diese beiden Reihenwiderstände zur Speisung einer Fernsprechteilnehmerleitung dienen und auch zum Messen der an diesen Widerständen anliegenden Spannung, und zwar für die Überwachungs- und Steuerungsoperationen. Auf der Amtsseite dieser Widerstände kann mittels der entsprechenden Kontakte ein Rufstrom eingespeist werden, und durch Messen der Spannungen an den Widerständen läßt sich folglich die Rufoperation überwachen.

Andererseits ermöglichen auf der Seite dieser Widerstände die Kontakte auf der Teilnehmerleitungsseite den Zugang zu den Bussen, um Prüfungen durchzuführen, entweder intern (zum

Amt und durch die Reihenwiderstände) oder extern zu der Teilnehmerleitung. Bis jetzt wurden diese Kontakte im allgemeinen mit Hilfe von Umschaltkontakten von drei Relais realisiert, aus denen automatisch hervorgeht, daß, wenn der Arbeitsteil des Kontaktes geschlossen wird, der zu einer der Steuerschaltungen parallel geschaltet ist, dann der Ruheteil, der mit einem der Widerstände in Reihe geschaltet ist, automatisch geöffnet wird und umgekehrt.

Gemäß einem anderen Merkmal der Erfindung werden diese Kontakte durch vier Paare elektronischer Kontakte gebildet, wobei das erste die Leitung mit den Impedanzen, das zweite mit dem Amt, das dritte die Impedanzen auf der Leitungsseite mit einer vierten Reserveschaltung und das vierte Paar diese auf der Amtsseite mit einer zweiten Reserveschaltung verbindet.

Gemäß einem noch anderen Merkmal der Erfindung wird nur das erste Paar der elektronischen Kontakte mit einer leistungsbegrenzenden Vorrichtung, wie sie beispielsweise oben beschrieben ist, ausgerüstet.

Gemäß einem zusätzlichen Merkmal der Erfindung werden die acht elektronischen Kontakte, die immer paarweise arbeiten, zusätzlich in einer solchen Weise gesteuert, daß nur acht Kombinationen unter den sechzehn möglichen für die vier Paare zugelassen sind.

Gemäß einem anderen zusätzlichen Merkmal der Erfindung enthält die Steuervorrichtung der vier elektronischen Kontaktpaare einen Decoder, dem in geeigneter Weise drei binäre

Signale parallel zugeführt werden, und welcher vier binäre Ausgangssignale liefert, um die vier elektronischen Kontaktpaare zu steuern. Zusätzlich ist eine binäre Auswahl-schaltung vorgesehen, um die Decoderausgänge freizugeben oder zu sperren, und in diesem letzten Fall sind die Verbindungen zu den vier binären Eingangssignalen zugelassen, um die vier elektronischen Kontaktpaare zu steuern. Auf diese Weise wird nicht nur die Realisierung insbesondere in Form einer einzigen integrierten Schaltung von acht in Reihe liegenden elektronischen Kontakten möglich, die relativ hohen Spannungen widerstehen und paarweise arbeiten, sondern auch die Steuerung des Betriebes dieser elektronischen Kontakte entweder mit Hilfe eines Codes, der nur drei binäre Elemente enthält, oder direkt durch ein Signal entsprechend dieser elektronischen Kontaktpaare. Diese Vielseitigkeit kann noch durch den Einbau in eine solche elektronische Taktschaltung erhöht werden, die das Arbeiten der Steuerschaltungen der elektronischen Kontakte in der Art und Weise ermöglicht, wie es in dem oben erwähnten Patent beschrieben ist; folglich wird somit vermieden, daß man sich auf eine separate Taktschaltung stützt.

Ausführungsbeispiel

Die Erfindung wird nachfolgend anhand der beigefügten Zeichnungen näher erläutert. Darin zeigen:

Fig. 1: die Schaltung eines elektronischen Kontaktes nach der Erfindung;

Fig. 2: die elektronische Kontaktsteuerschaltung des oben erwähnten Patents, die nach der Erfindung modifiziert ist;

Fig. 3: den Teil einer Fernsprechleitungsschaltung, in den acht elektronische Kontakte nach der Erfindung eingebaut sind;

Fig. 4: die Gesamtheit der Schaltungen, die eine Steuerung der acht elektronischen Kontakte ermöglichen, allein dargestellt in Form eines Einzelblocks in Fig. 3;

Fig. 5: eine Eingangsschutzschaltung, die als Block in Fig. 4 dargestellt ist;

Fig. 6: ein elektronisches Tor, das als Block in Fig. 4 dargestellt ist;

Fig. 7: ein elektronisches Zweifachtor, das durch Taktimpulse gesteuert wird und als Block in Fig. 4 dargestellt ist;

Fig. 8: die Schaltung, die die Taktimpulse erzeugt und als Block in Fig. 4 dargestellt ist;

Fig. 9: eine erste Logikschaltung, die zur Realisierung des Decoders verwendet wird und als Block in Fig. 4 dargestellt ist; und

Fig. 10: eine zweite Logikschaltung, die in diesem Decoder verwendet wird;

Fig. 11: eine andere Ausführungsform der Schaltung eines elektronischen Kontaktes der Fig. 1, die Leistungsschutzschaltungen nach der Erfindung enthält;

Fig. 12: und 13: Strom-Spannungskennlinien der Leistungsschutzschaltungen der Fig. 11; die Kennlinien sind nicht maßstabsgerecht gezeichnet;

Fig. 14: Strom-Spannungskennlinien des in Fig. 11 dargestellten elektronischen Kontaktes; die Kennlinien sind nicht maßstabsgerecht gezeichnet;

Fig. 15: eine Fehleranzeigeschaltung FC, die mit den in Fig. 11 und auch in Fig. 3 dargestellten Leistungsschutzschaltungen verbunden ist.

Der elektronische Kontakt widersteht relativ hohen Spannungen und kann, dargestellt in Fig. 1, ein Teil einer Anordnung von acht identischen elektronischen Kontakten (Fig. 3) sein, die als vier Kontaktpaare angeordnet sind; die beiden Kontakte eines Paares sind immer gleichzeitig offen oder geschlossen. Diese Kombination läßt sich in einer Fernsprechleitungsschaltung verwenden und ist in der BE-PS 896 468 teilweise beschrieben. Abgesehen von den acht elektronischen Kontakten, die denjenigen der Fig. 1 entsprechen, und den acht Schaltungen für solche Kontakte, die in Fig. 2 erscheinen, welche im wesentlichen der kapazitiv gesteuerten Ladungsschaltung der BE-PS 896 388 entsprechen, stellt Fig. 4 eine Decoderschaltung dar, die sich entweder durch drei oder vier binäre Signale aktivieren läßt. Im ersten Fall werden die acht möglichen Kombinationen der drei binären Signale auf vier Ausgangsanschlüsse decodiert bzw. zur Steuerung der vier Paare der elektronischen Kontakte verwendet. Im zweiten Fall wird durch das Steuersignal dieses Mal ermöglicht, daß die

vier binären Eingangssignale an die vier elektronischen Tore gelegt werden, während das gleiche Signal die Decoderoperation verbietet. Außerdem enthält die Schaltung der Fig. 4 am Decoderausgang einen Wandler, der dazu bestimmt ist, geeignete Signale für die kapazitive Ladungsschaltung der Fig. 2 zu erzeugen, und zwar mit Hilfe eines Oszillators, der komplementäre Taktimpulse erzeugt.

Die fünf oben genannten Teile, d. h. die elektronischen Kontakte, die Steuerschaltung, der Decoder, der Wandler und der Taktoszillator können in derselben integrierten Schaltung vereinigt sein, indem eine DCMOS-Niederspannungslogik und TRIMOS-Hochspannungskontakte kombiniert werden. Bei der verwendeten Herstellungstechnologie kann insbesondere das in der BE-PS 897 139 beschriebene Verfahren angewendet werden. Das Ganze stellt dann vier Paare elektronischer Kontakte zur Verfügung, die Spannungen von 300 V in beiden Richtungen sperren und einen dynamischen Widerstand von 10 Ohm aufweisen, wenn sie leitend sind, wobei die beiden Anschlüsse jedes elektronischen Kontaktes bezüglich der Steuerschaltung frei beweglich sind. Die vier Kontaktpaare können in Übereinstimmung mit den sechzehn möglichen Kombinationen mit Hilfe von vier Binärsignalen oder in Übereinstimmung mit acht vorbestimmten Zuständen mit Hilfe von drei Binärsignalen betrieben werden.

Aus Fig. 1 geht hervor, daß der elektronische Kontakt zwei identische Teile S und S' enthält, und zwar in der Weise, daß nur der erste Teil im Detail dargestellt ist. In Abhängigkeit des Steuersignals kann die Schaltung S entweder eine niedrige

oder eine hohe Impedanz zwischen ihren beiden Ausgangsanschlüssen S_1 und S_2 aufweisen, mit denen in dieser Reihenfolge die entsprechenden Anschlüsse S'_2 und S'_1 des Teils S' verbunden sind. Die beiden Schaltungen sind daher antiparallel verbunden. Damit können sie unter drei verschiedenen Bedingungen betrieben werden: sowohl S als auch S' stellen eine hohe Impedanz an ihren Anschlüssen bereit, S stellt eine hohe Impedanz für die eine Spannungspolarität an den Kontaktanschlüssen bereit, während S' diese niedrige Impedanz auch zur Verfügung stellen kann, aber für die andere Polarität.

Die Schaltung S ist vom TRIMOS-Typ, der im wesentlichen mit einem Transistor T_2 vom NPN-Typ verbunden ist, um auf diese Weise einen Thyristor zwischen den Anschlüssen S_1 und S_2 zu bilden. Die Herstellung eines solchen Bauelementes hat im allgemeinen das Auftreten eines parasitären Transistors T_3 vom PNP-Typ zur Folge, der mit den ersten beiden parallel verbunden ist. Diese Thyristorkombination wird durch den Transistor N vom DMOS-Typ gesteuert, der mit dem Transistor P vom PMOS-Typ verbunden ist, und deren Gateelektroden, die an demselben Anschluß S_4 miteinander verbunden sind, stellen eine Kapazität C zum Anschluß S_2 des Kontaktes bereit, mit dem die Drainelektrode des Transistors P und die Sourceelektrode des Transistors N verbunden sind.

Auf diese Weise wird der Transistor N leitend, vorausgesetzt, daß die Kapazität C an ihrem Anschluß positiv geladen ist, der mit den beiden Gateelektroden der Transistoren P und N bezüglich des Anschlusses S_2 verbunden ist, und daß anderer-

seits die Spannung am Anschluß S_1 positiver als diejenige am Anschluß S_2 ist. Somit kann ein Strom vom Anschluß S_1 zum Anschluß S_2 durch den Transistor T_1 infolge des Kurzschlusses des Transistors N durch dessen Drain-Source-Strecke, die Basis des Transistors T_1 , mit welcher die Drainelektrode verbunden ist, und den Emitter des Transistors T_1 , der mit dem Anschluß S_1 verbunden ist, fließen. Die Wirkung dieser Leitfähigkeit des Transistors T_1 besteht darin, in die Basis des Transistors T_2 Strom zu pumpen, die mit dem Kollektor des Transistors T_1 in der Weise direkt verbunden ist, daß der Transistor T_2 , der vom NPN-Typ ist, beginnt, Strom in die Basis des Transistors T_1 zu pumpen, die mit dem Kollektor des Transistors T_2 direkt verbunden ist, dessen Emitter wiederum mit dem Anschluß S_2 direkt verbunden ist. Auf diese Weise bringen die beiden Transistoren T_1 und T_2 , die in einer Sättigungsbetriebsart angeordnet sind, durch die kumulative Wirkung zwischen den Anschlüssen S_1 und S_2 eine niedrige Impedanz hervor. Der Transistor T_3 , der ebenfalls wie der Transistor T_1 vom PNP-Typ ist, ist so mit dem Transistor T_1 verschaltet, daß jeweils die Basis- und Emitteranschlüsse miteinander verbunden sind, während der Kollektor des Transistors T_3 auf dem Potential des Anschlusses S_2 liegt. Der Transistor T_3 wird auch leitend, aber, wie angedeutet, betrifft das ein parasitäres Element ohne Einfluß auf die Hauptwirkungsweise der Schaltung.

Der vorgespannte Kontakt S, der einen niedrigen Widerstand zwischen den Anschlüssen S_1 und S_2 hervorbringt, kann in dessen hohen Impedanzzustand mittels einer negativen Ladung an der Kapazität C zurückgebracht werden. Dieses negative Po-

tential an den Gateelektroden der Transistoren P und N hat hinsichtlich des Anschlusses S_2 die Leitung des Transistors P zur Folge, der vom PMOS-Typ ist. Während bei dem Transistor N vom NMOS-Typ die Drainelektrode mit der Basis des Transistors T_1 verbunden ist, ist die Sourceelektrode des Transistors P mit dem Kollektor des Transistors T_1 in einer solchen Weise verbunden, daß der Transistor P aus dem Kollektor des Transistors T_1 Strom zieht, so daß der Basisstrom des Transistors T_2 unzureichend ist, um die Leitfähigkeit dieses NPN-Transistors aufrechtzuerhalten, was als kumulative Wirkung zur Folge hat, daß dieser sperrt und die Transistoren T_1 und T_3 und Thyristor $T_{1/2}$ nichtleitend werden. Aus Fig. 1 wird noch vermerkt, daß die P- und N-Substrate mit dem N-Drain bzw. P-Source verbunden sind.

Der andere Kontakt S' , der in Fig. 1 einzig und allein in Form eines Blockes dargestellt ist, arbeitet exakt in der beschriebenen Weise, aber dieses Mal gemäß der Steuerung einer positiven oder negativen Ladung an der Kapazität C' und insbesondere an dessen Anschluß S_4 mit Bezug auf dessen Anschluß S'_2 . Aber diese Operationen eines halben Kontaktes S' werden jetzt hervorgerufen, wenn die Polarität der Schaltung, bei der die Schalter antiparallel eingebaut sind, am Anschluß S'_1 positiv bezüglich des Anschlusses S'_2 ist. Es soll vermerkt sein, daß die Realisierung der Kontakte S/S' in einer einzelnen integrierten Schaltung eine Verbindung zwischen den gemeinsamen Basisanschlüssen der Transistoren T_1 und T_3 für die beiden Kontakte S und S' erforderlich macht.

Wie bereits in der BE-PS 896 388 angegeben ist, können die

Kapazitäten, wie beispielsweise C und C', durch parasitäre Kapazitäten gebildet sein. Besonders erscheinen jene an den Gates der Transistoren P und N im Fall der Kapazität C. Beide Kapazitäten C und C' können mit einer gewünschten Polarität über die in Fig. 2 dargestellte Steuerschaltung aufgehalten werden, und ganz besonders nach einer Ausführung, die in dem zuletzt erwähnten belgischen Patent bereits beschrieben ist.

Tatsächlich sind die Sourceelektroden der in Fig. 1 dargestellten Transistoren NA und NB, die beide vom NMOS-Typ sind, direkt mit dem Anschluß S_3 verbunden, während die Drainelektroden der Transistoren NA und NB in dieser Reihenfolge mit den Anschlüssen S_1 und S_2 verbunden sind. Andererseits ist die Gateelektrode des Transistors NA mit dem Anschluß S_2 verbunden, während diejenige des Transistors NB mit dem Anschluß S_1 verbunden ist. Eine solche Schaltungsanordnung hat zur Folge, daß, wenn das Potential des Anschlusses S_1 beispielsweise höher als das des Anschlusses S_2 ist, das Potential des Anschlusses S_3 nicht außerhalb dieses Bereiches sein kann, und die Transistoren NB und NA sind leitend bzw. gesperrt; das bedeutet tatsächlich, daß der Anschluß S_3 praktisch (0,7 Volt) mit dem Anschluß S_2 verbunden ist, und durch Bezugnahme auf Fig. 2 ist ersichtlich, daß es tatsächlich die Kapazität C ist, die effektiv zwischen den Anschlüssen S_4 und S_3 der in Fig. 2 dargestellten Ladungseinrichtung angeschlossen ist. Die parasitären Dioden zwischen Source und Drain der Transistoren NA und NB, d. h. die Dioden DA und DB, die beispielsweise in Fig. 1 dargestellt sind, sind in einer solchen Weise vorgespannt, daß sie durch den Steueranschluß S_3 eine analoge Rolle spielen, um sich selbst auf das Potential am Anschluß

S_2 einzustellen, wenn letzteres weniger positiv ist als dasjenige am Anschluß S_1 .

Im Hinblick auf die Symmetrie der Schaltung, die durch die Transistoren NA und NB gebildet wird, sind, wenn das Potential des Anschlusses S_2 höher als das des Anschlusses S_1 ist, die Zustände natürlich umgekehrt, und der Leitfähigkeit des Transistors NA und der Diode DA folgend, ist der Anschluß S_3 nun praktisch mit dem Anschluß S'_2 in einer solchen Weise verbunden, daß es unter diesen Umständen die Kapazität C' ist, die effektiv mit den Ausgangsanschlüssen S_4 und S_3 der Steuerschaltung aus Fig. 2 verbunden ist.

Auf diese Art und Weise kann eine einzelne Steuerschaltung den halben elektronischen Kontakt S oder S' schließen oder öffnen, und zwar in Abhängigkeit von der Polarität der angelegten Spannung zwischen den Anschlüssen S_1/S'_2 einerseits und den Anschlüssen S_2/S'_1 andererseits.

Wie bereits angedeutet, ist die Schaltung der Fig. 2 im wesentlichen in der BE-PS 896 388 und besonders bezüglich der Fig. 6 dieses Patents beschrieben, die der Fig. 2 sehr ähnlich ist. Die letztere bildet einen Wechselstrom-Gleichstromwandler in der Form einer Vollwellen-Spannungsverdopplungsschaltung und arbeitet im Gegentakt durch Taktimpulse von komplementärer Polarität. Die Polaritätssteuerung der Schaltung in Fig. 2 wird durch das Signal $\overline{DC}$ bewirkt, das an die Reihenskapazität C_3 angelegt ist, während die komplementären Taktsignale $\overline{CL}$ und CL ständig an den beiden anderen Reiheneingangskapazitäten C_1 bzw. C_2 anliegen. In derselben Weise, wie

für den Ausgang die Kapazität C/C' (Fig. 1) zwischen den Anschlüssen S_4 und S_2/S'_2 vorliegt, sind die drei Eingangskapazitäten nicht notwendig, die durch diskrete physikalische Elemente gebildet werden. Die erste spannungsverdoppelnde Gleichrichterschaltung wird im wesentlichen durch eine Reihenskapazität C_1 gebildet, gefolgt von einer in Reihe geschalteten Diode D_1 , einem Transistor P_1 vom PMOS-Typ, um eine Parallelkapazität C/C' zwischen den Anschlüssen S_4 und S_3 zu erreichen. Die parallelgeschaltete Diode dieses Spannungsverdopplers, die Diode D_2 , wird, wie angegeben, zwischen die Verbindung der Kapazität C_1 und der Diode D_1 einerseits und zwischen die Verbindung der Kapazität C_3 und der Gateelektrode des Transistors P_1 andererseits angeschlossen. Wenn das Steuerpotential $\overline{DC}$, das an der Reihenskapazität C_3 anliegt, den Taktimpulsen CL entspricht, die an der Reihenskapazität C_2 anliegen, ist es die beschriebene Ladungsschaltung, die die Gewähr einer wirksamen Ladung der Kapazität C/C' in einer solchen Art und Weise bietet, daß das Potential am Anschluß S_4 positiver als dasjenige am Anschluß S_3 ist.

Im umgekehrten Fall, wenn das Steuersignal $\overline{DC}$, das an der Reihenskapazität C_3 anliegt, den Taktimpulsen $\overline{CL}$ entspricht, die ständig an der Reihenskapazität C_1 anliegen, wird nunmehr die Ausgangskapazität C/C' an dem Anschluß S_4 negativer geladen als an dem Anschluß S_3 , wobei die Elemente dieses Spannungsverdopplers nun tatsächlich eine negative Ladung erhalten. Die Parallelausgangskapazität besteht aus den Elementen C_2 , D_3 , N_1 und D_4 entsprechend den Elementen C_1 , D_1 , P_1 bzw. D_2 , wie in Fig. 2 dargestellt; der Transistor N_1 ist vom NMOS-Typ.

Wie in dem belgischen Patent 896 388 wird die Ladungsschaltung unter Ausnutzung der Leitfähigkeit des Transistors P_1 durch den Transistor N_2 vom NMOS-Typ vervollständigt, dessen Drainelektrode mit dem Anschluß S_3 und dessen Sourceelektrode mit der Kapazität C_2 mittels der in Reihe geschalteten Diode D_5 verbunden ist, und die Gateelektrode ist mit dem Anschluß S_4 verbunden. Diese Verbindung erlaubt es folglich, die Rücklaufschaltung für die positive Ladung durch Freischalten einer Strecke zwischen dem "Erd"-Ausgangsanschluß S_3 und dem Eingangs-"Erd"-Anschluß zu vervollständigen, der durch die rechte Elektrode der Reihenskapazität C_2 gebildet wird. In gleicher Weise wird bei einer negativen Ladung der Ausgangskapazität zwischen den Anschlüssen S_4 und S_3 der Rückweg dieses Mal mittels des Transistors P_2 vom PMOS-Typ in Reihenschaltung mit der Diode D_6 bewirkt; diese beiden Elemente entsprechen dem Transistor N_2 bzw. der Diode D_5 , wie dies durch die Schaltung angedeutet ist, die praktisch mit derjenigen aus Fig. 6 der BE-PS 896 388 identisch ist, mit Ausnahme der Dioden D_1 und D_3 , die sich hierin an der Sourceseite der Transistoren P_1 bzw. N_1 befinden, anstelle auf der Drainseite, wie in dem bekannten Patent. Eine andere Ausführung dieser Schaltung ist in Fig. 4 des bekannten Patents dargestellt, in welcher sich die Dioden D_1 und D_3 bereits an den Sourceseiten der Transistoren P_1 und N_1 befinden, aber in dieser Schaltung sind die Gateelektroden der Transistoren P_2 und N_2 in einer anderen Schaltung miteinander verbunden; sie sind mit den Drainelektroden der Transistoren P_1 und N_1 (S_4) nicht in einer solchen Weise verbunden, daß sich die Dioden D_5 und D_6 in diesem Fall an der Drainseite der Transistoren N_2 und P_2 befinden. Andererseits

sind die vier Dioden D_1 , D_3 , D_5 und D_6 in der Version der Fig. 2 gänzlich an der Sourceseite der Transistoren angeordnet, an der sie in einer solchen Weise verbunden sind, daß sie mit den Dioden D_2 , D_4 und D_{10} gänzlich auf der Seite der drei Eingangskapazitäten $C_{1/2/3}$ angeordnet sind. Diese letztere Diode D_{10} verbindet direkt die Kapazitäten C_1 und C_3 in derselben Weise wie in dem bekannten Patent, und die Zenerdioden D_7 , D_8 bzw. D_9 befinden sich parallel zu den Ausgangsanschlüssen $S_{4/3}$, und die Source/Drainstrecke der Transistoren N_2 und P_2 sind auch in derselben Art und Weise verbunden wie vorher.

Die integrierte Schaltung IC, die, wie in Fig. 1 dargestellt, sowohl acht elektronische Kontakte aufnehmen kann, als auch, wie in Fig. 2 dargestellt, acht Steuerschaltungen, erscheint in Fig. 3 in Form eines Bausteins, welcher im wesentlichen einem Teil der Fig. 1 der BE-PS 896 468 entspricht, das sich auf eine Teilnehmerschaltung für ein elektronisches Fernsprechsyste~~m~~ bezieht. Wie in Fig. 3 dargestellt, kann eine Teilnehmerleitung (nicht gezeigt) auf ~~de~~ Anschlüsse LT_1 und LT_2 begrenzt sein, vorzugsweise durch eine Überspannungsschutzschaltung von der Art, wie z. B. diejenige, die das Ziel der BE-PS 896 468 ist. Mittels des ersten elektronischen Kontaktes S_{11} , der ein Teil der integrierten Schaltung IC ist, kann der Anschluß LT_1 mit dem Reihenwiderstand R_1 und anschließend mittels eines zweiten, in Reihe geschalteten elektronischen Kontaktes, d. h. S_{21} , mit der SLIC-Schaltung verbunden werden, die andere Elemente der elektronischen Teilnehmerschaltung enthält. Die Schaltung zwischen dem zweiten Eingangsanschluß LT_2 und der SLIC-Schaltung ist genau die

gleiche, d. h., die Elemente S_{12} , R_2 , S_{22} entsprechen den Elementen S_{11} , R_1 , S_{21} . Außerdem Reihenkontakten, die eine Verbindung der Widerstände zwischen den Anschlüssen $LT_{1/2}$ und der SLIC-Schaltung ermöglichen, können diese Widerstände auch über vier Parallelkontakte zu der Kontrollschaltung TC (Kontakt S_{31} für Widerstand R_1 und Kontakt S_{32} für Widerstand R_2) auf der Teilnehmerseite ($LT_{1/2}$) einerseits und zu der Rufschaltung RC (S_{41} für R_1 und S_{42} für R_2) auf der Amtseite (SLIC) andererseits verbunden werden. Die Verbindungen (nicht dargestellt) verlaufen von den Anschlüssen der Zuführungswiderstände $R_{1/2}$ zu der Schaltung SLIC, die die Potentiale an diesen Widerständen überwacht.

Die Arbeitsweise der acht Kontakte wird von der Schaltung SLIC durch vier Leiter, die an den Anschlüssen $IC_{1/2/3/4}$ liegen, gesteuert, wobei die Kontakte eines Paares, beispielsweise $S_{11/12}$ von denselben Signalen gesteuert werden, so daß die beiden Drähte der Verbindung gleichzeitig geschaltet werden. Der vierte Leiter, der bei IC_4 ankommt, ist jedoch in unterbrochenen Linien dargestellt, da diese Steuerung gemäß einer Steuerungsart bewirkt werden kann, bei der nur drei binäre Signale verwendet werden, wobei eine Art Auswahlsignal an den Anschluß IC_5 gelegt wird, das festlegt, wenn drei oder vier binäre Signale verwendet werden, um die vier Kontaktpaare $S_{11/12}$, $S_{21/22}$, $S_{31/32}$ und $S_{41/42}$ zu steuern.

Diese Vielseitigkeit der IC-Schaltung beruht auf der Tatsache, daß es die Stellung dieser vier Kontaktpaare direkt auf jeder Seite der Widerstände R_1 und R_2 ermöglicht, eine entsprechende Steuerung mit einer Anzahl von Verbindungszuständen zu

sichern, die nicht über acht hinausgeht. Wenn die vier Kontaktpaare der Schaltung IC für eine beliebige Anwendung, Teilnehmerschaltung oder anderes benutzt werden, sind für die Kombination dieser vier Paare in ihren offenen oder geschlossenen Zuständen folglich zwischen 9 und 16 mögliche Zustände erforderlich, wobei jedes der vier binären Signale an den Anschlüssen $IC_{1/2/3/4}$ den Zustand eines Kontaktpaares direkt steuern kann. Andererseits kann man sich insbesondere im Fall der Fernmeldeteilnehmerschaltung mit einem Maximum von acht Zuständen begnügen, und das Auswahlsignal am Anschluß IC_5 wird diesmal anzeigen, daß nur die drei Binärsignale an den Anschlüssen $IC_{1/2/3}$ in Betracht gezogen werden müssen, und die acht möglichen Kombinationen dieser Signale werden mit Hilfe eines Decoders DEC in vier binäre Signale umgewandelt, wobei jedes davon ein Kontaktpaar steuern kann.

Dies wird in Form eines Blockschaltbildes in Fig. 4 sichtbar, welches die in die Schaltung IC der Fig. 3 eingesetzten Elemente darstellt, ausgenommen die elektronischen Kontakte und ihre kapazitiven Ladungssteuerschaltungen, die bezüglich der Fig. 1 bzw. 2 bereits beschrieben wurden.

In Fig. 4 ist jeder der Eingänge $IC_{1/2/3/4/5}$ mit dem Eingang eines entsprechenden Inverters $IV_{1/2/3/4/5}$ durch eine identische Schutzschaltung $PC_{1/2/3/4}$ gekoppelt, außer in dem Fall des Einganges IC_5 , bei dem die Verbindung direkt erfolgt. Die Schutzschaltung PC_1 ist in Fig. 5 detailliert dargestellt.

Die letztere zeigt, daß der Eingangsanschluß IC_1 direkt mit dem Ausgangsanschluß A verbunden ist, der binäre Eingangs-

code für die Schaltung IC ist durch ABCD gekennzeichnet, die Ausgangsanschlüsse B, C, D entsprechen in der Reihenfolge den Anschlüssen IC_{2/3/4}. Der Eingangsanschluß IC₁ ist mit den Polen V₁ und V₂ einer Gleichspannungsquelle durch die Dioden D₁₁ bzw. D₁₂ verbunden. Diese begrenzen die Spannung an den Anschlüssen IC₁/A, zwischen denen die Potentiale V₁ und V₂ anliegen. Dieses letzte Potential, beispielsweise 0 Volt, ist negativer als das Potential V₁, beispielsweise 15 V. Andererseits ist die Sourceelektrode des Transistors P₃, der vom PMOS-Typ ist, mit dem Potential V₁, dessen Drainelektrode mit dem Ausgangsanschluß A und dessen Gateelektrode mit dem Potential V₂ in einer solchen Weise verbunden, daß dieser ständig leitend ist.

Der mit unterbrochenen Linien dargestellte Transistor T₄ vom NPN-Typ liegt mit seinem Kollektor am Eingangsanschluß IC₁ und mit seinem Emitter auf dem Potential V₂. Dieser Transistor T₄ kann zur Erzeugung eines binären Steuersignals, das am Eingangsanschluß IC₁ liegt, verwendet werden. Wenn die Basis des Transistors auf dem Potential V₁ liegt, ist er leitend und ermöglicht einen Stromdurchgang vom Potential V₁ zum Potential V₂ durch die in Reihe geschalteten Transistoren P₃ und T₄. Die Impedanz des letzteren Transistors ist geringer als diejenige des Transistors P₃, der Anschluß A befindet sich auf dem Potential V₂. Wenn andererseits die Basis des Transistors T₄ auf dem Potential V₂ liegt, so daß der Transistor T₄ gesperrt ist, liegt der Anschluß A auf dem Potential V₁, das durch den Transistor P₃ geleitet wird.

In Fig. 4 ist gezeigt, daß die vier Potentiale (ABCD) an den

Ausgängen der Schutzschaltungen $PC_{1/2/3/4}$ an die Anschlüsse, beispielsweise $\bar{D}$, eines Tores GD über Inverter, z. B. IV_4 , in einer solchen Weise gelegt werden, daß ein komplementärer Binärcode $\bar{A} \bar{B} \bar{C} \bar{D}$ an den Eingängen dieser Tore (die Tore sind identisch zu GD, das für die Signale an den Anschlüssen $\bar{A}$, $\bar{B}$ und $\bar{C}$ vorgesehen ist) bezüglich des Binärcodes ABCD an den Ausgängen der Schutzschaltungen $PC_{1/2/3/4}$ erscheint. Drei dieser Binärsignale $\bar{A} \bar{B} \bar{C}$ werden andererseits an den Decoder DEC gelegt, desgleichen die beiden Signale A und B, die zu den Signalen $\bar{A}$ und $\bar{B}$ komplementär sind und durch die Inverter IV_6 und IV_7 , die in Reihe mit den Invertern IV_1 bzw. IV_2 liegen, gebildet werden.

Bevor mittels der Fig. 9 und 10 erklärt wird, wie der Decoder DEC die acht Kombinationen der drei Binärsignale ABC in die einzelnen Kombinationen der vier Binärsignale an dessen Ausgängen $\bar{E} \bar{F} \bar{G} \bar{H}$ vorteilhaft umwandeln kann, wird die Beschreibung der anderen Elemente der Fig. 4 abgeschlossen, beginnend mit dem obigen TorGD, dessen Ausgang mit dem eines identischen Tores GH verbunden ist, zu dem der $\bar{H}$ -Ausgang des Decoders DEC geführt ist, werden drei identische Tore (nicht gezeigt) verwendet, die in gleicher Art und Weise mit den Ausgängen $\bar{E} \bar{F} \bar{G}$ verbunden sind.

Die Tore, beispielsweise GD und GH, werden von einem Anschluß IC_5 gesteuert, der die Arbeitsweise der Schaltung IC bestimmt, mit oder ohne Decodierung durch den Decoder DEC. Das Binärsignal am Anschluß IC_5 wird an alle Tore gelegt, beispielsweise GD/GH ebenso wie das komplementäre Binärsignal, das durch den Inverter IV_5 gebildet wird.

Fig. 6 zeigt die Schaltung eines Übertragungstores, beispielsweise GD und GH, das den Eingangsanschluß $\bar{D}$ oder $\bar{H}$ mit dem Ausgangsanschluß DH durch die Source-Drainstrecke der Transistoren N_3 und P_4 verbindet, die antiparallel verbunden sind und dem NMOS- bzw. PMOS-Typ angehören. Ihre Gate-Elektroden sind mit IV_5 bzw. IC_5 für das Tor GD und umgekehrt für das Tor GH in einer solchen Weise verbunden, daß eines dieser Tore leitend und das andere gesperrt ist, und zwar in Abhängigkeit vom Ansteuersignal des Anschlusses IC_5 , das es ermöglicht, für die Anschlüsse, beispielsweise DH, entweder das Signal $\bar{D}$ und einen Teil eines binären 4-Elementcodes, wobei jedes ein Kontaktpaar kennzeichnet, beispielsweise $S_{11/12}$ (Fig. 3), oder das Signal $\bar{H}$ auszuwählen, d. h. eines der vier Binärelemente, die durch den Decoder DEC aus den drei Binärelementen $\bar{A}$ $\bar{B}$ $\bar{C}$ decodiert werden.

Wie in Fig. 4 angedeutet, muß das Signal am Anschluß, beispielsweise DH, noch durch das Tor, beispielsweise GC, mit den Taktimpulsen synchronisiert werden, die von dem angeschlossenen Oszillator CO geliefert werden. Desgleichen werden die komplementären Taktsignale CL und $\bar{CL}$ an die drei Eingangskapazitäten $C_{1/2/3}$ des Wechselstrom-Gleichstrom-Gegentaktwandlers (Fig. 2) gelegt, der dazu dient, die Kapazitäten C/C' positiv oder negativ zu laden, die die vorgespannten, antiparallel miteinander verbundenen elektronischen Kontakte S/S' steuern (Fig. 1).

Fig. 7 zeigt die Schaltung eines Takttores. Das Binärsignal an dem Anschluß, beispielsweise DH, das den offenen oder geschlossenen Zustand des entsprechenden Kontaktes bestimmt,

ist nun an die Steuertore GCA und GCB gelegt, die denjenigen aus Fig. 6 identisch sind, jedoch an die Eingänge, an welche die komplementären Taktimpulse CL und $\overline{CL}$ gelegt sind, die von dem Oszillator CO benutzt werden. Die Tore GCA und GCB werden durch das Signal DH und dessen Komplement, das durch den Inverter IV_9 erzeugt wird, in komplementärer Weise derart gesteuert, daß das Ausgangssignal DC des Tores GC entweder ein CL-Impuls oder ein komplementärer $\overline{CL}$ -Impuls gemäß dem Wert des Binärsignals am Anschluß DH ist.

Fig. 8 zeigt den Taktoszillator CO, der die drei Inverter $IV_{10/11/12}$ enthält, die in einer Schleife in Kaskade verbunden sind und die in Reihe geschalteten Widerstände R_3 und R_4 auf jeder Seite des Inverters IV_{11} enthält. Der Ausgang des Inverters IV_{12} steuert eine zweite Reihe von drei in Kaskade geschalteten Invertern $IV_{13/14/15}$ an; der letztere liefert die Taktimpulse CL und der Inverter IV_{14} die komplementären Impulse $\overline{CL}$. Der Oszillator CO wird auch durch die Spannungen V_2 (nicht gezeigt) und V_1 angesteuert, wobei die letztere mit den Eingängen der Inverter $IV_{11/12/13}$ über die Kapazitäten $C_{4/5/6}$ verbunden ist. Diese können 6 pF und die Widerstände 20 k Ω aufweisen, um Schwingungen mit einer Frequenz in der Größenordnung von 1,2 MHz zu erzeugen.

Wie durch die mehrfachen Pfeile in Fig. 4 angedeutet, steuert der Oszillator CO die vier Tore an, beispielsweise GC, dessen Ausgangsanschluß zwei Ladungsschaltungen steuert, beispielsweise diejenigen der Fig. 2, um ein Kontaktpaar, beispielsweise das der Fig. 1, zu steuern. Die letztere Verknüpfung, die von dem Inverter IV_8 ausgeführt wird, der das Signal $\overline{DC}$

zur Verfügung stellt, ist von der Art, daß die drei Signale an den Kapazitäten $C_{1/2/3}$ der Fig. 2 durch die Ausgangsimpedanz eines Inverters ankommen.

Der Decoder DEC der Fig. 4 wird schließlich auch durch Bezugnahme auf die Fig. 9 und 10 beschrieben, die den Typ von Logikschaltungen darstellen, der sich für deren Realisierung vorzüglich verwenden läßt.

Schließlich sollen zuerst die acht Zustände der Fernsprechteilnehmerschaltung definiert werden, die durch eine Kombination der Eingangssignale ABC des Decoders DEC gekennzeichnet werden können. Diese acht Zustände sind durch die folgende Wahrheitstabelle bestimmt:

	$S_{11/12}$					$S_{21/22}$	$S_{31/32}$			$S_{41/42}$
	A	B	C	Y	$\bar{E}$	$\bar{F}$	$\bar{G}$			$\bar{H}$
unterbrochen	0	0	0	1	1	1	1			1
Rufprüfung	0	0	1	0	1	1	0			0
Rufüberwachung	0	1	0	0	0	1	0			0
Ruf	0	1	1	0	0	1	1			0
Außenprüfung	1	0	0	1	0	1	0			1
Innenprüfung	1	0	1	0	1	0	0			1
Überwachung	1	1	0	0	0	0	0			1
Durchschaltung	1	1	1	0	0	0	1			1

Die Tabelle enthält drei Spalten entsprechend den Eingangssignalen ABC, eine vierte Spalte für ein Zwischensignal Y, dessen Nützlichkeit später sichtbar wird, und vier andere Spal-

ten $\bar{E} \bar{F} \bar{G} \bar{H}$, die die Signale am Ausgang des Decoders DEC kennzeichnen, wobei jede dieser letzteren Spalten, wie angedeutet, dem Zustand eines Kontaktpaares entspricht, beispielsweise $\bar{E}$ für $S_{11/12}$.

Der Komplementstrich über den Vergleichswerten bestimmt diese Kontakte entsprechend der komplementären Form von $\bar{E} \bar{F} \bar{G} \bar{H}$ in einer solchen Weise, daß die Anzeige 0 einen geschlossenen Kontakt, mit einer 1 dagegen einen offenen Kontakt kennzeichnet. Die acht Zustände für die Teilnehmerschaltung erscheinen in den folgenden Zeilen in steigender Ordnung für den Binärcode von 000 bis 111 für die Signale ABC; dieser letztere Code entspricht der Durchschaltung der Teilnehmerschaltung in Fig. 3, d. h., die in Reihe geschalteten Kontakte $S_{11/12}$ und $S_{21/22}$ sind geschlossen, und die parallel geschalteten Kontakte $S_{31/32}$ und $S_{41/42}$ sind offen. Die vierte Zeile stellt den Code 011 für die Signale ABC als Rufbedingung dar, der es ermöglicht, die Schaltung RC (Fig. 3) mit den Anschlüssen $LT_{1/2}$ der Teilnehmeranschlußleitung über die Widerstände $R_{1/2}$ derart zu verbinden, daß die Spannungen an den letzteren auch für die Überwachung des Rufvorganges des gerufenen Teilnehmers verwendet werden können. Die sechste Zeile entspricht dem Code 101 für die Signale ABC und einer internen Prüfung (gegenüber dem Amt), die es nun ermöglicht, den Prüfbus der Prüfschaltung TC mit der Schaltung SLIC durch die Widerstände $R_{1/2}$ zu verbinden. Andererseits erzeugt die externe Prüfung (gegenüber dem Teilnehmer) der fünften Zeile (100 für die Signale ABC) eine Verbindung zwischen der Prüfschaltung TC und dem Anschluß $LT_{1/2}$ ohne ein Passieren der Widerstände, während die Rufprüfung (001) für

die Signale ABC diesmal die Rufschaltung RC und die Prüfschaltung TC durch die Widerstände miteinander verbindet.

Abgesehen von diesen fünf Zuständen ermöglicht die Teilnehmerschaltung noch eine vollständige Trennung der Widerstände (000 für die Signale ABC) und der Rufüberwachung (010 für ABC), wobei die Prüfschaltung TC zusätzlich durch die Kontakte $S_{31/32}$ an der obigen Ausgangsverbindung verzweigt ist, und schließlich der Überwachung (110 für ABC), wobei die Prüfschaltung TC auch verzweigt ist, aber diesmal bei der normalen Verbindung.

Die acht ABC-Codes, die diese verschiedenen Zustände ermöglichen, werden den acht Kontaktkombinationen $S_{11/12}$, $S_{21/22}$, $S_{31/32}$, $S_{41/42}$ zugewiesen, wie dies durch die Tabelle angedeutet ist; das ermöglicht eine einfache Realisierung des Decoders DEC. Tatsächlich gibt die Korrespondenztabelle an, daß $\bar{E} = \bar{B}$ und daß $\bar{F} = \bar{A}$, außer für ABC = 100, daß $G = 0$, außer für ABC = 000 und BC = 11, und daß schließlich $\bar{H} = A$, außer für ABC = 000. Die Realisierung des Decoders DEC wird durch diese einfachen Korrespondenzbeziehungen und durch die Einführung von $Y = 0$, außer für BC = 00, erleichtert, wobei Y ein Zwischenbinärsignal ist, das in den vier Spalten der Tabelle erscheint.

Die Booleschen Korrespondenzbeziehungen lassen sich demnach wie folgt schreiben:

$$\begin{aligned}\bar{E} &= \bar{B} (\bar{A} + C) &= \bar{A} \bar{B} + \bar{B} C \\ \bar{F} &= \bar{A} + \bar{Y} &= \bar{A} + \bar{B} \bar{C} \\ \bar{G} &= \bar{A} \bar{Y} + B C &= \bar{A} \bar{B} \bar{C} + B C \\ \bar{H} &= A + \bar{Y} &= A + \bar{B} \bar{C} \\ \bar{Y} &= \bar{B} \bar{C} \text{ oder } Y &= B + C,\end{aligned}$$

wobei der zweite Ausdruck für $\bar{E}$ (Fig. 9) einen Vergleich mit $\bar{G}$ (Fig. 10) erleichtern wird, und jene für $\bar{F}$, $\bar{C}$ und $\bar{H}$ werden durch das Ersetzen von $\bar{Y}$ durch den angezeigten Wert gebildet, der Y bezüglich der verwendeten logischen Schaltungen genauer entspricht und eine genaue Ableitung von dem der Fig. 10 für $\bar{G}$ ist.

Fig. 9 zeigt die logische CMOS-Schaltung, die die Bildung von $\bar{E}$ durch die Verwendung sowohl von drei PMOS-Transistoren, die, wie dargestellt, zwischen dem Potential V_1 und dem Ausgangsanschluß, der die Funktion $\bar{E}$ abgibt, liegen, als auch von drei NMOS-Transistoren ermöglicht, die in der angegebenen Weise zwischen den Ausgangsanschluß und das Potential V_2 geschaltet sind. Die drei Transistoren sind durch die Signale $\bar{A}$ $\bar{B}$ $\bar{C}$, die an ihren Gateelektroden liegen, gekennzeichnet, und zwar sowohl bei den PMOS- als auch bei den NMOS-Transistoren. Ihre Source-Drain-Strecken sind in einer solchen Art und Weise verbunden, daß B in Reihe mit einer parallelen Kombination $\bar{A}\bar{C}$ für die PMOS-Transistoren liegt, während die Dualität der Schaltung, die die NMOS-Transistoren enthält, bedeutet, daß B zu der Reihenkombination $\bar{A}\bar{C}$ parallel liegt. Daher ergeben die Signale $\bar{A}$, $\bar{B}$, $\bar{C}$, die das Komplement derjenigen der Zwischenwerte in der Gleichung sind, das Signal $\bar{E}$. Es ist insbesondere ersichtlich, daß, wenn sich B auf dem unteren Potential befindet, der Transistor B unter den PMOS-Transistoren leitend ist, während der entsprechende NMOS-Transistor gesperrt ist. Wenn man die Transistoren $\bar{A}$ und $\bar{C}$ und den PMOS-Transistoren vernachlässigt, indem man sie durch einen Kurzschluß ersetzt, während auf Grund der Dualität die NMOS-Transistoren $\bar{A}$ und $\bar{C}$ durch eine offene Schaltung ersetzt sind, dann

würde $\bar{E}$ auf hohem Potential (V_1) liegen, daß $\bar{E} = \bar{B}$ entspricht. Dieses letztere ist der erste Faktor des Ausdruckes, der E und einen Zustand kennzeichnet, welcher, wie vorzugsweise angegeben, für alle Kombinationen von ABC, außer 100, wahr ist. Jedoch für diese letzte Kombination, mit A und $\bar{C}$ auf hohem Potential und B auf niedrigem Potential, werden beide PMOS-Transistoren, die durch A und $\bar{C}$ gesteuert werden, gesperrt, während die entsprechenden NMOS-Transistoren beide leitend sind. Bei dieser besonderen Kombination liegt $\bar{E}$ folglich auf dem niedrigen Potential (V_2), welches $\bar{E} = B$ entspricht. Bei den sieben anderen Kombinationen sind diese vier Transistoren A und $\bar{C}$ (PMOS und NMOS) irrelevant, weil sie weder den gesperrten Transistor B (NMOS) kurzschließen, noch den leitenden Transistor B (PMOS) derart in eine offene Schaltung einfügen, daß nur B relevant ist, und daß sich $\bar{E} = \bar{B}$ ergibt.

Fig. 10 gibt die Schaltung wieder, die die Bildung von $\bar{G}$ ermöglicht, folgend den Prinzipien, die mit den in Fig. 9 umrissenen identisch sind. Die zweite Form, die oben für $\bar{E}$ angegeben ist, ermöglicht einen direkten Vergleich mit der ersten für $\bar{G}$. Tatsächlich ist es leicht ersichtlich, daß es für $\bar{G}$ vier unabhängige Variable $\bar{A}$, B, C und $\bar{Y}$ anstelle von drei (A, B und $\bar{C}$) für $\bar{E}$ gibt. Auf diese Weise sind diesmal vier Paare von NMOS- und PMOS-Transistoren, die wie angegeben geschaltet sind, notwendig, und es wird mit der Zwischenvariablen Y gerufen.

Um die letztere aus B und C zu bilden, ebenso wie $\bar{F}$ und $\bar{H}$ aus $\bar{A}$ und $\bar{Y}$ bzw. aus A und $\bar{Y}$, genügt es, wenn jedes Mal die halbe Schaltung von Fig. 10 herangezogen wird, beispielsweise die

Transistoren $\bar{B}$ und $\bar{C}$, sowohl für die in Reihe geschalteten PMOS-Transistoren als auch für die parallel geschalteten NMOS-Transistoren durch ihre Steuerung mit geeigneten Signalen, beispielsweise B anstelle von $\bar{B}$ und C anstelle von $\bar{C}$, um Y zu liefern.

Auf diese Art und Weise werden für den Decoder DEC, der nur mit den fünf Signalen A, $\bar{A}$, B, $\bar{B}$ und C durch Einsparen eines Inverters für C (Fig. 4) ruft, nur 13 PMOS- und 13 NMOS-Transistoren verwendet.

Im folgenden wird Bezug auf Fig. 11 genommen, die den elektronischen Kontakt S_{11} von Fig. 3 im Detail zeigt; dieser Kontakt stellt eine Modifikation von dem in Fig. 1 dargestellten dar. Während noch vom TRIMOS-Typ, unterscheidet sich der zwischen den Anschlüssen S_1 und S_2 befindliche Thyristor TRX leicht von dem in Fig. 1 schematisch dargestellten dadurch, daß der PNIP-Transistor T_1 nun durch einen PNP-Transistor Q_1 ersetzt ist, der zwei getrennte Kollektorelektroden aufweist, die mit den Gateelektroden der beiden NPN-Transistoren Q_2 und Q_3 verbunden sind, die den NPN-Transistor T_2 und den nicht dargestellten Transistor T_3 ersetzen. Außerdem sind einzelne, unten im Detail beschriebene Leistungsschutzschaltungen mit dem Thyristor TRX verbunden.

Es ist festzustellen, daß der Kontakt S_{12} mit dem Kontakt S_{11} identisch ist, aber daß die anderen sechs Kontakte keine Leistungsschutzschaltungen enthalten. Der elektronische Kontakt S_{11} in Fig. 11 enthält zwei identische Schalteinrichtungen S und S', die antiparallel gekoppelt sind. Insbeson-

dere ist der Anschluß S_1 der Schalteinrichtung S mit dem Anschluß S'_2 der Schalteinrichtung S' verbunden, während der Anschluß S_2 der Schalteinrichtung S mit dem Anschluß S'_1 der Schalteinrichtung S' verbunden ist. Die oben erwähnte Steuerschaltung ist sowohl mit der Schalteinrichtung S als auch mit der Schalteinrichtung S' über den Anschluß S_4 verbunden. Die Schalteinrichtungen S und S' sind auch jeweils mit einem Nachweisausgangsanschluß DT_1 , DT_2 ausgestattet, von denen nur der Anschluß DT_1 mit einer Fehleranzeigeschaltung FC über einen Nachweisanschluß DET_1 verbunden ist. Die Fehleranzeigeschaltung FC ist auch in der integrierten Schaltung IC enthalten und wird später beschrieben. Da die Schalteinrichtungen S und S' identisch sind, wird nur eine von ihnen, beispielsweise die Schaltung S, im folgenden betrachtet.

Wie bereits oben erwähnt, hat der Transistor Q_1 des Thyristors TRX zwei getrennte Kollektorelektroden, die mit den Basis-
elektroden der Transistoren Q_2 bzw. Q_3 verbunden sind. Die Kollektorelektroden der Transistoren Q_2 und Q_3 sind beide mit der Basis-
elektrode des Transistors Q_1 verbunden. Der Anschluß S_1 ist mit der Emitt-
erelektrode des Transistors Q_1 verbunden, und der Anschluß S_2 ist mit der Emitt-
erelektrode des Transistors Q_2 direkt und mit der Emitt-
erelektrode des Transistors Q_3 über einen Meßwiderstand R_{11} verbunden. Die Basis-
elektrode des Transistors Q_2 ist auch mit der Kollekt-
orelektrode eines NPN-Transistors Q_4 verbunden, dessen Emitt-
erelektrode mit dem Anschluß S_2 verbunden ist. Der Anschluß S_1 ist mit der Basis-
elektrode des Transistors Q_4 über die Reihen-
schaltung einer Diode D_{21} , der Kollektor-Emitt-
er-Strecke

eines NPN-Transistors Q_5 und eines Widerstandes R_{12} verbunden. Die Katode der Diode D_{21} ist auch mit der Emittierelektrode des Transistors Q_3 über die Reihenschaltung eines Widerstandes R_{13} , der Drain-Source-Strecke eines NMOS-Transistors N_{11} und eines Widerstandes R_{14} verbunden. Der Verbindungspunkt des Widerstandes R_{14} und der Source-Elektrode des Transistors N_{11} ist mit der Basiselektrode eines NPN-Transistors Q_6 verbunden, dessen Kollektorelektrode mit der Basiselektrode des Transistors Q_3 und dessen Emittierelektrode mit dem Anschluß S_2 verbunden ist. Die Katode der Diode D_{21} ist auch mit der Drainelektrode eines NMOS-Transistors N_{12} verbunden, dessen Sourceelektrode mit der Basiselektrode des Transistors Q_5 zusammen mit dem Nachweisausgangsanschluß DT_1 verbunden ist. Die Gateelektroden der Transistoren N_{11} und N_{12} sind beide mit der Drainelektrode eines DMOS-Transistors N_{13} verbunden, dessen Sourceelektrode mit dem Anschluß S_4 und dessen Gateelektrode mit dem Anschluß S_2 verbunden ist. Es ist festzustellen, daß der DMOS-Transistor N_{13} eine parasitäre Diode (nicht dargestellt) aufweist, deren Anode mit der Sourceelektrode des Transistors N_{13} und dessen Katode mit der Drainelektrode dieses Transistors verbunden ist, und daß die NMOS-Transistoren N_{11} und N_{12} hohe Gatekapazitäten (nicht dargestellt) aufweisen.

Der Thyristor TRX wird mittels MOS-Transistoren (nicht dargestellt), die den Transistoren P und N der Fig. 1 entsprechen, ein- und ausgeschaltet. Die Steuerung erfolgt über den Anschluß S_4 . Wie bereits oben erwähnt, enthält die Schalteinrichtung S Leistungsschutzschaltungen, die auch zur Steuerung des Thyristors TRX geeignet sind, dessen Arbeitsweise im fol-

genden detailliert beschrieben wird.

Der Thyristor TRX ist mit zwei getrennten Leistungsschutzschaltungen verbunden, die sogenannten primären bzw. sekundären Leistungsschutzschaltungen. Die primäre Leistungsschutzschaltung enthält die Komponenten D_{21} , N_{12} , Q_5 , R_{12} und Q_4 und begrenzt insbesondere den Strom durch den Thyristor TRX, wenn die Spannung an der Schaltung S einen vorbestimmten Wert übersteigt. Die sekundäre Leistungsschutzschaltung enthält die Komponenten D_{21} , R_{13} , N_{11} , Q_6 , R_{14} und R_{11} . Es ist festzustellen, daß in der folgenden Beschreibung der Arbeitsweise der Schutzschaltungen vorausgesetzt wird, daß die Spannung am Anschluß S_1 bezüglich der Spannung am Anschluß S_2 positiv ist, so daß die Diode D_{21} vorwärts vorgespannt ist. Dieselbe Arbeitsweise ist für die Schalteinrichtung S' gültig in dem Fall, daß die Spannung am Anschluß S'_2 bezüglich der Spannung am Anschluß S'_1 positiv ist.

Die primären und sekundären Schutzschaltungen werden durch die entsprechenden NMOS-Transistoren N_{11} und N_{12} in und außer Betrieb genommen, die durch den DMOS-Transistor N_{13} selbst gesteuert werden. Wenn sich der Thyristor TRX im eingeschalteten Zustand befindet, wird eine positive Steuerspannung von ungefähr + 20 Volt, die an den Anschluß S_4 gelegt wird, zu den Gateelektroden der Transistoren N_{11} und N_{12} über die parasitäre Diode des Transistors N_{13} übertragen. Schließlich sind die Transistoren N_{11} und N_{12} leitend und die Schutzschaltungen im Betrieb. Um den Thyristor TRX auszuschalten, wird die Steuerspannung am Anschluß S_4 von ihrem positiven Wert von ungefähr + 20 Volt auf einen negativen Wert von ungefähr

- 20 Volt verringert. Während dieses Spannungsüberganges wird der Thyristor TRX abgeschaltet, wenn die Spannung am Anschluß S_4 ungefähr - 3 Volt erreicht, während die Schutzschaltungen im Betrieb bleiben, sogar wenn die parasitäre Diode des DMOS-Transistors N_{13} gesperrt ist. Die NMOS-Transistoren sind tatsächlich infolge der positiven Spannung, die durch ihre Gatekapazität verriegelt ist, dann noch leitend. Wenn die Spannung am Anschluß S_4 ungefähr - 8 Volt erreicht, wird der Transistor N_{13} leitend, so daß diese negative Steuerspannung an die Gateelektroden der Transistoren N_{11} und N_{12} gelegt wird und diese sperrt. Die Leistungsschutzschaltungen sind dann außer Betrieb. Der Transistor N_{13} , der an die Gatekapazitäten der Transistoren N_{11} und N_{12} gekoppelt ist, bildet folglich eine Verzögerungsschaltung, die die Schutzschaltungen ein Zeitintervall nach dem Sperren des Thyristors TRX außer Betrieb nimmt. Folglich bleibt die Schutzschaltung dieser Einrichtung solange im Betrieb, wie der Thyristor TRX eingeschaltet ist.

Wenn sich der Thyristor TRX im eingeschalteten Zustand befindet, fließt durch die primäre Leistungsschutzschaltung solange kein Strom, wie die Spannung an der Schutzschaltung S ungefähr drei Diodenspannungsabfälle nicht übersteigt. Diese drei Dioden sind die Diode D_{21} , die Basis-Emitter-Strecke des Transistors Q_5 und die Basis-Emitter-Strecke des Transistors Q_4 . Es ist festzustellen, daß der Stromfluß durch die primäre Leistungsschutzschaltung so klein ist, daß der Spannungsabfall über dem Widerstand R_{12} vernachlässigbar ist, und daß der Spannungsabfall über den Drain-Source-Strecken des leitenden Transistors N_{12} auch vernachlässigbar ist, da

dieser letztere Spannungsabfall proportional dem Basisstrom des Transistors Q_5 ist, der noch gesperrt ist. Wenn die Spannung über der Schalteinrichtung S ansteigt, wird der Transistor Q_4 leitend, und der Kollektorstrom des Transistors Q_1 wird von der Basiselektrode des Transistors Q_2 zu dem Anschluß S_2 abgeleitet. Wenn der Basisstrom des Transistors Q_2 reduziert wird, werden dessen Kollektorstrom und folglich der Basisstrom des Transistors Q_1 auch reduziert. Schließlich wird der Teil Q_1/Q_2 des Thyristors TRX abgeschaltet, während dessen Teil Q_1/Q_3 eingeschaltet bleiben kann, wie später noch beschrieben wird.

Während der obigen Operation wird der Hauptstrom in dem Transistor Q_4 durch den Widerstand R_{12} und den Transistor Q_5 begrenzt, welcher selbst durch den Transistor N_{12} gesteuert wird.

Wenn nur der Teil Q_1/Q_2 des Thyristors TRX betrachtet wird, würde die Strom-Spannungskennlinie der Schalteinrichtung S die in Fig. 12 dargestellte Kennlinie sein, wobei Teil 1 die normale I/V-Kennlinie des vorwärts vorgespannten Thyristors TRX ist. Wie gezeigt, steigt die Spannung V bis zu einer Maximalspannung V_D , die gleich der oben erwähnten drei Diodenspannungsabfälle ($\pm 2,1$ Volt) ist und einem Maximalstrom I_1 von 320 Milliampere entspricht. Aus dem oben Genannten folgt, daß der Transistor Q_4 bei der Maximalspannung V_D entsprechend dem Strom I_1 wirksam wird, so daß der Thyristor TRX abschaltet, gemäß Teil 2 der I/V-Kennlinie, die in Fig. 12 dargestellt ist. Der Strom in dem Thyristor TRX und damit in der Schalteinrichtung S ist dann nahezu gleich Null, wie

hoch die Spannung über dieser Schaltung auch sein mag, so daß die I/V-Kennlinie dann mit der Spannungsachse für die Spannungen zusammenfällt, die die Spannung V_D übersteigen. Es ist festzustellen, daß diese I/V-Kennlinie für den Thyristor TRX ebenso gültig ist wie für die Schalteinrichtung S.

Die Gleichstrom-Belastungskennlinie 3 der Schalteinrichtung S ist auch im Diagramm der Fig. 12 dargestellt. Sie ist durch zwei Punkte gekennzeichnet, entsprechend dem Maximalstrom I_L (70 Milliampere) in der Fernmeldeleitung, wenn die letztere kurzgeschlossen ist, und der Maximalspannung V_L (70 Volt), wenn diese Leitung offen ist. Diese Gleichstrom-Belastungskennlinie 3 kreuzt Teil 1 der I/V-Kennlinie der Schalteinrichtung S bei einem festen Arbeitspunkt 4.

Wenn an der Fernmeldeleitung unerwünschte anormale Signale liegen, werden diese zu den normalen Signalen addiert, die vom Fernsprechamt erzeugt werden, so daß sich die Belastungskennlinie in dem I/V-Diagramm der Fig. 12 bewegt. Derartige anormale Signale haben verschiedene Ursachen, ähnlich einem Blitzschlag in die Fernmeldeleitung oder Hauptenergieversorgung, die mit diesen Leitungen verbunden ist. Der Arbeitspunkt bewegt sich dann längs des Teils 1 der I/V-Kennlinie. Wenn diese unerwünschten anormalen Signale sehr groß werden, könnte sich die Widerstandsgerade derart verschieben, daß der Arbeitspunkt das obere Ende des Teils 1 der I/V-Kennlinie erreicht. Der Arbeitspunkt wird dann instabil und bewegt sich zu höheren Spannungen, während der Thyristor TRX abschaltet (Teil 2). Die Maximalspannung V_M über der Schalteinrichtung S wird jedoch auf ungefähr 250 Volt durch die

oben erwähnte Überspannungsschutzschaltung (nicht dargestellt) begrenzt, so daß sich der Arbeitspunkt dann am Punkt V_M auf der Spannungsachse befindet.

Wenn die anormalen Signale verschwinden, verschiebt sich die Gleichstrom-Belastungskennlinie an die in Fig. 12 eingezeichnete Stelle, und der Arbeitspunkt bewegt sich von V_M (250 Volt) zu V_L (70 Volt), wobei der Teil der I/V -Kennlinie des Thyristors TRX, der mit der Spannungsachse zusammenfällt, die Gleichstrom-Belastungskennlinie 3 kreuzt. Der Arbeitspunkt wird auf diese Weise bei der Spannung V_L stabil, und da die primäre Leistungsschutzschaltung dann noch aktiv ist, ist es unmöglich, daß der Thyristor TRX eingeschaltet wird. Damit der Thyristor TRX wieder eingeschaltet wird, sollte der Teil 2 und der Teil einer I/V -Kennlinie der Schalteinrichtung S, der mit der Spannungsachse zusammenfällt, nicht die Gleichstrom-Belastungskennlinie kreuzen, so daß zwischen der Spannung V_M und dem normalen Arbeitspunkt 4 kein stabiler Arbeitspunkt vorhanden ist. Eine Lösung besteht in der Verwendung der sekundären Leistungsschutzschaltung, die im folgenden beschrieben wird.

Zunächst wird nur diese sekundäre Leistungsschutzschaltung betrachtet. Wenn sich die Schalteinrichtung S im eingeschalteten Zustand befindet, fließt ein Strom vom Anschluß S_1 zum Anschluß S_2 (Fig. 11) nicht nur über den Thyristor TRX, sondern auch über die Diode D_{21} , den Widerstand R_{13} , die Drain-Source-Strecke des NMOS-Transistors N_{11} und die in Reihe geschalteten Widerstände R_{14} und R_{11} . Solange die Spannung zwischen den Anschlüssen S_1 und S_2 relativ klein ist, ist der

durch die obigen Ströme erzeugte Spannungsabfall über den in Reihe geschalteten Widerständen R_{11} und R_{14} kleiner als die Basis-Emitter-Sättigungsspannung V_{BE} des Transistors T_6 , der gesperrt bleibt. Der Strom I , der durch den Thyristor TRX fließt, verändert sich dann in Abhängigkeit von der Spannung V , die an der Schalteinrichtung S gemessen wird, gemäß dem Teil 5 der in Fig. 13 dargestellten I/V-Kennlinie.

Es ist festzustellen, daß infolge der Widerstandswerte, die später gegeben werden, der Strom I (Fig. 11), der durch den Thyristor TRX fließt, viel größer ist als der durch die sekundäre Schutzschaltung fließende Strom. Daher kann der Strom I als der Strom betrachtet werden, der durch die Schalteinrichtung S fließt, und, wie für Fig. 12, die I/V-Kennlinie in Fig. 13 sowohl für den Thyristor TRX als auch für die Schalteinrichtung S gültig ist. Wenn die Spannung zwischen den Anschlüssen S_1 und S_2 so groß ist, daß der über die in Reihe geschalteten Widerstände R_{11} und R_{14} erzeugte Spannungsabfall, hervorgerufen durch die oben erwähnten Ströme, größer als die Spannung V_{BE} des Transistors Q_6 wird, dann wird der letztere leitend, und damit bildet sich für den Kollektorstrom des Transistors Q_1 eine Parallelstrecke zum Anschluß S_1 . Folglich wird der Basisstrom des Transistors Q_3 als Folge davon, daß sich die Impedanz des Thyristors TRX erhöht, verringert, so daß sich der Strom I , der durch den Thyristor fließt, in Abhängigkeit von der Spannung V in der durch den Teil 6 der I/V-Kennlinie in Fig. 13 dargestellten Weise verändert. Diese Veränderung ist eine Funktion der Verlustleistung in dem Thyristor TRX, weil der Spannungsabfall, der sich über der Schalteinrichtung S bildet, nicht

nur vom Strom I abhängt, da der Widerstand R_{11} mit dem Thyristor TRX in Reihe geschaltet ist, sondern auch von der Spannung V , da ein zusätzlicher Strom, der eine Funktion der Spannung V ist, durch den Widerstand R_{11} über die Widerstände R_{13} und R_{14} fließt. Ohne die Widerstände R_{13} und R_{14} würde der Strom I konstant bleiben und gleich dem Maximalstrom I_2 sein, wie dies durch den Teil 7 der I/V-Kennlinie in Fig. 13 dargestellt ist. In diesem Fall kann die in der Schalteinrichtung verbrauchte Leistung ungewöhnlich werden, da der Teil 7 die Kennlinie 8 der maximalen Verlustleistung der Schalteinrichtung S kreuzt. Aus dem oben erwähnten Grund sollte der Teil 6 der I/V-Kennlinie die Gleichstrom-Belastungskennlinie 3 nicht kreuzen. Andererseits sollte der Teil 6 der I/V-Kennlinie so dicht wie möglich an der Gleichstrom-Belastungskennlinie 3 liegen, um eine minimale Verlustleistung in der Schalteinrichtung S zu erreichen, da die minimale Verlustleistung in der Schalteinrichtung im Arbeitspunkt dieser Schaltung auftritt, d. h. in dem Kreuzungspunkt des Teils 5 der I/V-Kennlinie und der Gleichstrom-Belastungskennlinie 3. Deshalb sollte die Schleife des Teils 6 der I/V-Kennlinie ähnlich der Schleife der Gleichstrom-Belastungskennlinie 3 gewählt werden. Diese Schleife ist eine Funktion des Verhältnisses R_3/R_4 . Wenn der Transistor Q_6 beginnt leitend zu werden, kann seine Basis-Emitter-Sättigungsspannung V_{BE} durch den folgenden Ausdruck definiert werden:

$$\frac{V - R_{11} \cdot I}{R_{11} + R_{13} + R_{14}} = \frac{V_{BE} - R_{11} \cdot I}{R_{11} + R_{14}}$$

worin V und I die Spannung an und der Strom durch die Schalteinrichtung S bedeuten. Dieser Ausdruck führt unmittelbar zu

$$I \cdot R_{11} \cdot R_{13} = V_{BE} (R_{11} + R_{13} + R_{14}) - V (R_{11} + R_{14})$$

gemäß den Widerstandswerten

$$\begin{aligned} R_{11} &= 7,6 \quad \text{Ohm} \\ R_{12} &= 500 \quad " \\ R_{13} &= 145 \quad \text{k} \quad " \\ R_{14} &= 1 \quad \text{k} \quad " \quad ; \end{aligned}$$

die folgenden Annahmen können gemacht werden

$$R_{13} \gg R_{14} \gg R_{11} ,$$

der Endausdruck ist

$$I \cdot R_{11} \cdot R_{13} = V_{BE} \cdot R_{13} - V \cdot R_{14} ,$$

so daß

$$I = \frac{1}{R_{11}} \left(V_{BE} - \frac{R_{14}}{R_{13}} \right) .$$

Aus diesem Ausdruck ist klar ersichtlich, daß der Strom I von der Spannung $\frac{R_{14}}{R_{13}} \cdot V$

abhängt.

Da der Teil 6 der I/V-Kennlinie so gewählt ist, daß er so dicht wie möglich an der Gleichstrom-Belastungskennlinie 3 liegt, um die Verlustleistung in der Schalteinrichtung S zu begren-

zen, muß der Maximalstrom I_2 so gewählt werden, daß er leicht über dem Strom I_L liegt, und die Maximalspannung V_2 muß so gewählt werden, daß sie wenig über der Spannung V_L liegt. In dem vorliegenden Beispiel (und mit den oben gegebenen Werten der Widerstände sind annäherungsweise $I_2 = 100$ Milliampere und $V_2 = 100$ Volt. Nach den herkömmlichen Erfordernissen für ein Fernmeldesystem sollte die Schutzschaltung nur bei einem Strom aktiviert werden, der 300 Milliampere übersteigt. Wenn aus diesem Grund der Strom I_2 höher als die geforderten 300 Milliampere gewählt wird, sollte der Teil 6 der Kennlinie nach oben verschoben werden, und ein Bereich der Kennlinie kann über der Linie der maximalen Verlustleistung 8 liegen. In diesem Fall kann, wenn die Leistungsschutzschaltung aktiv wird, die in der Schalteinrichtung S verbrauchte Leistung so groß sein, daß die letztere zerstört wird.

Die Nachteile der beiden, getrennt vorliegenden, Leistungsschutzschaltungen können durch Kombinieren dieser beiden Schaltungen eliminiert werden, wobei diese Kombination die I/V-Gesamtkennlinie der Schalteinrichtung S bildet, die in Fig. 14 dargestellt ist. Diese Kennlinie hat einen Teil 1 und ein Teilstück 2 der I/V-Kennlinie, der sich auf die primäre Leistungsschutzschaltung bezieht, und einen Teil 6 der I/V-Kennlinie, der sich auf die sekundäre Leistungsschutzschaltung bezieht. Aus dieser Fig. geht deutlich hervor, daß die I/V-Kennlinie die oben erwähnte Gleichstrom-Lastungskennlinie 3 bei einem neuen stabilen Arbeitspunkt 4 kreuzt, und die in der Schalteinrichtung S verbrauchte Leistung bis auf ein Minimum reduziert wird, da sich der Teil 6 sehr dicht an der Gleichstrom-Lastungskennlinie 3 befindet.

In Fig. 15 ist eine Fehleranzeigeschaltung FC mit den Eingangsanschlüssen DET_1 und DET_2 dargestellt, den Anschlüssen LT_1 und LT_2 , dem Ausgangsanschluß F_o und den Stromversorgungsanschlüssen V_{DD} (- 33 Volt) und V_{SS} (- 48 Volt). Die Fehleranzeigeschaltung FC ist nur mit der Schutzschaltung S der Schalteinheit S_{11} (Fig. 11) und der entsprechenden Schutzschaltung der Schalteinheit S_{12} (nicht dargestellt) verbunden. Das ist ausreichend, um anormale Signale beliebiger Polarität auf der Fernmeldeleitungsschleife, die mit den Anschlüssen CT_1 und LT_2 verbunden ist, nachzuweisen.

Der Eingangsanschluß DET_1 der Fehleranzeigeschaltung FC wird mit dem gleichbezeichneten Nachweis-Ausgangsanschluß der Schutzschaltung S der Schalteinheit S_{11} (Fig. 11) verbunden, während der Eingangsanschluß DET_2 der Fehleranzeigeschaltung FC mit dem Nachweis-Ausgangsanschluß der Schutzschaltung entsprechend mit S der Schalteinheit S_{12} (nicht gezeigt) verbunden ist. Die Anschlüsse LT_1 und LT_2 der Fehleranzeigeschaltung FC sind mit den gleichbezeichneten Leitungsanschlüssen der Teilnehmeranschlußleitung verbunden. Der Ausgangsanschluß F_o der Fehleranzeigeschaltung FC ist mit einer Digitalsignal-Verarbeitungseinrichtung oder DSP-Schaltung (nicht gezeigt) verbunden, die auch einen Teil der Fernmelde- teilnehmerschaltung bildet.

Die Fehleranzeigeschaltung FC enthält einen NPN-Transistor Q_7 , dessen Basiselektrode mit dem Eingangsanschluß DET_1 über einen Widerstand R_{15} verbunden ist, und dessen Emittierelektrode mit dem Anschluß LT_1 verbunden ist. Der Stromversorgungsanschluß V_{DD} ist mit der Kollektorelektrode des Tran-

sistors Q_7 über den Widerstand R_{17} und die mit diesem in Reihe geschaltete Diode D_{22} verbunden. Ein anderer NPN-Transistor Q_8 ist mit der Basiselektrode über einen Widerstand R_{16} mit dem Eingangsanschluß DET_2 und mit der Emittierelektrode mit dem Anschluß LT_2 verbunden, während der Verbindungspunkt des Widerstandes R_{17} und der Diode D_{22} mit der Kollektorelektrode des Transistors Q_8 über die Diode D_{23} verbunden ist. Dieser Verbindungspunkt ist auch mit den Gateelektroden eines NMOS-Transistors N_{14} und eines PMOS-Transistors P_{11} verbunden; die Sourceelektrode des Transistors P_{11} ist mit dem Stromversorgungsanschluß V_{DD} und die Sourceelektrode des Transistors N_{14} ist mit dem Stromversorgungsanschluß V_{SS} verbunden. Die Drainelektroden der Transistoren P_{11} und N_{14} sind beide mit der Gateelektrode eines NMOS-Transistors N_{15} verbunden, dessen Sourceelektrode mit dem Stromversorgungsanschluß V_{SS} über einen Widerstand R_{18} verbunden ist. Der Ausgangsanschluß F_0 ist mit der Drainelektrode des Transistors N_{15} direkt verbunden.

Die Fehleranzeigeschaltung FC arbeitet wie folgt. Wenn ein anomales Signal durch die Leistungsschutzschaltung der Schalteinrichtungen S der Schalteinheiten S_{11} und S_{12} nachgewiesen wird, oder wenn diese Leistungsschutzschaltungen außer Betrieb sind, ist die Spannung an den Eingangsanschlüssen DET_1 und DET_2 nicht ausreichend positiv bezüglich der entsprechenden Anschlüsse LT_1 und LT_2 , damit die verbundenen Transistoren Q_7 und Q_8 leitend werden. Dann fließt kein Strom durch die Dioden D_{22} und D_{23} und folglich durch den Widerstand R_{17} , so daß die Spannung V_{DD} , die an der Gateelektrode des Transistors N_{14} liegt, positiver ist als die Spannung

(V_{SS}) an deren Sourceelektrode. Der Transistor N_{14} ist folglich leitend, während der Transistor P_{11} gesperrt ist, da die gleiche Spannung an seinen Source- und Gateelektroden liegt. Schließlich wird auch der Transistor N_{15} gesperrt, und zum Ausgangsanschluß F_0 wird kein Signal übertragen. Wenn jedoch ein anormales Signal durch die Leistungsschutzschaltungen einer Schalteinrichtung S nachgewiesen wird, erscheint eine Spannung, die bezüglich der Spannung am Anschluß LT_1 (LT_2) positiv ist, am Eingangsanschluß DET_1 (DET_2) der Fehleranzeigeschaltung FC. Es ist festzustellen, daß die Spannung am Anschluß LT_1 (LT_2) negativer ist als die Spannung am Anschluß V_{DD} . Der Transistor Q_7 (Q_8) wird dann leitend und vom Anschluß V_{DD} zum Anschluß LT_1 (LT_2) kann über den Widerstand R_{17} , die Diode D_{22} (D_{23}) und die Kollektor-Emitter-Strecke des Transistors Q_7 (Q_8) ein Strom fließen. Folglich sperrt der Transistor N_{14} , und der Transistor P_{11} wird leitend, so daß die Spannung V_{DD} an der Gateelektrode des Transistors N_{15} erscheint, der auch leitend wird. Die Schaltung N_{15}/R_{18} erzeugt dann einen Strom, der über den Anschluß F_0 zur Schaltung DSP übertragen wird, die wiederum dazu geeignet ist, bestimmte Wirkungen auszulösen.

Während die Prinzipien der Erfindung in Verbindung mit einer spezifischen Vorrichtung oben nur an einem Beispiel beschrieben wurden, ist es sicher verständlich, daß dies keine Einschränkung des Geltungsbereiches der Erfindung bedeutet.

Erfindungsanspruch

1. Elektronischer Kontakt zur Bildung einer niedrigen oder hohen Impedanz zwischen ersten und zweiten Anschlüssen gemäß der Steuerung einer Schaltung, die ein Steuersignal zwischen einem dritten und einem vierten Anschluß liefert, gekennzeichnet dadurch, daß zwei elektronische Reservekontakte vorgesehen sind, die es ermöglichen, eine niedrige und eine hohe Impedanz zwischen den ersten und den dritten Anschlüssen (NA) und zwischen den zweiten und den dritten Anschlüssen (NB) zu bilden, wobei die Impedanzzustände dieser beiden Reservekontakte entgegengesetzt sind.
2. Elektronischer Kontakt nach Punkt 1, gekennzeichnet dadurch, daß er einen ersten vorgespannten Kontakt (S) enthält, der geeignet ist, eine niedrige Impedanz bei einer vorbestimmten Spannungspolarität zwischen den ersten (S_1) und zweiten (S_2) Anschlüssen zu schaffen, und zwar parallel mit einem zweiten vorgespannten Kontakt (S'), der zur Bildung einer niedrigen Impedanz für die entgegengesetzte Polarität geeignet ist.
3. Elektronischer Kontakt nach Punkt 2, gekennzeichnet dadurch, daß die vorgespannten Kontakte identisch und in antiparalleler Form (S_1/S'_2 , S_2/S'_1) verbunden sind.
4. Elektronischer Kontakt nach Punkt 2, gekennzeichnet durch einen vorgespannten Kontakt von der Thyristorart ($T_{1/2}$), der zwei Steueranschlüsse enthält, die es ermöglichen, den niedrigen oder hohen Impedanzzustand durch das Steuersignal einzuschalten.

5. Elektronischer Kontakt nach Punkt 4, gekennzeichnet dadurch, daß die zwei Steueranschlüsse jeweils mit dem zweiten Anschluß (S_2) durch einen MOS-Transistor verbunden sind, wobei die Gateelektroden dieser Transistoren der komplementären Polarität mit dem vierten Anschluß (S_4) verbunden sind, während die Sourceelektrode des einen Transistors (N) und die Drainelektrode des anderen Transistors (P) mit dem zweiten Anschluß verbunden sind.
6. Elektronisches Bauelement, das einen Teil einer Schaltung bildet und auch eine Stromversorgungsquelle und eine Last enthält, und das genannte Bauelement enthält eine Vorrichtung, um die Verlustleistung darin zu begrenzen, gekennzeichnet dadurch, daß die genannte leistungsbegrenzende Vorrichtung ($R_{11}; R_{13}, R_{14}; Q_6$) so ausgelegt ist, daß eine Strom-Spannungskennlinie (Fig. 13) für das Bauelement erzeugt wird, die, beginnend am Nullpunkt, die Belastungskennlinie (3) des Bauelementes kreuzt (5) und dann der genannten Belastungskennlinie (6) in Richtung zur Spannungsachse (V_2) folgt, ohne die Belastungskennlinie erneut zu kreuzen, die durch den Kurzschlußstrom (I_L) durch das Bauelement und dessen Leerlaufspannung (V_L) gekennzeichnet ist.
7. Elektronisches Bauelement nach Punkt 6, gekennzeichnet dadurch, daß es eine Schaltvorrichtung ($Q_{1/3}$) enthält, die zwischen den ersten (S_1/S'_2) und zweiten (S_2/S'_1) Anschlüssen zur Bildung einer niedrigen oder hohen Impedanz geeignet ist, die durch die genannte Strom-Spannungskennlinie definiert ist.

8. Elektronisches Bauelement nach Punkt 7, gekennzeichnet dadurch, daß die genannte leistungsbegrenzende Vorrichtung (R_{11} ; R_{13} , R_{14} ; Q_6) mit der genannten Schaltvorrichtung ($Q_{1/3}$) verbunden ist und eine erste Abtastvorrichtung (R_{11}), die mit der genannten Schaltvorrichtung in Reihe geschaltet ist, eine zweite Abtastvorrichtung (R_{13} , R_{14}), die mit der genannten Schaltvorrichtung parallel geschaltet ist, und eine Regelungsvorrichtung (Q_6) enthält, die durch die genannten ersten und die genannten zweiten Abtastvorrichtungen gesteuert wird und die genannte Schaltvorrichtung steuert, so daß die genannte Strom-Spannungskennlinie gebildet wird.
9. Elektronisches Bauelement nach Punkt 8, gekennzeichnet dadurch, daß die genannten ersten (R_{11}) und zweiten (R_{13} , R_{14}) Abtastvorrichtungen in Reihe geschaltet sind, und daß die genannte Regelungsvorrichtung ein aktives Bauelement (Q_6) mit einem Eingangsteil, das an die genannte erste Abtastvorrichtung gekoppelt ist, und einen Teil der genannten zweiten Abtastvorrichtung und ein Ausgangsteil enthält, das mit der genannten Schaltvorrichtung ($Q_{1/3}$) verbunden ist.
10. Elektronisches Bauelement nach Punkt 9, gekennzeichnet dadurch, daß die genannte erste Abtastvorrichtung einen Widerstand (R_{11}) enthält, daß die genannte zweite Abtastvorrichtung mindestens zwei Widerstände (R_{13} , R_{14}) enthält, die in Reihe geschaltet sind, und daß die genannte Regelungsvorrichtung einen Transistor (Q_6) enthält.

11. Elektronisches Bauelement nach den Punkten 7, 8 und einem der Punkte 1 bis 5, gekennzeichnet dadurch, daß die genannte Schaltvorrichtung ($Q_{1/3}$) einen Teil des genannten elektronischen Kontaktes (S, S') bildet, und daß die genannte leistungsbegrenzende Vorrichtung ($R_{11}; R_{13}, R_{14}; Q_6$) mit einer Unterbrechungsvorrichtung (N_{11}, N_{13}) gekoppelt ist, die durch das genannte Steuersignal gesteuert wird und die genannte leistungsbegrenzende Vorrichtung in Betrieb nimmt und wieder außer Betrieb setzt, nachdem die genannte Schaltvorrichtung ($Q_{1/3}$) die genannte hohe Impedanz gebildet hat.
12. Elektronisches Bauelement nach Punkt 6, gekennzeichnet dadurch, daß der Teil (5) der genannten Strom-Spannungskennlinie (Fig. 14), der die Belastungskennlinie (3) kreuzt, einen ersten Bereich (1) aufweist, der im Bereich solcher Spannungen (V_D) verläuft, die wesentlich kleiner sind als die genannte Leerlaufspannung (V_L), bezogen auf einen Strom (I_1), der wesentlich größer ist als der genannte Kurzschlußstrom (I_L), und einen zweiten Bereich (2) aufweist, der den genannten ersten Bereich (1) mit dem Teil (6) der Kennlinie verbindet, der der Belastungskennlinie (3) folgt.
13. Elektronisches Bauelement nach den Punkten 8 und 12, gekennzeichnet dadurch, daß es weiterhin eine zweite leistungsbegrenzende Vorrichtung ($D_{21}, Q_5, R_{12}; Q_4$) enthält, die aus einer dritten Abtastvorrichtung ($D_{21}, Q_5, R_{12}; Q_4$) zur Abtastung der Spannung an dem genannten elektronischen Bauelement ($S; S'$) und einer zweiten Re-

gelungsvorrichtung (Q_4) besteht, die durch die genannte dritte Abtastvorrichtung gesteuert wird und die genannte Schaltvorrichtung ($Q_{1/3}$) steuert, so daß der genannte erste (1) und zweite (2) Bereich der genannten Strom-Spannungskennlinie entsteht.

14. Elektronisches Bauelement nach Punkt 13, gekennzeichnet dadurch, daß die genannte dritte Abtastvorrichtung (D_{21} , Q_5 , R_{12} ; Q_4) und die genannte Regelungsvorrichtung (Q_4) eine gemeinsame erste aktive Vorrichtung (Q_4) enthalten, deren Ausgangsteil mit der genannten Schaltvorrichtung ($Q_{1/3}$) gekoppelt ist.
15. Elektronisches Bauelement nach den Punkten 7, 13 und einem der Punkte 1 bis 5, gekennzeichnet dadurch, daß die genannte Schaltvorrichtung ($Q_{1/3}$) einen Teil des genannten elektronischen Kontaktes (S ; S') darstellt, und daß die genannte zweite leistungsbegrenzende Vorrichtung (D_{21} , Q_5 , R_{12} ; Q_4) mit einer Unterbrechungsvorrichtung (N_{12} , N_{13}) gekoppelt ist, die durch das genannte Steuersignal gesteuert wird und die genannte zweite leistungsbegrenzende Vorrichtung in Betrieb nimmt und außer Betrieb setzt, nachdem die genannte Schaltvorrichtung ($Q_{1/3}$) die genannte hohe Impedanz gebildet hat.
16. Elektronisches Bauelement nach Punkt 7, gekennzeichnet dadurch, daß die genannte Schaltvorrichtung ($Q_{1/3}$) aus zweiten (Q_1), dritten (Q_2) und vierten (Q_3) aktiven Bauelementen besteht, daß die ersten Ausgangsanschlüsse der dritten und vierten aktiven Bauelemente mit dem Steuer-

anschluß des zweiten aktiven Bauelementes gekoppelt sind, daß die zweiten Ausgangsanschlüsse der dritten und vierten aktiven Bauelemente mit dem genannten zweiten Anschluß (S_2/S'_1) gekoppelt sind, daß der erste Ausgangsanschluß des zweiten aktiven Bauelementes mit dem ersten Anschluß (S_1/S'_2) gekoppelt ist, und daß das zweite aktive Bauelement zwei getrennte sekundäre Ausgangsanschlüsse aufweist, die mit den Steueranschlüssen der dritten bzw. vierten aktiven Bauelemente gekoppelt sind.

17. Elektronisches Bauelement nach Punkt 16, gekennzeichnet dadurch, daß das genannte zweite aktive Bauelement (Q_1) aus einem PNP-Transistor besteht, dessen Steuer-, erste und zweite Ausgangsanschlüsse die Basis-, Emitter- bzw. Kollektorelektroden sind, und daß die genannten dritten (Q_2) und vierten (Q_3) aktiven Bauelemente jeweils durch einen NPN-Transistor gebildet sind, dessen Steuer-, erste und zweite Ausgangsanschlüsse die Basis-, Kollektor- bzw. Emittierelektroden sind.
18. Elektronischer Umschaltkontakt, der die Bildung niedriger und hoher Impedanzen zwischen ersten und zweiten Anschlüssen einerseits und einem dritten Anschluß andererseits ermöglicht, wobei die Impedanzzustände für den ersten und den zweiten Anschluß komplementär sind, gekennzeichnet dadurch, daß die Polarität der zwischen den ersten und zweiten Anschlüssen angelegten Spannung die Impedanzzustände bestimmt.
19. Elektronischer Kontakt nach Punkt 18, gekennzeichnet dadurch, daß der Umschaltkontakt aus zwei Transistoren der-

selben Polarität besteht, und daß der erste Anschluß (S_1) mit dem zweiten Ausgangsanschluß des ersten Transistors (NA) und mit dem Steueranschluß des zweiten Transistors (NB) gekoppelt ist, und daß der zweite Anschluß (S_2) mit dem ersten Ausgangsanschluß des zweiten Transistors und mit dem Steueranschluß des ersten Transistors gekoppelt ist, und daß der dritte Anschluß (S_3) mit den zweiten Ausgangsanschlüssen der Transistoren gekoppelt ist.

20. Elektronischer Kontakt nach Punkt 19, gekennzeichnet dadurch, daß die Transistoren vom NMOS-Typ sind.
21. Elektronischer Umschaltkontakt, der die Bildung niedriger und hoher Impedanzen zwischen einem ersten (V_1 , Fig. 5) und einem zweiten (V_2) Anschluß einerseits und einem dritten (A) Anschluß andererseits ermöglicht, wobei die Impedanzzustände für die ersten und zweiten Anschlüsse komplementär sind, gekennzeichnet dadurch, daß die ersten, zweiten und dritten Anschlüsse mit der Source-, Gate- und Drainelektrode eines MOS-Transistors (D_3) gekoppelt sind, und daß die Polarität der zwischen den ersten und zweiten Anschlüssen angelegten Spannung so ist, daß der Transistor leitet, und daß die zweiten und dritten Anschlüsse zusätzlich mit dem Emitter und mit dem Kollektor eines Bipolartransistors (T_4) in einer solchen Weise gekoppelt sind, daß, wenn der letztere gesperrt ist, zwischen den ersten und dritten Anschlüssen eine niedrige Impedanz gebildet wird, während dann, wenn dieser leitend ist, zwischen den zweiten und dritten Anschlüssen eine niedrige Impedanz gebildet wird.

22. Ladungsschaltung, die kapazitiv gesteuert ist, bestehend aus einer Gegentakt-Gleichstromsignalquelle, die durch zwei Reiheneingangskapazitäten mit dem Eingang einer Gleichrichterschaltung verbunden ist, gekennzeichnet dadurch, daß eine dritte Reiheneingangskapazität (C_3), deren Eingangsanschluß mit der genannten Signalquelle gekoppelt ist, und deren Ausgangsanschluß auch mit dem Eingang der genannten Gleichrichterschaltung verbunden ist, die aus einem ersten (D_1, D_2) bzw. einem zweiten (D_3, D_4) Teil besteht, die die Bildung entweder einer ersten oder einer zweiten Gleichstrom-Ausgangspolarität in der Weise ermöglicht, daß die Ladung der Ausgangskapazität (C, C') einer ersten oder einer zweiten Polarität infolge der Steuervorrichtung (IC) entspricht, und daß die ersten und die zweiten Teile der Gleichrichterschaltung durch erste komplementäre MOS-Transistoren (P_1, N_1) entkoppelt werden, deren Gateelektroden mit der dritten Eingangskapazität (C_3) verbunden sind, und zweite MOS-Transistoren (N_2, P_2) enthalten, die zu den ersten komplementär sind, wobei die beiden komplementären Transistoren in dem ersten (P_1, N_2) und dem zweiten (N_1, P_2) Teil auf beiden Seiten der Ausgangskapazität (C/C') angeordnet sind, und die Gateelektroden der zweiten Transistoren mit der Drainelektrode des ersten Transistors derselben Polarität gekoppelt sind, und daß die Sourceelektroden der beiden Transistoren (P_1, P_2) einer ersten Polarität (P_1, P_2) jeweils mit der ersten Eingangskapazität (C_1) durch eine Diode (D_1, D_6) gekoppelt sind, und die Sourceelektroden der beiden Transistoren der zweiten Polarität (N_1, N_2) jeweils mit der zweiten Eingangskapazität (C_2) durch die Diode (D_3, D_5) gekoppelt sind.

23. Fernmeldesystem-Teilnehmerschaltung, bestehend aus einer Reihenimpedanz in jeder der beiden Leitungsadern und aus Kontakten auf jeder Seite dieser beiden Impedanzen, die ein selektives Verbinden ihrer Anschlüsse zum Amt oder der Leitung oder, alternativ, zu den Reserveschaltungen ermöglichen, gekennzeichnet dadurch, daß diese Kontakte durch vier elektronische Kontaktpaare gebildet werden, wobei das erste (S_{11} , S_{12}) die Leitung mit den Impedanzen, das zweite (S_{21} , S_{22}) diese mit dem Amt, das dritte (S_{31} , S_{32}) die Impedanzen auf der Leitungsseite mit einer ersten Reserveschaltung (TC) und das vierte (S_{41} , S_{42}) diese auf der Amtsseite mit einer zweiten Reserveschaltung (RC) verbindet.
24. Teilnehmerschaltung nach Punkt 23, gekennzeichnet dadurch, daß die acht elektronischen Kontakte, die immer paarweise in Betrieb sind, zusätzlich in einer solchen Weise gesteuert werden, daß nur acht Kombinationen unter den sechzehn möglichen für die vier Paare zugelassen sind.
25. Teilnehmerschaltung nach Punkt 24, gekennzeichnet dadurch, daß die acht geschlossenen und offenen Kombinationen der vier Kontaktpaare definiert sind durch die acht binären Codes 1111, 1100, 0100, 0110, 0101, 1001, 0001 und 0011 mit den ersten, zweiten, dritten und vierten Ziffern von links entsprechend der ersten ($S_{11/12}$), zweiten ($S_{21/22}$), dritten ($S_{31/32}$) und vierten ($S_{41/42}$) Paare, wobei die Ziffern 0 und 1 das Schließen bzw. Öffnen des Kontaktpaares anzeigen.

26. Schaltung mit einer Vielzahl elektronischer Kontakte, die sich in Übereinstimmung mit unterschiedlichen Kombinationen durch binäre Steuersignale betreiben lassen, gekennzeichnet durch einen Decoder (DEC), der in der Schaltung enthalten ist und sich durch mindestens einen Teil der Signale ($IC_{1/2/3}$) steuern läßt, um binäre Ausgangssignale an eine Anordnung von Toren (GH) abzugeben, die die binären Steuersignale auch direkt (GD) empfängt, und daß ein Ansteuersignal (IC_5) eine Steuerung der Tore in einer solchen Art und Weise ermöglicht, daß der Fluß der Steuer- und Ausgangssignale jeweils erlaubt und verboten ist oder umgekehrt.
27. Teilnehmerschaltung nach den Punkten 25 und 26, gekennzeichnet dadurch, daß die acht binären (ABC) Eingangssignale 000, 001, 010, 011, 100, 101, 110 und 111, die den Decoder (DEC) entsprechend der acht Kombinationen der binären ($\bar{E}$, $\bar{F}$, $\bar{G}$, $\bar{H}$) Ausgangssignale 1111, 1100, 0100, 0110, 0101, 1001, 0001 und 0011 steuern ($IC_{1/2/3}$), durch den Decoder geliefert werden.
28. Teilnehmerschaltung nach Punkt 27, gekennzeichnet dadurch, daß die binären Decoderausgangscodes, die in Abhängigkeit von den binären Eingangscodes durch fünf Logikschaltungen gebildet werden, durch die Booleschen Gleichungen

$$\bar{E} = \bar{B} (\bar{A} + C)$$

$$\bar{F} = \bar{A} + \bar{Y}$$

$$\bar{G} = \bar{A}\bar{Y} + BC$$

$$\bar{H} = A + \bar{Y}$$

$$Y = B + C$$

definiert sind, wobei Y ein Zwischensignal ist und wobei $\bar{A}$, $\bar{B}$ und $\bar{Y}$ die Komplemente von A, B bzw. Y sind.

29. Schaltung nach Punkt 26, gekennzeichnet dadurch, daß die Anordnung der Tore (GH/GD) ein Ausgangssignal liefert, das zwei entgegengesetzt geschaltete Taktore in einer solchen Art und Weise steuert, daß entweder das eine oder das andere entweder ein Taktsignal oder dessen Kompliment überträgt.
30. Schaltung nach Punkt 29, gekennzeichnet dadurch, daß das Taktsignal und dessen Kompliment durch einen Taktoszillator erzeugt werden, der ein Teil derselben integrierten Schaltung ist wie die Toranordnung, der Decoder, die elektronischen Kontakte und ihre Steuerschaltungen.
31. Fernmeldesystem-Teilnehmerschaltung mit einer Reihenimpedanz in jeder der beiden Leitungsadern und Kontakte auf jeder Seite dieser beiden Impedanzen, die ein selektives Verbinden ihrer Anschlüsse mit dem Amt oder der Leitung ermöglichen, gekennzeichnet dadurch, daß diese Kontakte durch zwei Paare elektronischer Schaltungen gebildet werden, wobei das erste (S_{11} , S_{12}) die Leitung mit den Impedanzen und das zweite (S_{21} , S_{22}) diese mit dem Amt (SLIC) verbindet und daß nur das genannte erste Paar der elektronischen Kontakte (S_{11} , S_{12}) mit einer leistungsbegrenzenden Vorrichtung (R_{11} ; R_{13} , R_{14} ; Q_6) derart ausgerüstet ist, wie in Punkt 8 beansprucht.
32. Fernmeldesystem-Teilnehmerschaltung nach Punkt 31, gekennzeichnet dadurch, daß das genannte erste Paar der elektronischen Kontakte (S_{11} , S_{12}) auch mit einer zweiten leistungsbegrenzenden Vorrichtung (D_{21} , Q_5 , R_{12} ; Q_4) derart ausgerüstet ist, wie in Punkt 13 beansprucht.

33. Fernmeldesystem-Teilnehmerschaltung nach den Punkten 31 oder 32, gekennzeichnet dadurch, daß darin weiterhin eine Nachweisvorrichtung (FC) enthalten ist, die mit dem genannten ersten Paar der elektronischen Kontakte (S_{11} , S_{12}) gekoppelt ist, und ein Signal liefert, das anzeigt, daß die Spannung an mindestens einem der genannten elektronischen Kontakte einen vorbestimmten Wert übersteigt.
34. Fernmeldesystem-Teilnehmerschaltung nach den Punkten 2 und 33, gekennzeichnet dadurch, daß die genannte Nachweisvorrichtung (FC) eine Nachweisschaltung ($R_{15/18}$, $Q_{7/8}$, $D_{22/23}$, P_{11} , $N_{14/15}$) mit einem ersten Eingangsteil (R_{15} , Q_7), das mit dem genannten ersten vorgespannten Kontakt (S) des ersten elektronischen Kontaktes (S_{11}) des genannten ersten Paares (S_{11} , S_{12}) gekoppelt ist, ein zweites Eingangsteil (R_{16} , Q_8), das mit dem genannten ersten vorgespannten Kontakt des zweiten elektronischen Kontaktes (S_{12}) des genannten ersten Paares gekoppelt ist und ein Ausgangsteil ($Q_{7/8}$, $D_{22/23}$, R_{17}) enthält, das mit einer Anzeigeschaltung (P_{11} , $N_{14/15}$, R_{18}) verbunden ist, die auch in der genannten Nachweisvorrichtung enthalten ist, und die an einem Ausgangsanschluß (F_o) das genannte Anzeigesignal liefert, das von der Spannung an mindestens einem der genannten vorgespannten Kontakte (S) abhängt.
35. Fernmeldesystem-Teilnehmerschaltung nach Punkt 34, gekennzeichnet dadurch, daß die genannten ersten (R_{15} , Q_7) und zweiten (R_{16} , Q_8) Eingangsteile der genannten Nachweisschaltung ($R_{15/18}$, $Q_{7/8}$, $D_{22/23}$, P_{11} , $N_{14/15}$) jeweils durch die Basis- und Emittierelektroden eines NPN-Transistors (Q_7 , Q_8) gebildet werden, der zwischen die

genannte leistungsbegrenzende Vorrichtung und einer der beiden Anschlüsse des genannten vorgespannten Kontaktes (S) geschaltet ist, daß das genannte Ausgangsteil durch die Kollektorelektroden der genannten NPN-Transistoren gebildet wird, mit denen ein erster Gleichstromversorgungsanschluß (V_{DD}) über einen ersten Widerstand (R_{17}) in Reihe mit den jeweiligen Dioden (D_{22} , D_{23}) verbunden ist, und daß die genannte Anzeigeschaltung (P_{11} , $N_{14/15}$, R_{18}) einen PMOS- (P_{11}) und einen ersten NMOS- (N_{14}) Transistor enthält, deren Gateelektroden beide mit dem Verbindungspunkt des genannten ersten Widerstandes (R_{17}) und der genannten Dioden (D_{22} , D_{23}) verbunden sind, deren Drainelektroden miteinander verknüpft sind, und deren Sourceelektroden jeweils mit dem genannten ersten (V_{DD}) und einem zweiten (V_{SS}) Gleichstromversorgungsanschluß verbunden sind, und daß die genannten gemeinsamen Drainelektroden des genannten PMOS- und des ersten NMOS-Transistors mit der Gateelektrode eines zweiten NMOS-Transistors (N_{15}) verbunden sind, dessen Sourceelektrode mit dem genannten zweiten Gleichstromversorgungsanschluß (V_{SS}) über einen zweiten Widerstand (R_{18}) und dessen Drainelektrode mit dem genannten Ausgangsanschluß (F_0) verbunden ist.

36. Fernmeldesystem-Teilnehmerschaltung nach einem der Punkte 31 bis 35, gekennzeichnet dadurch, daß es dritte und vierte zusätzliche Paare elektronischer Kontakte enthält, wobei der dritte (S_{31} , S_{32}) die Impedanzen (R_1 , R_2) auf der Leitungsseite (LT_1 ; LT_2) mit einer ersten Reserveschaltung (TC) und der vierte (S_{41} , S_{42}) diese auf der Amtsseite (SLIC) mit einer zweiten Reserveschaltung (RC) verbindet.

Hierzu 8 Seiten Zeichnungen

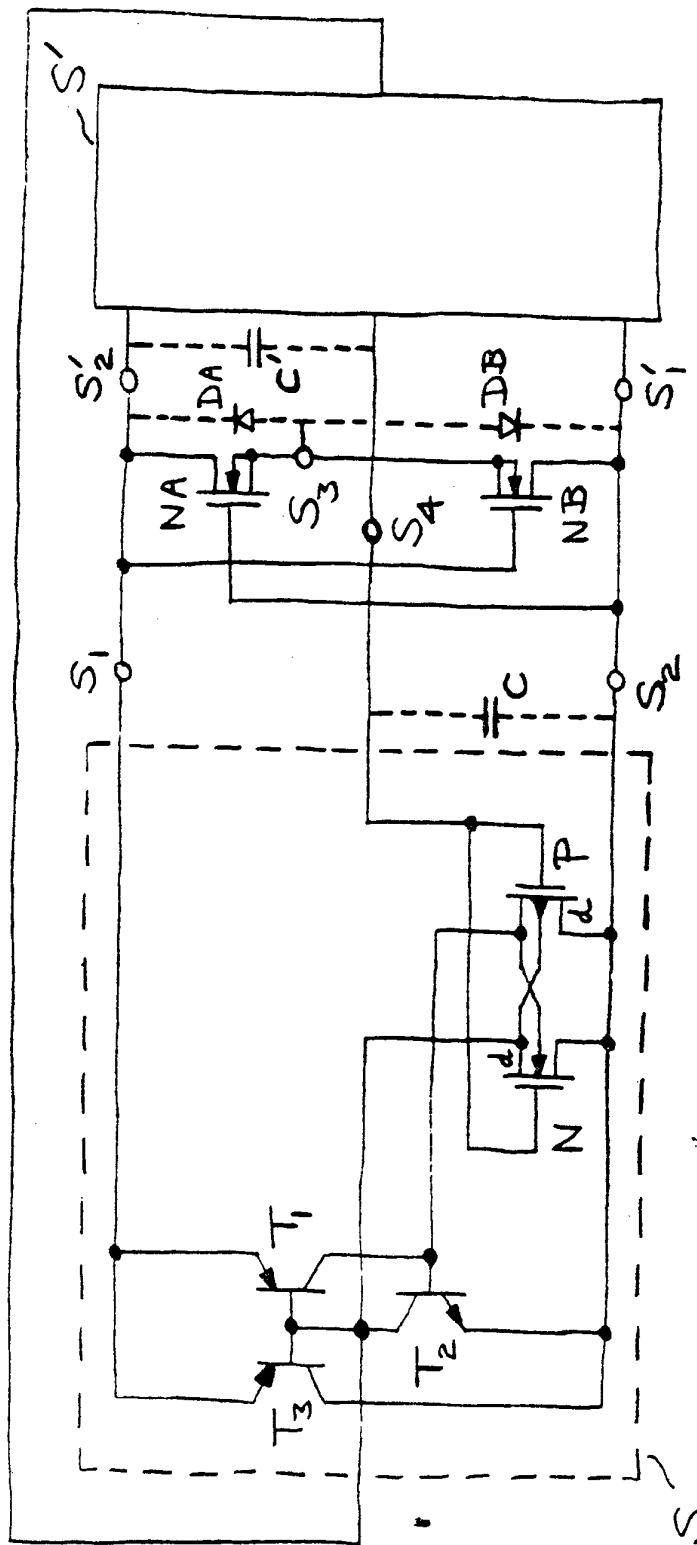
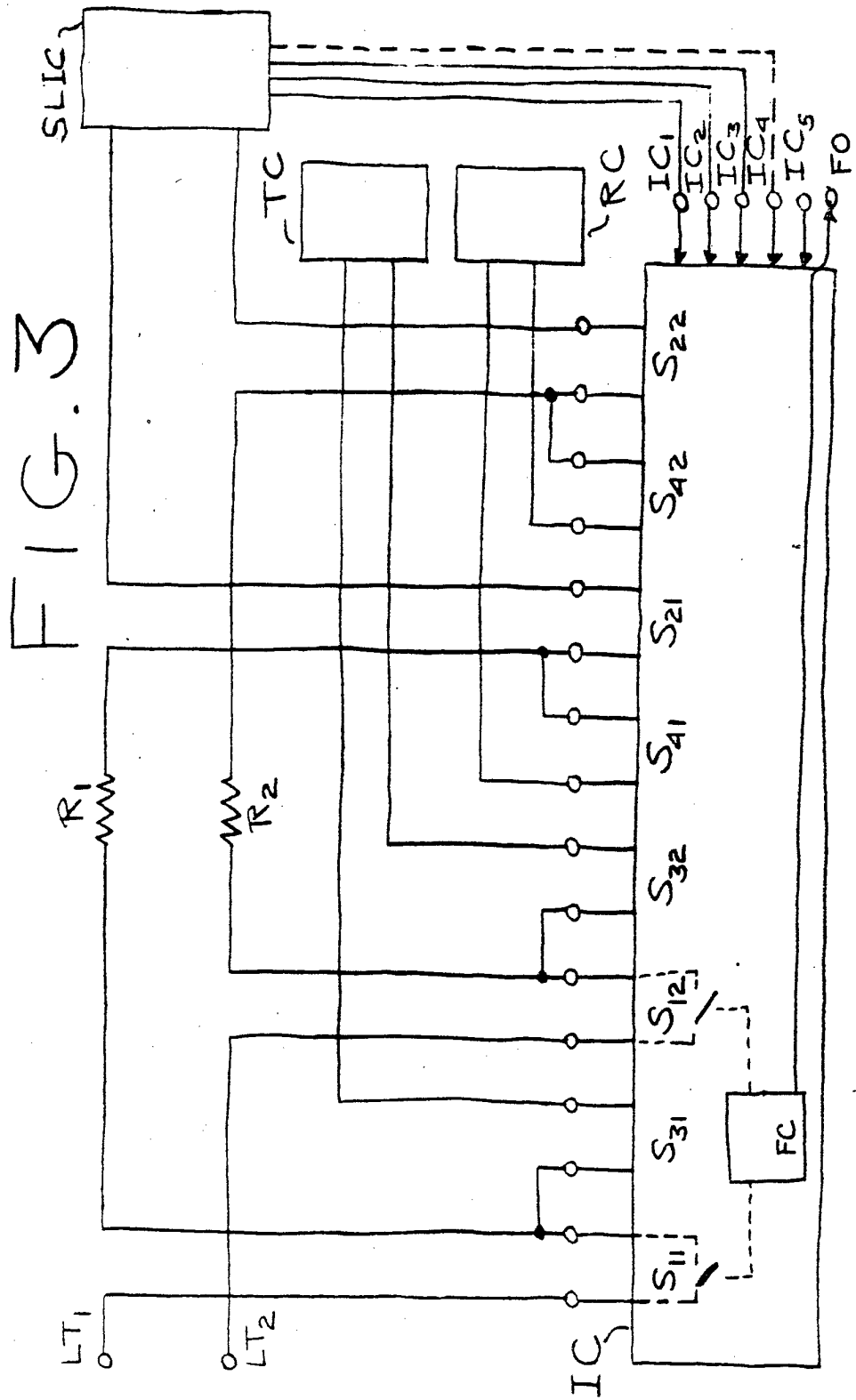


FIG. 1

2/8 62

FIG. 3



25.FEB.1985 * 234663

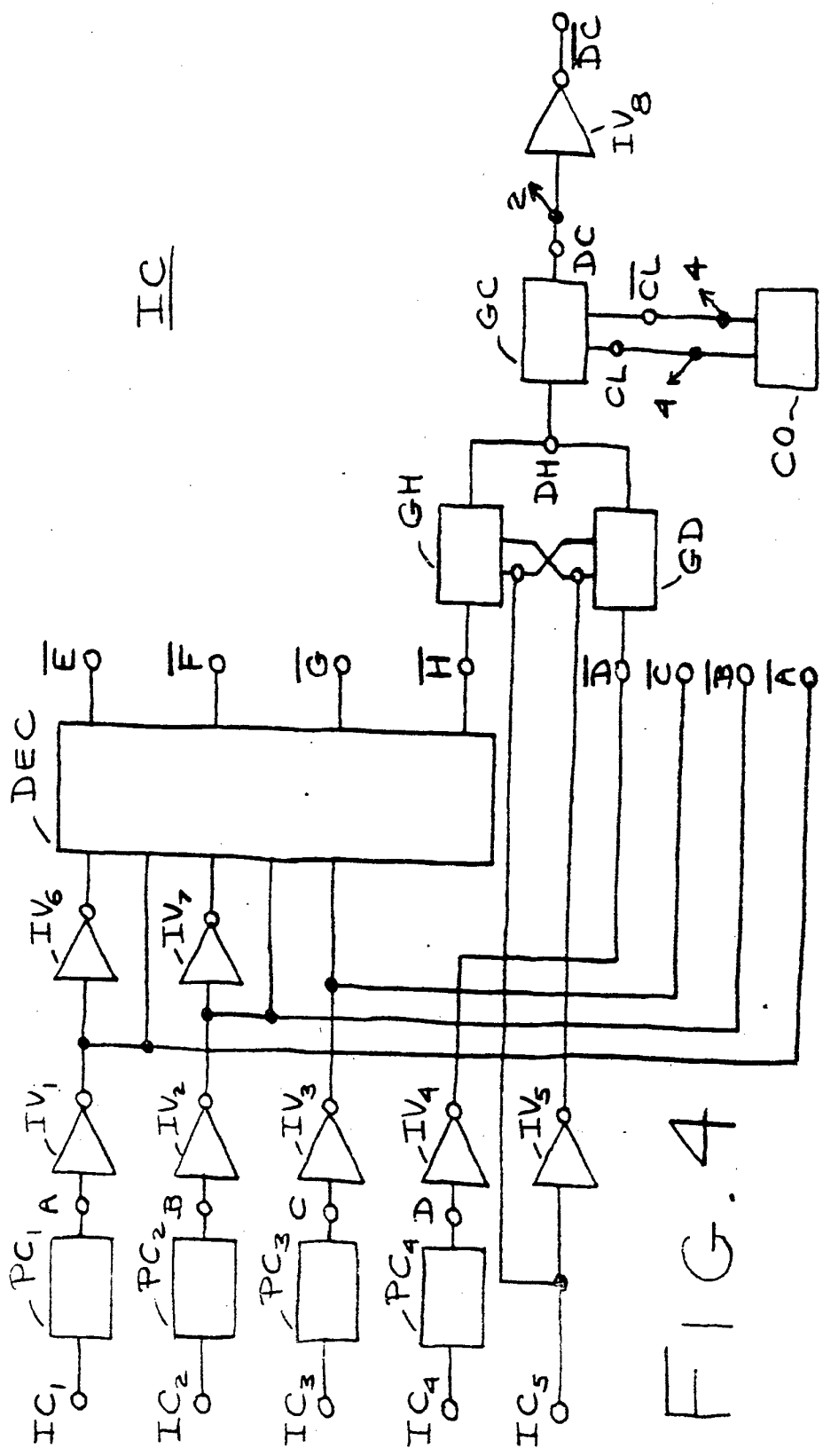


FIG. 4

IC

FIG. 5 FIG. 6

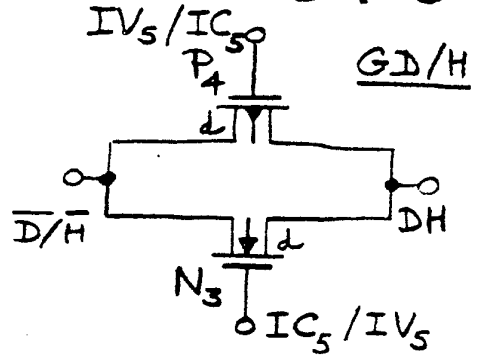
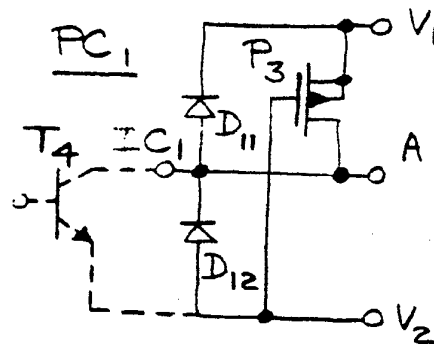


FIG. 7

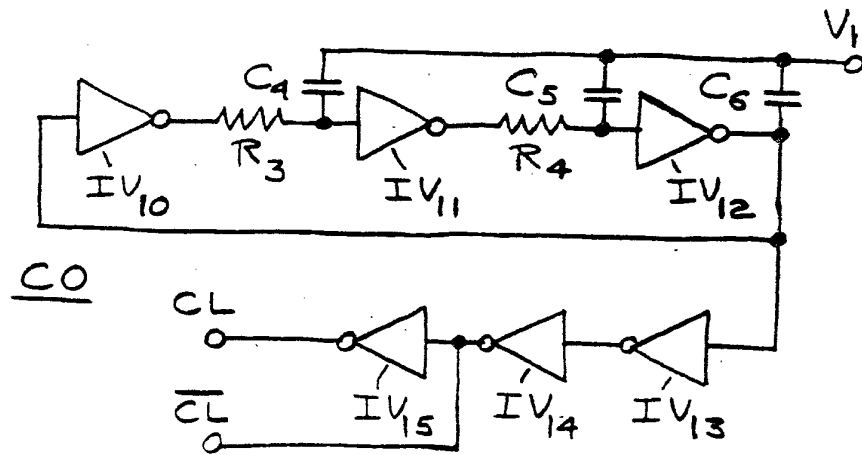
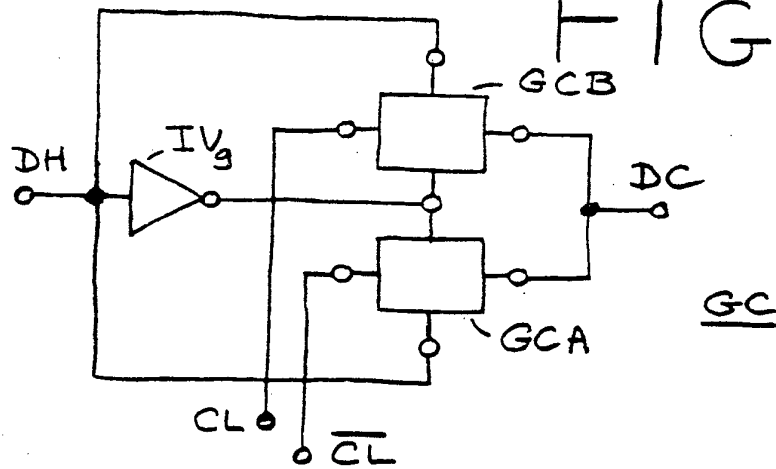


FIG. 8

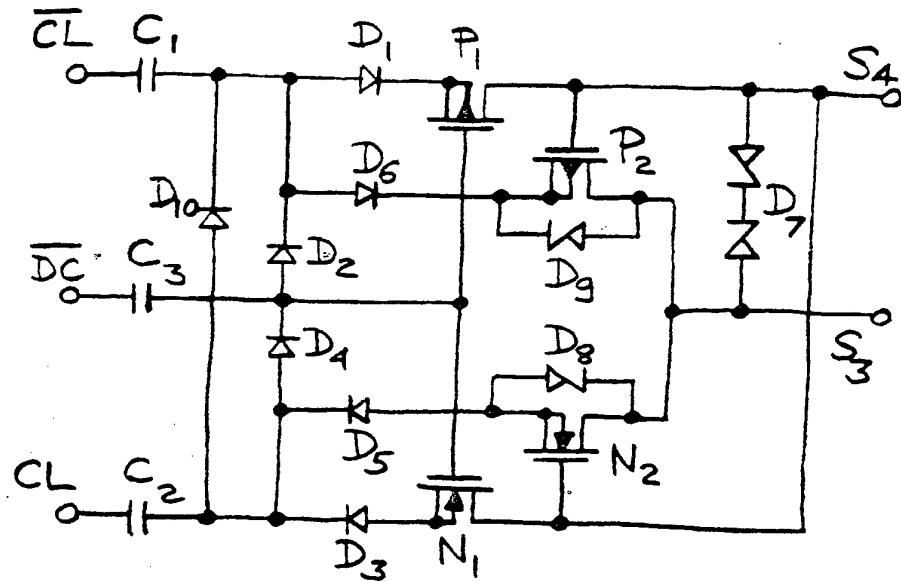


FIG. 2

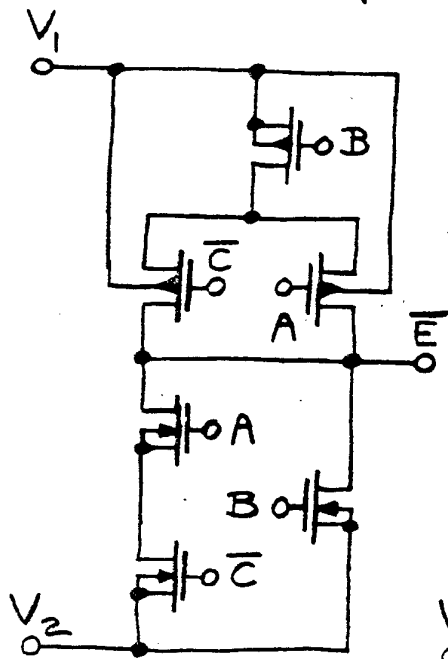


FIG. 9

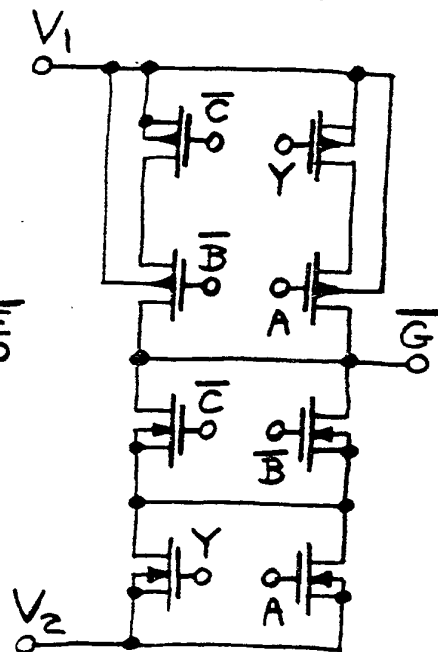


FIG. 10

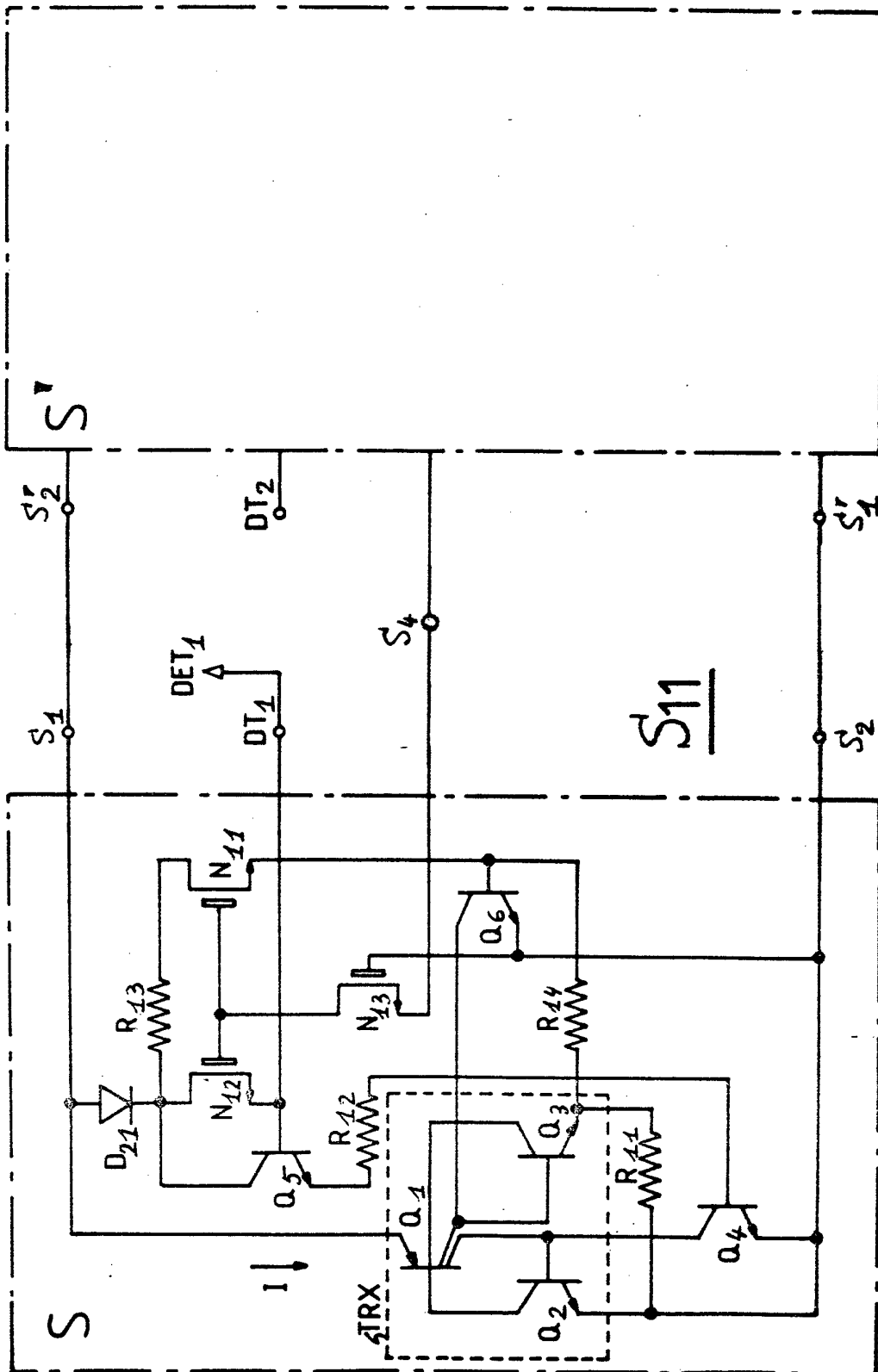
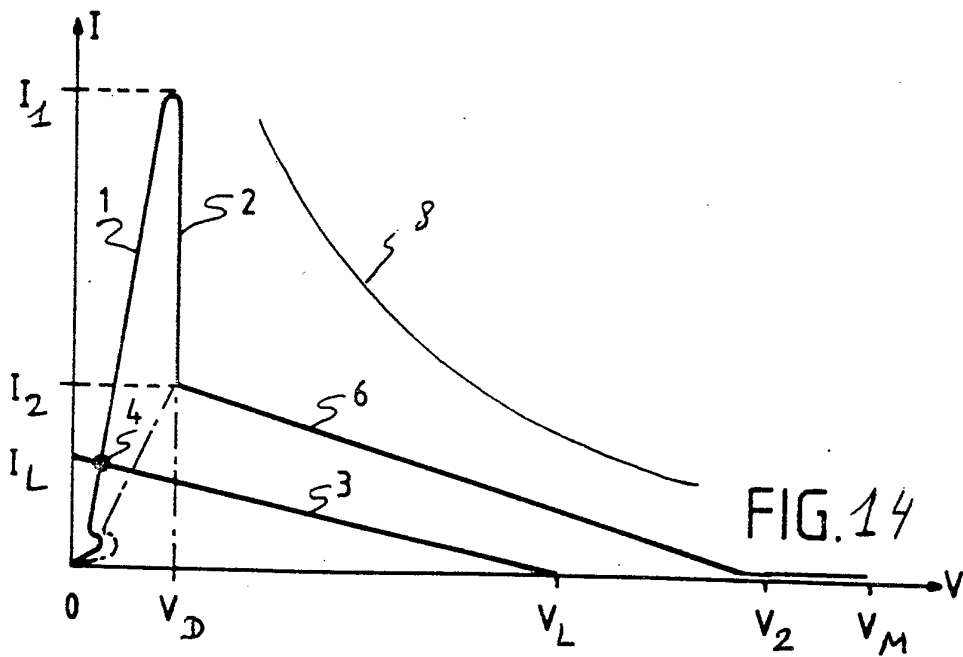
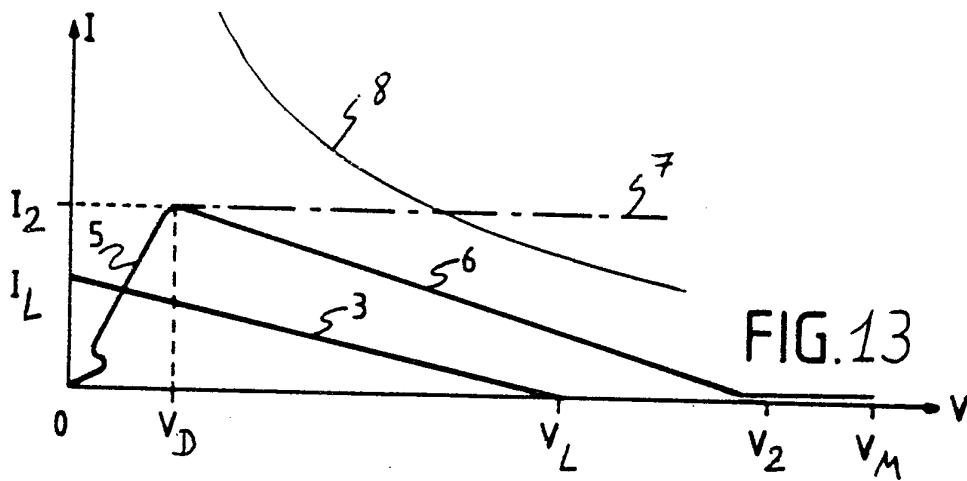
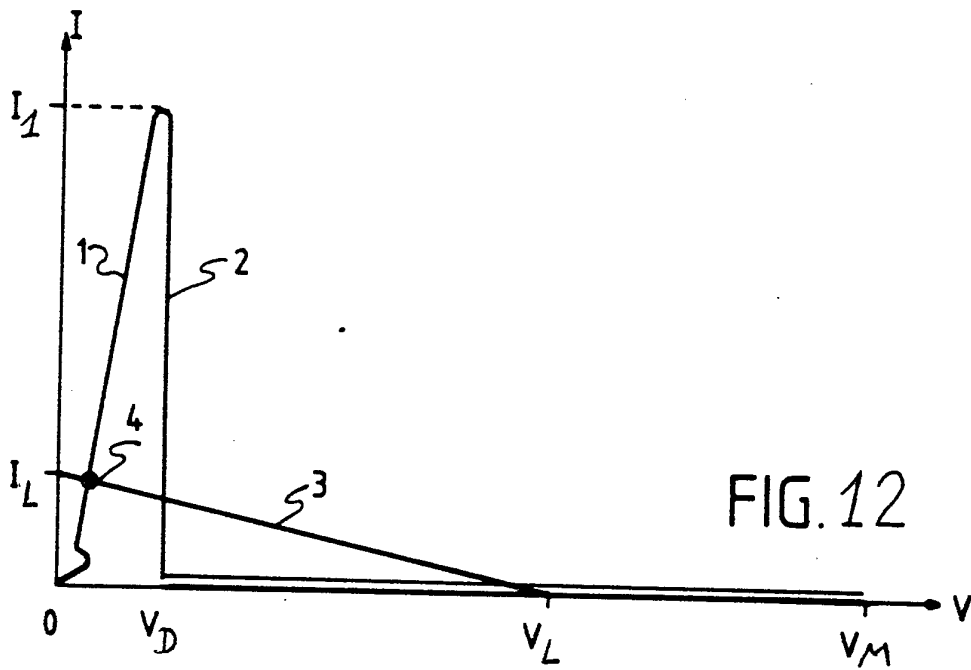


FIG. 11



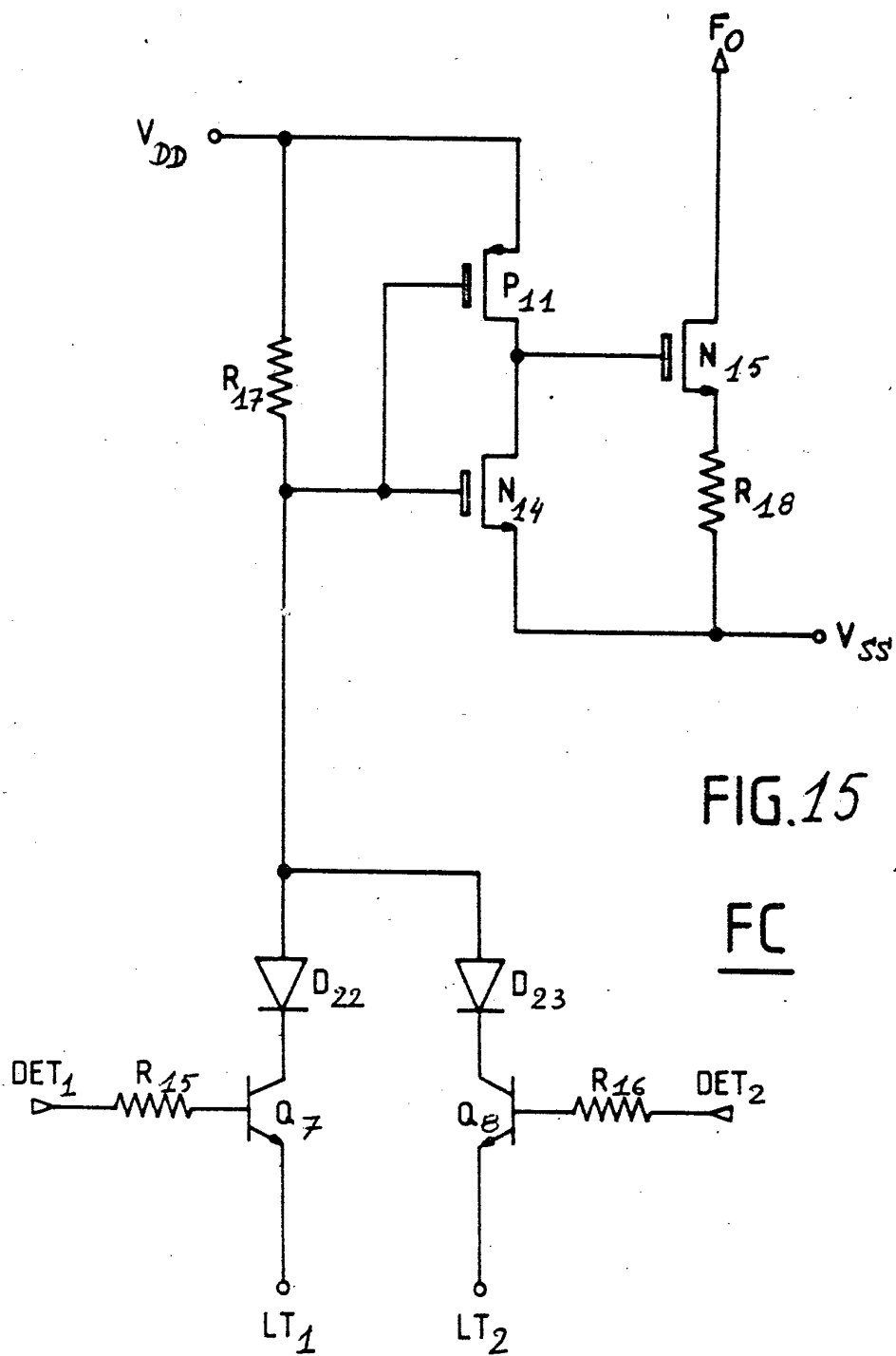


FIG.15

FC