(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 16/06
H01L 27/115

(45) 공고일자 1999년02월01일
(11) 등록번호 특0159457
(24) 등록일자 1998년08월11일

(21) 출원번호 특1995-005677
(22) 출원일자 1995년03월14일
(65) 공개번호 특1995-027845
(43) 공개일자 1995년10월18일

(30) 우선권주장 94-42363 1994년03월14일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 아리토메 세이이치
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
(74) 대리인 이세진, 김윤배

심사관 : 이철희

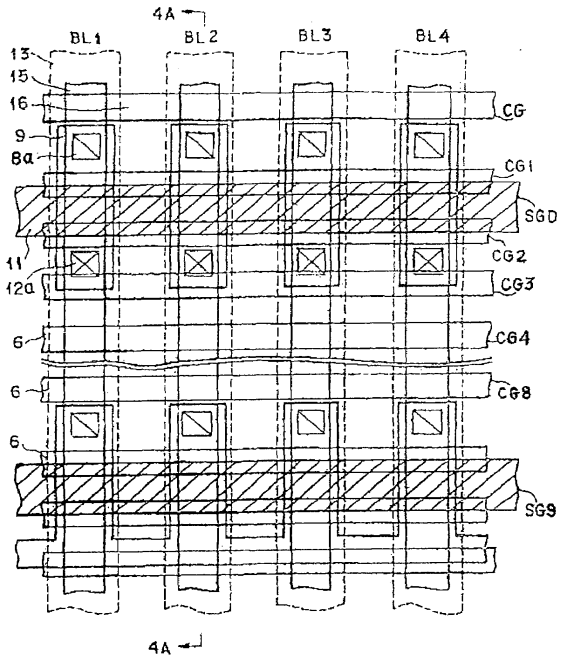
(54) 반도체 메모리장치

요약

본 발명에 따른 반도체 메모리장치는, 반도체기판과; 소정 방향으로 배열된 워드선; 각각 전하축적층과 반도체기판상에 적층된 제어게이트를 갖추면서 각각 다수의 메모리셀을 갖추고, 하나의 유니트로서 기록 및 소거동작이 상기 전하축적층과 상기 반도체기판 사이의 전송전하에 의해 수행되는 다수의 메모리셀 유니트; 상기 워드선을 지나는 방향으로 배열됨과 더불어 상기 다수의 메모리셀에 대해 데이터를 전송하기 위한 다수의 데이터선 및; 상기 다수의 메모리셀 유니트와 상기 다수의 데이터선 사이에 배열됨과 더불어 각각 상기 다수의 메모리셀 유니트중 대응하는 하나에 연결된 제1단과 상기 다수의 데이터선중 대응하는 하나에 연결된 제2단을 갖춘 다수의 선택트랜지스터를 포함한다.

다수의 선택트랜지스터는 그 채널부로서 다수의 메모리셀 유니트상에 형성된 박막반도체층을 갖춘 박막트랜지스터를 형성한다.

대표도



명세서

[발명의 명칭]

반도체 메모리장치

[도면의 간단한 설명]

제1도는 종래 EEPROM의 하나의 NAND셀을 나타낸 평면도.

제2도(a) 및 제2도(b)는 제1도에 도시된 2A-2A선 및 2B-2B선에 따른 단면도.

제3도는 제1실시예에 따른 NAND형 셀 EEPROM의 구조를 나타낸 평면도.

제4도는 제3도에 도시된 4A-4A선에 따른 단면도.

제5도는 제3도 및 제4도에 도시된 셀어레이의 등가회로도.

제6도는 제1실시예에 셀어레이의 구성의 일례를 나타낸 도면.

제7도는 제2실시예의 변형을 나타낸 등가회로도.

제8도는 제2실시예에 따른 NAND형 셀 EEPROM의 구조를 나타낸 평면도.

제9도는 제8도에 도시된 셀어레이의 등가회로도.

제10도는 제3실시예에 따른 NAND형 셀 EEPROM의 구조를 나타낸 평면도.

제11도는 제 10도에 도시된 셀어레이의 등가회로도.

제12도는 제4실시예에 따른 NAND형 셀 EEPROM의 등가회로도.

제13도는 제5실시예에 따른 NAND형 셀 EEPROM의 등가회로도.

제14도는 제6실시예에 따른 NAND형 셀 EEPROM의 구조를 나타낸 평면도.

제15도는 제 14도의 15A-15A선에 따른 평면도.

제16도는 제7실시예에 따른 NAND형 셀 EEPROM의 등가회로도.

제17도는 제8실시예에 따른 EEPROM의 등가회로도.

제18도는 제8실시예에 따른 EEPROM의 등가회로도.

제19도는 제9실시예에 따른 EEPROM의 등가회로도.

제20도는 제10실시예에 따른 EEPROM의 단면도이다.

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 메모리셀 유니트가 각각 MOS트랜지스터 구조를 갖춘 다수의 메모리셀을 연결함으로써 구성된 반도체 메모리장치에 관한 것이다.

[종래의 기술 및 그 문제점]

최근, 하나의 유니트로서 형성된 다수의 메모리셀을 갖춤과 더불어 데이터선과의 접촉수를 줄이기 위해 데이터선이 메모리셀 유니트에 연결된 메모리셀 유티트를 구성하는 것에 의해 고집적도를 얻도록 설계된 구조를 갖춘 EEPROM이 고집적도를 형성할 수 있는 전기적으로 프로그램이 가능한 불휘발성 반도체장치(EEPROM)로서 알려져 있다. 예컨데, 다수의 메모리셀을 직렬로 연결함으로써 각각 구성된 NAND셀을 갖춘 EEPROM이 알려져 있다. 제 1도는 이러한 형태의 EEPROM의 NAND셀중 하나를 나타낸 평면도이고, 제2도(A) 및 제2도(B)는 제1도에 도시된 2A-2A선 및 2B-2B선에 따른 단면도이다.

8개의 메모리셀(M1~M8)과 2개의 선택트랜지스터(S1, S2)를 갖춘 NAND셀이 소자분리절연막(2)에 의해 정의된 p형 실리콘기판(1; 또는 n형 실리콘기판에 형성된 p형 웰을 갖춘 웨이퍼)의 영역에 구성되어 형성된다. NAND셀을 구성하는 메모리셀을 형성하기 위해 제1층 폴리실리콘막의 부유게이트(4; 4_1 ,4_2 ---)가 그 사이에 배치된 제1게이트 절연막(3)과 함께 기판(1)을 지나 형성됨과 더불어 제2층 폴리실리콘막의 제어게이트(6; 6_1 ,6_2 ,---)가 그 사이에 배치된 제2게이트 절연막(5)과 함께 부유게이트를 지나 형성된다.

선택트랜지스터(S1 ,S2)의 게이트 절연막(5a)이 제2게이트 절연막(5)과 동시에 형성됨과 더불어 그 게이트전극(6a1, 6a2)이 제어게이트(6)와 동시에 형성된다. 각 메모리셀의 제어게이트(6)는 워드선으로서 가능하도록 행방향으로 연속적으로 형성된다. 소스/드레인으로서 기능하는 n형 확산층(7)은 메모리 셀 사이에 형성되고, 인접하는 메모리셀이 소스/드레인을 공통으로 이용하며, NAND셀을 구성하도록 다수의 메모리셀이 직렬로 연결된다.

NAND형 셀 EEPROM의 기록 및 소거동작은 기판(1)과 부유게이트(4) 사이에서 흐르는 터널링 전류에 의한 전송전하에 의해 영향을 받는다. NAND형 셀 EEPROM은 접촉의 수가 상당히 감소될 수 있음과 더불어 고집적도를 달성할 수 있는 점에서 종래의 NOR형 EEPROM을 능가하는 이점을 갖는다.

그러나, EEPROM의 집적도를 더욱 증가시키는 시도가 이루어지면, 해결해야만 하는 다음과 같은 문제가 야기된다.

메모리셀과 다른 부분의 영역, 특히 선택트랜지스터(S1, S2)에 의해 점유된 영역이 감소되어야 한다. NAND셀의 경우에 있어서, 선택트랜지스터(S1, S2)는 인접하는 NAND셀과 함께 선택성을 얻도록 필요함과 더불어 필수불가결하다. 더욱이, 소스선의 확산층의 고저항에 기인해서 충분히 큰 셀 전류가 얻어질 수 없게 됨과 더불어 고속 억세스가 얻어질 수 없게 된다. 소자의 축소화로 인해 선택게이트의 펀치 드로우 브레이크다운 전압이 낮아지므로 선택게이트의 게이트길이가 감소될 수 없고, 따라서 선택게이트부의 영역이 감소될 수 없게 된다.

상기한 바와 같이 종래의 불휘발성 반도체 메모리장치에서는 선택트랜지스터부에 의해 점유된 영역이 감소될 수 없어 집적도의 향상을 더욱 어렵게 만든다. 더욱이, 고속억세스가 얻어질 수 없음과 더불어 펀치으로우 브레이크다운 전압이 낮아지게 되는 문제가 발생된다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 선택트랜지스터에 의해 점유된 영역이 실직적으로 생략될 수 있음과 더불어 고속 억세스 및 고신뢰성을 얻도록 집적도가 증가된 반도체 메모리장치를 제공함에 그 목적이 있다.

본 발명의 요점은 메모리셀 유니트에 연결된 선택트랜지스터가 다수의 메모리셀 유니트의 드레인 또는 소스에 연결된다. 더욱이, 선택트랜지스터가 박막트랜지스터(이후, TFT로 칭함)로서의 메모리셀 유니트상에 적층 및 형성된다.

[발명의 구성 및 작용]

상기 목적 달성하기 위한 본 발명은, 반도체기판과; 소정 방향으로 배열된 워드선; 각각 전하축적층과 반도체기판상에 적층된 제어게이트를 갖추면서 각각 다수의 메모리셀을 갖추고, 하나의 유니트로서 기록 및 소거동작이 상기 전하축적층과 상기 반도체기판 사이의 전송전하에 의해 수행되는 다수의 메모리셀 유니트; 상기 워드선을 지나는 방향으로 배열됨과 더불어 상기 다수의 메모리셀에 대해 데이터를 전송하기 위한 다수의 데이터선 및; 상기 다수의 메모리셀 유니트와 상기 다수의 데이터선 사이에 배열됨과 더불어 각각 상기 다수의 메모리셀 유니트중 대응하는 하나에 연결된 제1단과 상기 다수의 데이터선중 대응하는 하나에 여결된 제2단을 갖춘 다수의 선택트랜지스터를 구비하여 구성되고, 상기 각 다수의 선택트랜지스터의 상기 제1단이 데이터선 방향으로 인접하는 메로리셀 유니트에 의해 분할되는 것을 특징으로 한다.

또한 본 발명은, 반도체기판과; 각각 전하축적층과 상기 반도체기판상에 적층된 제어게이트를 갖는 각각 다수의 메모리셀을 갖추고, 하나의 유니트로서 기록 및 소거동작이 상기 전하축적층과 상기 반도체 사이에서 수행되는 다수의 메모리셀 유니트; 채널부로서 상기 다수의 메로리셀 유니트상에 형성된 박막반도체층을 갖춘 박막트랜지스터에 의해 구성된 다수의 선택트랜지스터 및; 상기 다수의 선택트랜지스터를 매개로 상기 다수의 메모리셀 유니트에 연결된 다수의 데이터선을 구비하여 구성된 것을 특징으로 한다.

본 발명의 바람직한 측면은 다음과 같다.

(1) 메모리셀이 EEPROM, 마스크 ROM 또는 SRAM이다.

(2) 메모리셀 유니트가 다수의 직렬접속된 메모리셀을 갖춘 NAND셀이다. 한편, 메모리셀 유니트가 AND형, DINOR형 또는 NOR형이다.

(3) 데이터선(비트선)에 대해 메모리셀 유니트의 드레인측상에 배열된 선택트랜지스터를 연결하기 위한 콘택트부의 위치가 인접하는 비트선에서 서로 어긋나 있다.

(4) 다수의 선택트랜지스터가 워드선 방향으로 인접하는 제 1 및 제2 선택트랜지스터를 포함하고, 워드선 방향으로 배열된 인접하는 메모리셀 유니트가 상기 제 1 및 제 2 선택트랜지스터를 매개로 동일 데이터선에 연결되며, 상기 메모리셀 유니트중 원하는 하나가 상기 인접하는 메모리셀 유니트중 하나를 선택하도록 상기 동일 데이터선에 연결된 상기 제1 및 제2 선택트랜지스터중 하나를 도전되게 함으로써 동작된다.

(5) 상기 각 다수의 메모리셀 유니트가 상기 다수의 선택트랜지스터의 대응하는 하나를 매개로 상기 다수의 데이터선의 대응하는 하나에 연결된 제 1단과, 상기 다수의 선택트랜지스터중 다른 하나를 매개로 상기 다수의 데이터선중 다른 하나에 연결된 제 2단을 갖춘다. 특히, 다수의 메모리셀 유니트가 직렬로 접속되고, 그 각각의 연결노드가 선택트랜지스터를 매개로 데이터선에 연결되며, 각 메모리셀 유니트가 비트선으로서 이용되는 데이터선중 하나와 함께 구동됨과 더불어 다른 데이터선이 소스선으로 이용된다.

(6) 박막트랜지스터가 메모리셀 유니트부를 제외한 주변 회로부에 형성된다.

본 발명에 따르면, 선택트랜지스터가 다수의 메모리셀 유니트의 확산층에 연결되거나 TFT가 형성된 선택트랜지스터가 메모리셀 유니트상에 형성되므로, 선택트랜지스터부의 점유영역이 실질적으로 생략될 수 있게 됨으로써 집적도를 증가시킬 수 있게 된다. 더욱이, 메모리셀 유니트가 형성될 때, 게이트 절연막으로서의 선택트랜지스터부와 메모리셀부의 2가지 형태를 형성하는데 불필요하게 됨으로써 단계의 수를 감소시킬 수 있게 만든다.

따라서, 선택트랜지스터가 메모리셀 유니트상에 형성됨으로써 어레이 연결을 위한 자유도가 증가되고, 예컨데 소스선이 제거됨과 더불어 그를 위해 인접 비트선이 대신할 수 있는 이점이 얻어질 수 있음과 더불어 높은 수행능력이 얻어질 수 있게 된다. 따라서 본 발명에 따르면, 선택트랜지스터에 의해 점유된 영역이 실질적으로 생략될수 있음과 더불어 집적도가 더욱 증가될 수 있는 불휘발성 반도체 메모리장치를 얻을 수 있게 된다.

[실시예]

이하, 예시도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.

[제1실시예]

제3도는 본 발명의 제1실시예에 따른 NAND형 셀 EEPROM의 구조를 나타낸 평면도이고, 제4도는 제3도에 도시된4A-4A선에 따른 단면도이다.

p형 웰(1a)이 n형 Si기판(1)상에 형성됨과 더불어 소자영역(15)과 소자분리영역(16)이 p형 웰(1a)상에 스트라이프 형태로 상호 배열되어 있다. 부유게이트(4; 전하축적층)는 그 사이에 위치한 제1게이트 절연막(3)과 함께 p형 웰(1a)을 지나는 우각에서 소스영역(15)과 소자분리영역(16)을 교차하는 방향으로 연장되도록 형성되고, 제어게이트(6)가 그 사이에 위치한 제2게이트 절연막(5)과 함께 각 부유게이트를 지나 형

성되어 있다.

MOS트랜지스터 구조의 메모리셀은 마스크로서 이용되는 제어게이트(6)와 함께 p형 웰(1a)에 불순물확산에 의해 n^+형 확산층(7)을 형성함으로써 형성된다. 메모리셀의 프리세트 수는 NAND셀을 구성하도록 직렬로 연결된다.

제1층간절연막(8)이 그 위에 형성된 NAND셀을 갖춘 기판상에 퇴적되고, 예컨데 콘택트홀(8a)이 각각 8개의 제어게이트(6)에 대한 소자영역에 형성된다. 비결정질, 다결정 실리콘막 또는 단결성 실리콘막(9)이 제1층간절연막(8)상에 퇴적되고, 실리콘막(9)이 프레세트 형태로 처리됨과 더불어 실리콘막의 부분이 n^+형 확산층(7)에 연결된다. 게이트전극(11; 선택게이트)이 그 사이에 위치한 게이트 절연막(10)과 함께 실리콘막(9)의 부분을 지나 형성되고, 예컨데 배소가 마스크로서 이용되는 게이트전극(11)과 함께 실리콘막(9)에 이온주입된다. 결과적으로, 채널(9a)과 소스(9b) 및 드레인(9c)을 갖춘 TFT의 선택트랜지스터가 형성된다.

제2층간절연막(12)이 그 위에 형성된 선택트랜지스터를 갖춘 기판상에 퇴적됨과 더불어 선택트랜지스터의 드레인(9c)을 비트선에 연결하기 위한 콘택트홀(12a)이 형성된다. 이 때, 비트선(13)이 절연막(12)상에 형성된다. 결과적으로, TFT를 형성하는 선택트랜지스터의 드레인(9c)이 비트선(13)에 연결됨과 더불어 그 소스(9b)가 NAND셀의 드레인측에 연결된다.

소스측에 연결된 선택트랜지스터의 소스($9b;9b_1,9b_2$)가 콘택트홀($8a;8a_1,8a_2$)을 매개로 n^+형 확산층(7)에 연결됨과 더불어 그 드레인($9c;9c_1$, 9c $_2$)이 소스선으로 기능하도록 인접하는 드레인($9c_2$)에 연결된다.

제5도는 제3도 및 제4도에 도시된 셀어레이의 등가회로도이고, 제6도는 셀어레이의 구성의 일례를 나타낸 것이다. 하나의 드레인측 선택트랜지스터(선택게이트(SGD)에 연결된)와 하나의 소스측 선택트랜지스터(선택게이트(SGS)에 연결된)가 2개의 NAND셀 각각에 대해 구성됨과 더불어 각 선택트랜지스터(SGD, SGS)가 적어도 2개의 NAND셀에 의해 공통으로 이용된다. 특히, 다수의 NAND셀이 선택트랜지스터에 연결된다. 기판상의 소자영역(n^+형 확산층)이 하나의 블록에서 다수의 NAND셀을 매개로 서로 연결됨과 더불어 블러이 서로로부터 소자영역을 분리함으로써 분리된다.

다음의 표는 본 실시예의 동작을 나타낸다. NAND형 셀 EEPROM의 기록 및 소거동작이 기판과 부유게이트(3) 사이의 터널링 전류에 의한 전하의 전송에 의해 영향을 받는다.

[표 1]

		소거	기록	독출
	선택된 BL	0 또는 VM 또는 Vpp	0	1V
	비선택된 BL	0 또는 VM 또는 Vpp	VM	1V
	SGD	0 또는 Vpp	VM	Vcc
선택된 블럭에서	CG1	0	VM	Vcc
비선택된 NAND	CGn	0	Vpp	0
	CG8	0	VM	Vcc
	SGS	0 또는 Vpp	0	Vcc
	소스	0 또는 Vpp	0	0
공통	p웰	Vpp	0	0
	n기판	Vpp	Vcc	Vcc
	선택된 BL	0 또는 VM 또는 Vpp	0	1V
	비선택된 BL	0 또는 VM 또는 Vpp	VM	1V
	SGD	0 또는 Vpp	0 또는 VM	0
선택된 블럭에서	CG1	Vpp	VM	0
비선택된 NAND	CGn	Vpp	VM	0
	CG8	Vpp	VM	0
	SGS	0 또는 Vpp	0	0
	선택된 BL	0 또는 VM 또는 Vpp	0	1V
	비선택된 BL	0 또는 VM 또는 Vpp	VM	1V
	SGD	0 또는 Vpp	0	0
비선택 블럭	CG1	Vpp	0	0
	CGn	Vpp	0	0
	CG8	Vpp	0	0
	SGS	0 또는 Vpp	0	0

통상의 NAND셀 동작과 같이 소거동작에 고전위(Vpp)가 p형 웰등에 인가되고, 제어게이트(CG)의 전위가 0V로 세트되며, 부유게이트에서의 전하가 기판내로 방전된다. 소거동작이 영향을 미치지 않는 셀에 있어서 제어게이트(CG)의 전위가 전하의 방전을 방지하기 위해 Vpp로 설정된다. 소거시에 있어서, 선택게이트(SG)의 전위는 0V로 설정됨과 더불어 비트선(BL)의 전위는 약 0V 내지 VM으로 설정되거나 선택게이트(SG)의 전위는 Vpp로 설정됨과 더불어 비트선(BL)의 전위는 약 Vpp로 설정되지만, 선택게이트(SG)의 전위가 0V로 설정됨과 더불어 비트선(BL)의 전위가 0V또는 VM으로 설정되는 경우, Vpp가 비트선 디코더(열디코더)의 트랜지스터에 인가되지 않으므로 비트선 디코더의 고내압의 트랜지스터를 형상할 필요가 없게 된다. 따라서, 비트선 디코더는 저내압 트랜지스터만을 이용함으로써 구성될 수 있게 되어 영역을 상당히 줄일 수 있게 된다.

동시 소거 방법으로서 제어게이트(CG)의 전위와 모든 메모리셀의 선택게이트(SG)가 0V로 설정되고, 고전위(Vpp)가 NAND셀의 드레인에 연결된 비트선(BL)과, NAND셀의 공통 소스선 및, 기판에 인가된다. 이 겨우, 그 임계치 전압이 부방향으로 시프트하는 상태 0을 셋업하도록 메모리셀에서 전하가 부유게이트로부터 기판으로 방전된다.

기록동작이 통상의 NAND셀에서의 동작과 동일한 방법으로 이루어진다. 기록동작이 소스측 메모리셀(M8)로부터 시작하여 연속적으로 이루어진다. 먼저, 공통 소스와 소스측 선택게이트(SGS)가 접지되고, 고전위(Vpp)가 메모리셀(M8)의 제어게이트(CG)에 인가되며, 중간전위가 나머지 제어게이트(CG)와 드레인측 선택게이트(SGD)에 인가된다. 결과적으로, 비트선(BL)의 전위(0V)가 메모리셀(M8)의 드레인에 전송되고, 정방향으로 임계치전압을 시프트하도록 전자가 메모리셀(M8)의 드레인 확산층으로부터 부유게이트로 주입된다. 즉, 1 의 기록동작이 이루어진다. 데이터 기록동작이 메모리셀(M7, M6, …)의 순서로 연속적으로 이루어진다.

그러나, VM이 선택된 블록의 비선택 NAND의 제어게이트(CG)에 인가된다. 이는 비트선(BL)에 인가된 동일한 블러에서 n형 확산층에 인가되기 때문이다. 선택된 블록의 비선택 NAND의 드레인측 선택게이트(SGD)의 전위0V로 설정되지만, VM은 확산층의 전위(선택된 NAND와 동일한 전위)를 안정되게 결정하도록 인가된다.

독출동작이 통상의 NAND셀과 동일한 방법으로 이루어진다. 즉, 선택된 메모리셀의 제어게이트(CG)와 공통 소스선이 접지되고, 전류의 전재 유무를 검출하도록 전원전위가 나머지 제어게이트와 선택게이트에 인가된다.

상기한 바와 같이 본 실시예에 따르면, NAND셀을 비트선과 소스선에 연결하기 위한 선택트랜지스터가 NAND셀상에 TFT로서 형성됨과 더불어 다음과 같은 효과가 얻어진다.

(1) 선택트랜지스터부의 점유영역이 실질적으로 생략되어 메모리셀 어레이의 크기를 감소시킬 수 있게 만든다.

(2) 메모리셀의 터널산화막만이 메모리셀 어레이에서 게이트 절연막으로서 형성됨과 더불어 선택트랜지스터로부터 동일하게 분리적으로 형성하는 것이 불필요하게 됨으로써 단계의 수를 줄일 수 있게 된다.

(3) 선택트랜지스터가 2층 폴리실리콘막을 형성하는 경우, 제1층 폴리실리콘막에서 콘택트를 형성하는 단계가 필요하지만, 이 단계가 생략될 수 있다.

(4) 열디코더부의 영역은 현저하게 감소된다.

(5)선택트랜지스터가 TFT를 형성하지만, 기판바이어스효과가 생략되어 구동능력이 증가되고, VM은 낮아질 수 있음과 더불어 독출속도가 증가될 수 있게 된다.

(6) 선택트랜지스터의 게이트 길이의 감소에 의해 발생된 펀치드로우 브레이크다운 전압의 저하가 방지된다.

제1실시예의 변형으로서 제7도에 도시된 바와 같은 구조가 채용될 수 있다. 본 변형에 있어서, 종래의 경우와 같이 MOS트랜지스터가 NAND셀의 소스측 상의 선택트랜지스터로서 이용됨과 더불어 TFT가 드레인측상의 선택트랜지스터용만으로 이용된다. 이 경우, 메모리셀 어레이의 영역에서 감소의 효과가 반으로 감소되지만, 확산층은 동일한 블러에서 분리되어진다.

[제2실시예]

제8도는 본 발명의 제2실시예에 따른 NAND형 셀 EEPROM의 구조를 나타낸 평면도이고, 제9도는 그 등가회로도이다. 제3도와 동일한 부분에는 동일한 참조부호를 붙이고, 그에 대한 상세한 설명은 생략한다.

본 실시예에 있어서, 기본 구조는 제1실시예와 동일하지만, 선택트랜지스터의 비트선 콘낵트부는 인접하는 비트선에서 서로 달리된다. 즉, 비트선 콘택트측상의 실리콘막은 각 기판 콘낵트의 상부 및 하부 위치에서 교대로 형성된다. 본 예에 있어서, 2개의 선택게이트가 형성된다.

본 예의 동작은 제1실시예와 동일하지만, 본 실시예에 있어서 비트선 콘낵트부가 다르므로 Si 형성을 위한 마진 및 비트선 콘택트부의 형성을 위한 마진이 증가될 수 있게 된다.

더욱이, 표 2에 나타낸 바와 같이 드레인측 선택게이트(SGD1, SGD2)는 기록의 경우 각각 VH 및 0V로 설정될 수 있게 된다. 드레인측 선택게이트(SGD2)의 소스측에 연결된 셀의 확산층은 전기적으로 부유상태로 설정됨과 더불어 셀을 위한 기록동작이 수행되지 않는다. 따라서, 하나의 워드선에 연결된 셀의 반에 대해서만 기록동작을 수행할 수 있게 함과 더불어 페이지 크기와 블록 크기가 감소될 수 있게 된다.

[표 2]

		소거	기록	독출
선택된 블럭에서 비선택된 NAND	선택된 BL	0 또는 VM 또는 Vpp	0	1V
	비선택된 BL	0 또는 VM 또는 Vpp	VM	1V
	SGD1	0 또는 Vpp	VM	Vcc
	SGD2	0 또는 Vpp	0	Vcc
	CG1	0	VM	Vcc
	CGn	0	Vpp	0
	CG8	0	VM	Vcc
	SGS	0 또는 Vpp	0	Vcc
공통	소스	0 또는 Vpp	0	0
	p웰	Vpp	0	0
	n기판	Vpp	Vcc	Vcc
선택된 블럭에서 비선택된 NAND	선택된 BL	0 또는 VM 또는 Vpp	0	1V
	비선택된 BL	0 또는 VM 또는 Vpp	VM	1V
	SGD1	0 또는 Vpp	0 또는 VM	0
	SGD2	0 또는 Vpp	0 또는 VM	0
	CG1	Vpp	VM	0
	CGn	Vpp	VM	0
	CG8	Vpp	VM	0
	SGS	0 또는 Vpp	0	0
비선택 블럭	선택된 BL	0 또는 VM 또는 Vpp	0	1V
	비선택된 BL	0 또는 VM 또는 Vpp	VM	1V
	SGD	0 또는 Vpp	0	0
	CG1	Vpp	0	0
	CGn	Vpp	0	0
	CG8	Vpp	0	0
	SGS	0 또는 Vpp	0	0

또한, 본실시예에 있어서, 통상의 경우와 소스측 선택트랜지스터로서 기판상의 MOS트랜지스터를 이용하도록 할 수 있고, 제7도에 나타낸 바와 같이 드레인측 선택트랜지스터용으로만 TFT를 이용한다.

[제3실시예]

제10도는 본 발명의 제3실시예에 따른 NAND형 셀 EEPROM의 구조를 나타낸 평면도이고, 제11도는 그 등가회로도이다. 제3도와 동일한 부분에는 동일한 참조부호를 붙이고, 그에 대한 상세한 설명은 생략한다.

소스측 선택트랜지스터가 제1실시예와 동일하다. 드레인측 선택트랜지스터가 제 2실시예와 동일하지만, 비트선 연결방법이 다르다. 즉, 비트선이 인접하는 2개의 NAND셀에 공통으로 접속됨과 더불어 하나의 NAND셀이 선택게이트(SGD1, SGD2) 중 하나를 선택함으로써 선택될 수 있게 된다. 본 실시예의 동작이 표3에 나타낸 바와 같이 된다.

[표 3]

		소거	기록	독출
	선택된 BL	0 또는 VM 또는 Vpp	0	1V
	비선택된 BL	0 또는 VM 또는 Vpp	VM	1V
	SGD1	0 또는 Vpp	VM	Vcc
	SGD2	0 또는 Vpp	0	0
선택된 블럭에서 비선택된 NAND	CG1	0	VM	Vcc
	CGn	0	Vpp	0
	CG8	0	VM	Vcc
	SGS	0 또는 Vpp	0	Vcc
	소스	Vpp	0	0
공통	p웰	Vpp	0	0
	n기판	Vpp	Vcc	Vcc
	선택된 BL	0 또는 VM 또는 Vpp	0	1V
	비선택된 BL	0 또는 VM 또는 Vpp	VM	1V
	SGD1	0 또는 Vpp	0	0
	SGD2	0 또는 Vpp	0	0
선택된 블럭에서 비선택된 NAND	CG1	Vpp	VM	0
	CGn	Vpp	VM	0
	CG8	Vpp	VM	0
	SGS	0 또는 Vpp	0	0
	선택된 BL	0 또는 VM 또는 Vpp	0	1V
	비선택된 BL	0 또는 VM 또는 Vpp	VM	1V
	SGD1	0 또는 Vpp	0	0
	SGD2	0 또는 Vpp	0	0
비선택 블럭	CG1	Vpp	0	0
	CGn	Vpp	0	0
	CG8	Vpp	0	0
	SGS	0 또는 Vpp	0	0

본 실시예에 있어서 제1실시예와 동일한 효과가 얻어질 수 있게 되고, 부가적으로 비트선의 설계를 위한 마진이 증가됨과 더불어 비트선 사이의 캐패시턴스가 감소될 수 있는 이점이 비트선 연결방법을 개선함으로써 얻어질 수 있게 된다. 더욱이, 비트선 디코더와 감지증폭기의 디자인 치수가 유연하게 되어 점유면적이 감소될 수 있게 된다.

[제4실시예]

제12도는 본 발명의 제4실시예에 따른 NAND형 셀 EEPROM의 등가회로도로서, 제3도와 동일한 부분에는 동일한 참조부호를 붙이고, 그에 대한 상세한 설명은 생략한다.

본 실시예에 있어서, 소스선이 생략됨과 더불어 비트선이 그를 대신한다. 즉, NAND셀의 모든 드레인측 및 소스측이 선택트랜지스터를 매개로 비트선에 연결된다. 인접하는 선택트랜지스터(예컨데, SGa2, SGb2)는 동시에 턴 ON되지 않고, 예컨대 데이터가 제12도에서 ○ 마크에 의해 표시된 셀로부터 독출되는 경우, SGb2가 ON으로 설정될 때 SGa2가 OFF로 설정되고, 이 때 SGa3가 ON으로 설정되어 전류가 BL2로부터 BL1으로 흐르거나 BL4로부터 BL3으로 흐른다. 따라서, 인접하는 비트선(BL)이 비트선과 소스선으로 기능한다.

상기한 바와 같이 독출동작이 각 인접하는 셀에 대해 동시에 이루어진다. 데이터가 인접하는 셀로부터 독출되는 경우, 예컨대 데이터가 △ 마크에 의해 표시된 셀로부터 독출되는 경우 SGa2와 SGb3가 동시에 ON으로 설정되어 전류가 BL1으로부터 BL0(도시되지 않았음)로 흐르거나 BL3로부터 BL2로 흐르게 된다. 데이터가 ○ 마크에 의해 표시된 셀로부터 독출되는 경우, 데이터는 상기한 경우와 같이 SGb2와 SGa3를 ON으로 설정함과 더불어 예컨대 BL1에 1V의 전압을 인가하는 것에 의해 또한 독출되어 BL1으로부터 BL2로 전류를 흘린다.

본 실시예의 동작은 표 4에 따른다. 섹터 소거 및 부분 소거는 소거동작이 CG21 내지 CG28에 연결된 셀에 대해 수행되는 경우를 나타낸다.

[표 4]

	동시소거	섹터소거 (부분소거)	기록 "0" "1"	독출
BL1	0 또는 VM 또는 Vpp		0 VM	0
BL2	0 또는 VM 또는 Vpp	좌측열과	0 VM	1V
BL3	0 또는 VM 또는 Vpp	동 일	0 VM	0
BL4	0 또는 VM 또는 Vpp		0 VM	1V
SGa1	0 또는 VM 또는 Vpp		0	0
SGb1	0 또는 VM 또는 Vpp		0	0
SGa2	0 또는 VM 또는 Vpp	좌측열과	0	0
SGb2	0 또는 VM 또는 Vpp	동 일	VM	Vcc
SGa3	0 또는 VM 또는 Vpp		VM	Vcc
SGb4	0 또는 VM 또는 Vpp		0	0
CG11 내지	0	Vpp	VM	0
CG18	0	Vpp	VM	0
CG21	0	Vpp	VM	Vcc
CG22	0	Vpp	Vpp	0
CG23 내지	0	Vpp	VM	Vcc
CG28	0	Vpp	VM	Vcc
p웰	Vpp	좌측열과	0	0
n기판	Vpp	동 일	Vcc	Vcc

이 경우, 소거동작의 효과가 설명되도록 Vpp가 웰에 인가되는 예이지만, 드레인이나 소스에 Vpp를 인가하는 방법이 이용될 수 있다. 더욱이, 핫일렉트론을 이용하는 기록방법이 이용될 수 있다.

[제5실시예]

제13도는 본 발명의 제5실시예에 따른 NAND형 셀 EEPROM의 등가회로도로서, 제3도와 동일한 부분에는 동일한 참조부호를 붙이고, 그에 대한 상세한 설명은 생략한다.

제4실시예와는 달리 본 실시예에 있어서 인접하는 비트선(BL)이 상보적인 형태로 연결된다. 즉, SG22와 SG32에 연결된 선택트랜지스터가 ○ 마크에 의해 표시된 셀로부터 데이터 독출을 허용하도록 동시에 ON으로 설정됨과 더불어 SG21과 SG31에 연결된 선택트랜지스터가 △ 마크에 의해 표시된 셀로부터 데이터 독출을 허용하도록 동시에 ON으로 설정된다. 이 경우, 비트선이 소스선으로서 이용된다.

[제6실시예]

제14도는 본 발명의 제6실시예에 따른 NAND형 셀 EEPROM의 구조를 나타낸 평면도이다.

제4실시예와 같이 본 실시예에 있어서 소스선이 생략됨과 더불어 비트선이 그들 대신 이용된다. 본 실시예는 선택트랜지스터부에서 특징을 갖춘다. 본 실시예에 있어서, 선택트랜지스터가 기판상에 형성됨과 더불어 선택게이트의 전극이 콘택트홀을 매개로 내부연결층(20; 예컨데, 다결정 실리사이드 내부 연결층)에 연결된다. 이러한 연결방법에 의해 비트선 캐패시턴스가 감소(게이트전극과 확산층간의 캐패시턴스가 감소)될 수 있음과 더불어 소스선이 인접하는 비트선(BL2)에 연결될 수 있어 소스 저항이 감소될 수 있음과 더불어 고속 억세스가 얻어질 수 있게 된다.

제15도는 제14도의 15A-15A선에 따른 단면도로서, 선택게이트(SGD)를 매개로 비트선(BL2)에 연결된다.

본 실시예의 동작은 제4실시예와 동일하므로 그 설명은 생략한다.

[제7실시예]

제16도는 본 발명의 제7실시예에 따른 NAND형 셀 EEPROM의 등가회로도로서, 제5도와 동일한 부분에는 동일한 참조부호를 붙이고, 그에 대한 상세한 설명은 생략한다.

본 실시예에 있어서 메모셀이 병렬로 연결됨과 더불어 그 한쪽의 확산층이 선택트랜지스터를 매개로 비트선에 연결된다.

이와 같은 관계에 따라 소스선이 생략됨과 더불어 비트선이 소스선 대신 이용된다. 즉, 병렬접속된 셀의 모든 드레인측과 소스측이 각각의 선택트랜지스터를 매개로 비트선에 연결된다. 인접하는 선택트랜지스터(예컨대, SGa2, SGb2)가 동시에 턴ON되지 않고, 데이터가 제16도의 ○ 마크에 의해 표시된 셀로부터 독출되는 경우, SGb2가 ON으로 설정될 때 SGa2가 OFF로 설정되고, 이 때 전류가 BL1으로부터 BL2로 흐르는 것을 허용하도록 SGb3이 ON으로 설정된다. 따라서, 인접하는 비트선(BL)이 비트선과 소스선으로서 기능한다.

병렬셀은 제1 내지 제 6실시예에서 이용한 NAND형 셀을 대체함으로써 이용 될 수 있다.

본 실시예의 동작은 표 5에 나타낸 것을 따른다. 섹터소거와 부분소거는 소거동작이 CG21 내지 CG28에 연결된 셀에 대해 수행되는 경우를 나타낸다. 다른 동작은 제6도에 나타낸다. 본 동작은 소거동작에서 전자가 부유게이트에 주입되고, 기록동작에서 전자가 드레인상으로 추출되는 것을 나타낸다.

[표 5]

	동시소거	섹터소거 (부분소거)	기록 "0" "1"	독출
BL1	0 또는 VM 또는 Vpp		0 VM	1V
BL2	0 또는 VM 또는 Vpp	좌측열과	0 VM	0
BL3	0 또는 VM 또는 Vpp	동 일	0 VM	1v
BLn-1	0 또는 VM 또는 Vpp		0 VM	1V
BLn	0 또는 VM 또는 Vpp		0 VM	0
SGa1	0 또는 VM 또는 Vpp		0	0
SGb1	0 또는 VM 또는 Vpp		0	0
SGa2	0 또는 VM 또는 Vpp	좌측열과	0	0
SGb2	0 또는 VM 또는 Vpp	동 일	VM	Vcc
SGa3	0 또는 VM 또는 Vpp		0	0
SGb3	0 또는 VM 또는 Vpp		VM	Vcc
W01	0	Vpp	VM	0
내지				
W311	0	Vpp	VM	0
W02	0	0	VM	0
W12	0	0	Vpp	Vcc
W22	0	0	VM	0
내지				
W312	0	0	VM	0
p웰	Vpp	좌측열과	0	0
n기판	Vpp	동 일	Vcc	Vcc

[표 6]

	동시소거	섹터소거 (부분소거)	기록 "0" "1"	독출
BL1	0 또는 VM 또는 Vpp		0 VM	1V
BL2	0 또는 VM 또는 Vpp	좌측열과	0 VM	0
BL3	0 또는 VM 또는 Vpp	동 일	0 VM	0
BLn-1	0 또는 VM 또는 Vpp		0 0	1V
BLn	0 또는 VM 또는 Vpp		0 VM	0
ST1	0 또는 VM 또는 Vpp		0	Vcc
ST2	0 또는 VM 또는 Vpp		0	0
W011	0	Vpp	VM(Vcc)	0
내지				
W311	0	Vpp	VM(Vcc)	0
W02	0	0	VM	0
W12	0	0	VM	Vcc
W22	0	0	VM	0
내지				
W312	0	0	VM	0
p웰	Vpp	좌측열과	0	0
n기판	Vpp	동 일	Vcc	Vcc

[제8실시예]

제17도 및 제18도는 제8실시예에 따른 EEPROM의 등가회로도로서, 제5도와 동일한 부분에는 동일한 참조부호를 붙이고, 그에 대한 상세한 설명은 생략한다.

본 실시예에 있어서, 메모리셀이 서브 비트선을 매개로 병렬로 연결됨과 더불어 그 한쪽 측상의 확산층이 선택트랜지스터를 매개로 비트선에 연결된다. 이러한 연결에 의해 병렬연결된 셀의 드레인측이 선택트랜지스터를 매개로 비트선에 연결된다.

본 실시예의 동작은 표 7에 따른다. 섹터 소거 및 부분 소거는 소거동작이 CG21 내지CG28에 연결된 셀에 대해 수행되는 경우를 나타낸다. 다른 동작은 표 8을 따른다. 본 동작은 소거동작에서 부유게이트에 전자가 주입되고, 기록동작에서 드레인상으로 전자가 추출되는 것을 나타낸다.

[표 7]

	동시소거	섹터소거 (부분소거)	기록 "0" "1"	독출
BL1	0		0 VM	1V
BL2	0	좌측열과	0 VM	1V
BL3	0	동 일	0 VM	1V
BLn-1	0		0 VM	1V
BLn	0		0 VM	1V
ST1	VM(또는 Vcc)		0	0
ST2	VM(또는 Vcc)		0	0
W011	Vpp	0	0	0
내지				
W311	Vpp	0	0	0
W02	Vpp	Vpp	0	0
W12	Vpp	Vpp	-VM"	Vcc
W22	Vpp	Vpp	0	0
내지				
W312	Vpp	Vpp	0	0
p웰	-VM	좌측열과	0	0
n기판	Vcc	동 일	Vcc	Vcc
소스	-VM'	-VM'	부유	0

[표 8]

	동시소거	섹터소거 (부분소거)	기록 "0"	기록 "1"	독출
BL1	0		0	VM	1V
BL2	0	좌측열과	0	VM	1V
BL3	0	동 일	0	VM	1V
BLn-1	0		0	VM	1V
BLn	0		0	VM	1V
ST1	VM(또는 Vcc)		0		0
ST2	VM(또는 Vcc)		0		0
W011	Vpp	0	0		0
내지					
W311	Vpp	0	0		0
W02	Vpp	Vpp	0		0
W12	Vpp	Vpp	-VM"		Vcc
W22	Vpp	Vpp	0		0
내지					
W312	Vpp	Vpp	0		0
p웰	-VM	좌측열과	0		0
n기판	Vcc	동 일	Vcc		Vcc
소스	-VM'	-VM'	부유		0

[제9실시예]

제19도는 제9실시예에 따른 EEPROM의 등가회로도로서, 제 5도와 동일한 부분에는 동일한 참조부호를 붙이고, 그에 대한 설명은 생략한다.

본 실시예에 있어서, 선택트랜지스터 NOR형 메로리셀에 부가됨과 더불어 메모리셀의 드레인이 선택트랜지스터를 매개로 비트선에 연결된다. 셀의 동작은 통상적인 NOR의 동작과 동일한 바, 핫일렉트론의 이용에 의해 데이터를 기록하는 방법에 의해 수행되고, FN터널을 매개로 소스측으로 그를 추출한다.

본 실시예는 비트선 캐패시턴스가 감소될 수 있음과 더불어 선택트랜지스터의 부가에 의해 방해 모드가 감소될 수 있는 이점을 갖춘다.

[제10실시예]

제20도는 본 발명의 제10실시예에 따른 EEPROM의 단면도로서, 제4도와 동일한 부분에는 동일한 참조부호를 붙이고, 그에 대한 상세한 설명은 생략한다.

본 실시예에 있어서, 메모리셀부에 형성된 TFT트랜지스터가 메모리셀 영역과는 다른 영역(주변회로부)에 배열된다.

본 실시예에 있어서, 주변회로부에 의해 점유된 영역이 감소됨과 더불어 회로연결의 자유도가 증가된다.

본 발명은 상기한 실시예에 한정되지는 않는다. 상기한 실시예에 있어서 NAND형 셀 EEPROM이 예로서 설명되었지만, 본 발명은 선택게이트를 갖춘 다양한 형태의 EEPROM에 적용할 수 있다. 특히, 본 발명은 제어게이트형 EEPROM에 한정되지 않고, MNOS형 메모리셀을 이용하는 EEPROM과 NAND형 EEPROM에 적용할 수 있다. 더욱이, 본 발명은 PACE형과 부가하여 확산층의 비트선을 갖춘 그라운드 어레이형 및, 상기한 서브비트선을 갖춘 DINOR형에 적용할 수 있다. 더욱디, 본 발명은 그 요지를 이탈하지 않는 범위내에서 다양하게 변형하여 실시할 수 있다.

(57) 청구의 범위

청구항 1

반도체기판과; 소정 방향으로 배열된 워드선; 각각 전하축적층과 반도체기판상에 적층된 제어게이트를 갖추면서 각각 다수의 메모리셀을 갖추고, 하나의 유니트로서 기록 및 소거동작이 상기 전하축적층과 상기 반도체기판 사이의 전송전하에 의해 수행되는 다수의 메모리셀 유니트; 상기 워드선을 지나는 방향으

로 배열됨과 더불어 상기 다수의 메모리셀에 대해 데이터를 전송사기 위한 다수의 데이터선 및; 상기 다수의 메모리셀 유니트와 상기 다수의 데이터선 사이에 배열됨과 더불어 각각 상기 다수의 메모리셀 유니트중 대응하는 하나에 연결된 제1단과 상기 다수의 데이터선중 대응하는 하나에 연결된 제2단을 갖춘 다수의 선택트랜지스터를 구비하여 구성되고. 상기 각 다수의 선택트랜지스터의 상기 제1단이 데이터선 방향으로 인접하는 메모리셀 유니트에 의해 분할되는 것을 특징으로 하는 반도체 메모리장치.

청구항 2

제1항에 있어서, 상기 메모리셀 유니트가 다수의 블록으로 분할되고, 각 블록이 소정 메모리셀 유니트에 의해 구성됨과 더불어 서로 전기적으로 분리되는 것을 특징으로 하는 반도체 메모리장치.

청구항 3

제1항에 있어서, 셀전류가 상기 인접하는 메모리셀 유니트에 분할된 상기 선택트랜지스터를 매개로 상기 인접하는 메모리셀 유니트중 하나에 흐르는 것을 특징으로 하는 반도체 메모리장치.

청구항 4

제1항에 있어서, 워드선 방향으로 배열된 인접하는 선택트랜지스터의 게이트가 선택게이트선에 공통으로 연결된 것을 특징으로 하는 반도체 메모리장치.

청구항 5

제1항에 있어서, 워드선 방향으로 배열된 인접하는 선택트랜지스터의 게이트가 선택게이트선에 분리적으로 연결된 것을 특징으로 하는 반도체 메모리장치.

청구항 6

제1항에 있어서, 상기 메모리셀 유니트가 상기 선택트랜지스터의 연결단을 제외하고 전기적으로 분리된 것을 특징으로 하는 반도체 메모리장치.

청구항 7

제1항에 있어서, 상기 다수의 선택트랜지스터가 워드선 방향으로 인접하는 제1 및 제2선택트랜지스터를 포함하고, 워드선 방향으로 배열된 인접하는 메모리셀 유니트가 상기 제1 및 제2선택트랜지스터를 매개로 동일 데이터선에 연결되며, 상기 메모리셀 유니트중 원하는 하나가 상기 인접하는 메모리셀 유니트중 하나를 선택하도록 상기 동일 데이터선에 연결된 상기 제1 및 제2선택트랜지스터중 하나를 도전되게 함으로써 동작되는 것을 특징으로 하는 반도체 메모리장치.

청구항 8

제1항에 있어서, 상기 다수의 메모리셀 유니트와 공통 소스선 사이에 연결된 제2선택트랜지스터를 더 구비하여 구성된 것을 특징으로 하는 반도체 메모리장치.

청구항 9

제1항에 있어서, 상기 각 다수의 메모리셀 유니트가 상기 다수의 선택트랜지스터의 대응하는 하나를 매개로 상기 다수의 데이터선의 대응하는 하나에 연결된 제1단과, 상기 다수의 선택트랜지스터중 다른 하나를 매개로 상기다수의 데이터선중 다른 하나에 연결된 제2단을 갖춘 것을 특징으로 하는 반도체 메모리장치.

청구항 10

제1항에 있어서, 제1메모리셀 유니트의 양단이 각각 제1 및 제2선택트랜지스터에 연결됨과 더불어 제2메모리셀 유니트의 양단이 워드선 방향으로 상기 제1메모리셀 유니트에 인접하고, 제3 및 제4선택트랜지스터에 연결되며, 상기 제1 및 제4선택트랜지스터가 제1데이터선에 연결되고, 상기 제2 및 상기 제3선택트랜지스터가 제2데이터선에 연결되는 것을 특징으로 하는 반도체 메모리장치.

청구항 11

제1항에 있어서, 상기 다수의 선택트랜지스터가 채널부로서의 상기 다수의 메모리셀 유니트상에 형성된 박막 반도체층을 갖춘 박막트랜지스터를 형성하는 것을 특징으로 하는 반도체 메모리장치.

청구항 12

제1항에 있어서, 상기 각 다수의 메모리셀 유니트가 다수의 메모리셀이 직렬로 연결된 직렬연결 구조를 갖는 것을 특징으로 하는 반도체 메모리장치.

청구항 13

제1항에 있어서, 상기 각 다수의 메모리셀 유니트가 다수의 메모리셀 각각의 소스 및 드레인이 서로 연결된 병렬연결 구조를 갖는 것을 특징으로 하는 반도체 메모리장치.

청구항 14

반도체기판과; 각각 전하축적층과 상기 반도체기판상에 적층된 제어게이트를 갖는 각각 다수의 메모리셀을 갖추고, 하나의 유니트로 기록 및 소거동작이 상기 전하축적층과 상기 반도체기판 사이에서 수행되는 다수의 메모리셀 유니트; 채널부로서 상기 다수의 메모리셀 유니트상에 형성된 박막반도체층을 갖춘 박막트랜지스터에 의해 구성된 다수의 선택트랜지스터 및; 상기 다수의 선택트랜지스터를 매개로 상기 다수의 메모리셀 유니트에 연결된 다수의 데이터선을 구비하여 구성된 것을 특징으로 하는 반도체 메모리장치.

청구항 15

제14항에 있어서, 상기 메모리셀 유니트가 다수의 블록으로 분할되고, 각 블록이 소정 메모리셀 유니트에 의해 구성됨과 더불어 서로 전기적으로 분리되는 것을 특징으로 하는 반도체 메모리장치.

청구항 16

제14항에 있어서, 상기 다수의 선택트랜지스터가 서로 인접하는 제1 및 제2선택트랜지스터를 포함하고, 인접하는 메모리셀 유니트가 각각 상기 제1 및 제2선택트랜지스터를 매개로 동일 데이터선에 연결되며, 상기 메모리셀 유니트중 원하는 하나가 상기 인접하는 메모리셀 유니트중 하나를 선택하도록 상기 동일 데이터선에 연결된 상기 제1 및 제2선택트랜지스터중 하나를 도전되게 함으로써 동작되는 것을 특징으로 하는 반도체 메모리장치.

청구항 17

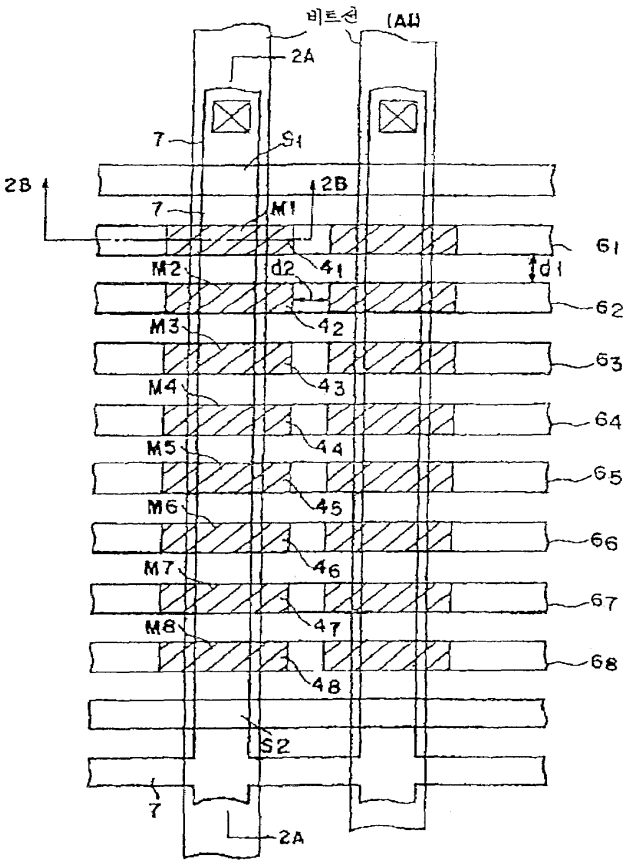
제14항에 있어서, 상기 각 다수의 메모리셀 유니트가 상기 다수의 선택트랜지스터의 대응하는 하나를 매개로 상기 다수의 데이터선의 대응하는 하나에 연결된 제1단과, 상기 다수의 선택트랜지스터중 다른 하나를 매개로 상기다수의 데이터선중 다른 하나에 제2단을 갖춘 것을 특징으로 하는 반도체 메모리장치.

청구항 18

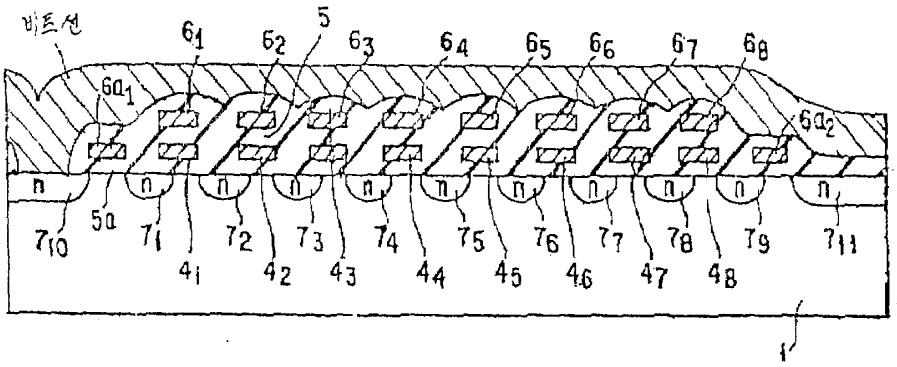
제14항에 있어서, 상기 박막트랜지스터가 메모리셀 유니트부를 제외한 주변회로부에 형성된 것을 특징으로 하는 반도체 메모리장치.

도면

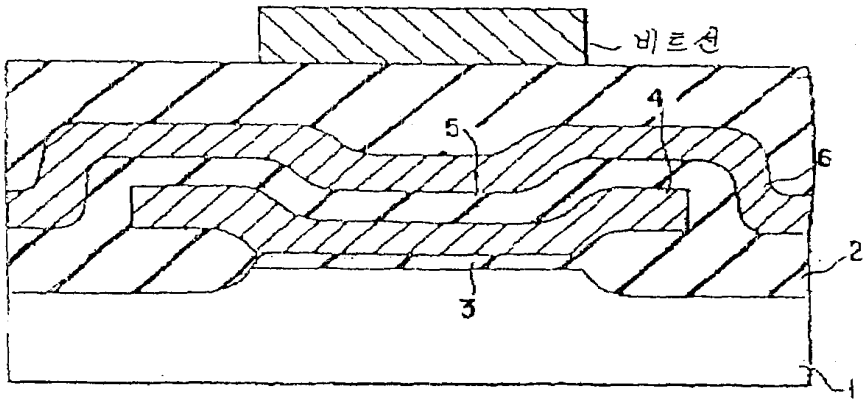
도면1



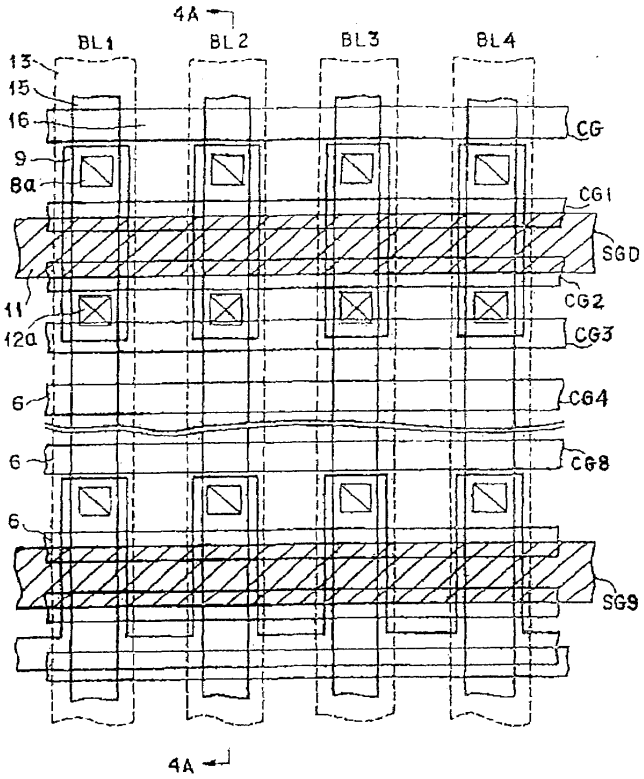
도면2a



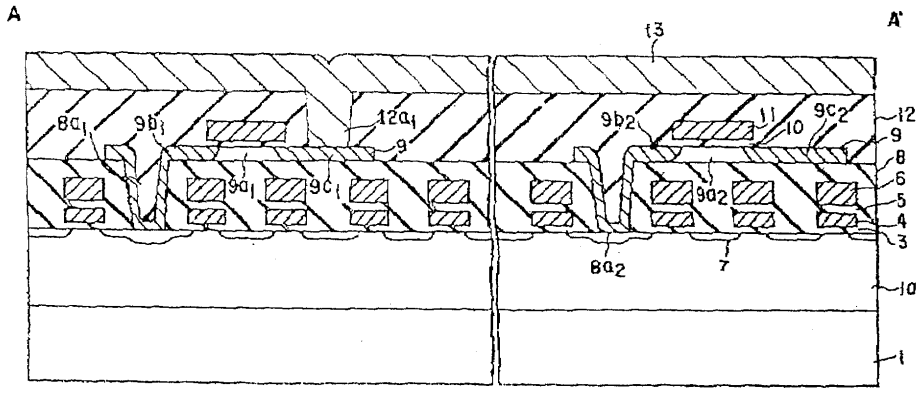
도면2b



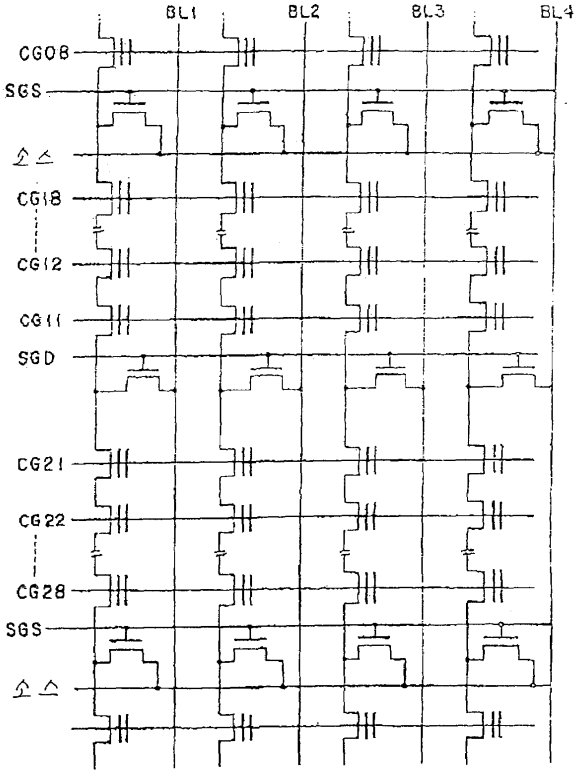
도면3



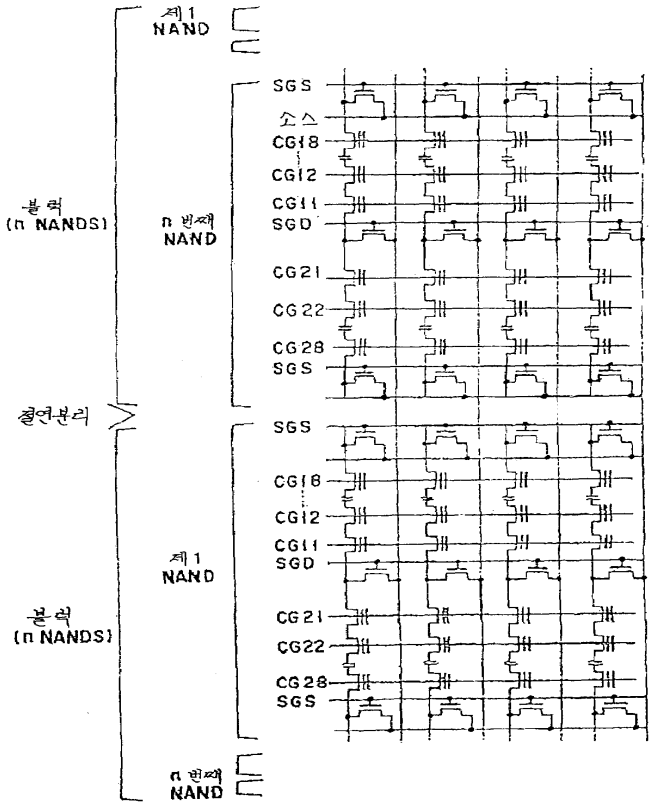
도면4


A
A'
13
8a1
9b1
12a1
9
9a1
9c1
9b2
11
10
9c2
12
9
8
6
5
4
3
8a2
7
10
1

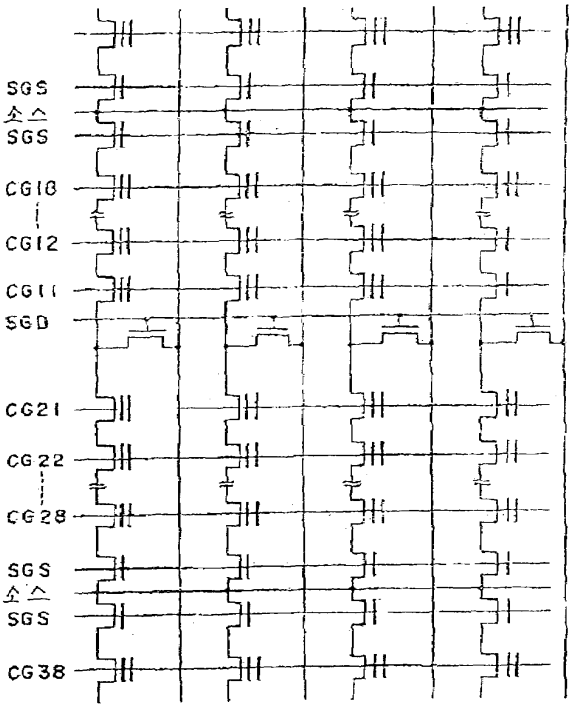
도면5


BL1
BL2
BL3
BL4
CG08
SGS
소스
CG18
CG12
CG11
SGD
CG21
CG22
CG28
SGS
소스

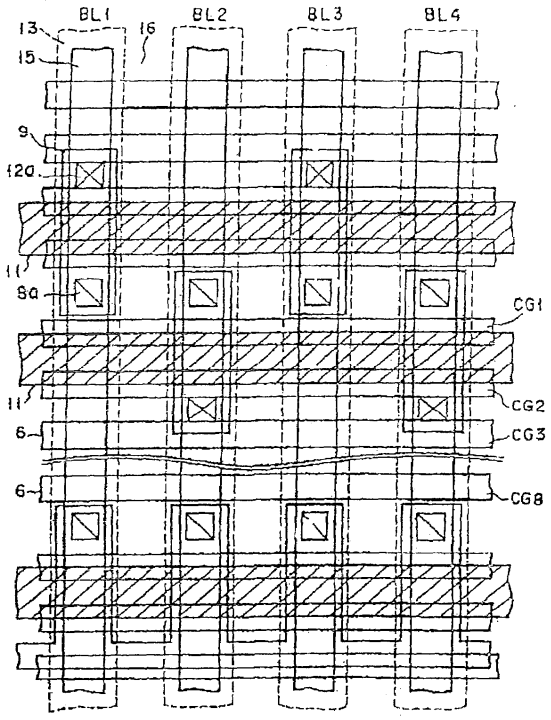
도면6


제1
NAND
SGS
소스
CG18
CG12
CG11
SGD
블럭
(n NANDS)
n 번째
NAND
CG21
CG22
CG28
SGS
절연분리
SGS
CG18
CG12
CG11
SGD
제1
NAND
CG21
CG22
CG28
SGS
블럭
(n NANDS)
n 번째
NAND

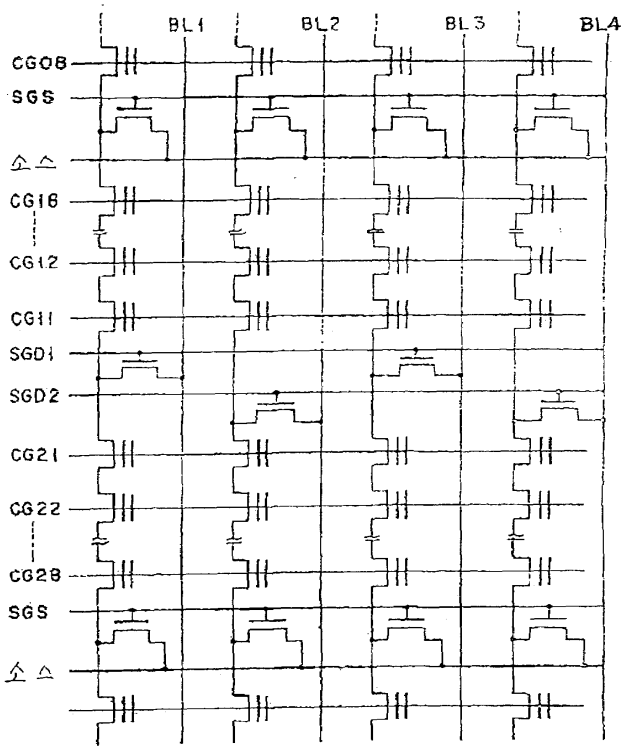
도면7


SGS
소스
SGS
CG18
CG12
CG11
SGD
CG21
CG22
CG28
SGS
소스
SGS
CG38

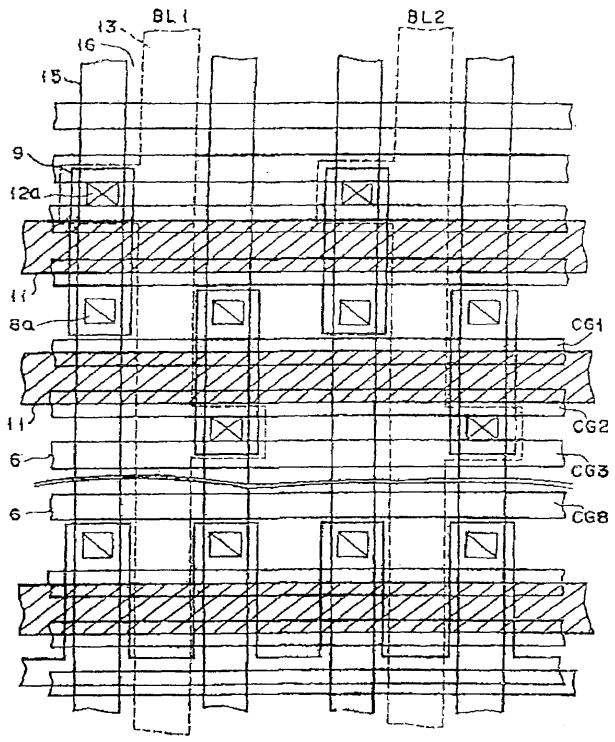
도면8


BL1
BL2
BL3
BL4
13
16
15
9
12a
11
8a
CG1
11
CG2
6
CG3
6
CG8

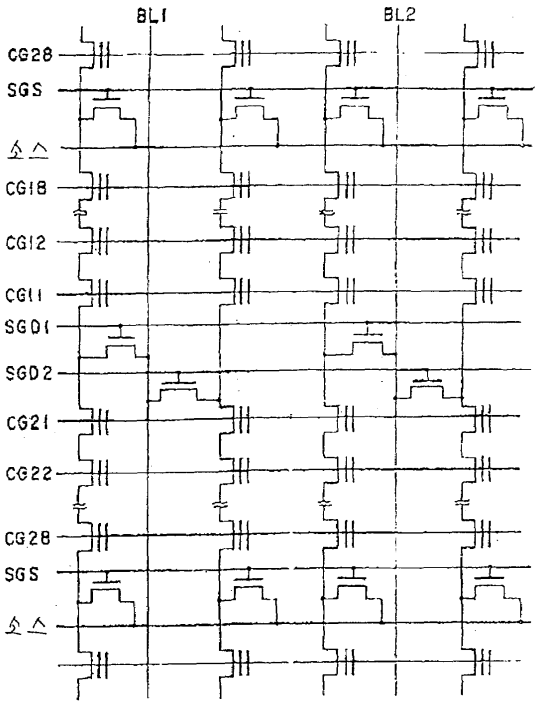
도면9


BL1
BL2
BL3
BL4
CG08
SGS
소스
CG18
CG12
CG11
SGD1
SGD2
CG21
CG22
CG28
SGS
소스

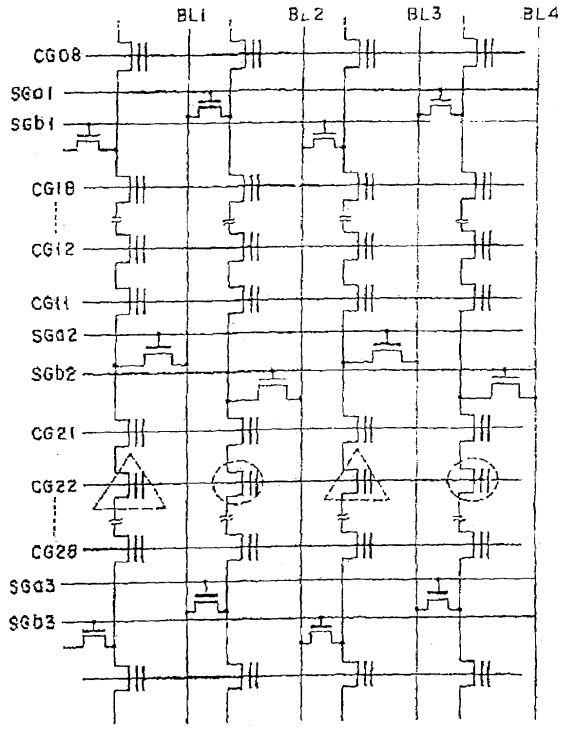
도면10


BL1
BL2
13
16
15
9
12a
11
8a
CG1
11
CG2
6
CG3
6
CG8

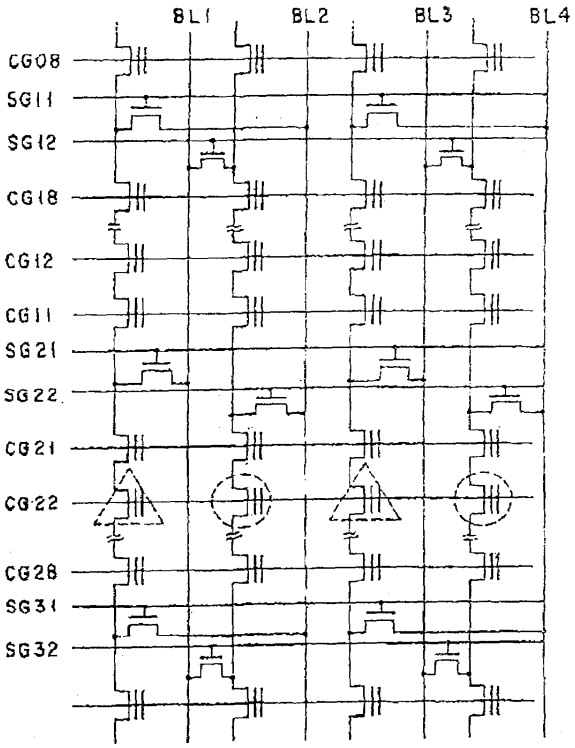
도면11


BL1
BL2
CG28
SGS
소스
CG18
CG12
CG11
SGD1
SGD2
CG21
CG22
CG28
SGS
소스

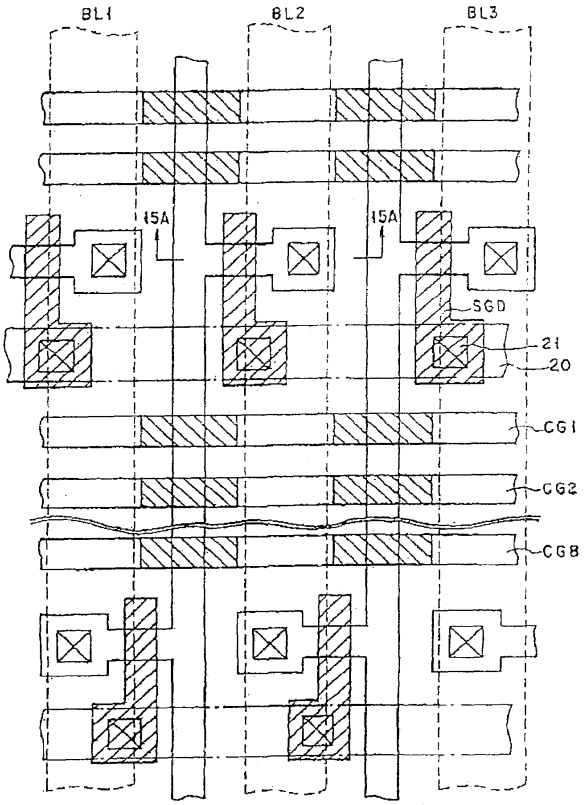
도면12


BL1
BL2
BL3
BL4
CG08
SGa1
SGb1
CG18
CG12
CG11
SGa2
SGb2
CG21
CG22
CG28
SGa3
SGb3

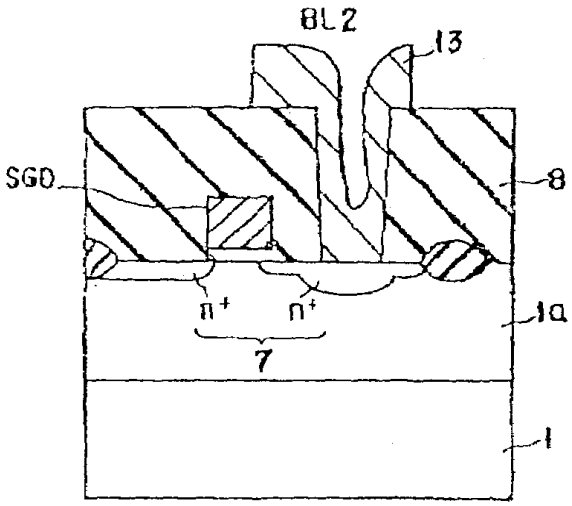
도면13


BL1
BL2
BL3
BL4
CG08
SG11
SG12
CG18
CG12
CG11
SG21
SG22
CG21
CG22
CG28
SG31
SG32

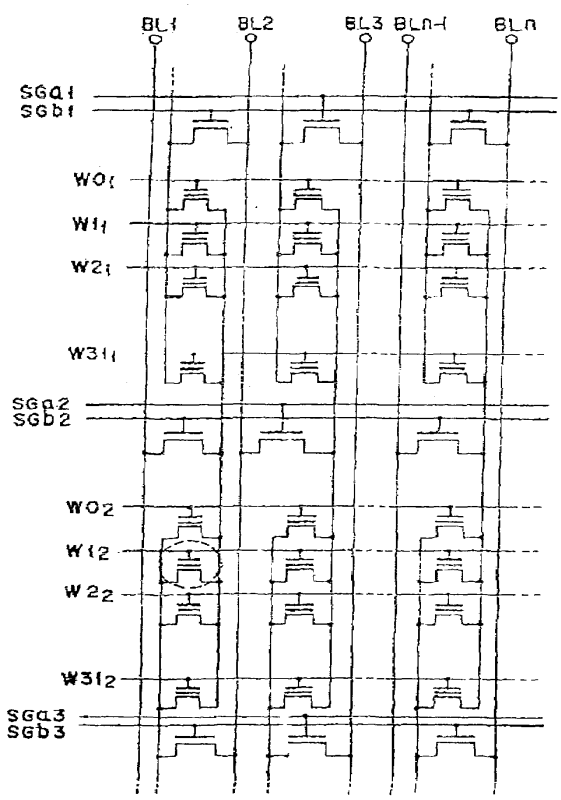
도면14



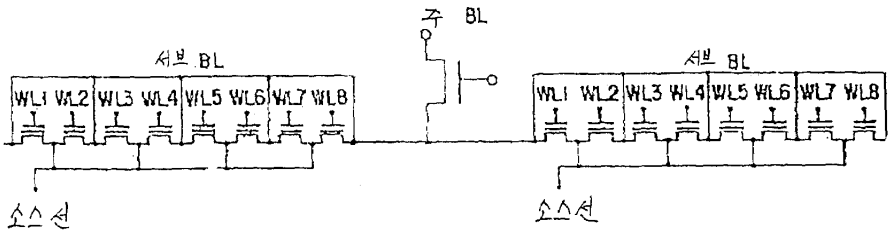
도면15



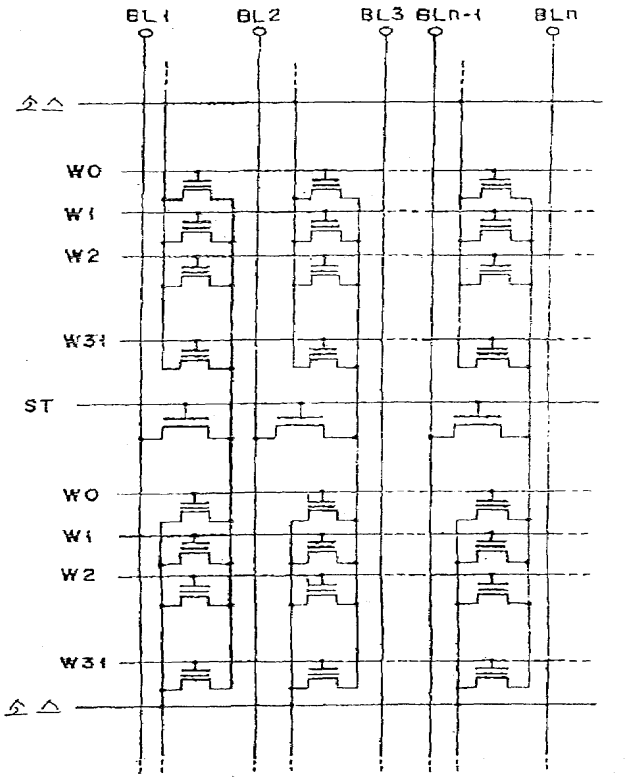
도면16


BL1
BL2
BL3
BLn-1
BLn
SGa1
SGb1
WO1
W11
W21
W31
SGa2
SGb2
WO2
W12
W22
W312
SGa3
SGb3

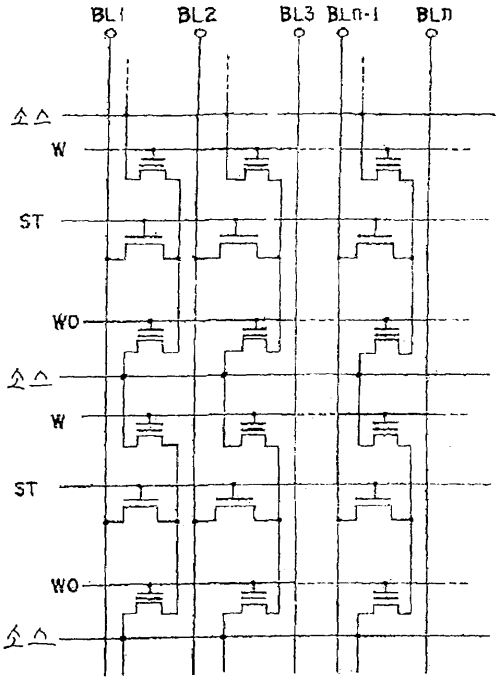
도면17


주 BL
서브 BL
WL1 WL2 WL3 WL4 WL5 WL6 WL7 WL8
서브 BL
WL1 WL2 WL3 WL4 WL5 WL6 WL7 WL8
소스선
소스선

도면18


BL1
BL2
BL3
BLn-1
BLn
소스
WO
W1
W2
W31
ST
WO
W1
W2
W31
소스

도면19


BL1
BL2
BL3
BLn-1
BLn
소스
W
ST
WO
소스
W
ST
WO
소스

도면20

