

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 8 月 9 日(09.08.2012)



(10) 国際公開番号

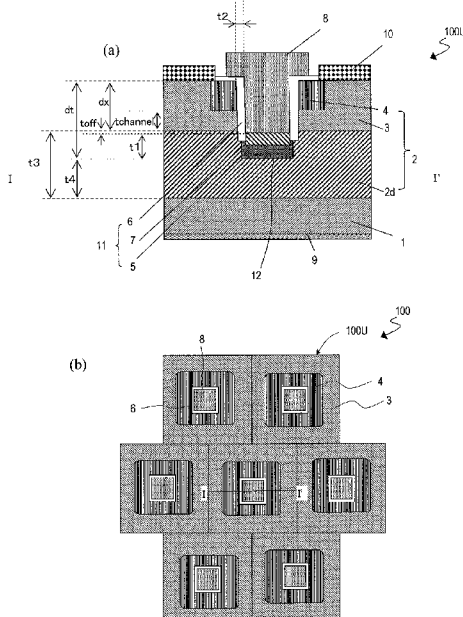
WO 2012/105170 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/12 (2006.01)
H01L 21/336 (2006.01) H01L 29/739 (2006.01)
- (21) 国際出願番号: PCT/JP2012/000244
- (22) 国際出願日: 2012 年 1 月 17 日(17.01.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-021036 2011 年 2 月 2 日(02.02.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION)
[JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0
6 番地 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 工藤 千秋
(KUDOU, Chiaki).
- (74) 代理人: 奥田 誠司(OKUDA, Seiji); 〒5410041 大
阪府大阪市中央区北浜一丁目 8 番 1 6 号 大阪
証券取引所ビル 1 0 階 奥田国際特許事務所
Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(54) 発明の名称: 半導体装置およびその製造方法

【図1】



(57) Abstract: A semiconductor device (100) comprises the following: a semiconductor layer (2) disposed on the main surface of a substrate (1); a trench (12) disposed in the semiconductor layer (2) and having a bottom surface and lateral surfaces within the semiconductor layer (2); an insulating film (11) disposed on the bottom surface and lateral surfaces of the trench (12); and a conductive layer (8) disposed in the trench (12) and insulated from the semiconductor layer (2) by the insulating film (11). The insulating film (11) has a first insulating layer (7) and a third insulating layer (5) disposed between the bottom surface of the trench (12) and the conductive layer (8), and a second insulating layer (6) disposed between the lateral surfaces of the trench (12) and the conductive layer (8). The first insulating layer (7) is disposed above the third insulating layer (5) and the second insulating layer (6) is disposed only at a position that is shallower than the third insulating layer.

(57) 要約: 半導体装置 100 は、基板 1 の主面上に配置された半導体層 2 と、半導体層 2 に配置され、半導体層 2 内に底面および側面を有するトレンチ 12 と、トレンチ 12 の底面および側面に配置された絶縁膜 11 と、トレンチ 12 内に配置され、絶縁膜 11 によって半導体層 2 と絶縁された導電層 8 とを備え、絶縁膜 11 は、トレンチ 12 の底面と導電層 8 との間に配置された第 1 絶縁層 7 および第 3 絶縁層 5 と、トレンチ 12 の側面と導電層 8 との間に配置された第 2 絶縁層 6 とを有し、第 1 絶縁層 7 は第 3 絶縁層 5 上に配置され、第 2 絶縁層は、第 3 絶縁層よりも浅い位置のみに配置されている。

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本発明は、トレンチ構造を有する半導体装置およびその製造方法に関するものである。

背景技術

[0002] ワイドバンドギャップ半導体はパワー素子（パワーデバイスともいう）、耐環境素子、高温動作素子、高周波素子等の種々の半導体装置に応用されている。なかでも、スイッチング素子や整流素子などのパワーデバイスへの応用が注目されている。

[0003] ワイドバンドギャップ半導体のなかでも炭化珪素（シリコンカーバイド：SiC）は、SiC基板の製造が比較的容易なことから、良質のゲート絶縁膜である酸化珪素（SiO₂）膜を熱酸化により形成することが可能な半導体材料であることから、SiCを用いたパワーデバイスの開発が盛んに行われている。

[0004] SiCを用いたパワーデバイスの代表的なスイッチング素子として、金属－絶縁体－半導体電界効果トランジスタ（Metal Insulator Semiconductor Field Effect Transistor、以下「MISFET」）、金属－半導体電界効果トランジスタ（Metal Semiconductor Field Effect Transistor、以下「MESFET」）などがある。このようなスイッチング素子では、ゲート電極－ソース電極間に印加する電圧によって、数A（アンペア）以上のドレイン電流が流れるオン状態と、ドレイン電流がゼロとなるオフ状態とを切り替えることができる。また、オフ状態のとき、数百V以上の高耐圧を実現できる。

[0005] SiCは、Siよりも高い絶縁破壊電界および熱伝導度を有するので、SiCを用いたパワーデバイス（SiCパワーデバイス）では、Siパワーデ

バイスよりも高耐圧化、低損失化が容易である。このため、Siパワーデバイスと同一性能を実現させる場合、Siパワーデバイスよりも面積および厚さを大幅に縮小することが可能となる。

[0006] MISFETなどのパワーデバイスで更なる大電流を流すためには、チャネル密度を高くすることが有効である。このため、従来のプレーナゲート構造に代わって、トレンチゲート構造の縦型パワーMISFETが提案されている。プレーナゲート構造では、炭化珪素層表面にチャネル領域が形成されるのに対し、トレンチゲート構造では、炭化珪素層に形成されたトレンチの側面にチャネル領域が形成される。

[0007] 以下、SiCを用いたスイッチング素子の1つであるトレンチゲート構造を有する縦型MISFETの断面構造を、図面を参照しながら説明する。縦型MISFETは、一般に、二次元に配列された複数のユニットセルを備えている。各ユニットセルには、基板の主面に垂直な側面を有するトレンチゲートが設けられている。

[0008] 図6は、トレンチゲート構造を有する従来の縦型MISFETのユニットセル300Uを示す断面図である。

[0009] ユニットセル300Uは、炭化珪素により構成される基板1と、基板1の主面に形成された炭化珪素層2とを有している。炭化珪素層2は、基板1の主面上に形成されたn型のドリフト領域2dと、ドリフト領域2dの上に形成されたp型のボディ領域3とを有している。ボディ領域3の表面領域の一部には、n型のソース領域4が配置されている。炭化珪素層2には、ボディ領域3を貫通し、ドリフト領域2dに達するトレンチ12が形成されている。この例では、トレンチ12は、基板1の主面に垂直な側壁を有している。トレンチ12内には、ゲート電極8、および、ゲート電極8と炭化珪素層2とを絶縁するためのゲート絶縁膜16が配置されている。また、炭化珪素層2の上には、ソース領域4に接するようにソース電極10が設けられている。基板1の裏面にはドレイン電極9が設けられている。

[0010] ユニットセル300Uを備える半導体装置は、例えば次のようにして製造

される。

- [0011] まず、低抵抗のn型の基板1の主面上に、基板1と同様の結晶構造を持つ炭化珪素層2を形成する。例えば、基板1の主面上に、エピタキシャル成長によりn型のドリフト領域2dとp型のボディ領域3とをこの順で形成し、炭化珪素層2を得る。この後、炭化珪素層2の所定領域上にシリコン酸化膜からなるマスク層（図示せず）を配置し、これをマスクとしてn型の不純物イオン（例えばN（窒素）イオン）をボディ領域3に注入することにより、ボディ領域3内にソース領域4を形成する。
- [0012] マスク層を除去した後、ソース領域4の一部の上に、酸化膜を介してA1膜（図示せず）を形成し、これをマスクとして、ドリフト領域2dに達する垂直なトレンチ12を形成する。
- [0013] 続いて、トレンチ12内に、ゲート絶縁膜16およびゲート電極8を形成する。ゲート絶縁膜16は、例えば炭化珪素層2の熱酸化によって形成された酸化膜である。
- [0014] ゲート電極8は、ゲート絶縁膜16上に、例えばLP-CVD（Low Pressure Chemical Vapor Deposition）法によりポリシリコンを堆積した後、パターニングすることによって形成される。また、炭化珪素層2の上に、ボディ領域3およびソース領域4の両方に跨るようにソース電極（ソース／ボディ電極）10を形成し、基板1の裏面上にドレイン電極9を形成する。このようにしてトレンチゲート構造を有するMISFETが完成する。
- [0015] トレンチゲート構造を有するMISFETでは、ソース電極10がアース電位に接続され、かつ、ゲート電極8がアース電位に接続されている時もしくはゲート電極8に負バイアスが印加されている時には、ソース領域4とドリフト領域2dとの間において、ボディ領域3とゲート絶縁膜16との界面近傍の領域に正孔が誘起された蓄積状態となり、伝導キャリアである電子の経路が遮断されるため電流が流れない（オフ状態）。この時、ドレイン電極9－ソース電極10間にドレイン電極9側が正となる高電圧を印加すると、

ボディ領域 3 とドリフト領域 2 d との間の P N 接合が逆バイアス状態になるので、ボディ領域 3 およびドリフト領域 2 d 内に空乏層が広がり、高電圧が維持される。

[0016] また、ゲート電極 8 に閾値以上の正バイアスを印加すると、ソース領域 4 とドリフト領域 2 d との間において、ボディ領域 3 とゲート絶縁膜 1 6 との界面近傍に電子が誘起されて反転状態となり、反転層が形成される。この結果、ソース電極 1 0、ソース領域 4、ボディ領域 3 の反転層（図示せず）、ドリフト領域 2 d、基板 1 およびドレイン電極 9 の順にキャリアが流れる（オン状態）。

[0017] プレーナ構造の縦型 M I S F E T では、隣接するユニットセルの間で寄生的に接合型電界効果トランジスタ（J u n c t i o n F i e l d E f f e c t T r a n s i s t o r、以下「J F E T」と略す）が形成され、抵抗成分（J F E T 抵抗）となる。J F E T 抵抗は、隣接するボディ領域 3 の間に挟まれたドリフト領域 2 d を電流が流れるときの抵抗であり、ユニットセルの間隔（隣接するボディ領域 3 の間隔）が狭くなるほど大きくなる。従って、微細化のためにセルピッチを小さくすると J F E T 抵抗の増加に伴ってオン抵抗が増大する。

[0018] これに対し、トレンチゲート構造の M I S F E T では、J F E T 抵抗が存在しないため、セルピッチを小さくすれば単調にオン抵抗が減少するという長所がある。このため、ユニットセルのサイズの微細化に有利である。

[0019] しかしながら、トレンチゲート構造の M I S F E T では、トレンチの底部においてゲート絶縁膜に印加される電界強度が非常に大きくなるという問題がある。以下に、図面を参照しながら詳しく説明する。

[0020] 図 7（a）は、図 6 に示す従来の M I S F E T の破線 A 内の構造を示す拡大断面図である。また、図 7（b）および（c）は、それぞれ、図 7（a）に破線で示す P N 接合部 3 0 および M I S 構造部 4 0 におけるオフ状態（ドレイン電圧印加時）での電界強度分布を示す図である。P N 接合部 3 0 は、ボディ領域 3 およびドリフト領域 2 d によって形成されている。M I S 構造

部40は、ゲート電極8、ゲート絶縁膜16およびドリフト領域2dによって形成されている。

[0021] パワーデバイスとしてMISFETを用いる場合、MISFETは、理想的には、PN接合部30にかかるピーク電界強度がSiCの絶縁破壊電界強度（約10MV/cm）を超えるとブレイクダウンが発生するように設計される。しかしながら、PN接合部30にかかる電界強度が絶縁破壊電界強度に達する前に、トレンチ12の底部においてゲート絶縁膜（例えばSiO₂膜）16にかかる電界強度が絶縁破壊電界強度に先に到達するおそれがある。このため、理論耐圧よりも低い電圧でブレイクダウンを起こす可能性がある。

[0022] これは、SiCの比誘電率（4H-SiCで9.7）とSiO₂膜の比誘電率（3.8）との差が、Siの比誘電率（11.9）とSiO₂膜の比誘電率（3.8）との差より小さいため、SiCパワーデバイスでは、Siパワーデバイスよりも、MIS構造部40のゲート絶縁膜16に大きな電界強度がかかるからである。また、一般に、ゲート絶縁膜16のうちトレンチの底部およびコーナー部に位置する部分には電界が集中し、他の部分よりも高い電界がかかるからである。さらに、Siデバイスにおいては、Siの絶縁破壊電界強度が0.2MV/cmであり、SiO₂膜の10MV/cmよりも2桁低いので、ほとんどの場合、ゲート絶縁膜で絶縁破壊が生じる前に、PN接合部でブレイクダウンが起きる。これに対し、SiCパワーデバイスでは、SiC（4H-SiC）の絶縁破壊電界強度は2MV/cmと大きく、SiO₂膜の絶縁破壊電界強度との差が小さい（0.5～1桁程度）。従って、PN接合部30でブレイクダウンが起きる前に、MIS構造部40において、ゲート絶縁膜16の絶縁破壊によるブレイクダウンが生じる可能性があり、MIS構造部40でのゲート絶縁膜16の絶縁破壊の問題がより顕著になる。このように、ゲート絶縁膜16の絶縁破壊によってMISFETの耐圧が制限されるおそれがある。

[0023] この問題を解決するため、特許文献1および2には、トレンチの底部でゲ

ート絶縁膜を厚くして絶縁破壊電界を高める方法が提案されている。

- [0024] 特許文献1には、酸化速度の速い（0001）カーボン面をトレンチ底面として使用することにより、ゲート絶縁膜（熱酸化膜）のトレンチの底部に位置する部分の厚さを、トレンチの側部に位置する部分の厚さよりも大きくすることが提案されている。また、特許文献2に提案された方法では、まず、トレンチ内部にゲート絶縁膜、ポリシリコン膜およびシリコン窒化膜を順次形成する。次に、シリコン窒化膜をエッチングして、トレンチ底部においてポリシリコン膜を露出させる。続いて、露出したポリシリコン膜を酸化してシリコン酸化膜を形成する。この後、トレンチ側壁に残るシリコン窒化膜およびポリシリコン膜を除去する。これにより、トレンチ底面のゲート絶縁膜をシリコン酸化膜の分だけ厚くすることができる。

先行技術文献

特許文献

- [0025] 特許文献1：特開平7-326755号公報
特許文献2：特開2007-242943号公報

発明の概要

発明が解決しようとする課題

- [0026] しかしながら、本発明者が詳細に検討したところ、後で詳述するように、特許文献1および2に提案された方法によると、トレンチ側面（チャネル部）におけるゲート絶縁膜の厚さを所定の厚さに維持しつつ、トレンチ底部におけるゲート絶縁膜の厚さを十分に大きくすることは困難である。また、これらの従来方法によると、トレンチ側面およびトレンチ底面におけるゲート絶縁膜の厚さをそれぞれ独立して任意の厚さに制御することは難しい。
- [0027] 本発明は、上記事情を鑑みてなされたものであり、その目的は、トレンチ構造を有する半導体装置において、素子特性を低下させることなく、トレンチ底部近傍にかかる電界強度を抑制し、トレンチ底部における絶縁膜の絶縁破壊を抑制することにある。

課題を解決するための手段

[0028] 本明細書において開示される半導体装置は、基板と、前記基板の主面上に配置された半導体層と、前記半導体層に配置され、前記半導体層内に底面および側面を有するトレンチと、前記トレンチの底面および側面に配置された絶縁膜と、前記トレンチ内に配置され、前記絶縁膜によって前記半導体層と絶縁された導電層とを備え、前記絶縁膜は、前記トレンチの底面と前記導電層との間に配置された第1絶縁層および第3絶縁層と、前記トレンチの側面と前記導電層との間に配置された第2絶縁層とを有し、前記第1絶縁層は前記第3絶縁層上に配置され、前記第2絶縁層は、前記第3絶縁層よりも浅い位置のみに配置されており、前記第3絶縁層はシリコンにより構成される。

[0029] 本明細書において開示される半導体装置の製造方法は、主面上に半導体層が形成された基板を用意する工程と、前記半導体層内に底面および側面を有するトレンチを前記半導体層に形成する工程と、前記トレンチの底面および側面上に、前記トレンチ内を埋めるように、シリコンにより構成される第3絶縁層を形成する工程と、前記第3絶縁層のエッチバックを行う工程であって、前記第3絶縁層のうち前記トレンチ内の所定の深さから底面までの間に位置する部分を第3絶縁層として残し、他の部分を除去する工程と、前記第3絶縁層の上に第1絶縁層を形成する工程と、前記トレンチの側面のうち前記第3絶縁層で覆われていない部分上に第2絶縁層を形成する工程と、前記トレンチ内に、前記トレンチの側面において前記第2絶縁層と接するように導電層を形成する工程とを包含する。

発明の効果

[0030] 本発明によると、半導体層に配置されたトレンチの底部に選択的にシリコンにより構成される第3絶縁層を配置することにより、トレンチ内において、ゲート電極となる導電層と半導体層との間に、トレンチの底面上でトレンチの側面上よりも厚い絶縁膜を形成することが可能になる。また、トレンチ側面およびトレンチ底部における絶縁膜の厚さを、互いに独立して、任意に制御することができる。従って、素子特性を維持しつつ、トレンチの底部に

において絶縁膜にかかる電界強度を低減し、絶縁破壊を抑制できる。

[0031] また、本発明の半導体装置の製造方法によると、上記半導体装置を、製造工程を複雑にすることなく製造できる。

図面の簡単な説明

[0032] [図1] (a) および (b) は、それぞれ、本発明による第1の実施形態の半導体装置の模式的な断面図および平面図である。

[図2] (a) ~ (d) は、それぞれ、本発明の第1の実施形態の半導体装置の製造方法を説明するための模式的な工程断面図である。

[図3] (a) ~ (d) は、それぞれ、本発明の第1の実施形態の半導体装置の製造方法を説明するための模式的な工程断面図である。

[図4]は、本発明の実施形態の半導体装置の他の製造方法を説明するための模式的な工程断面図である。

[図5]本発明による実施形態の他の半導体装置の模式的な断面図である。

[図6]トレンチゲート構造を有する従来のM I S F E Tにおける1個のユニットセルの模式的な断面図である。

[図7] (a) は、図6に示す従来のM I S F E Tにおける破線Aの拡大構造を示す断面図であり、(b) および (c) は、それぞれ、P N接合部30およびM I S構造部40におけるオフ状態（ドレイン電圧印加時）の電界強度分布を例示する図である。

[図8] (a) は、トレンチの底面における絶縁膜の厚さと、トレンチの底面で絶縁膜にかかる電界強度との関係についてのシミュレーション結果を示す図であり、(b) は、トレンチ底部における絶縁膜の厚さのトレンチ側面における絶縁膜の厚さに対する割合と、トレンチの底面で絶縁膜にかかる電界強度との関係についてのシミュレーション結果を示す図である。

[図9]炭化珪素（4 H - S i C）の酸化速度の面方位依存性を示す図である。

[図10]本発明による実施形態の他の半導体装置を例示する模式的な断面図である。

[図11]本発明による実施形態のさらに他の半導体装置を例示する模式的な断

面図である。

発明を実施するための形態

[0033] 上述したように、本発明者は、特許文献1および2に提案された方法によると、トレンチ底部近傍にかかる電界強度を十分に抑制できないことを見出した。以下に、図面を参照しながら詳しく説明する。

[0034] 図8は、本発明者によるシミュレーション結果を示す図であり、図8(a)は、トレンチ底部におけるゲート絶縁膜（熱酸化膜）の厚さとトレンチ底部にかかる電界強度との関係を示している。ここでは、ドレイン電圧に1200Vを印加した場合に、トレンチ底部におけるゲート絶縁膜の厚さによって、トレンチ底部にかかる電界の強さがどのように変化するかを計算している。トレンチ側面のチャンネル部分におけるゲート絶縁膜の厚さを50nm、70nmおよび90nm、ドリフト領域とボディ領域とのジャンクション耐圧を1200V以上とする。

[0035] 通常、熱酸化膜の破壊電界強度は10MV/cm以上であるが、電子デバイスに適用する場合には、長期間使用時の信頼性を担保するため、許容する電界強度を実際の破壊電界よりも十分に小さな値、例えば3~4MV/cmに設定する。つまり、トレンチ底部近傍にかかる電界強度を少なくとも4MV/cm以下に抑えることが好ましい。

[0036] 図8(a)に示すグラフから分かるように、トレンチ側面におけるゲート絶縁膜の厚さが50nmのとき、トレンチ底部におけるゲート絶縁膜の厚さを150nm以上に設定すると、トレンチ底部にかかる電界強度を4MV/cm以下に抑えることができる。また、トレンチ側面におけるゲート絶縁膜の厚さが70nmのときにはトレンチ底部におけるゲート絶縁膜の厚さを210nm以上、トレンチ側面におけるゲート絶縁膜の厚さが90nmのときにはトレンチ底部におけるゲート絶縁膜の厚さを270nm以上に設定すると、トレンチ底部にかかる電界強度を4MV/cm以下に抑えることができる。このように、トレンチ底部にかかる電界強度を例えば4MV/cm以下に抑制し得るゲート絶縁膜の厚さは、トレンチ側面におけるゲート絶縁膜の

厚さによって異なる。

[0037] そこで、本発明者は、トレンチ底部におけるゲート絶縁膜の厚さを、トレンチ側面におけるゲート絶縁膜の厚さで規格化し、規格化した値とトレンチ底部にかかる電界強度との関係を検討した。

[0038] 図8（b）は、本発明者によるシミュレーション結果を示す図である。横軸は、上記規格化した値、すなわちトレンチ底部におけるゲート絶縁膜（熱酸化膜）の厚さのトレンチ側面におけるゲート絶縁膜の厚さに対する割合（トレンチ底部の熱酸化膜の厚さ／トレンチ側面の熱酸化膜の厚さ） R を表し、縦軸はトレンチ底部にかかる電界強度を表している。ここでは、ドレイン電圧に1200Vを印加した場合に、ゲート絶縁膜の厚さの割合 R によって、トレンチ底部にかかる電界の強さがどのように変化するのかを計算している。計算では、トレンチ側面のチャネル部分におけるゲート絶縁膜の厚さを50nm、70nmおよび90nmとする。また、ドリフト領域とボディ領域とのジャンクション耐圧を1200V以上とする。なお、図8（a）および図8（b）において、黒丸はトレンチ側面のチャネル部分におけるゲート絶縁膜の厚さが50nmの場合のシミュレーション結果、三角はトレンチ側面のチャネル部分におけるゲート絶縁膜の厚さが70nmの場合のシミュレーション結果、白丸はトレンチ側面のチャネル部分におけるゲート絶縁膜の厚さが90nmの場合のシミュレーション結果をそれぞれ示す。

[0039] 図8（b）に示す結果から、トレンチ底部におけるゲート絶縁膜の厚さが、トレンチ側面におけるゲート絶縁膜の厚さと同程度のとき、電界強度は9MV/cmを超えることが分かる。トレンチ底部におけるゲート絶縁膜の厚さをトレンチ側面における厚さの2倍に設定しても、5～6MV/cmの電界がトレンチ底部にかかることが分かる。トレンチ底部にかかる電界強度を4MV/cm以下にするためには、トレンチ底部におけるゲート絶縁膜の厚さをトレンチ側面（チャネル部分）における厚さの3倍以上に設定すればよい。

[0040] 特許文献1に提案された方法では、炭化珪素の酸化速度の面方位依存性を

利用して、トレンチ底面におけるゲート絶縁膜の厚さを選択的に大きくする。この方法では、ゲート絶縁膜の厚さをトレンチ底部でトレンチ側面よりも大幅に（例えば5倍以上）大きくすることは困難である。その上、トレンチ底部および側面におけるゲート絶縁膜の厚さをそれぞれ独立して制御することができない。このため、トランジスタ特性を確保しつつ、トレンチ底部にかかる電界を所定の値以下まで緩和することは難しく、ゲート絶縁膜の絶縁破壊を確実に抑制できないおそれがある。

[0041] 特許文献2に提案された方法では、プロセスが複雑であるとともに、ポリシリコン膜を酸化した膜をゲート絶縁膜として使用することから、ゲート絶縁膜そのものの絶縁破壊電界強度が低くなってしまうという問題がある。従って、絶縁破壊を確実に抑制するためには、より厚いポリシリコン膜を酸化させる必要がある。しかし、ポリシリコン膜が厚くなると熱酸化膜の形成が困難になるため、トレンチ底部におけるゲート絶縁膜の厚さを、トレンチ側面における厚さよりも大幅に大きくすることは難しい。

[0042] なお、上記では炭化珪素M I S F E Tを例に説明したが、炭化珪素以外の他の半導体（G a N、A I N、ダイヤモンド等のワイドバンドギャップ半導体、S i半導体など）を用いた半導体装置も同様の課題を有する。

[0043] 本発明者は、上記課題を解決するために鋭意検討を重ねた結果、トレンチの底部に選択的にシリコンにより構成される絶縁層を配置することにより、製造プロセスを大幅に複雑化させることなく、トレンチ底部にかかる電界強度を抑制できることを見出し、本願発明に至った。

[0044] （第1の実施形態）

以下、図面を参照しながら、本発明による半導体装置の第1の実施形態を説明する。本実施形態の半導体装置は、トレンチゲート構造を有する炭化珪素M I S F E Tである。なお、本実施形態は、炭化珪素M I S F E Tに限定されず、炭化珪素M E S F E Tなどの他の炭化珪素半導体装置や炭化珪素以外の半導体（例えばシリコンなど）を用いた半導体装置にも適用され得る。

[0045] 本実施形態の半導体装置は、二次元に配列された複数のユニットセルを備

えている。図 1 (a) は、半導体装置 100 におけるユニットセル 100U の断面図である。図 1 (b) は、半導体装置 100 の炭化珪素層表面において、ユニットセル 100U の配置の一例を示す平面図である。図 1 (a) は、図 1 (b) の I-I' 線に沿った断面図である。

[0046] 半導体装置 100 のユニットセル 100U は、炭化珪素を含む基板 1 と、基板 1 の表面（主面）に配置された、炭化珪素により構成される炭化珪素層 2 を有している。炭化珪素層 2 は、基板 1 の主面上に形成された第 1 導電型（ここでは n 型）のドリフト領域 2d と、ドリフト領域 2d の上に形成された第 2 導電型（ここでは p 型）のボディ領域 3 とを有している。また、ボディ領域 3 の表面領域の一部には、第 1 導電型（n 型）のソース領域 4 が配置されている。図示する例では、ソース領域 4 は、炭化珪素層 2 の上面においてボディ領域 3 に包囲されている。

[0047] 炭化珪素層 2 には、炭化珪素層 2 内に底面および側面を有するトレンチ 12 が配置されている。トレンチ 12 は、ソース領域 4 およびボディ領域 3 を貫通し、ドリフト領域 2d に達する。トレンチ 12 の底面上および側面上には、絶縁膜 11 が配置されている。また、トレンチ 12 内には、ゲート電極 8 として機能する導電層が配置されている。ゲート電極（導電層）8 と炭化珪素層 2 とは、絶縁膜 11 によって絶縁されている。

[0048] 本実施形態における絶縁膜 11 は、トレンチ 12 の底面とゲート電極 8 との間に配置された第 1 絶縁層 7 およびシリコンにより構成される第 3 絶縁層 5 と、トレンチ 12 の側面とゲート電極 8 との間に配置された第 2 絶縁層 6 とによって構成されている。第 1 絶縁層 7 は第 3 絶縁層 5 の上、すなわち第 3 絶縁層 5 とゲート電極 8 との間に配置されている。また、本実施形態では、第 2 絶縁層 6 は、トレンチ 12 の側面において、第 3 絶縁層 5 よりも浅い位置に配置されている。言い換えると、第 2 絶縁層 6 は、第 3 絶縁層 5 とトレンチ 12 の底面および側面との間には配置されていない。

[0049] 本明細書において、シリコンにより構成される第 3 絶縁層としては、不純物がドーピングされていないシリコン層、あるいは、極めて低い ($1 \times 10^{16} \text{ cm}^{-3}$)

³以下)濃度で不純物を含むシリコン層等を用いることができる。本明細書では、不純物がドーピングされていないシリコン層または $1 \times 10^{16} \text{ cm}^{-3}$ 以下の濃度で不純物を含むシリコン層を「アンドープシリコン層」と呼ぶ。

[0050] 本実施形態では、第3絶縁層5として、 $1 \times 10^{16} \text{ cm}^{-3}$ 以下の濃度でn型不純物(ここではリン)を含むアンドープポリシリコン層を用いる。第1絶縁層7および第2絶縁層6は、熱酸化膜であってもよいし、窒化膜、酸化膜、あるいはこれらのうち少なくとも一方を含む積層膜であってもよい。ここでは、第1絶縁層7は、第3絶縁層5に対する熱処理によって形成された熱酸化膜であり、第2絶縁層6は、炭化珪素層2に対する熱処理によって形成された熱酸化膜である。また、ゲート電極8は、例えば $1 \times 10^{20} \text{ cm}^{-3}$ 以上の濃度でリンを含むドーピングされたポリシリコン層である。

[0051] トレンチ12の底面における絶縁膜11の厚さ t_1 は、トレンチ12の側面における絶縁膜の厚さ t_2 よりも大きいことが好ましい。より好ましくは、厚さ t_1 は厚さ t_2 の3倍以上である。図示する例では、トレンチ12の底面における絶縁膜11の厚さ t_1 は、第3絶縁層5と第1絶縁層7との合計厚さである。また、トレンチ12の側面に露出したボディ領域3(チャンネル部分)上における絶縁膜11の厚さ t_2 は、第2絶縁層6の厚さである。

[0052] 半導体装置100は、また、炭化珪素層2の上に設けられたソース電極10と、基板1の裏面に形成されたドレイン電極9とを備えている。ソース電極10は、ソース領域4およびボディ領域3と電氣的に接続されている。ソース電極10およびゲート電極8の上には、層間絶縁膜(図示せず)が形成されている。層間絶縁膜の上にはソース配線(図示せず)が設けられている。ソース配線は、層間絶縁膜に形成されたコンタクトホール内で、ソース電極10と電氣的に接続されている。

[0053] 本実施形態によると、トレンチ12の側面および底面とゲート電極8との間に、第3絶縁層5、第1絶縁層7および第2絶縁層6を備える絶縁膜11が配置される。第3絶縁層5、第1絶縁層7および第2絶縁層6の厚さをそれぞれ調整することにより、絶縁膜11を、トレンチ12の底面上で、トレ

ンチ 12 の側面上よりも厚くすることが可能である。例えば、トレンチ 12 の底面における絶縁膜 11 の厚さ t_1 を、トレンチ 12 の側面に露出したボディ領域 3 の表面領域（チャンネル部分）における絶縁膜 11 の厚さ t_2 の 3 倍以上にできる。このため、トランジスタ特性を低下させることなく、トレンチ 12 の底部において絶縁膜 11 に生じる電界強度を低減でき、絶縁破壊を抑制することが可能となる。

[0054] 本実施形態では、第 2 絶縁層 6 は、トレンチ 12 の側面においてゲート電極 8 と接している。また、第 3 絶縁層 5 および第 1 絶縁層 7 は、トレンチ 12 の底部にのみ選択的に配置されている。第 1 絶縁層 7 の上面はゲート電極 8 の下面と接していることが好ましい。第 1 絶縁層 7 の上面がゲート電極 8 と接している場合、ゲート電極 8 と第 1 絶縁層 7 との界面は、ドリフト領域 2d とボディ領域 3 との界面よりも深い位置にあることが好ましい。言い換えると、第 1 絶縁層 7 および第 3 絶縁層 5 は、何れも、ボディ領域 3 の表面のうちトレンチ 12 の側面に露出した部分（チャンネル部分）上に配置されないことが好ましい。これにより、チャンネル部分とゲート電極 8 との間に、ゲート絶縁膜として第 2 絶縁層 6 のみを介在させることができる。従って、第 2 絶縁層 6 の厚さを制御することにより、所望の厚さのゲート絶縁膜を得ることができるので、閾値電圧などの特性を確保できる。一方、トレンチ 12 の底面上における絶縁膜 11 の厚さ t_1 は、第 3 絶縁層 5 の厚さを制御することにより、第 2 絶縁層 6 の厚さとは独立して制御できる。このように、トレンチ 12 の側面（特にチャンネル部分）における絶縁膜 11 の厚さ t_2 と、トレンチ 12 の底面における絶縁膜 11 の厚さ t_1 とを、互いに独立して、かつ、任意に設定できる。

[0055] 第 1 絶縁層 7 は、第 3 絶縁層 5 の表面部分を酸化することによって形成された熱酸化膜であることが好ましく、第 2 絶縁層 6 は、炭化珪素層 2 の表面部分を酸化することによって形成された熱酸化膜であることが好ましい。これらの熱酸化膜は、同一の熱処理工程で形成することができる。その場合、第 3 絶縁層 5 の酸化速度が炭化珪素層 2 の酸化速度よりも大きいことから、

第1絶縁層7の厚さは第2絶縁層6の厚さよりも大きくなる。

[0056] 本実施形態の炭化珪素装置は、炭化珪素層2を用いた炭化珪素半導体装置であるが、シリコン層（シリコン基板）を用いたシリコン半導体装置であってもよい。好ましくは、炭化珪素半導体装置である。以下に理由を説明する。

[0057] ポリシリコン及びシリコンの酸化は、いずれも800℃から1000℃程度で実施される。このためシリコン基板を用いた場合は、第3絶縁層5の酸化時に、トレンチ12の側壁等に露出したシリコン表面も酸化される。結晶シリコンとポリシリコンとでは酸化レートに2倍程度の差があるため、トレンチ側壁に形成される酸化膜よりも、第3絶縁層5の酸化膜（ポリシリコン酸化膜）の方を厚くできる。しかしながら、ポリシリコン酸化膜の厚さは、シリコンの酸化膜の厚さの2倍程度であり、それよりも大きくできない。ポリシリコン酸化膜の厚さをさらに大きくするためには、トレンチ側壁等のシリコン表面上に絶縁膜を形成する必要がある、工程の増加が発生する。これと比較して、炭化珪素層2を用いる場合には、炭化珪素の一般的な酸化温度である1500℃以上では、ポリシリコン酸化膜の厚さは、トレンチ12の側壁に形成される炭化珪素の酸化膜の厚さの5倍超10倍未満となる。このため、製造工程数を増やすことなく、トレンチ12の底部に、十分な厚さのポリシリコン酸化膜を得ることができる。

[0058] 特許文献1および2に提案された半導体装置では、トレンチ底部においてゲート絶縁膜を厚くするために、トレンチ底部に厚い熱酸化膜を形成する必要がある。本発明者が検討したところ、トレンチ底部に比較的厚い熱酸化膜（例えばトレンチ12の底面の厚さ t_1 が、側壁における厚さ t_2 の2倍以上）を形成する場合、炭化珪素層に欠陥が導入されやすくなることを見出した。熱酸化膜の形成プロセスにおいて、炭化珪素層の表面部分の体積が酸化により増大するので、トレンチ底部のコーナー部分にストレスがかかり、コーナー部分の結晶性が乱れる可能性がある。この結果、炭化珪素層に欠陥が生じやすくなり、半導体装置の耐圧が低下したり、リーク電流が増大するお

それがある。これに対し、本実施形態によると、トレンチ１２の底部に第３絶縁層５を配置することによって、トレンチ１２の底面における絶縁膜１１の厚さ t_1 を大きくできるので、トレンチ１２の底部の炭化珪素を酸化させて厚い熱酸化膜を形成する必要がある。よって、炭化珪素層２の表面部分の酸化に伴うストレスが炭化珪素層２に発生しにくいので、熱酸化膜の形成に起因する炭化珪素層２への欠陥の導入を抑制できる。

[0059] また、上述した従来の半導体装置では、トレンチ底部に配置された比較的厚い酸化膜とゲート電極（一般には不純物がドーパされたポリシリコン）とが異なる材料から構成されており、これらの材料の膨張係数が異なる。このため、半導体装置を高温で使用する際に、ゲート電極と酸化膜との界面近傍において酸化膜にストレスがかかる。特にワイドバンドギャップ半導体を用いた半導体装置では、酸化膜により大きなストレスがかかり、長期信頼性が低下するおそれがある。シリコンパワーデバイスが１５０℃程度で動作させるのに対し、ワイドバンドギャップ半導体を用いた半導体装置では２５０℃を超える温度で使用するからである。これに対し、本実施形態の半導体装置１００では、ゲート電極８としてドーパされたポリシリコン層を用いる場合には、トレンチ１２の底部に配置されたシリコンにより構成される第３絶縁層５とゲート電極８との膨張係数が略等しくなる。このため、高温動作におけるストレスの発生が抑制され、長期信頼性を高めることができる。

[0060] また、第３絶縁層５とゲート電極８との間に第１絶縁層７が配置されているので、ゲート電極８（ドーパされたポリシリコン層）からシリコンにより構成される第３絶縁層５へ不純物が拡散することを抑制できる。従って、トレンチ１２の底部の絶縁性を安定して保持できる。

[0061] 上記の通り、第１絶縁層７が第３絶縁層５の表面部分を酸化することによって形成された熱酸化膜であり、第２絶縁層６が炭化珪素層２の表面部分を酸化することによって形成された熱酸化膜であることが好ましい。これらの熱酸化膜は、同一の熱処理工程で形成することができ、第３絶縁層５の酸化速度が炭化珪素層２の酸化速度よりも大きいことから、第１絶縁層７の厚さ

を第2絶縁層6の厚さよりも大きくすることができる。

[0062] ポリシリコン層を酸化することにより形成した第1絶縁層7の膜厚が小さい場合、ポリシリコンのグレインに起因する凹凸が大きくなることにより膜厚が不均一となるため、ゲート電極8から第3絶縁層5への不純物の拡散を抑制する効果が小さくなる。これに対して、第1絶縁層7の膜厚を大きくすると、第1絶縁層7の膜厚が小さい部分は酸素を通しやすく酸化レートが高くなることから、自己整合的に第1絶縁層7の膜厚が均一になる。これにより、ゲート電極8から第3絶縁層5への不純物の拡散を抑制する効果を大きくすることができる。

[0063] さらに、従来の半導体装置では、SiCの熱酸化を利用してトレンチ内に絶縁膜を形成するために、SiCの面方位に依存して、酸化膜の厚さにばらつきが生じるという問題がある。図9は、4H-SiCの酸化速度の面方位依存性を示す図である。図9から分かるように、SiCの酸化によって得られる酸化膜の厚さは、SiCの面方位によって最大で10倍程度の差を有する。これに対し、本実施形態によると、トレンチ12の形状にかかわらず、トレンチ12の底部に所定の厚さの絶縁膜を形成できるというメリットがある。

[0064] 図10および図11は、それぞれ、本実施形態の他の半導体装置101U、102Uを例示する断面図である。図10に示す半導体装置101Uでは、トレンチ12は丸みを帯びた（ラウンディングした）コーナー部分を有している。図11に示す半導体装置102Uでは、トレンチ12は、その側壁近傍にサブトレンチ13を有している。

[0065] 図10に示すように、トレンチ12を形成する際に、トレンチ12の底部のコーナー部分に生じる電界集中を抑制するために、トレンチ12のエッチング時、もしくは後処理で、トレンチ12の底部のコーナー部分をラウンディングさせることがある。あるいは、トレンチ12を形成した後の熱処理により、トレンチ12の底部のコーナー部分が自動的にラウンディングする場合もある。いずれの場合でも、ラウンディングしたコーナー部分は、SiC

の複数の面方位で構成される。

[0066] このようなトレンチ 1 2 内に、従来のように、S i C の酸化（熱酸化）によって絶縁膜を形成しようとする、トレンチ 1 2 の底部のラウンディングしたコーナー部分上に所定の厚さの絶縁膜を形成することは困難である。図 9 を参照しながら説明したように、酸化の面方位依存性によって酸化膜の厚さが異なる結果、コーナー部分の一部で十分な厚さの絶縁膜が形成されず、信頼性が低下する可能性がある。

[0067] これに対して、本実施形態では、トレンチ 1 2 の底部に、アンドープポリシリコン膜の埋め込みを利用して、トレンチ 1 2 の底面上に絶縁膜を形成する。このため、図 1 0 から分かるように、S i C の面方位にかかわらず、トレンチ 1 2 の底部のラウンディングしたコーナー部分上にも、所定の厚さ（厚さ： t_1 ）の絶縁膜を形成できる。

[0068] また、図 1 1 に示すように、トレンチ 1 2 は、その側壁近傍にサブトレンチ 1 3 を有する場合がある。サブトレンチ 1 3 は、トレンチ 1 2 の側壁近傍に配置され、トレンチ 1 2 の他の部分の底面よりも深い底面を有する。トレンチ 1 2 を形成するためのエッチング工程において、特にトレンチ 1 2 の深さに対するトレンチ 1 2 の幅の比率（深さ／幅：アスペクト比）が大きい場合に、サブトレンチ 1 3 が発生することが多い。

[0069] サブトレンチ 1 3 は、S i C の複数の面方位で構成される。従って、従来のように、S i C の酸化によって絶縁膜を形成しようとする、絶縁膜が局部的に薄くなったり、サブトレンチ 1 3 の底部に電界がより集中して絶縁膜耐圧を劣化させる可能性がある。

[0070] これに対し、本実施形態では、トレンチ 1 2 にアンドープポリシリコン膜を埋め込む際に、サブトレンチ 1 3 にもアンドープポリシリコン膜を埋め込むことができる。このため、図 1 1 から分かるように、トレンチ 1 2 の底部やサブトレンチ 1 3 上で絶縁膜が薄くなることを抑制できる。また、サブトレンチ 1 3 にアンドープポリシリコン膜が埋め込まれることにより、電界が集中する領域であるコーナー部分に、自己整合的に厚い絶縁体（第 3 絶縁層

5) を形成できる。すなわち、トレンチ 12 のコーナー部分では、サブトレンチ 13 の深さ分だけ他の部分よりも第 3 絶縁層 5 が厚くなる。この結果、絶縁破壊に対する懸念を小さくすることができる。したがって、トレンチエッチングに対する要求を緩やかにでき、製造プロセスも容易となる。

[0071] <ドリフト領域の上面からのトレンチ深さの検討>

ここで、トレンチ 12 の好適な深さについて検討したので、その一例を説明する。

[0072] 半導体装置 100 はバンドギャップの広い炭化珪素半導体を用いているため、半導体装置 100 の用途として、例えば 600 V 以上、特に 1200 V 以上の耐圧で使用されるような用途が想定される。

[0073] 耐圧は、ドリフト領域 2d のうちトレンチ 12 の底面の下に位置する部分の厚さ t_4 で決定される。例えば、ドリフト領域 2d の濃度を一般的な濃度である $5 \times 10^{16} \text{ cm}^{-3}$ とすると、600 V の耐圧を得るためには厚さ t_4 は例えば $5 \mu\text{m}$ 以上、1200 V の耐圧を得るためには厚さ t_4 は例えば $10 \mu\text{m}$ 以上に設定される。

[0074] トレンチ 12 の側壁および底面にゲート絶縁膜として SiO_2 膜を形成する場合、耐圧を 1200 V、ゲート電圧を 20 V とすると、 SiO_2 膜の長期信頼性を確保するためには、トレンチ 12 の側壁における SiO_2 膜の厚さ t_2 を $0.07 \mu\text{m}$ 程度以上に設定することが好ましい。また、トレンチ 12 の底面における SiO_2 膜の厚さ t_1 を、側壁における厚さ t_2 の 3 倍程度である $0.2 \mu\text{m}$ 以上に設定することが好ましい。

[0075] 一般に、電流経路を確保するためには、トレンチ 12 の底面上にある第 1 絶縁層 7 の上面は、ボディ領域 3 の下面よりも深い位置に配置される。基板 1 の法線方向における、第 1 絶縁層 7 の上面とボディ領域 3 の下面との距離（離間量） t_{off} は、例えば $0.05 \mu\text{m} \sim 0.1 \mu\text{m}$ 程度に設定される。

[0076] 従って、ドリフト領域 2d の上面からトレンチ 12 の底面までの基板 1 の法線方向における距離（ドリフト領域 2d におけるトレンチ 12 の深さ： t

o f f + t 1) の最小値は、 $0.25\ \mu\text{m}$ ($= 0.05\ \mu\text{m} + 0.2\ \mu\text{m}$) となる。

[0077] ところで、プロセスバラツキを考慮すると、埋め込まれた第3絶縁層5が全て酸化される場合もあり得る。このとき、第3絶縁層5が酸化された膜の厚さは、第3絶縁層5の厚さの約2倍となる。トレンチ12の底面上における絶縁膜の厚さ t_1 が $0.2\ \mu\text{m}$ となるように第3絶縁層5の厚さを設計した場合、絶縁膜の厚さ t_1 は最大で $0.4\ \mu\text{m}$ となる可能性がある。この場合でも、 $0.05\ \mu\text{m}$ の離間量 t_{off} を確保しようとする、ドリフト領域2dにおけるトレンチ12の深さ ($t_{off} + t_1$) の最小値は、 $0.45\ \mu\text{m}$ ($= 0.05\ \mu\text{m} + 0.4\ \mu\text{m}$) となる。

[0078] 一方、炭化珪素層2におけるトレンチ12の深さ d_t (炭化珪素層2の上面からトレンチ12の底面までの基板1の法線方向における距離) が大きくなると、(1) ドリフト領域2dの厚さ t_3 も増加し、エピタキシャル成長に時間がかかるとともに、欠陥が発生しやすくなることが懸念される、(2) トレンチ12を形成するためのエッチングが困難になる、および(3) トレンチ12を第3絶縁層で埋め込むことが困難になるという問題がある。このため、トレンチ12の深さ d_t は小さい方が有利である。一般的にはトレンチ12の深さ d_t は最大で $3\ \mu\text{m}$ である。

[0079] 耐圧の大きさに限らず、ボディ領域3のうちチャネルとして機能する部分の長さ $t_{channel}$ とソース領域4の基板1の法線方向の距離との合計長さ d_x が例えば $0.5\ \mu\text{m}$ 以上に設定されることを考慮すると、ドリフト領域2dにおけるトレンチ12の深さ ($t_{off} + t_1$) は最大で $2.5\ \mu\text{m}$ ($= 3\ \mu\text{m} - 0.5\ \mu\text{m}$) となる。この値は、トレンチ12の底部における絶縁膜の長期信頼性の観点から算出した、ドリフト領域2dにおけるトレンチ12の深さ ($t_{off} + t_1$) の最小値である $0.25\ \mu\text{m}$ 、または $0.45\ \mu\text{m}$ に対して十分なマージンがある。

[0080] このように、ドリフト領域2dにおけるトレンチ12の深さ ($t_{off} + t_1$) は、例えば $0.25\ \mu\text{m}$ 以上であることが好ましく、より好ましくは

0.45 μm 以上である。これにより、トレンチ12の底部にかかる電界を緩和でき、絶縁破壊を抑制できる。一方、プロセス上の観点から、ドリフト領域2dにおけるトレンチ12の深さ($t_{off} + t_1$)は2.5 μm 以下であることが好ましい。

[0081] 次いで、ドリフト領域2dにおけるトレンチ12の深さ($t_{off} + t_1$)の、ドリフト領域2dの厚さ t_3 に対する割合 $R [= (t_{off} + t_1) / t_3]$ の好ましい範囲を求める。

[0082] ドリフト領域2dにおけるトレンチ12の深さ($t_{off} + t_1$)を、上記範囲の下限值である0.25 μm とし、かつ、トレンチ12の底面から基板1までの深さ t_4 を10 μm （耐圧：1200Vの場合）に設定すると、ドリフト領域2dの厚さ t_3 は10.25 μm となる。この場合、割合 R は2.5% ($\div 0.25 / 10.25 = 1 / 41$)である。従って、厚さ t_4 が例えば10 μm 以下の場合、あるいは耐圧が例えば1200V以下の場合、割合 R は例えば2.5%以上となる。

[0083] 一方、ドリフト領域2dにおけるトレンチ12の深さ($t_{off} + t_1$)を、上記範囲の上限値である2.5 μm とし、かつ、トレンチ12の底面からのドリフト領域2dの厚さ t_4 を5 μm （耐圧：600V）に設定すると、割合 R は1/3 ($(= 2.5 / (2.5 + 5))$)となる。従って、割合 R の最大値は例えば1/3である。

[0084] このように、ドリフト領域2dにおけるトレンチ12の深さ($t_{off} + t_1$)の、ドリフト領域2dの厚さ t_3 に対する割合 $R [= (t_{off} + t_1) / t_3]$ は、例えば1/41以上1/3以下となる。

[0085] 次に、図面を参照しながら、本実施形態の半導体装置100の製造方法の一例を説明する。

[0086] 図2(a)～(d)および図3(a)～(d)は、それぞれ、本実施形態の半導体装置の製造方法を説明するための工程断面図である。

[0087] まず、図2(a)に示すように、基板1の主面上に、炭化珪素をエピタキシャル成長させることによって、第1導電型（ここではn型）のドリフト領

域 2 d と、第 2 導電型（ここでは p 型）のボディ領域 3 とをこの順で形成し、炭化珪素層 2 を得る。この後、ボディ領域 3 内にソース領域 4 を形成する。

[0088] 基板 1 として、例えば $3 \times 10^{18} \text{ cm}^{-3}$ の濃度で窒素を含む低抵抗の n 型 SiC 基板を用いることができる。ドリフト領域 2 d には、例えば $8 \times 10^{15} \text{ cm}^{-3}$ の濃度で窒素がドーピングされている。ドリフト領域 2 d の厚さは例えば $1.2 \mu\text{m}$ である。なお、ドリフト領域 2 d の厚さおよび濃度は、所望される耐圧によって決定されるものであり、上記に例示した厚さおよび濃度に限定されない。

[0089] ボディ領域 3 には、例えば $2 \times 10^{18} \text{ cm}^{-3}$ の濃度でアルミニウムがドーピングされている。ボディ領域 3 の厚さは例えば $1 \mu\text{m}$ である。

[0090] なお、ここでは、ボディ領域 3 をエピタキシャル成長によって形成しているが、代わりにイオン注入によって形成してもよい。具体的には、n 型の炭化珪素層 2 をエピタキシャル成長によって形成した後、その表面領域に p 型不純物をイオン注入することによってボディ領域 3 を形成してもよい。その場合、炭化珪素層 2 のうち p 型不純物が注入されなかった領域がドリフト領域 2 d となる。

[0091] ソース領域 4 は、例えばイオン注入によって形成される。まず、炭化珪素層 2 の所定領域上にシリコン酸化膜からなるマスク層（図示せず）を配置する。次いで、マスク層を注入マスクとして、ボディ領域 3 のうちソース領域を形成しようとする部分に n 型の不純物イオン（例えば窒素イオン）を注入する。ここでは、例えば、加速エネルギーを 100 keV 、ドーズ量を $5 \times 10^{15} \text{ cm}^{-2}$ とする。マスク層を除去した後、不活性ガス雰囲気中、例えば 1700°C の温度で 30 分程度のアニール処理を行う。これにより、注入された不純物イオンが活性化され、ソース領域 4 が得られる。

[0092] 次いで、図 2 (b) に示すように、炭化珪素層 2 に、ソース領域 4 およびボディ領域 3 を貫通し、ドリフト領域 2 d 内に底面を有するトレンチ（凹部）12 を形成する。本実施形態では、まず、ソース領域 4 の一部の上に酸化

膜をマスクとし、反応性イオンエッチング（Reactive Ion Etching；RIE）により、炭化珪素層 2 にトレンチ（深さ：例えば $1.5\text{ }\mu\text{m}$ 、幅：例えば $1\text{ }\mu\text{m}$ ）12 を形成する。図示する例では、トレンチ 12 の側面は、基板 1 の主面に対して略垂直であるが、トレンチ 12 は基板 1 の主面の法線方向に対して傾斜した側面を有してもよい（テーパ形状）。

[0093] 続いて、図 2（c）に示すように、トレンチ 12 の側面上および底面上に、トレンチ 12 内を埋めるようにアンドープのポリシリコン膜（アンドープポリシリコン膜）5 a を形成する。ここでは、厚さが例えば 600 nm のアンドープポリシリコン膜 5 a を L P - C V D 法により堆積する。このとき、トレンチ 12 がアンドープポリシリコン膜 5 a で埋め込まれ、トレンチ 12 内部にボイドが生じないように、アンドープポリシリコン膜 5 a の厚さ、トレンチ 12 の幅および形状などが制御されていることが好ましい。例えば図 2（b）に示す工程においてテーパ形状を有するトレンチ 12 を形成すれば、トレンチ 12 内におけるボイドの発生を抑制できる。ここでいう「ボイド」とは、アンドープポリシリコン膜 5 a の内部に生じる空間を指す。

[0094] 本明細書において、アンドープポリシリコン膜 5 a で「トレンチ 12 内を埋める」とは、トレンチ 12 の底面および側面上に形成されたアンドープポリシリコン膜 5 a によって、トレンチ 12 の内部、すなわちトレンチ 12 の底面および側面によって規定される空間が埋め込まれた状態を指す。この状態では、アンドープポリシリコン膜 5 a、トレンチ 12 の内部でボイドもスリットも有しておらず、トレンチ 12 の内部を完全に埋めるように形成されていることが好ましい。

[0095] なお、アンドープポリシリコン膜 5 a の代わりにアンドープアモルファスシリコン膜を形成してもよい。本明細書では、アンドープポリシリコンとアンドープアモルファスシリコンとを「アンドープシリコン」と総称することがある。アンドープアモルファスシリコン膜を用いる場合、後述する熱酸化膜形成工程においてアモルファスシリコン膜が結晶化され、ポリシリコン膜

となる。

[0096] この後、図2（d）に示すように、アンドープポリシリコン膜5aの表面を例えば化学機械研磨（Chemical Mechanical Polishing；CMP）法により平坦化する。平坦化は、後のエッチバック工程において、トレンチ12の底部に残留させる絶縁膜の表面を平坦にするために行う。従って、アンドープポリシリコン膜5aの表面が堆積後もしくはアニール処理後に十分平坦であれば、この平坦化工程を省略できる。また、本実施形態では平坦化方法としてCMP法を用いたが、CMP法の代わりに、例えば、アンドープポリシリコン膜5aの表面に平坦化膜として有機膜を塗布した後、その有機膜とアンドープポリシリコン膜5aとを略同じエッチングレートでエッチバックすることによって、アンドープポリシリコン膜5aを平坦化してもよい。

[0097] 続いて、図3（a）に示すように、アンドープポリシリコン膜5aのエッチングを行い、トレンチ12内の所定の深さから底面までの間に位置する部分を残して第3絶縁層5とし、他の部分を除去する。ここでは、アンドープポリシリコン膜5aに対し、例えば弗硝酸系の溶液を用いたウェットエッチングを行い、トレンチ12の底部に厚さが150nm以上500nm以下（例えば約350nm）の第3絶縁層5を得る。第3絶縁層5の厚さはエッチング時間などのエッチング条件により調整される。

[0098] エッチング方法として、ここではウェットエッチングを用いたが、これは、一般にポリシリコン膜のウェットエッチング液ではSiCが侵食されないからである。なお、ドライエッチングによるエッチバック法を用いてもよい。ただし、ポリシリコン膜のドライエッチングに用いるガスとしてSiCを侵食しないガスを選択することが好ましい。SiCもエッチングするガスを用いると、トレンチ12の形状が変化する可能性があるからである。

[0099] 続いて、図3（b）に示すように、トレンチ12の側面上に、ゲート酸化膜として機能する第2絶縁層（厚さ：例えば30nm以上100nm以下）6を形成する。ここでは、ドライ酸化雰囲気中、1200℃の温度で3時間

の熱処理を行うことにより、第2絶縁層6として厚さが例えば70 nmの熱酸化膜を形成する。この熱処理において、第2絶縁層6の形成と同時に、第3絶縁層5の表面も酸化されて第1絶縁層7が得られる。第3絶縁層5の酸化速度が炭化珪素層2の酸化速度よりも高いことから、第1絶縁層7は第2絶縁層6よりも厚い熱酸化膜（厚さ：例えば150 nm以上500 nm以下）となる。

[0100] この方法によると、第2絶縁層6は、トレンチ12の側面のうち第3絶縁層5で覆われていない部分にのみ形成される。従って、第2絶縁層6は、第3絶縁層5よりも浅い位置に形成される。このようにして、第3絶縁層5、第1絶縁層7および第2絶縁層6によって構成される絶縁膜11が得られる。

[0101] また、上記条件の熱処理では、第3絶縁層5が厚さ全体に亘って完全に酸化されることは無いので、トレンチ12の底面を構成する炭化珪素は酸化されない。従って、炭化珪素層2の酸化に伴ってトレンチ12の底部にかかるストレスを従来よりも低減できる。

[0102] なお、トレンチ内部をポリシリコン膜で埋め込む前に、トレンチ内にゲート絶縁膜（熱酸化膜）を形成しておくことも考えられる。その場合にはゲート絶縁膜がトレンチ底面上にも形成される。しかしながら、ゲート絶縁膜は、結晶方位に依存してトレンチ底面上で厚くなるため、トレンチ底部にストレスが生じる要因となる。これに対して、上記方法のように、トレンチ12内部にアンドープポリシリコン膜5aを埋め込んだ後にトレンチ12内に熱酸化膜（第1絶縁層7、第2絶縁層6）を形成すると、熱酸化膜の形成時にトレンチ12底面がアンドープポリシリコン膜5aで覆われているので、トレンチ12底部において基板の酸化が発生しない。このように、トレンチ12の側壁および底面の炭化珪素表面（トレンチ12内にチャネル層を形成する場合には、チャネル層表面）と接するようにアンドープポリシリコン膜5aを形成し、その後に熱酸化膜を形成することにより、熱酸化膜形成時のストレスがトレンチ12の底面に発生することを抑制できる。さらに、トレン

チ 1 2 の底面にゲート電極 8 と略等しい膨張係数を有するシリコンにより構成される第 3 絶縁層 5 を配置できるので、完成後の半導体素子使用時において膨張係数の差によるストレスも低減できる。その上、第 3 絶縁層 5 の表面を酸化する際には（図 3（b））、トレンチ 1 2 の側壁上に絶縁膜が存在していないので、第 3 絶縁層 5 の酸化時のストレスを上方に逃がすことができ、トレンチ 1 2 内部にかかるストレスを小さくすることができる。

[0103] 第 1 絶縁層 7 の上面は、トレンチ 1 2 の側面においてボディ領域 3 とドリフト領域 2 d との界面よりも深い位置にあることが好ましい。第 1 絶縁層 7 の上面が上記界面よりも下に位置していると、ボディ領域 3 のうちトレンチ 1 2 の側面に露出する部分（チャンネル部分）上にゲート絶縁膜（第 2 絶縁層 6）のみを配置できるので、所望のトランジスタ特性をより確実に実現できる。

[0104] この後、トレンチ 1 2 内に導電膜 8 a を形成する。ここでは、導電膜 8 a として、例えば L P - C V D 法により、不純物のドーパされたポリシリコン（厚さ：例えば 6 0 0 n m）をトレンチ 1 2 内および炭化珪素層 2 上に堆積する。

[0105] 続いて、図 3（c）に示すように、トレンチ 1 2 の上部以外を開口させたレジスト層 2 1 をマスクとして導電膜 8 a のエッチング（ドライエッチング）を行い、ゲート電極 8 を得る。

[0106] ゲート電極 8 は、少なくともトレンチ 1 2 の側面において第 2 絶縁層 6 と接するように形成される。図示する例では、トレンチ 1 2 内および炭化珪素層 2 上に、トレンチ 1 2 の底部において第 1 絶縁層 7 と接し、かつ、トレンチ 1 2 の側面において第 2 絶縁層 6 と接するようにゲート電極 8 が形成されている。また、第 1 絶縁層 7 とゲート電極 8 の界面は、ドリフト領域 2 d とボディ領域 3 との界面よりも深い位置にある。

[0107] 続いて、図 3（d）に示すように、ボディ領域 3 およびソース領域 4 と接するようにソース電極 1 0 を形成する。ソース電極 1 0 は、炭化珪素層 2 の上面上に、ボディ領域 3 とソース領域 4 とに跨るように配置される。具体的

には、まず、炭化珪素層 2 およびゲート電極 8 を覆うように層間絶縁膜（図示せず）を形成する。次いで、層間絶縁膜に、ソース領域 4 の一部およびボディ領域 3 の一部を露出する開口部を設ける。この開口部内に導電膜（例えば Ti などの金属膜）を形成し、必要に応じてアニール処理を行う。これにより、ソース領域 4 およびボディ領域 3 とオーミック接触するソース電極 10 が得られる。

[0108] また、基板 1 の裏面（主面と反対側）上にドレイン電極 9 を形成する。これにより、トレンチゲート構造を有する MISFET が得られる。

[0109] 上記方法によると、トレンチ 12 の側面および底面とゲート電極 8 との間に、第 2 絶縁層 6、第 1 絶縁層 7 および第 3 絶縁層 5 により構成される絶縁膜 11 が配置される。絶縁膜 11 は、トレンチ 12 の底面上で、トレンチ 12 の側面上よりも厚くなる。具体的には、トレンチ 12 の底面とゲート電極 8 との間に、第 3 絶縁層 5 および第 1 絶縁層 7 が形成され、これらの両方の層が絶縁膜として機能する。従って、トレンチ 12 の底面における絶縁膜 11 の厚さは 400 nm 以上となり、トレンチ 12 の底部近傍にかかる電界強度を 4 MV/cm 以下まで抑制することが可能となる。一方、トレンチ 12 の側面に露出したボディ領域 3 の表面領域（チャンネル部分）における絶縁膜 11 の厚さは、第 2 絶縁層 6 の厚さによって規定され、例えば 70 nm である。

[0110] このように、トレンチ 12 の底部に選択的に第 3 絶縁層 5 を配置することによって、トレンチ 12 の底面における絶縁膜 11 の厚さを、トレンチ 12 の側面における絶縁膜 11 の厚さよりも大きくできる。例えばトレンチ 12 の側面における厚さの 3 倍以上、好ましくは 5 倍以上にできる。従って、トランジスタ特性を低下させることなく、トレンチ 12 の底部において絶縁膜 11 に生じる電界強度を低減でき、絶縁破壊を抑制することが可能となる。

[0111] また、トレンチ 12 の底部の炭化珪素を酸化して厚い熱酸化膜を形成することがないので、酸化に伴う基板 1 へのストレスが発生しにくく、炭化珪素層 2 への欠陥の導入が抑制される。さらに、トレンチ 12 の底部に配置され

た、シリコンにより構成される第3絶縁層5と、ゲート電極（ドーパされたポリシリコン層）8とが略同一の膨張係数を有するので、高温動作における長期信頼性を確保できる。その上、ゲート電極8と第3絶縁層5との間に第1絶縁層7を形成することにより、製造プロセス中や半導体装置完成後の高温動作時などに、ゲート電極8から第3絶縁層5へ不純物が拡散することを抑制できる。従って、第3絶縁層5の絶縁性を維持できるので、トレンチ12の底部の絶縁膜11を安定して保持できる。

[0112] 本発明の半導体装置の製造方法は、図2および図3を参照しながら上述した方法に限定されない。

[0113] 上述した方法では、アンドープポリシリコン膜5aの平坦化工程を行っているが、アンドープポリシリコン膜5aに対する平坦化処理を行わなくてもよい。ただし、アンドープポリシリコン膜5aの上面が十分に平坦化されていない場合、その状態でアンドープポリシリコン膜5aのエッチング工程を行うと、例えば図4に示すように、トレンチ12内に、表面に凹部を有する第3絶縁層5が得られる。この場合でも、上記と同様の効果が得られる。

[0114] また、上述した第1の実施形態の方法では、深さが1.5 μm のトレンチ12を形成しているが、トレンチ12の深さはドリフト領域2dに達し、かつ、トレンチ12の底面上に所望の厚さの絶縁膜を形成できる深さに設定されればよく、特に限定されない。

[0115] アンドープポリシリコン膜5aの厚さは特に限定されず、トレンチ12の内部を全て埋め込むことができるように設定されればよい。そのようなアンドープポリシリコン膜5aの厚さは、トレンチ12の幅によって異なるが、一般には、トレンチ12の幅の50～80%であることが好ましい。なお、トレンチ12の幅とは、基板1の主面の法線方向から見たときの、トレンチ12の開口の最大幅を指す。

[0116] さらに、第2絶縁層6および第1絶縁層7として、熱酸化によって酸化膜を形成する代わりに、CVD法などの堆積法を用いて、トレンチ12の底面上および側面上に酸化膜や窒化膜などの絶縁膜を形成してもよい。

- [0117] ゲート電極 8 として、ポリシリコン以外の材料から構成される導電層を形成してもよい。この場合でも、第 1 絶縁層 7 によって、ゲート電極 8 の材料と第 3 絶縁層 5 とが反応することを抑制できる。
- [0118] 図 1 ～図 4 に示す断面図では、トレンチ 1 2 の側面と底面とが垂直に交わって角部（コーナー部）が形成されているが、トレンチ 1 2 がテーパ形状を有する場合には、側面と底面とは垂直に交わらなくてもよい。また、角部がエッチングもしくはエッチング以外の工程で丸みを帯びていても、上記と同様の効果を得ることができる。
- [0119] 上記方法では、基板 1 として 4 H-S i C 基板を用いたが、他の結晶面や他のポリタイプの S i C 基板を用いてもよい。また、4 H-S i C 基板を用いる場合、その S i 面に炭化珪素層 2 を形成し、C 面にドレイン電極 9 を形成してもよいし、C 面に炭化珪素層 2、S i 面にドレイン電極 9 を形成してもよい。
- [0120] 上記説明では、本発明による実施形態の半導体装置の構成を、n チャネル型の M I S F E T を例に説明したが、本発明の半導体装置は p チャネル型の M I S F E T であってもよい。p チャネル型の M I S F E T では、S i C 基板 1、ドリフト領域 2 d、ソース領域 4 の導電型は p 型、ボディ領域 3 の導電型は n 型となる。
- [0121] 本発明の半導体装置の構成は、図 1 を参照しながら上述した構成に限定されない。図 1 に示す半導体装置では、炭化珪素層 2 はボディ領域 3、ソース領域 4 およびドリフト領域 2 d を有するが、さらに他の構成要素を有していてもよい。例えば、ドリフト領域 2 d のうちトレンチ 1 2 の底面近傍に位置する部分に、電界緩和のための第 2 導電型の不純物層を有していてもよい。また、トレンチ 1 2 の側面上にチャネル層が形成されていてもよい。
- [0122] 図 1 に示す半導体装置は、反転チャネル構造を有する M I S F E T であるが、本発明は蓄積チャネル構造を有する M I S F E T にも適用され、上記と同様の効果が得られる。
- [0123] 図 5 は、蓄積チャネル構造を有する M I S F E T を例示する断面図である

。簡単のため、図１と同様の構成要素には、同じ参照符号を付し、説明を省略する。

[0124] 図５に示す半導体装置のユニットセル１１０Ｕは、トレンチ１２の底面および側面上に、炭化珪素によって構成されるチャネル層１８が形成されている点で、図１に示す半導体装置のユニットセル１００Ｕと異なっている。チャネル層１８は、例えばエピタキシャル成長によって形成された第１導電型の炭化珪素層である。

[0125] 図５に示す半導体装置を製造する際には、トレンチ１２を形成した後、炭化珪素層２上およびトレンチ１２の側面および底面上に、エピタキシャル成長によりチャネル層１８を形成する。その後、チャネル層１８の上にアンダーポリシリコン膜５aを堆積し、これをエッチングして第３絶縁層５を得る。次いで、チャネル層１８の表面部分を熱酸化することにより第２絶縁層６を形成できる。

[0126] さらに、本発明は縦型ＭＩＳＦＥＴに限定されず、炭化珪素層上に絶縁膜を介して電極が配置された構造を有する種々の半導体装置に適用され得る。例えば上記実施形態では、炭化珪素層（ドリフト領域）と同じ導電型の炭化珪素基板を用いてＭＩＳＦＥＴを製造しているが、炭化珪素層（ドリフト領域）と異なる導電型の炭化珪素基板を用いて絶縁ゲートバイポーラトランジスタ（Insulated Gate Bipolar Transistor：ＩＧＢＴ）を製造することもできる。

[0127] また、上記実施形態では、炭化珪素（ＳｉＣ）を用いた半導体装置を説明したが、その他のワイドバンドギャップ半導体、例えばＧaN、ダイヤモンド等を用いた半導体装置にも適用でき、同様の効果が得られる。さらに、ワイドバンドギャップ半導体以外の半導体（例えばシリコン）を用いた半導体装置にも適用され得る。

[0128] 例えば、炭化珪素の代わりにシリコンを用いて、図１に示す半導体装置を製造することができる。製造方法は、図２及び図３を参照しながら前述した方法と同様であってもよい。

産業上の利用可能性

[0129] 本発明は、トレンチ構造を備えるM I S F E Tなどの半導体装置、およびそれを備えた種々の制御装置や駆動装置に広く適用できる。特に、炭化珪素などのワイドバンドギャップ半導体を用いた半導体装置に好適に用いられ得る。

符号の説明

- [0130] 1 基板
 2 炭化珪素層
 2 d ドリフト領域
 3 ボディ領域
 4 ソース領域
 5 a アンドープポリシリコン膜
 5 第3絶縁層
 6 第2絶縁層
 7 第1絶縁層
 8 ゲート電極
 9 ドレイン電極
 10 ソース電極
 11 絶縁膜
 12 トレンチ
 16 ゲート絶縁膜
 18 チャネル層
 21 レジスト層
 100U、110U、300U ユニットセル

請求の範囲

[請求項1]

基板と、
前記基板の主面上に配置された半導体層と、
前記半導体層に配置され、前記半導体層内に底面および側面を有するトレンチと、
前記トレンチの底面および側面に配置された絶縁膜と、
前記トレンチ内に配置され、前記絶縁膜によって前記半導体層と絶縁された導電層と
を備え、

前記絶縁膜は、前記トレンチの底面と前記導電層との間に配置された第1絶縁層および第3絶縁層と、前記トレンチの側面と前記導電層との間に配置された第2絶縁層とを有し、

前記第1絶縁層は前記第3絶縁層上に配置され、前記第2絶縁層は、前記第3絶縁層よりも浅い位置のみに配置されており、
前記第3絶縁層はシリコンにより構成される半導体装置。

[請求項2]

前記半導体層は、第1導電型のドリフト領域と、前記ドリフト領域上に配置された第2導電型のボディ領域とを含み、

前記トレンチは、前記ボディ領域を貫通し、前記ドリフト領域の内部に前記底面を有しており、

前記第1絶縁層の上面は前記導電層の下面と接し、前記第1絶縁層と前記導電層との界面は、前記トレンチの側面における前記ボディ領域と前記ドリフト領域との界面よりも深い位置にある請求項1に記載の半導体装置。

[請求項3]

前記ドリフト領域における前記トレンチの深さの、前記ドリフト領域の厚さに対する割合は $1/3$ 以下である請求項2に記載の半導体装置。

[請求項4]

前記絶縁膜の厚さは、前記トレンチの底面上で、前記トレンチの側面上よりも大きい請求項1から3のいずれかに記載の半導体装置。

- [請求項5] 前記絶縁膜の厚さは、前記トレンチの底面上で、前記トレンチの側面上の3倍以上である請求項4に記載の半導体装置。
- [請求項6] 前記導電層は、不純物がドーピングされたポリシリコン層である請求項1から5のいずれかに記載の半導体装置。
- [請求項7] 前記ボディ領域内に配置された第1導電型のソース領域と、
前記ソース領域および前記ボディ領域と電氣的に接続されたソース電極と、
前記基板の前記主面と反対側の面に配置されたドレイン電極とをさらに備える請求項2に記載の半導体装置。
- [請求項8] 前記半導体層は、炭化珪素により構成される請求項1から7のいずれかに記載の半導体装置。
- [請求項9] 主面上に半導体層が形成された基板を用意する工程と、
前記半導体層内に底面および側面を有するトレンチを、前記半導体層に形成する工程と、
前記トレンチの底面および側面上に、前記トレンチ内を埋めるように、シリコンにより構成される第3絶縁層を形成する工程と、
前記第3絶縁層のエッチバックを行う工程であって、前記第3絶縁層のうち前記トレンチ内の所定の深さから底面までの間に位置する部分を第3絶縁層として残し、他の部分を除去する工程と、
前記第3絶縁層の上に第1絶縁層を形成する工程と、
前記トレンチの側面のうち前記第3絶縁層で覆われていない部分上に第2絶縁層を形成する工程と、
前記トレンチ内に、前記トレンチの側面において前記第2絶縁層と接するように導電層を形成する工程と
を包含する半導体装置の製造方法。
- [請求項10] 前記第1絶縁層および前記第2絶縁層は同一の熱処理工程によって形成され、
前記熱処理工程では、前記第3絶縁層の表面を酸化させることによ

って前記第 1 絶縁層を形成するとともに、前記トレンチの側面において半導体を酸化させることによって前記第 2 絶縁層を形成する請求項 9 に記載の半導体装置の製造方法。

[請求項 11] 前記基板を用意する工程において、前記半導体層は、第 1 導電型のドリフト領域と、前記ドリフト領域上に配置された第 2 導電型のボディ領域とを含んでおり、

前記トレンチを形成する工程において、前記トレンチは、前記ボディ領域を貫通し、前記ドリフト領域の内部に前記底面を有するように形成され、

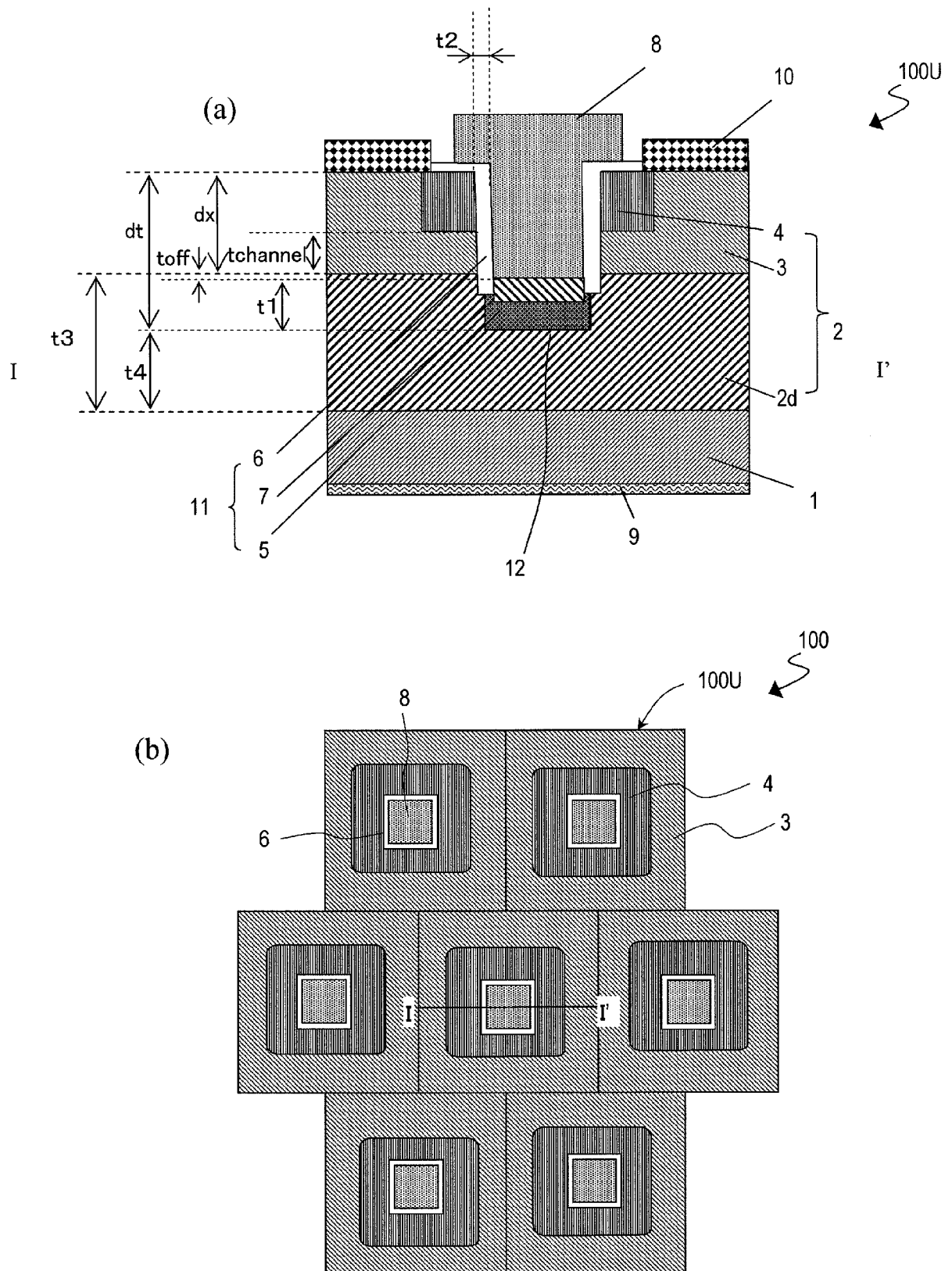
前記第 1 絶縁層の上面は、前記トレンチの側面における前記ボディ領域と前記ドリフト領域との界面よりも深い位置にある請求項 9 または 10 に記載の半導体装置の製造方法。

[請求項 12] 前記ドリフト領域における前記トレンチの深さの、前記ドリフト領域の厚さに対する割合は $1/3$ 以下である請求項 11 に記載の半導体装置の製造方法。

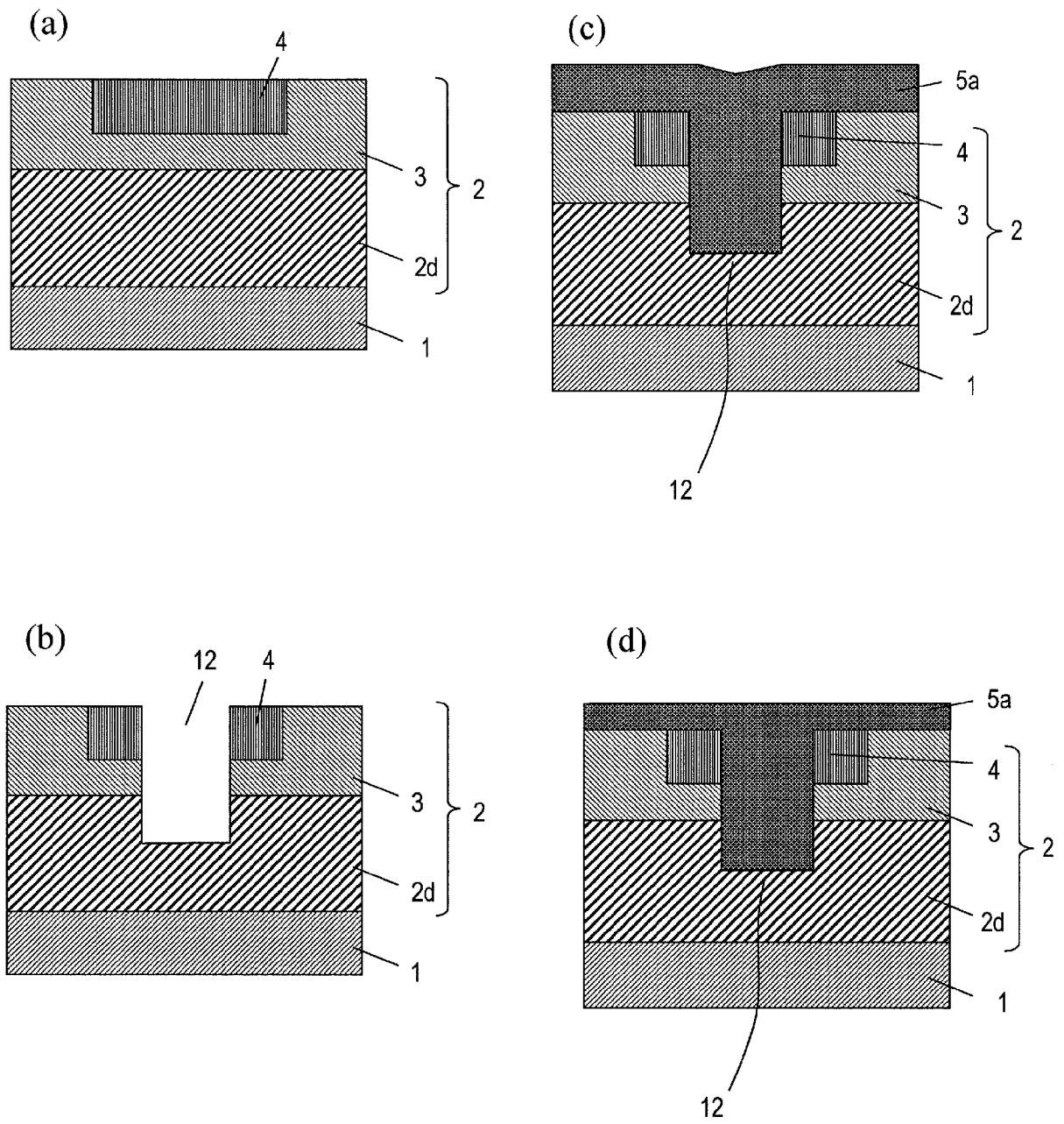
[請求項 13] 前記第 3 絶縁層を形成する工程と前記第 3 絶縁層のエッチングを行う工程との間に、前記第 3 絶縁層を平坦化する工程をさらに包含する請求項 9 から 12 のいずれかに記載の半導体装置の製造方法。

[請求項 14] 前記半導体層は、炭化珪素により構成される請求項 9 から 13 のいずれかに記載の半導体装置の製造方法。

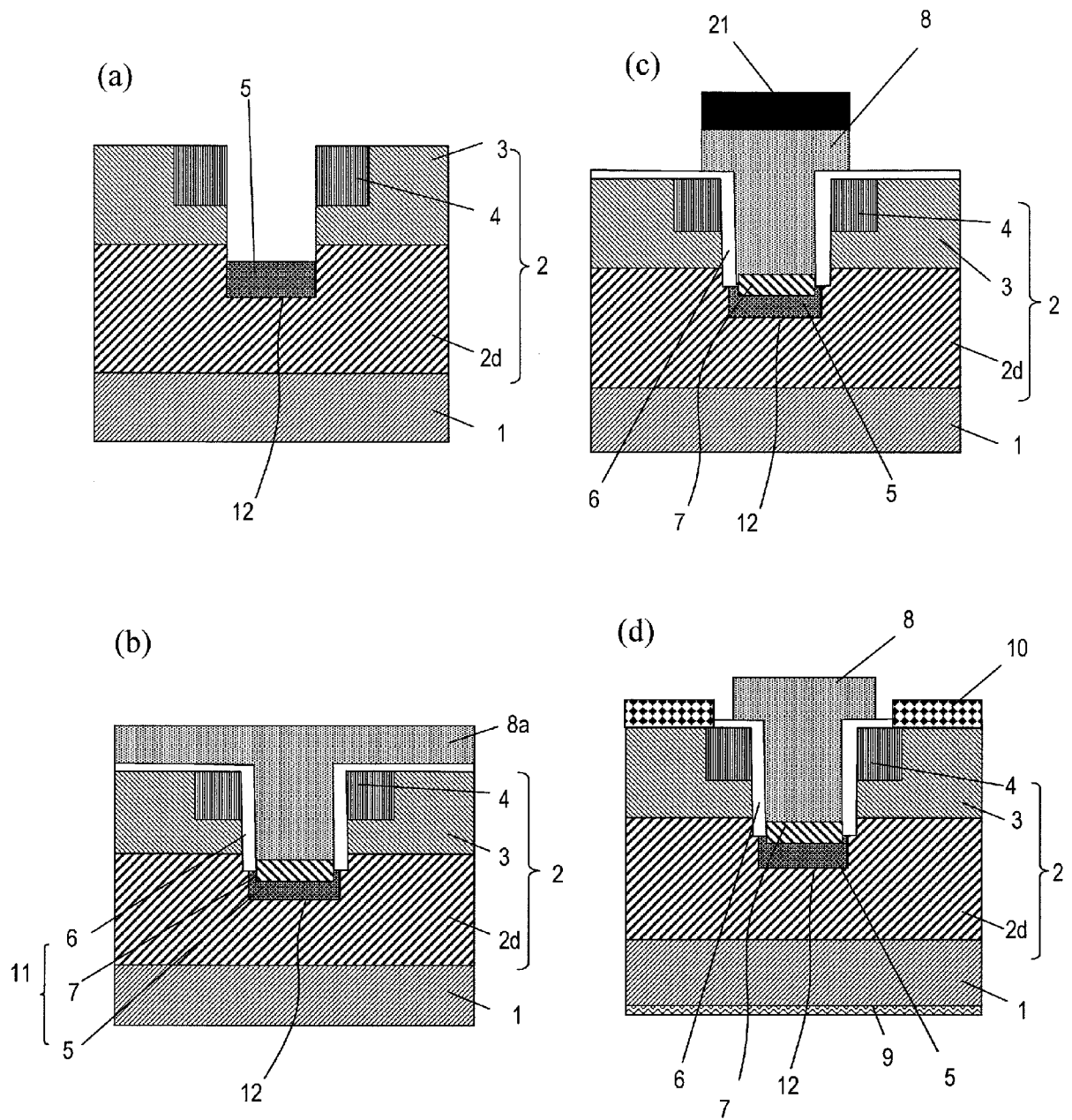
[図1]



[図2]

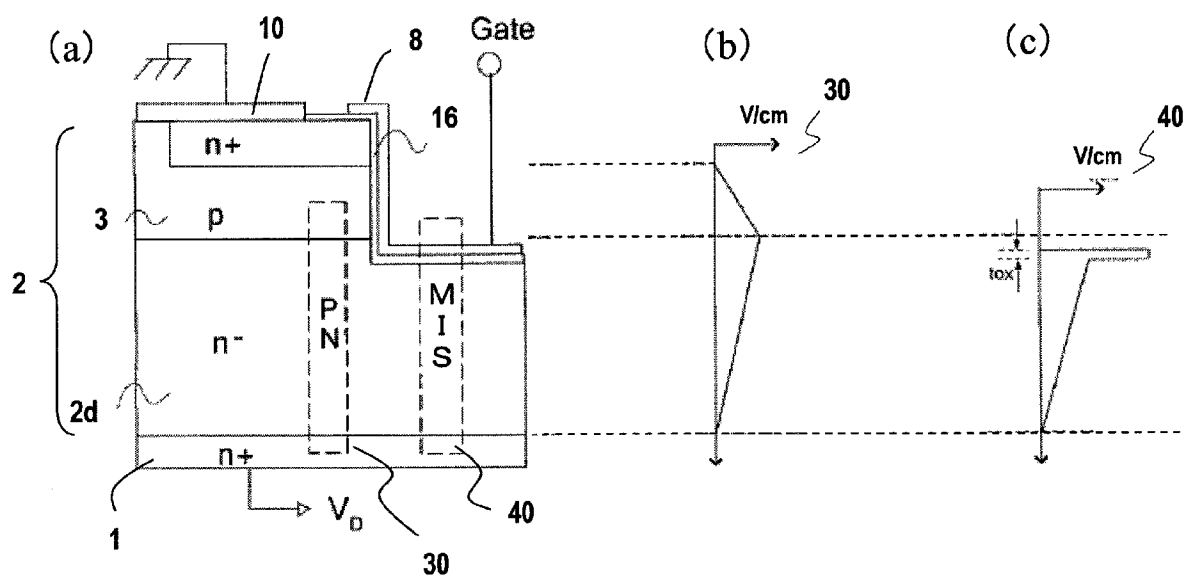


[図3]

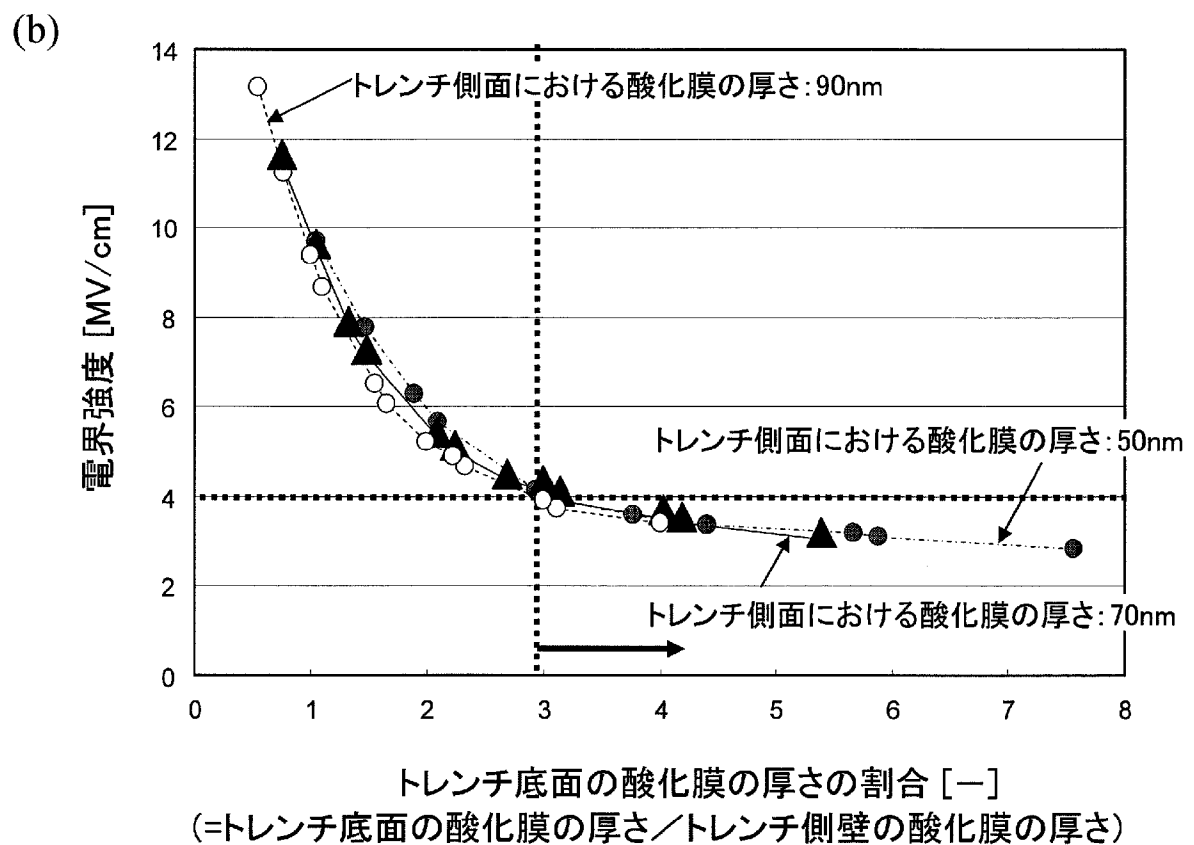
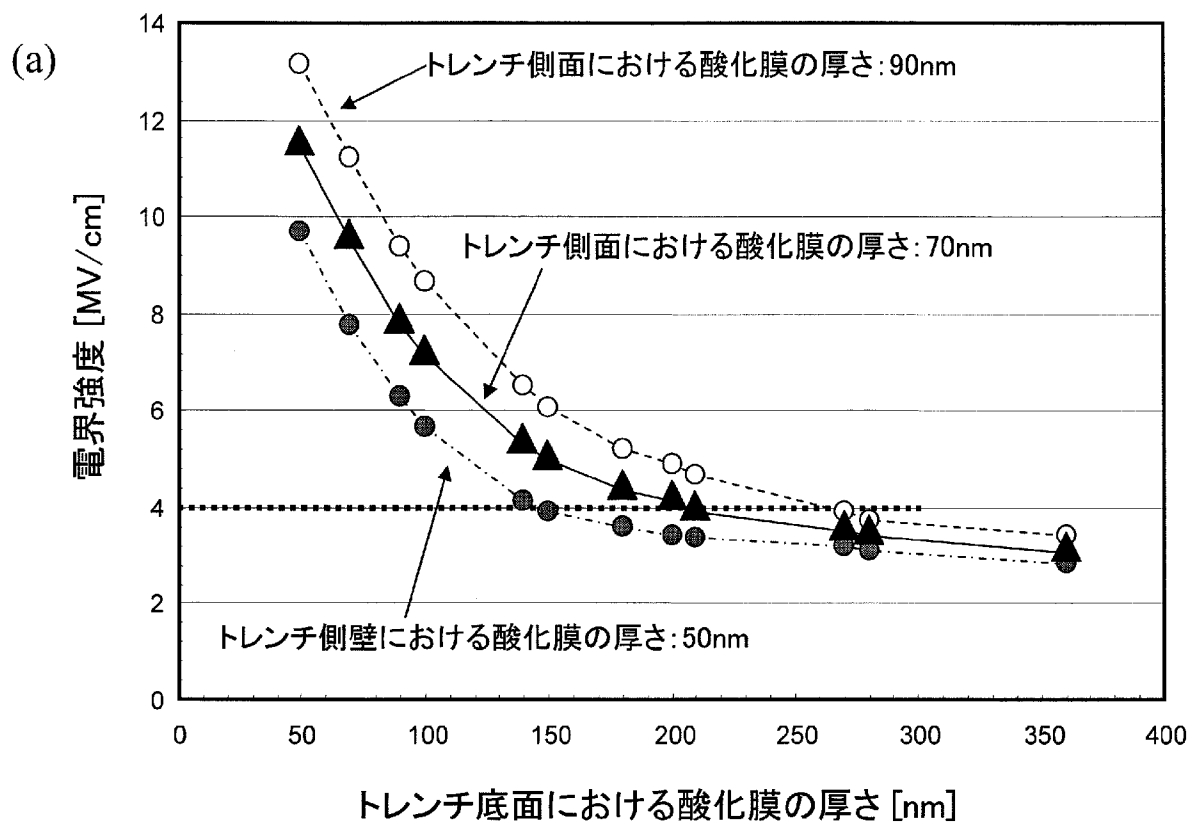


[illegible][illegible]

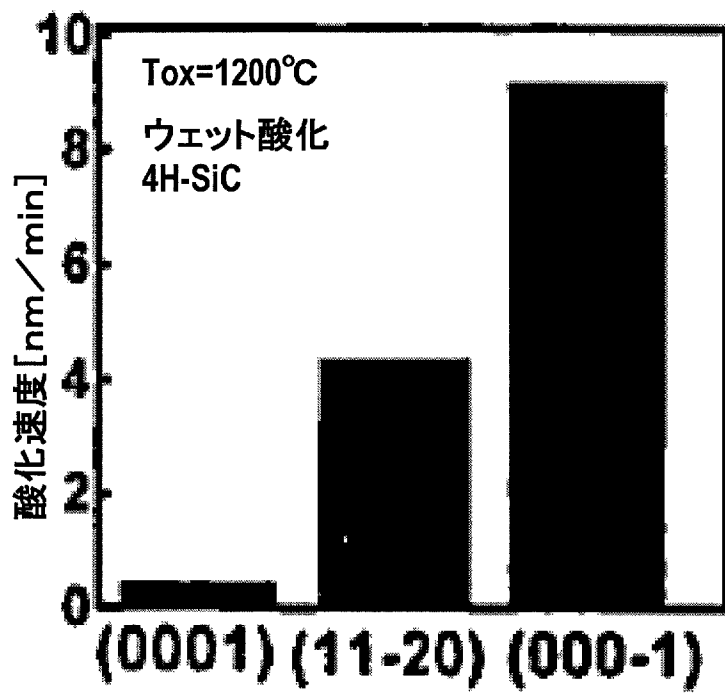
300U



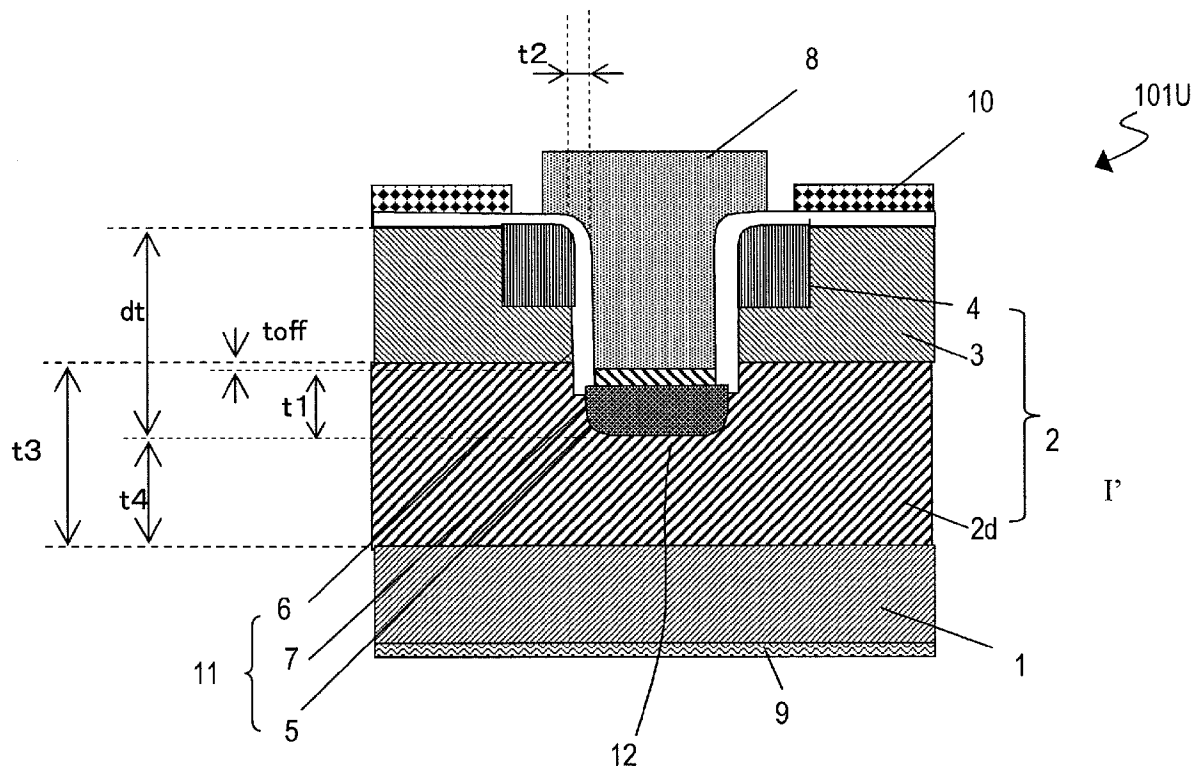
[図8]



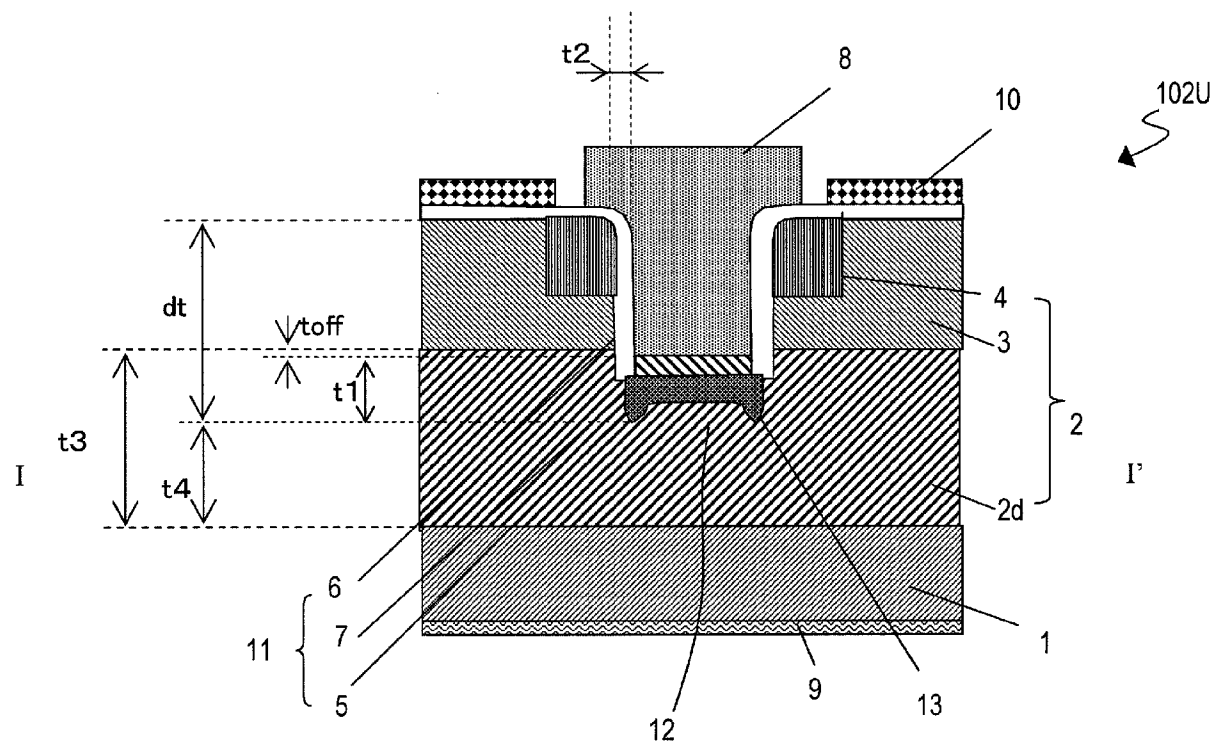
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/000244

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i,
H01L29/739(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/336, H01L29/12, H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2009-94484 A (Rohm Co., Ltd.), 30 April 2009 (30.04.2009), paragraphs [0063] to [0065], [0069], [0075], [0077]; fig. 5, 6 & US 2009/0078995 A1	1-14 13
X Y	JP 11-68102 A (Toshiba Corp.), 09 March 1999 (09.03.1999), paragraphs [0013] to [0016]; fig. 2 (Family: none)	1-12, 14 13

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
13 March, 2012 (13.03.12)

Date of mailing of the international search report
27 March, 2012 (27.03.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/000244

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-531953 A (Koninklijke Philips Electronics N.V.), 24 September 2002 (24.09.2002), paragraph [0025]; fig. 1, 2 & US 6541817 B1 & GB 9826041 A & EP 1066652 A2 & WO 2000/033386 A2 & DE 69936050 D	1-14
A	JP 2002-26323 A (Siliconix, Inc.), 25 January 2002 (25.01.2002), fig. 2 & EP 1162665 A2	1-14
A	JP 2006-93506 A (Sanyo Electric Co., Ltd.), 06 April 2006 (06.04.2006), paragraph [0041]; fig. 1, 2 & US 2006/0065926 A1 & KR 10-0710776 B1 & CN 1770468 A	1-14

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i, H01L29/739(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/78, H01L21/336, H01L29/12, H01L29/739

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2009-94484 A (ローム株式会社) 2009.04.30, 【0063】 - 【0065】, 【0069】, 【0075】, 【0077】, 図 5, 6 & US 2009/0078995 A1	1-14 13
X Y	JP 11-68102 A (株式会社東芝) 1999.03.09, 【0013】 - 【0016】, 図 2 (ファミリーなし)	1-12, 14 13

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 3 . 0 3 . 2 0 1 2

国際調査報告の発送日

2 7 . 0 3 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

松嶋 秀忠

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4 M

9 8 3 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-531953 A (コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ) 2002. 09. 24, 【0025】, 図 1, 2 & US 6541817 B1 & GB 9826041 A & EP 1066652 A2 & WO 2000/033386 A2 & DE 69936050 D	1-14
A	JP 2002-26323 A (シリコニックス・インコーポレイテッド) 2002. 01. 25, 図 2 & EP 1162665 A2	1-14
A	JP 2006-93506 A (三洋電機株式会社) 2006. 04. 06, 【0041】, 図 1, 2 & US 2006/0065926 A1 & KR 10-0710776 B1 & CN 1770468 A	1-14