

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4221314号  
(P4221314)

(45) 発行日 平成21年2月12日(2009.2.12)

(24) 登録日 平成20年11月21日(2008.11.21)

(51) Int.Cl. F I  
 HO 1 L 29/786 (2006.01) HO 1 L 29/78 6 1 8 C  
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 6 2 7 C  
 GO 2 F 1/1368 (2006.01) GO 2 F 1/1368

請求項の数 10 (全 14 頁)

<p>(21) 出願番号 特願2004-34094 (P2004-34094)                  (22) 出願日 平成16年2月10日(2004.2.10)                  (65) 公開番号 特開2005-228826 (P2005-228826A)                  (43) 公開日 平成17年8月25日(2005.8.25)                  審査請求日 平成17年2月18日(2005.2.18)</p> <p>前置審査</p>	<p>(73) 特許権者 303018827                  NEC液晶テクノロジー株式会社                  神奈川県川崎市中原区下沼部1753番地</p> <p>(74) 代理人 100109313                  弁理士 机 昌彦</p> <p>(74) 代理人 100121290                  弁理士 木村 明隆</p> <p>(74) 代理人 100111637                  弁理士 谷澤 靖久</p> <p>(72) 発明者 大石 三真                  神奈川県川崎市中原区下沼部1753番地                  NEC液晶テクノロジー株式会社内</p>
---	---

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタとそれを用いた液晶表示装置およびその薄膜トランジスタの製造方法

(57) 【特許請求の範囲】

【請求項1】

逆スタガ構造の薄膜トランジスタにおいて、ソース電極とドレイン電極の間のチャンネル領域を形成するゲート電極上に位置する半導体膜の幅が、前記ゲート電極上に位置する前記ソース電極の幅および前記ドレイン電極の幅の何れよりも広く、かつ前記チャンネル領域の両辺縁部の前記半導体膜の幅を形成する輪郭が凹部、凸部、凹部の連続する凹凸形状を有することを特徴とする薄膜トランジスタ。

【請求項2】

薄膜トランジスタ(TFT)を形成したTFT基板と、対向基板と、前記TFT基板および前記対向基板の間に挟まれた液晶層とを備える液晶表示装置において、ソース電極とドレイン電極間のチャンネル領域を形成するゲート電極上に位置する半導体膜の幅が、前記ゲート電極上に位置する前記ソース電極の幅および前記ドレイン電極の幅の何れよりも広く、かつ前記チャンネル領域の両辺縁部の前記半導体膜の幅を形成する輪郭が凹部、凸部、凹部の連続する凹凸形状を有している薄膜トランジスタにより構成する前記TFT基板を用いた液晶表示装置。

【請求項3】

透明絶縁基板上にゲート電極を形成し、前記透明絶縁基板上及び前記ゲート電極上にゲート絶縁膜と、半導体膜と高濃度不純物半導体膜の3層を成膜し、さらにソース・ドレイン用金属膜を成膜した後レジストを塗布し、遮光領域と光透過領域と半透過領域からなるフォトマスクを用い露光および現像を行いソース・ドレイン電極形成用レジストパターン

と、前記ソース・ドレイン電極形成用レジストパターンより薄いチャンネル領域形成用レジストパターンを形成し、前記ソース・ドレイン用金属膜をエッチングし続けて前記高濃度不純物半導体膜と前記半導体膜をエッチングし、高濃度不純物半導体膜と半導体膜のエッチングと同時あるいはその後エッチングまたはアッシングにより前記薄いチャンネル領域形成用レジストパターンを除去し、かつ前記ソース・ドレイン電極形成用レジストパターンは残存させ、チャンネル形成領域上の前記ソース・ドレイン用金属膜をエッチングすることによりソース・ドレイン電極を形成し、チャンネル形成領域上の前記高濃度不純物半導体膜をエッチングし、前記半導体膜の露出した表面の一部をエッチングして一定の膜厚を残存させることにより前記半導体膜からなるチャンネル領域を形成し、その後レジストを除去し、保護膜を形成する薄膜トランジスタの製造方法において、前記ソース電極と前記ドレイン電極の間のチャンネル領域を形成する前記ゲート電極上に位置する前記半導体膜の幅が、前記ゲート電極上に位置する前記ソース電極の幅および前記ドレイン電極の幅の何れより広くかつチャンネル領域の両辺縁部の前記半導体膜の幅を形成する輪郭が凹部、凸部、凹部の連続する凹凸形状を有していることを特徴とする薄膜トランジスタの製造方法。

10

【請求項 4】

透明絶縁基板上にゲート電極を形成し、前記透明絶縁基板上及び前記ゲート電極上にゲート絶縁膜と、半導体膜と高濃度不純物半導体膜の3層を成膜し、さらにソース・ドレイン用金属膜を成膜した後レジストを塗布し、遮光領域と光透過領域と半透過領域からなるフォトリソマスクを用い露光および現像を行いソース・ドレイン電極形成用レジストパターンと、前記ソース・ドレイン電極形成用レジストパターンより薄いチャンネル領域形成用レジストパターンを形成し、前記ソース・ドレイン用金属膜をエッチングし続けて前記高濃度不純物半導体膜と前記半導体膜をエッチングし、高濃度不純物半導体膜と半導体膜のエッチングと同時あるいはその後エッチングまたはアッシングにより前記薄いチャンネル領域形成用レジストパターンを除去し、かつ前記ソース・ドレイン電極形成用レジストパターンは残存させ、チャンネル形成領域上の前記ソース・ドレイン用金属膜をエッチングすることによりソース・ドレイン電極を形成し、その後レジストを除去し、チャンネル形成領域上の前記高濃度不純物半導体膜をエッチングし、前記半導体膜の露出した表面の一部をエッチングして一定の膜厚を残存させることにより前記半導体膜からなるチャンネル領域を形成し、保護膜を形成する薄膜トランジスタの製造方法において、前記ソース電極と前記ドレイン電極の間のチャンネル領域を形成する前記ゲート電極上に位置する前記半導体膜の幅が、前記ゲート電極上に位置する前記ソース電極の幅および前記ドレイン電極の幅の何れより広くかつチャンネル領域の両辺縁部の前記半導体膜の幅を形成する輪郭が凹部、凸部、凹部の連続する凹凸形状を有していることを特徴とする薄膜トランジスタの製造方法。

20

30

【請求項 5】

前記透明絶縁基板がガラス基板であり、前記半導体がアモルファスシリコン ( a - Si ) であり、前記高濃度不純物半導体が高濃度 n 型アモルファスシリコン ( n + a - Si ) である請求項 3 および 4 のいずれかに記載の薄膜トランジスタの製造方法。

【請求項 6】

前記保護膜にコンタクト孔を開孔し、画素電極を形成し TFT 基板を形成することを特徴とする請求項 3、4 および 5 のいずれかに記載の薄膜トランジスタの製造方法。

40

【請求項 7】

前記遮光領域と光透過領域と半透過領域からなるフォトリソマスクが、ソース・ドレイン形成領域の一对の遮光領域と、光透過領域と、露光装置の解像能力限界以下の寸法からなる光透過/遮光パターンで構成する半透過領域とからなり、前記光透過/遮光パターンが一对のスリット部と細長い矩形により構成され、前記細長い矩形が前記ソース・ドレイン形成領域の一对の遮光領域の対向する部分のソース形成領域の幅およびドレイン形成領域の幅の何れの幅より 1 . 5 μ m 以上長いことを特徴とする請求項 3、4、5 および 6 のいずれかに記載の薄膜トランジスタの製造方法。

【請求項 8】

前記遮光領域と光透過領域と半透過領域からなるフォトリソマスクが、ソース・ドレイン形

50

成領域の一对の遮光領域と、光透過領域と、露光装置の解像能力限界以下の寸法からなる光透過/遮光パターンで構成される半透過領域とからなり、前記光透過/遮光パターンが一对のスリット部と細長い矩形より構成され、前記細長い矩形が前記ソース・ドレイン形成領域の一对の遮光領域の対向する部分のソース形成領域の幅およびドレイン形成領域の幅の何れの幅より片側で  $1.5 \mu\text{m}$  以上  $3 \mu\text{m}$  以下長く、かつ両側合わせて  $3 \mu\text{m}$  以上  $6 \mu\text{m}$  以下長いことを特徴とする請求項 3、4、5 および 6 のいずれかに記載の薄膜トランジスタの製造方法。

【請求項 9】

前記遮光領域と光透過領域と半透過領域からなるフォトマスクが、ソース・ドレイン形成領域の一对の遮光領域と、光透過領域と、露光装置の解像能力限界以下の寸法からなる光透過/遮光パターンで構成される半透過領域とからなり、前記光透過/遮光パターンが複数のスリット部と複数の細長い矩形より構成され、前記複数の細長い矩形が前記ソース・ドレイン形成領域の一对の遮光領域の対向する部分のソース形成領域の幅およびドレイン形成領域の幅の何れの幅より  $1.5 \mu\text{m}$  以上長いことを特徴とする請求項 3、4、5 および 6 のいずれかに記載の薄膜トランジスタの製造方法。

10

【請求項 10】

前記遮光領域と光透過領域と半透過領域からなるフォトマスクが、ソース・ドレイン形成領域の一对の遮光領域と、光透過領域と、露光装置の解像能力限界以下の寸法からなる光透過/遮光パターンで構成される半透過領域とからなり、前記光透過/遮光パターンが複数のスリット部と複数の細長い矩形より構成され、前記複数の細長い矩形が前記ソース・ドレイン形成領域の一对の遮光領域の対向する部分のソース形成領域の幅およびドレイン形成領域の幅の何れの幅より片側で  $1.5 \mu\text{m}$  以上  $3 \mu\text{m}$  以下長く、かつ両側合わせて  $3 \mu\text{m}$  以上  $6 \mu\text{m}$  以下長いことを特徴とする請求項 3、4、5 および 6 のいずれかに記載の薄膜トランジスタの製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタとそれを用いた液晶表示装置およびその薄膜トランジスタの製造方法に関し、特にオン電流やチャネル長を改善した薄膜トランジスタとそれを用いた液晶表示装置およびその薄膜トランジスタの製造方法に関する。

30

【背景技術】

【0002】

薄膜トランジスタ(TFT)をスイッチング素子に使用した液晶表示装置は広く普及している。アモルファスシリコン(a-Si)TFTでは逆スタガ構造が多く採用され、またチャネルエッチ型TFTにおいては製造工程を減少させるため、4回のフォトマスクを用いた製造が行われている。

【0003】

例えば、特開2000-164886号公報[特許文献1]に上述した技術が記載されている。その記載によれば、「ソース及びドレイン電極を分離する時、他の部分より厚さが薄い感光膜をソース及びドレイン電極の間に形成し、必要によってある膜をエッチングする時には下部膜がエッチングされないように保護する役割をし、他の膜がエッチングされる時には感光膜が共にエッチングされて感光膜の下部を現す。」という手段を用いている。なお、ここでの感光膜は、本発明においてはレジストと称する。

40

【0004】

その製造技術をより具体的に述べると、まず絶縁基板の上に金属または導電体を成膜し、第1のフォトマスクを用いリソグラフィ技術とエッチング技術によりゲート配線のパターンニングを行う。そのゲート配線の上にゲート絶縁膜を成膜し、a-Si膜とn+a-Si膜及びソース・ドレイン用金属膜を積層する。ついで、第2のフォトマスクとリソグラフィ技術を用い、ソース電極形成領域及びドレイン電極形成領域上に厚いレジストを、またソース電極形成領域とドレイン電極形成領域の間に薄いレジストを形成する。さら

50

に、このレジストをマスクに、ソース・ドレイン用金属膜、 $n+a-Si$ 膜及び $a-Si$ 膜をエッチングしてソース・ドレイン電極及び $a-Si$ 層、 $n+a-Si$ 膜の一次パターンニングを行う。この $n+a-Si$ 膜及び $a-Si$ 膜のエッチングと同時に、レジストの厚さを減じ、ソース電極形成領域とドレイン電極形成領域の間の薄いレジストを除去する。

【0005】

かかるソース電極形成領域及びドレイン電極形成領域上の厚いレジストは、厚さを減じているものの残存している。ソース電極形成領域とドレイン電極形成領域の間の露出したソース・ドレイン用金属膜をエッチングし、さらにソース電極形成領域とドレイン電極形成領域の間の $n+a-Si$ 膜をエッチングすることにより、ソース・ドレイン電極及び $n+a-Si$ 膜の二次パターンニングを行い、レジストを除去する。

10

【0006】

次に、保護膜を成膜し第3のフォトマスクとリソグラフィー技術とエッチング技術によりコンタクト孔を開孔する。続いて、透明導電物質膜を成膜し、第4のフォトマスクとリソグラフィー技術とエッチング技術により画素電極を形成している。

【0007】

また、特開2001-324725号公報[特許文献2]によれば、前述した[特許文献1]と同様に、ソース・ドレイン電極用金属膜、 $n+a-Si$ 膜及び $a-Si$ 膜をエッチングしてソース・ドレイン電極及び $a-Si$ 層、 $n+a-Si$ 膜の一次パターンニングを行う。その後、酸素プラズマによりレジストの厚さを減じ、ソース電極形成領域とドレイン電極形成領域の間の薄いレジストを除去する。その後の工程は、[特許文献1]と同様にしてTFTを製造している。

20

【0008】

しかし、[特許文献1]に示すようなフォトマスクパターンでは、図9(a)に示すように、ソース電極およびドレイン電極を覆うための遮光領域11とそれらの間の細長い矩形部12とを備え、かつスリット13を形成したマスクパターンにより露光するようにしている。しかしながら、このようなマスクパターンを用いると、ソース電極形成領域とドレイン電極形成領域の間のチャンネル領域の薄いレジストパターンの厚さが不均一になるという問題があるため、例えば図9(b)に示すように、遮光領域11の両端の隅を落としたフォトマスクパターンを用いることによりこの問題を回避している。

【0009】

また、特開2002-55364号公報[特許文献3]にも各種のフォトマスクパターンが用いられている。例えば、図10(a)に示すように、複数の細長い矩形部12を用い多くのスリット13を形成するフォトマスクパターンでは、図11(a)に示すように、ゲート電極2上でソース電極6aおよびドレイン電極6bの領域間に半導体膜4を形成したTFTを製造する場合、チャンネル領域の終端(両辺縁部と称する。)で光の干渉現象によって屈曲を発生する。かかる半導体膜4に屈曲が発生すると、TFTのオン電流のパス屈曲が発生し、それらのTFTをマトリクス状に配置する液晶表示装置の画質が低下するという問題が生ずる。この屈曲の問題を解決するために、例えば図10(b)に示すような形状のフォトマスクパターンを用い、図11(b)に示すように、幅広の半導体膜4を形成し、これによりこの屈曲の問題を防止している。

30

40

【0010】

さらに、特開2002-57338号公報[特許文献4]では、前述した図9(a)のようなフォトマスクパターンを用いると、同様にチャンネル領域を形成するソース電極形成領域とドレイン電極形成領域の間の薄いレジストパターンの厚さの均一性が悪くなり、露光量の変動により歩留まり低下とタクト増大を招くという問題や、このレジストパターン膜厚の不均一性からTFTの形状不良が生じ、チャンネル長のばらつきが大きくなって液晶表示装置の表示特性が劣化するという問題を生ずる。このため、例えば図12に示すようなフォトマスクパターンの遮光領域11の形状を改良することにより、この問題を解決している。

【0011】

50

【特許文献1】特開2000-164886号公報(第1-10頁,第13-14頁、図57C、図59C)

【特許文献2】特開2001-324725号公報(第1-9頁)

【特許文献3】特開2002-55364号公報(第1-4頁、図7、図8、図9、図10、図14、図15)

【特許文献4】特開2002-57338号公報(第2-3頁,第5-8頁,第10-11頁、図7、図15)

【発明の開示】

【発明が解決しようとする課題】

【0012】

上述したフォトマスクパターンは、光透過領域と遮光領域からなり、しかもそれぞれの領域は逆パターンとなっており、露光装置の解像能力以下の寸法の光透過/遮光パターンにより半透過領域を構成することが出来る。しかし、フォトマスクパターンの製造ばらつきにより半透過領域の光透過量が異なってくる。例えば、図9(b)に示した[特許文献1]の技術では、半透過領域を構成する解像能力以下の寸法の光透過領域となる開口スリットの端部は開口スリットの中心に比べ広がっている。特に、フォトマスクパターンの製造ばらつきの影響は開口スリットの中心に比べ端部が大きくなるため、半透過領域の光透過量が開口スリットの中心と端部で異なり、半透過領域で形成するレジストパターンの厚さが不均一になるという問題がある。

【0013】

また、図10(b)に示した[特許文献3]の技術では、チャンネル領域内部の半透過領域は縦に並んだ開口スリットと遮光領域にて形成され、チャンネル領域の上部と下部の両辺縁部は横に並んだ開口スリットと遮光領域により半透過領域を形成している。フォトマスクパターンの寸法精度がもし縦方向と横方向で異なるとチャンネル領域内部とチャンネル領域の上部と下部の両辺縁部に形成するレジストパターンの厚さが異なってくる。チャンネル領域内部と両辺縁部のレジスト厚さが異なると、露光量の変動によりチャンネル長とソース・ドレイン電極からのチャンネル幅の拡大量が変動するため、TFTのオン電流特性の安定化が困難になる場合が発生する。例えば、チャンネル領域内部のレジスト厚さに比べ両辺縁部のレジスト厚さが薄くなると、チャンネル長に最適な露光量の変動し、ソース・ドレイン電極からのチャンネル幅の拡大量が不足するとTFTのオン電流が減少した。また、チャンネル領域内部のレジストの厚さに比べ両辺縁部のレジスト厚さが厚くなると、TFTのオン電流は増加するが、チャンネル幅からゲート電極端までの間隔を確保する必要が発生するため、ゲート電極を長くする必要があり、このゲート電極を長くすると、TFTの面積が増加し開口率が減少する。

【0014】

したがって、フォトマスクパターンの寸法精度は縦方向と横方向とも同程度にすることが好ましく、フォトマスクの製造ばらつきを厳格に管理する必要があるため、フォトマスク製造の歩留まり低下やタクト増加を招いた。

【0015】

さらに、透明絶縁基板側から光を照射した時、ゲート電極で遮光されずドレイン電極付近のa-Si膜へ達した光によりTFTのオフ電流(リーク電流)が増加するが、図11(b)に示すように、[特許文献3]のフォトマスクを利用して形成されたTFTでは、ゲート電極の外側でドレイン電極から拡大したa-Si膜の部分がリーク電流の発生に寄与するため、光リーク電流がより増加していた。

【0016】

また、図12に示すように、[特許文献4]に記載のマスクパターンにおいては、半透過領域を構成する解像能力以下の寸法の光透過領域を形成する開口スリット13の端部近傍に突起部が形成されている。しかるに、フォトマスクパターンの製造ばらつきの影響は開口スリット13の中心に比べ端部近傍の突起部にて大きくなるという欠点、すなわち前述した図9(b)の場合と同様の欠点がある。

10

20

30

40

50

## 【 0 0 1 7 】

本発明の目的は、これらの問題や欠点を解決することにより、特にオン電流の安定化とチャンネル長のばらつきを抑制したTFTとそのTFTを用いた液晶表示装置とそのTFTの製造方法を提供することにある。

## 【 0 0 1 8 】

また、本発明の他の目的は、フォトマスクパターンの製造ばらつきによるTFTのオン電流特性への影響を低減できるフォトマスクパターンを用いたTFTの製造方法を提供することにある。

## 【課題を解決するための手段】

## 【 0 0 1 9 】

本発明の薄膜トランジスタは、逆スタガ構造の薄膜トランジスタにおいて、ソース電極とドレイン電極の間のチャンネル領域を形成するゲート電極上に位置する半導体膜の幅が、ゲート電極上に位置するソース電極の幅および前記ドレイン電極の幅の何れよりも広く、かつチャンネル領域の両辺縁部の半導体膜の幅を形成する輪郭が凹部、凸部、凹部の連続する凹凸形状を有している。

## 【 0 0 2 0 】

また、本発明の液晶表示装置は、薄膜トランジスタ(TFT)を形成したTFT基板と、対向基板と、TFT基板と対向基板との間に挟まれた液晶層とを備え、ソース電極とドレイン電極間のチャンネル領域を形成するゲート電極上に位置する半導体膜の幅が、ゲート電極上に位置するソース電極の幅およびドレイン電極の幅の何れよりも広く、かつチャンネル領域の両辺縁部の前記半導体膜の幅を形成する輪郭が凹部、凸部、凹部の連続する凹凸形状を有している薄膜トランジスタにより前記TFT基板を構成している。

## 【 0 0 2 1 】

また、本発明の薄膜トランジスタの第一の製造方法は、透明絶縁基板上にゲート電極を形成する工程と、透明絶縁基板上及びゲート電極上にゲート絶縁膜と、半導体膜と高濃度不純物半導体膜の3層を成膜し、さらにソース・ドレイン用金属膜を成膜した後レジストを塗布し、遮光領域と光透過領域と半透過領域からなるフォトマスクを用い露光および現像を行いソース・ドレイン電極形成用レジストパターンと、ソース・ドレイン電極形成用レジストパターンより薄いチャンネル領域形成用レジストパターンを形成し、ソース・ドレイン用金属膜をエッチングし続けて高濃度不純物半導体膜と半導体膜をエッチングし、高濃度不純物半導体膜と半導体膜のエッチングと同時にあるいはその後エッチングまたはアッシングにより薄いチャンネル領域形成用レジストパターンを除去し、かつソース・ドレイン電極形成用レジストパターンは残存させ、チャンネル形成領域上のソース・ドレイン用金属膜をエッチングすることによりソース・ドレイン電極を形成し、チャンネル形成領域上の高濃度不純物半導体膜をエッチングし、半導体膜の露出した表面の一部をエッチングして一定の膜厚を残存させることにより半導体膜からなるチャンネル領域を形成する工程と、その後レジストを除去し、保護膜を形成する工程とを含み、ソース電極とドレイン電極の間のチャンネル領域を形成するゲート電極上に位置する半導体膜の幅が、ゲート電極上に位置するソース電極の幅およびドレイン電極の幅の何れよりも広くかつチャンネル領域の両辺縁部の半導体膜の幅を形成する輪郭が凹部、凸部、凹部の連続する凹凸形状を有している。

## 【 0 0 2 2 】

さらに、本発明の薄膜トランジスタの第二の製造方法は、透明絶縁基板上にゲート電極を形成する工程と、透明絶縁基板上及びゲート電極上にゲート絶縁膜と、半導体膜と高濃度不純物半導体膜の3層を成膜し、さらにソース・ドレイン用金属膜を成膜した後レジストを塗布し、遮光領域と透過領域と半透過領域からなるフォトマスクを用い露光および現像を行いソース・ドレイン電極形成用レジストパターンと、ソース・ドレイン電極形成用レジストパターンより薄いチャンネル領域形成用レジストパターンを形成し、ソース・ドレイン用金属膜をエッチングし続けて高濃度不純物半導体膜と半導体膜をエッチングし、高濃度不純物半導体膜と半導体膜のエッチングと同時にあるいはその後エッチングまたはアッシングにより薄いチャンネル領域形成用レジストパターンを除去し、かつソース・ドレイン

10

20

30

40

50

電極形成用レジストパターンは残存させ、チャンネル形成領域上のソース・ドレイン用金属膜をエッチングすることによりソース・ドレイン電極を形成し、その後レジストを除去し、チャンネル形成領域上の高濃度不純物半導体膜をエッチングし、半導体膜の露出した表面の一部をエッチングして一定の膜厚を残存させることにより半導体膜からなるチャンネル領域を形成する工程と、保護膜を形成する工程とを含み、ソース電極とドレイン電極の間のチャンネル領域を形成するゲート電極上に位置する半導体膜の幅が、ゲート電極上に位置するソース電極の幅およびドレイン電極の幅の何れより広くかつチャンネル領域の両辺縁部の半導体膜の幅を形成する輪郭が凹部、凸部、凹部の連続する凹凸形状を有している。

#### 【0023】

また、本発明の薄膜トランジスタの第三の製造方法は、使用する遮光領域と光透過領域と半透過領域からなるフォトマスクが、ソース・ドレイン形成領域の一对の遮光領域と、光透過領域と、露光装置の解像能力限界以下の寸法でかつ光透過/遮光パターンからなる半透過領域とからなり、前記光透過/遮光パターンが一对のスリット部と細長い矩形部、あるいは複数のスリット部と複数の細長い矩形部とからなり、ひとつあるいは複数の細長い矩形部がソース・ドレイン形成領域の一对の遮光領域の対向する部分の幅よりも長いことを特徴としている。

#### (作用)

本発明は、ソース電極とドレイン電極の間のチャンネル領域を形成するゲート電極上に位置する半導体膜の幅が、ゲート電極上に位置するソース電極の幅およびドレイン電極の幅の何れよりも広く、かつチャンネル領域の両辺縁部の半導体膜の幅が凹凸形状を有しているため、TFTのオン電流のパス屈曲が発生しそれによって液晶表示装置の画質が低下するという問題を抑制することができる。

#### 【0024】

また、本発明は、遮光領域と光透過領域と半透過領域を形成するフォトマスクが、ソース・ドレイン形成領域の一对の遮光領域と、光透過領域と、露光装置の解像能力限界以下の寸法で光透過/遮光パターンからなる半透過領域とからなり、光透過/遮光パターンが一对のスリット部と細長い矩形部、あるいは複数のスリット部と複数の細長い矩形部とからなり、ひとつあるいは複数の細長い矩形部がソース・ドレイン形成領域の一对の遮光領域の対向する部分の幅よりも長いことにより、フォトマスクパターンの寸法精度が縦方向と横方向で異なる場合でも、チャンネル長を形成する方向の寸法精度を高精度とすることで、チャンネル領域の両辺縁部に形成するレジストパターンの厚さがチャンネル領域内部を形成するレジストパターンの厚さより薄くなることを回避でき、露光量の変動によるチャンネル長とソース・ドレイン電極からのチャンネル幅の拡大量の変動を抑制できるため、TFTのオン電流特性の安定化が可能になる。したがって、フォトマスクの製造において縦方向と横方向の何れかの寸法精度を緩くすることが出来、歩留まり低下を抑制できる。また、チャンネル領域を形成するためのソース電極領域とドレイン電極領域の間の薄いレジストパターンの厚さの均一性を向上出来るため、チャンネル長のばらつきにより液晶表示装置の表示特性が劣化するという問題を解決することができる。

#### 【発明の効果】

#### 【0025】

本発明のTFTとそれを用いた液晶表示装置によれば、TFTにおけるオン電流の安定化とチャンネル長のばらつきを抑制することができるという効果がある。また、本発明のTFTの製造方法によれば、フォトマスクパターンの製造ばらつきによるTFTのオン電流特性への影響を低減できるという効果がある。

#### 【発明を実施するための最良の形態】

#### 【0026】

次に、本発明を実施するための幾つかの形態について図面を参照して説明する。第1の実施例については図1～図6を参照し、また第2の実施例については、図7～図8を参照して説明する。何れの形態でも、TFTにおけるソース電極とドレイン電極の間のチャネ

10

20

30

40

50

ル領域を形成するゲート電極上に位置する半導体膜の幅を規定することにより、特に半導体膜の幅をゲート電極上に位置するソース電極の幅とドレイン電極の幅の何れよりも広く、かつチャンネル領域の両辺縁部の半導体膜の幅方向に凹凸部を形成することにある。

【実施例 1】

【0027】

図1は本発明の第1の実施例を説明するためのTFTの平面図である。図1に示すように、本実施例のTFTは、ソース電極6aとドレイン電極6bの間のチャンネル領域を形成するゲート電極2上に位置する半導体膜4の幅を規定するものである。すなわち、この半導体膜4の幅はゲート電極2上に位置するソース電極6aの幅およびドレイン電極6bの幅の何れよりも広く、かつチャンネル領域の両辺縁部の半導体膜4は凸部4aおよび凹部4bからなる凹凸形状を有している。

10

【0028】

かかる形状のTFTを液晶表示装置に用いる場合、そのTFTはマトリクス上に搭載され、しかもソース電極6aが上層に位置する画素電極9とコンタクト孔8を介して電気的に接続される。なお、このTFTでは、ゲート電極2を被着する透明絶縁基板や、ゲート電極2を絶縁するためのゲート絶縁膜、および半導体膜4とソース電極6a、ドレイン電極6bとの間に形成する高濃度半導体膜などについては、説明を簡略化するために、図示省略している。

【0029】

図2は図1におけるTFTのA-A線断面図である。図2に示すように、TFTは透明絶縁基板1上に金属膜などからなるゲート電極2を形成し、このゲート電極2上にゲート絶縁膜3とチャンネル領域を形成するための半導体膜4を成膜する。ついで、この半導体膜4の両側に高濃度不純物半導体膜5を介し、金属膜などからなるソース電極6a、ドレイン電極6bを形成する。さらに、保護膜7で被膜した後、この保護膜7にコンタクト孔8を開孔し、ソース電極6aと接続される画素電極9を形成する。ここで、TFTのソース・ドレインは動作電位により変わるが、本実施例では画素電極側をソース電極と称する。

20

【0030】

次に、図1の平面構造と図2の断面構造をもつTFTの製造方法を図3、図4を用いて説明する。

【0031】

図3(a)~(d)は本発明の第1の実施の形態の製造方法を示す工程断面図であり、また図4は図3において用いるフォト・マスクパターンの平面図である。

30

【0032】

まず、ガラスのような透明絶縁基板1上に、例えばMo、Cr、Ta、Al上にMoを積層した金属膜、またはこれらを主成分とする合金・積層膜などをスパッタ法などで200nmから300nm成膜する。さらに、この金属膜をリソグラフィ技術とエッチング技術によりゲート電極2を形成する。ついで、プラズマCVD法によりSiN膜あるいはSiO<sub>2</sub>膜とSiN膜の積層膜からなる厚さ350nmから500nmのゲート絶縁膜3と、厚さ100nmから250nmの半導体膜としてのa-Si膜4Aと、厚さ20nmから50nmのP(燐)をドーピングした高濃度不純物半導体膜としてのn+a-Si膜5Aとを成膜する。次に、Mo、Cr、TaあるいはMo、Al、Moの積層膜をスパッタ法などで厚さ200nmから300nmのソース・ドレイン用金属膜6を成膜する。しかる後、ポジ型フォトレジストを厚さ1μmから2μm塗布する。

40

【0033】

次に、図4に示したフォト・マスクパターンを用いて露光・現像を行う。すなわち、図4に示す透過領域およびソース・ドレイン形成領域の一对の遮光領域11と、その遮光領域の幅より長い細長い矩形部12と、スリット13とで構成する半透過領域をもつフォトマスクパターンを用いて露光・現像を行う。この時、透過領域のレジストはなくなり、遮光領域11のレジストは塗布した厚さに近く、露光装置の解像能力限界以下の寸法からなる細長い矩形部12とスリット13で構成される半透過領域のレジストは遮光領域11のレ

50



ジストの厚さの20%から60%の厚さ、例えば200nmあるいは600nm程度に薄くなるように露光量を制御する。このようにして、図3(a)の工程断面図に示すようにソース・ドレイン形成領域用レジスト10aと薄いチャネル領域形成用レジスト10bを形成する。

【0034】

次に、ドライエッチングあるいはウエットエッチングによりレジスト10a, 10bをマスクにしてソース・ドレイン用金属膜6をパターニングする。例えば、ソース・ドレイン用金属膜6がCrの場合には、CeNH<sub>3</sub>O<sub>3</sub>エッチング液によるウエットエッチングを、またMoの場合には、SF<sub>6</sub>あるいはCF<sub>4</sub>にO<sub>2</sub>を混合したガスによるドライエッチングをそれぞれ用いる。その後、SF<sub>6</sub>とHClあるいはO<sub>2</sub>を混合したガスによるドライエッチングを用いてn+a-Siからなる高濃度不純物半導体膜5(5A)とa-Siからなる半導体膜4(4A)の露出した部分を除去する。

10

【0035】

この時、図3(c)に示すように、レジスト10a, 10bもエッチングされる。要するに、薄いチャネル領域形成用レジスト10bは除去され、ソース・ドレイン電極領域形成用レジスト10aは残存させ、ソース・ドレイン用金属膜6及びn+a-Si膜5、a-Si膜4の一次パターニングを行う。または、n+a-Siからなる高濃度不純物半導体膜5とa-Si膜からなる半導体膜4の露出した部分の除去をSF<sub>6</sub>あるいはCF<sub>4</sub>にHClあるいはCl<sub>2</sub>を混合したガスによるドライエッチングを用いて行い、図3(b)に示す工程断面図のように薄いチャネル領域形成用レジスト10bが残存する場合、O<sub>2</sub>ガスをを用いたドライエッチングにより薄いチャネル領域形成用レジスト10bを除去し、ソース・ドレイン電極領域形成用レジスト10aは残存させ、図3(c)に示す工程断面図のように形成する。

20

【0036】

次に、図3(d)に示すように、ソース・ドレイン用金属膜6及びn+a-Si膜5aの一次パターニングと同様のエッチングにより、ソース・ドレイン用金属膜6及びn+a-S膜5Aの二次パターニングを行う。n+a-S膜5Aのエッチング時、a-Si膜4Aの表面の一部をエッチングして一定の膜厚、例えば成膜時の50%から80%の厚さを残存させ、チャネル領域4Bを形成する。続いて、レジストを除去すれば、図3(d)に示すTF<sub>T</sub>が形成される。また、このレジストの除去は、ソース・ドレイン用金属膜6の二次パターニング後に行い、ソース・ドレイン用金属膜6をマスクにしてn+a-S膜5Aのエッチングを行うことも可能である。

30

【0037】

次に、プラズマCVD法によりSiNからなる保護膜7(図示省略)を300nmから400nm成膜し、リソグラフィ技術とエッチング技術によりコンタクト孔8を開孔し、スパッタ法によりITO膜を40nmから140nm成膜した後、リソグラフィ技術とエッチング技術によりソース電極6aに接続された画素電極9を形成すれば、前述した図2の断面を持つTF<sub>T</sub>を製造することができる。

【0038】

図5は本発明の第1の実施例におけるフォト・マスク矩形突き出しとチャネル辺縁-ソース・ドレイン間隔との関係を表わす特性図であり、また図6は図5において各種のフォト・マスク矩形突き出しを用いたときのTF<sub>T</sub>のドレイン電流-ドレイン電圧の関係を表わす特性図である。

40

【0039】

図5に示すように、この特性は、遮光領域11の対向する幅から半透過領域を構成する細長い矩形12の突き出し(図中、「フォトマスク矩形突き出し」と記述)を変化させた時のチャネル辺縁部の半導体膜凹部とソース・ドレイン電極の間隔(図中、「チャネル辺縁-ソース・ドレイン間隔」と記述)を示している。また、この時のTF<sub>T</sub>のドレイン電流I<sub>d</sub>-ドレイン電圧V<sub>d</sub>特性(ゲート電圧10V)を図6に示している。これより、矩形突き出しが1.5μm以上であれば、チャネル領域の両辺縁部の屈曲によるTF<sub>T</sub>のオ

50

ン電流への影響を抑制できることがわかる。

【0040】

また、フォトマスク矩形突き出しを大きくすると、ゲート電極の突き出し（図5のf）も大きくし、画素電極面積を小さくする必要があり、開口率の低下を招く。これは透明絶縁基板側から光を照射した時、ゲート電極で遮光されずにa-Si膜へ達した光によりTFETのオフ電流（リーク電流）が増加することを防止するためであるが、矩形突き出しが3μm以下ではこの問題は生じない。

【実施例2】

【0041】

図7は本発明の第2の実施例を説明するためのTFETの平面図であり、図8は図7におけるTFETを製造する際のフォト・マスクパターンの平面図である。

10

【0042】

図7に示すように、本実施例はソース電極6aとドレイン電極6bの間のチャンネル領域を形成するゲート電極2上に位置する半導体膜4の幅が、ゲート電極2上に位置するソース電極6aの幅およびドレイン電極6bの幅の何れよりも広く、かつチャンネル領域の両辺縁部の半導体膜4の幅が山を2つ持った凹凸形状を有している。すなわち、半導体膜4の両辺縁部において、凸部4aおよび凹部4bをそれぞれ複数個ずつ形成している。

【0043】

かかるTFETの製造に当たっては、前述した第1の実施例の製造方法と同様に製造するが、使用するフォトマスクが異なっている。すなわち、ソース・ドレイン領域形成用レジストと薄いチャンネル領域形成用レジストを、図8に示す透過領域とソース・ドレイン形成領域の一对の遮光領域11とその遮光領域の対向する部分の幅よりも長い2本の細長い矩形部12と3本のスリット13とで構成する半透過領域をもつフォトマスクパターンを用いて露光・現像を行い形成する。本実施例においては、この露光・現像工程における露光量の変動に対し、ソース形成領域とドレイン形成領域の間の薄いチャンネル領域形成用レジストの膜厚変動を抑制できるため、第1の実施例に比較してチャンネル長のばらつきをより一層抑制できる利点がある。

20

【図面の簡単な説明】

【0044】

【図1】本発明の第1の実施例を説明するためのTFETの平面図である。

30

【図2】図1におけるTFETのA-A線断面図である。

【図3】本発明の製造方法の一例を説明するための工程順に示したTFETの断面図である。

【図4】図3において用いるフォト・マスクパターンの平面図である。

【図5】本発明の第1の実施例におけるフォト・マスク矩形突き出しとチャンネル辺縁-ソース・ドレイン間隔との関係を表わす特性図である。

【図6】図5において各種のフォト・マスク矩形突き出しを用いたときのTFETのドレイン電流-ドレイン電圧の関係を表わす特性図である。

【図7】本発明の第2の実施例を説明するためのTFETの平面図である。

【図8】図7におけるTFETを製造する際のフォト・マスクパターンの平面図である。

40

【図9】従来のTFETの製造に用いる各種フォト・マスクパターンの平面図である。

【図10】従来のTFETの製造に用いる別のフォト・マスクパターンの平面図である。

【図11】従来のTFET構造を示す平面図である。

【図12】従来のさらに別のフォト・マスクパターンを示す平面図である。

【符号の説明】

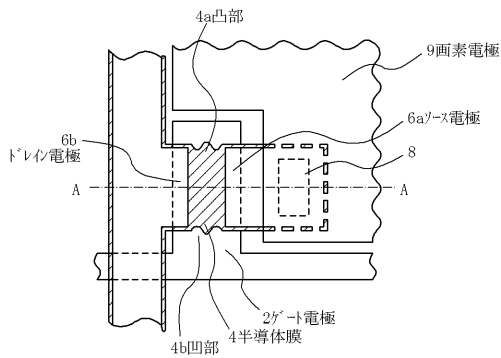
【0045】

- 1 透明絶縁基板
- 2 ゲート電極
- 3 ゲート絶縁膜
- 4 半導体膜

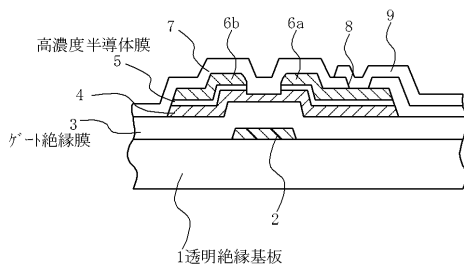
50

- 4 a 凸部
- 4 b 凹部
- 4 A a - Si 膜
- 4 B チャンネル領域
- 5 高濃度半導体膜
- 5 a n + a - Si 膜
- 6 ソース・ドレイン用金属膜
- 6 a ソース電極
- 6 b ドレイン電極
- 7 保護膜
- 8 コンタクト孔
- 9 画素電極
- 10 a ソース・ドレイン領域形成用レジスト
- 10 b チャンネル領域形成用レジスト
- 11 遮光領域
- 12 細長い矩形部
- 13 スリット
- f ゲート電極の突き出し

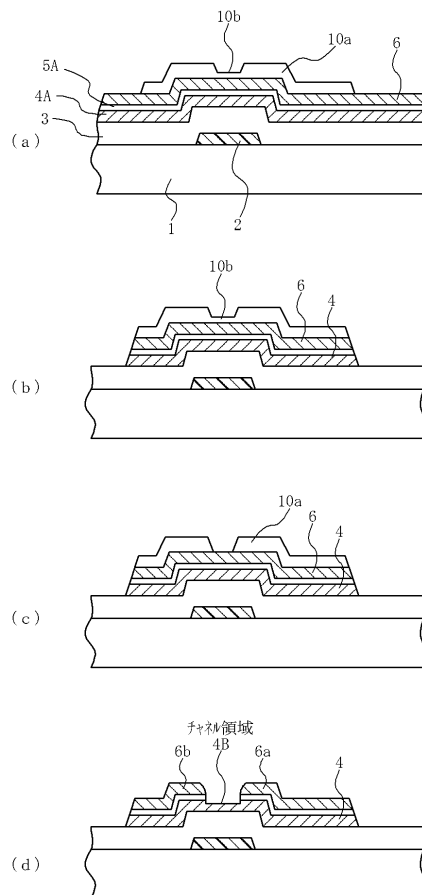
【図1】



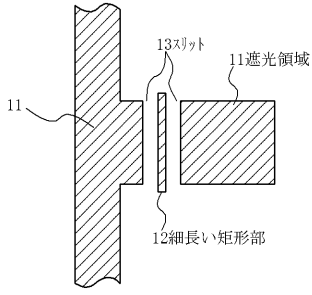
【図2】



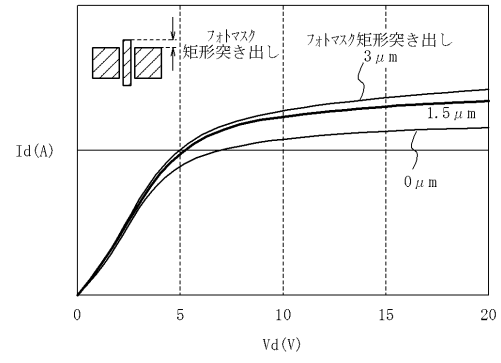
【図3】



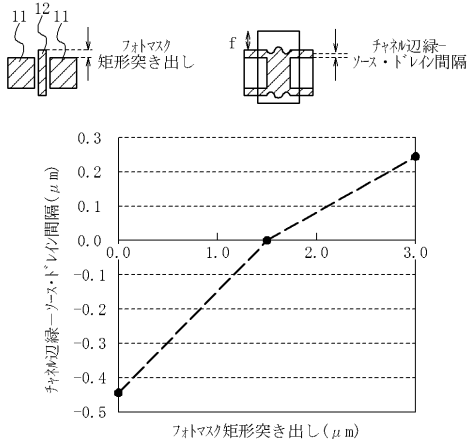
【図4】



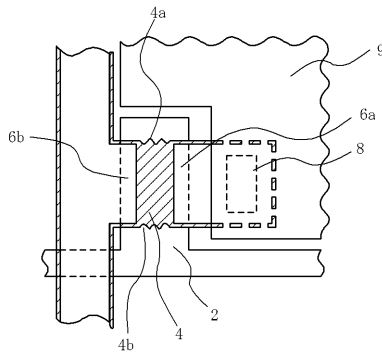
【図6】



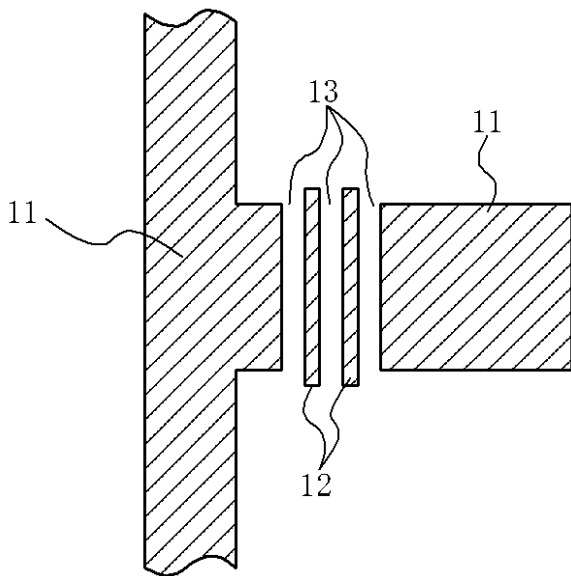
【図5】



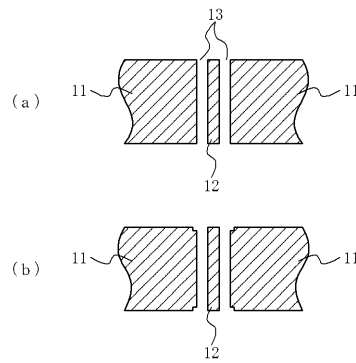
【図7】



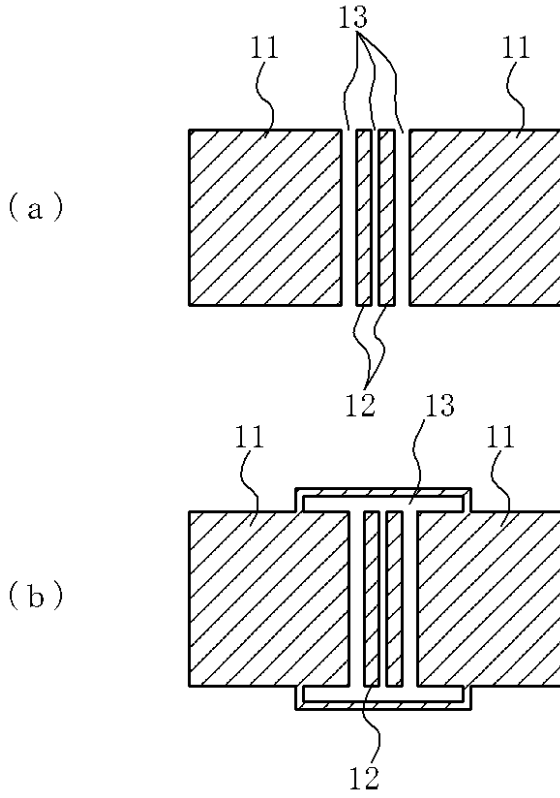
【図8】



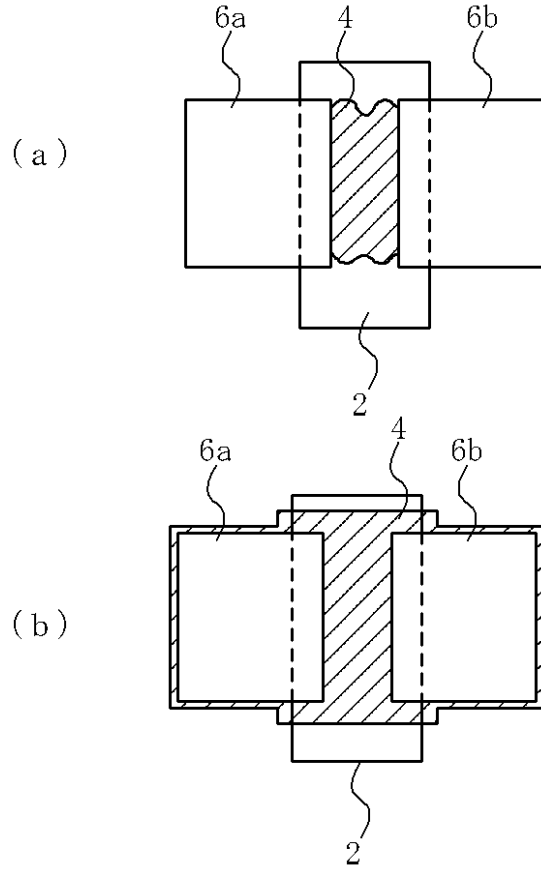
【図9】



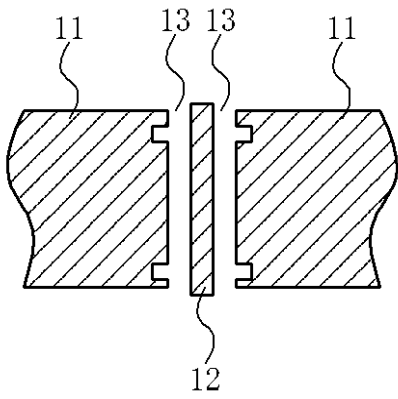
【図10】



【図11】



【図12】



---

フロントページの続き

(72)発明者 木村 聡

秋田県秋田市御所野下堤三丁目1番1号

秋田日本電気株式会社内

審査官 綿引 隆

(56)参考文献 特開平11-026768(JP,A)  
特開2001-242490(JP,A)  
特開2002-055364(JP,A)  
特開2005-072135(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

H01L 21/336

H01L 29/786