

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 張永俊
CHUNG, HYUKJUNE
2. 哈奈席 賈達立
GARUDADRI, HARINATH
3. 哈姆 塞居敦
SAGETONG, PHOOM
4. 由立 瑞尼克
REZNIK, YURIY
5. 那福 D 史瑞瓦沙莫瑞
SRINIVASAMURTHY, NAVEEN D.

國 籍：(中文/英文)

1. 韓國 REPUBLIC OF KOREA
2. 加拿大 CANADA
3. 泰國 THAILAND
4. 烏克蘭 UKRAINE
5. 美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2005年10月12日；60/726,307

2. 美國；2005年10月13日；60/726,702

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明概言之係關於處理，且更具體而言係關於用於有效地執行信號及資料處理計算之技術。

【先前技術】

在各種應用中對各種類型之資料廣泛地執行信號及資料處理。一種重要類型之處理係使資料在不同之域之間變換。舉例而言，通常使用離散餘弦變換(DCT)將資料自空間域變換至頻域，且通常使用離散餘弦逆變換(IDCT)將資料自頻域變換至空間域。DCT廣泛用於影像/視訊壓縮以使影像或視訊訊框中之像素塊在空間上解相關。所得到之變換係數彼此之相關性通常小得多，此使該等係數更適用於量化及編碼。DCT亦表現出能量密實性質-此係將一像素塊之大多數能量映射至僅幾個(通常低階)係數之能力。此種能量密實性質可簡化編碼演算法之設計。

可對大量資料執行例如DCT及IDCT等變換、以及其他類型之信號及資料處理。因此，希望盡可能有效地執行信號及資料處理計算。此外，希望使用簡單之硬體執行計算，藉以降低成本及複雜度。

因此，在此項技術中需要提供用於有效地執行信號及資料處理計算之技術。

【發明內容】

本文說明用於有效地執行信號及資料處理計算之技術。根據本發明之一實施例，說明一種設備，其接收一要處理

資料之輸入值並根據該輸入值產生一系列中間值。該設備根據該系列中之至少一個其他中間值來產生至少一個中間值。該設備提供該系列中之一個中間值作為該輸入值與一常數值相乘之輸出值。該常數值可係一整常數、一有理常數、或一無理常數。無理常數可使用一具有一整數分子及一為2的冪之分母之有理二數式常數來近似表示。

根據另一實施例，說明一種對一組輸入資料值執行處理以獲得一組輸出資料值之設備。該設備使用至少一個常數值對至少一個輸入資料值執行至少一次乘法來進行處理。對於該至少一次乘法，該設備產生至少一系列中間值，其中每一系列中間值皆具有至少一個根據該系列中至少一個其他中間值產生之中間值。該設備提供每一系列中之一個或多個中間值作為將一相關聯輸入資料值與一個或多個常數值相乘的一個或多個結果。

根據又一實施例，說明一種對一組輸入值執行一變換並提供一組輸出值之設備。該設備執行至少一個中間值與至少一個常數值之至少一次乘法來進行變換。對於該至少一次乘法，該設備產生至少一系列中間值，其中每一系列皆具有至少一個根據該系列中至少一個其他中間值所產生之中間值。該設備提供每一系列中之一個或多個中間值作為將一相關聯中間變數與一個或多個常數值相乘之結果。此種變換可係DCT、IDCT或某種其他類型之變換。

根據又一實施例，說明一種對八個輸入值執行一變換來獲得八個輸出值之設備。該設備對一第一中間變數執行兩

次乘法、對一第二中間變數執行兩次乘法、並執行總共六次乘法來達成變換。

本發明之各態樣及實施例將在下文中進一步詳述。

【實施方式】

在本文中，「實例性」一詞用於意指「用作一實例、例子或例解」。在本文中，任何實例性實施例皆未必應視為較其它實例性實施例為佳或有利。

本文所述之計算技術可用於各種類型之信號及資料處理，例如變換、濾波等等。該等技術亦可用於各種應用，例如影像及視訊處理、通信、計算、資料聯網、資料儲存等等。一般而言，該等技術可用於任何執行乘法之應用。為清楚起見，下文中將針對在影像及視訊處理中常用之DCT及IDCT來具體說明該等技術。

II型的一維(1D)N點DCT及1D N點IDCT可定義如下：

$$F(X) = \frac{c(X)}{2} \cdot \sum_{x=0}^{N-1} f(x) \cdot \cos \frac{(2x+1) \cdot X\pi}{2N}, \text{ 且} \quad \text{方程式(1)}$$

$$f(x) = \sum_{X=0}^{N-1} \frac{c(X)}{2} \cdot F(X) \cdot \cos \frac{(2x+1) \cdot X\pi}{2N}, \quad \text{方程式(2)}$$

$$\text{其中 } c(X) = \begin{cases} 1/\sqrt{2} & \text{if } X=0 \\ 1 & \text{其他情況,} \end{cases}$$

$f(x)$ 係1D空間域函數，及

$F(X)$ 係1D頻域函數。

方程式(1)中之1D DCT對N個空間域值(其中 $x=0, \dots, N-1$)執行運算並產生N個變換係數(其中 $X=0, \dots, N-1$)。方程式(2)中之1D IDCT對N個變換係數執行運算並產生N個空間域值。

II型DCT係一種類型之變換並通常據信係為影像/視訊壓縮

所提出之幾種能量壓縮變換中一種最有效之變換。

兩維 (2D) $N \times N$ DCT 及 2D $N \times N$ IDCT 可定義如下：

$$F(X, Y) = \frac{c(X) \cdot c(Y)}{4} \cdot \sum_{x=0}^{N-1} \sum_{y=0}^{N-1} f(x, y) \cdot \cos \frac{(2x+1) \cdot X\pi}{2N} \cdot \cos \frac{(2y+1) \cdot Y\pi}{2N}, \text{ 且}$$

方程式 (3)

$$f(x, y) = \sum_{X=0}^{N-1} \sum_{Y=0}^{N-1} \frac{c(X) \cdot c(Y)}{4} \cdot F(X, Y) \cdot \cos \frac{(2x+1) \cdot X\pi}{2N} \cdot \cos \frac{(2y+1) \cdot Y\pi}{2N},$$

方程式 (4)

其中 $c(X) = \begin{cases} 1/\sqrt{2} & \text{if } X=0 \\ 1 & \text{其他情況} \end{cases}$ 及 $c(Y) = \begin{cases} 1/\sqrt{2} & \text{if } Y=0 \\ 1 & \text{其他情況} \end{cases}$,

$f(x, y)$ 係一 2D 空間域函數，及

$F(X, Y)$ 係一 2D 頻域函數。

方程式 (3) 中之 2D DCT 對一 $N \times N$ 空間域樣本塊 (其中 $x, y = 0, \dots, N-1$) 執行運算並產生一 $N \times N$ 變換係數塊 (其中 $X, Y = 0, \dots, N-1$)。方程式 (4) 中之 2D IDCT 則對一 $N \times N$ 變換係數塊執行運算並產生一 $N \times N$ 空間域樣本塊。一般而言，可對任意尺寸之塊執行 2D DCT 及 2D IDCT。然而，通常對影像及視訊處理使用 8×8 DCT 及 8×8 IDCT，其中 N 等於 8。舉例而言，在各種影像及視訊編碼標準 (例如 JPEG、MPEG-1、MPEG-2、MPEG-4 (P.2)、H.261、H.263 等等) 中使用 8×8 DCT 及 8×8 IDCT 作為標準建構塊。

方程式 (3) 顯示 2D DCT 在 X 及 Y 方面係分開的。此種分開之分解使得能夠藉由如下方式來計算一 2D DCT：首先對一 8×8 資料塊中之每一列 (或者每一行) 執行一 1D N 點 DCT 變換以產生一 8×8 中間塊，隨後對該中間塊中之每一行 (或者每一列) 執行一 1D N 點 DCT 以產生一 8×8 變換係數塊。同

樣地，方程式(4)顯示 2D IDCT 在 x 及 y 方面係分開的。藉由將 2D DCT/IDCT 分解成一連串 1D DCT/IDCT，使 2D DCT/IDCT 之效率相依於 1D DCT/IDCT 之效率。

1D DCT 及 1D IDCT 可構建為分別顯示於方程式(1)及(2)中之其原始形式。然而，藉由找到能得到盡可能少之乘法及加法之因數分解，可達成計算複雜度之顯著降低。

圖 1 顯示一 8 點 IDCT 之實例性因數分解之流程圖 100。在流程圖 100 中，每一加法皆由符號「 $\oplus$ 」表示且每一乘法皆由一方框表示。每一次加法皆將兩個輸入值相加或相減並提供一輸出值。每一次乘法皆將一輸入值乘以一顯示於方框內之變換常數並提供一輸出值。該因數分解使用如下常數因數：

$$C_{\pi/4} = \cos(\pi/4) \approx 0.707106781,$$

$$C_{3\pi/8} = \cos(3\pi/8) \approx 0.382683432, \text{ 且}$$

$$S_{3\pi/8} = \sin(3\pi/8) \approx 0.923879533。$$

流程圖 100 接收八個經換算之變換係數 $A_0 \cdot F(0)$ 至 $A_7 \cdot F(7)$ ，對該等係數執行一 8 點 IDCT，並產生八個輸出樣本 $f(0)$ 至 $f(7)$ 。 A_0 至 A_7 係換算因數且表示如下。

$$A_0 = \frac{1}{2\sqrt{2}} \approx 0.3535533906,$$

$$A_1 = \frac{\cos(7\pi/16)}{2\sin(3\pi/8) - \sqrt{2}} \approx 0.4499881115,$$

$$A_2 = \frac{\cos(\pi/8)}{\sqrt{2}} \approx 0.6532814824,$$

$$A_3 = \frac{\cos(5\pi/16)}{\sqrt{2} + 2\cos(3\pi/8)} \approx 0.2548977895,$$

$$A_4 = \frac{1}{2\sqrt{2}} \approx 0.3535533906,$$

$$A_5 = \frac{\cos(3\pi/16)}{\sqrt{2} - 2\cos(3\pi/8)} \approx 1.2814577239,$$

$$A_6 = \frac{\cos(3\pi/8)}{\sqrt{2}} \approx 0.2705980501,$$

$$A_7 = \frac{\cos(\pi/16)}{\sqrt{2} + 2\sin(3\pi/8)} \approx 0.3006724435。$$

流程圖 100 包括若干次蝶形運算。一蝶形運算接收兩個輸入值並產生兩個輸出值，其中一個輸出值係該兩個輸入值之和且另一輸出值係該兩個輸入值之差。舉例而言，在輸入值為 $A_0 \cdot F(0)$ 及 $A_4 \cdot F(4)$ 時，蝶形運算之頂部分支產生一輸出值 $A_0 \cdot F(0) + A_4 \cdot F(4)$ 且底部分支產生一輸出值 $A_0 \cdot F(0) - A_4 \cdot F(4)$ 。

圖 1 顯示一 8 點 IDCT 之實例性因數分解。藉由使用向其他已知之快速演算法 (例如 Cooley-Tukey DFT 演算法) 之映射或者藉由應用系統性因數分解程序 (例如按時間抽取或按頻率抽取)，亦已導出其他因數分解形式。圖 1 中所示之因數分解得到總共 6 次乘法及 28 次加法，此明顯少於為進行方程式 (2) 中之直接計算所需之乘法及加法次數。一般而言，因數分解會減少本質乘法 (其係乘以無理常數之乘法) 之次數，但不會消除本質乘法。

在數學中常常使用如下術語：

有理數 - 其係兩個整數之比 a/b ，其中 b 不為 0。

無理數 - 除有理數外之任何實數。

代數數 - 其係任何可表達為一具有整數係數之多項式方程之根之數。

超越數 - 其係任何不為有理數或代數數之實數或複數。

圖 1 中之乘法係乘以無理常數，或者更具體而言乘以代表不同角度 ($\pi/8$ 之倍數) 之正弦及餘弦值之代數常數。該等乘法可使用一浮點乘法器來執行，而浮點乘法器可能會使成本及複雜度增大。另一選擇為，該等乘法可使用定點整

數運算來有效地執行，以使用本文所述之計算技術來達成所期望之精度。

在一實例性實施例中，如下式所示藉由一帶有二數式分母之有理常數來近似表示一無理常數：

$$\alpha \approx c/2^b, \quad \text{方程式 (5)}$$

其中 α 係要近似表示之無理常數， c 及 b 係整數，且 $b > 0$ 。分數 $c/2^b$ 通常稱作一二數式分數或一二數式比值。 C 亦稱作一常數乘數，且 b 亦稱作一移位常數。

方程式 (5) 中之近似式使得能夠如下式所示使用定點整數運算來執行一整數變數 x 與無理常數 α 之乘法：

$$x \cdot \alpha \approx (x \cdot c) \gg b, \quad \text{方程式 (6)}$$

其中「 $\gg$ 」表示一逐位右移運算，其近似表示除以 2^b 。該移位運算類似於但不確切地等於除以 2^b 。

在方程式 (6) 中， x 與 α 相乘係由將 x 乘以整數值 c 並將結果右移 b 個位來近似表示。然而，仍存在 x 與 c 之乘法。對於某些具有單循環乘法之計算環境而言，此種乘法係可接受的。然而，在許多其中乘法會佔用多個循環或者較大矽面積之環境中，則可能希望避免進行乘法運算。此等現有環境之實例包括個人電腦 (PC)、無線裝置、蜂巢式電話及各種嵌入式平臺。在該等情形中，可將乘以一常數分解成一系列更簡單之運算，例如加法及移位。

可使用一實例來例示如何使用加法及移位來執行乘法。在該實例中， $\alpha = 2^{-1/2} = 0.7071067811$ 。可將使用一二數式分數對

α 進行之 5 位式近似表示為： $\alpha^5 \approx 23/32$ 。可將十進制數 23 用二進制表示形式表示為： $23 = b010111$ ，其中「b」表示二進制。因而 x 與 α 之乘法可近似表示為：

$$(x \cdot 23)/32 \approx \underbrace{(x \gg 1)}_{16x/32} + \underbrace{(x \gg 3)}_{4x/32} + \underbrace{(x \gg 4)}_{2x/32} + \underbrace{(x \gg 5)}_{x/32} \quad \text{方程式 (7)}$$

方程式 (7) 中之乘法可使用四次移位及三次加法來達成。實質上，可對常數乘數 c 中之每一「1」位元執行至少一次運算。

亦可按下式使用減法及移位來執行同一乘法：

$$(x \cdot 23)/32 \approx \underbrace{x}_{32x/32} - \underbrace{(x \gg 2)}_{8x/32} - \underbrace{(x \gg 5)}_{x/32} \quad \text{方程式 (8)}$$

可僅使用兩次移位及兩次減法來達成方程式 (8) 中之乘法。一般而言，藉由使用上文所述之技術，乘法之複雜度應與常數乘數 c 中「01」及「10」躍遷之次數成正比。

方程式 (7) 及 (8) 係使用加法及移位來近似表示乘法之某些實例。在某些其他情形中可找到更有效之近似表示形式。

根據各種實例性實施例，可藉由移位及加法運算並藉助中間結果減少總運算次數來有效地執行乘法運算。該等實例性實施例可歸納如下。

在一實例性實施例中，使用一系列藉由移位及加法運算所產生之中間值來達成與一整數常數之乘法。在本文中，術語「系列」與「序列」同義且通用。該實例性實施例之大體程序可表示如下。

在給定一整數變數 x 及一整數常數 u 之情況下，整數值乘

積：

$$z = x \cdot u,$$

方程式(9)

可使用一系列如下中間值來獲得

$$z_0, z_1, z_2, \dots, z_t,$$

方程式(10)

其中 $z_0 = 0$ ， $z_1 = x$ ，且對於所有 $2 \leq i \leq t$ 之值，皆按下式獲得 z_i ：

$$z_i = \pm z_j \pm z_k \cdot 2^{s_i}, \text{ 其中 } j, k < i,$$

方程式(11)

其中「 $\pm$ 」意味著加或減，

$z_k \cdot 2^{s_i}$ 意味著使中間值 z_k 左移 s_i 個位元，且

t 表示該系列中之中間值數量。

在方程式(11)中， z_i 可等於 $+z_j + z_k \cdot 2^{s_i}$ ， $+z_j - z_k \cdot 2^{s_i}$ 或 $-z_j + z_k \cdot 2^{s_i}$ 。該系列中之每一中間值 z_i 皆可根據該系列中兩個前面之中間值 z_j 及 z_k 導出，其中 z_j 或 z_k 可等於 0。每一中間值 z_i 皆可藉由一次移位及 / 或一次加法來獲得。若 s_i 等於 0，則不需要進行移位。若 $z_j = z_0 = 0$ ，則不需要使用加法。該乘法中加法及移位之總次數取決於該系列中中間值之數量(其為 t)以及每一中間值所用之表達式。與 u 相乘之運算實質上係分解成一系列移位及加法運算。

系列之定義使該系列中之最終值變為所期望之整數值乘積，或者

$$z_t = z.$$

方程式(12)

在另一實例性實施例中，使用一系列藉由移位及加法運

算所產生之中間值來近似表示與一具有二數式分母之有理常數(其亦稱作一有理二數式常數)之乘法運算。該實例性實施例之大體程序可表示如下。

在給定一整數變數 x 及一有理二數式常數 $u=c/2^b$ (其中 b 及 c 係整數且 $b>0$)之情況下，整數值乘積

$$z=(x \cdot c)/2^b, \quad \text{方程式(13)}$$

可使用一系列如下整數值來近似表示

$$z_0, z_1, z_2, \dots, z_t, \quad \text{方程式(14)}$$

其中 $z_0=0$ ， $z_1=x$ ，且對於所有 $2 \leq i \leq t$ 之值，皆按下式獲得 z_i ：

$$z_i = \pm z_j \pm z_k \cdot 2^{s_i}, \quad \text{其中 } j, k < i, \quad \text{方程式(15)}$$

其中 $z_k \cdot 2^{s_i}$ 意味著使中間值 z_k 左移或右移(視常數 s_i 之符號而定) $|s_i|$ 個位元。

系列之定義使該系列中之最終值變為所期望之整數值乘積，或者

$$z_t \approx z. \quad \text{方程式(16)}$$

在又一實例性實施例中，使用藉由移位及加法運算所產生的共用的一系列中間值來達成乘以多個整數常數之運算。該實例性實施例之大體程序可表示如下。

在給定一整數變數 x 及整數常數 u 及 v 之情況下，兩個整數值乘積

$$y = x \cdot u \quad \text{及} \quad z = x \cdot v \quad \text{方程式(17)}$$

可使用一系列如下中間值來獲得

$$w_0, w_1, w_2, \dots, w_t, \quad \text{方程式(18)}$$

其中 $w_0 = 0$, $w_1 = x$, 且對於所有 $2 \leq i \leq t$ 之值 , 皆按下式獲得 w_i :

$$w_i = \pm w_j \pm w_k \cdot 2^{s_i}, \quad \text{其中 } j, k < i, \quad \text{方程式(19)}$$

其中 $w_k \cdot 2^{s_i}$ 意味著使中間值 w_k 左移 s_i 個位元。

系列之定義使得按下式在步驟 m 及 n 中獲得所期望之整數值乘積 :

$$w_m = y \quad \text{及} \quad w_n = z, \quad \text{方程式(20)}$$

其中 $m, n \leq t$ 且 m 或 n 等於 t 。在再一實例性實施例中，使用藉由移位及加法運算所產生的共用的一系列中間值來達成乘以多個有理二數式常數之運算。該實例性實施例之大體程序可表示如下。

在給定一整數變數 x 及有理二數式常數 $u = c/2^b$ 及 $v = e/2^d$ 之情況下 (其中 b, c, d, e 係整數， $b > 0$ 且 $d > 0$)，兩個整數值乘積

$$y = (x \cdot c)/2^b \quad \text{及} \quad z = (x \cdot e)/2^d \quad \text{方程式(21)}$$

可使用一系列如下中間值來近似表示

$$w_0, w_1, w_2, \dots, w_t, \quad \text{方程式(22)}$$

其中 $w_0 = 0$, $w_1 = x$, 且對於所有 $2 \leq i \leq t$ 之值 , 皆按下式獲得

w_i :

$$w_i = \pm w_j \pm w_k \cdot 2^{s_i}, \text{ 其中 } j, k < i,$$

方程式 (23)

其中 $w_k \cdot 2^{s_i}$ 意味著使中間值 w_k 左移或右移 (此視常數 s_i 之符號而定) $|s_i|$ 個位元。

系列之定義使得按下式在步驟 m 及 n 中獲得所期望之整數值乘積：

$$w_m \approx y \text{ 及 } w_n \approx z,$$

方程式 (24)

其中 $m, n \leq t$ 且 m 或 n 不等於 t 。

表 1 歸納根據上文所述各實例性實施例之乘法運算之程序。

表 1

	乘以整數 常數 u	乘以無理常 數 α	乘以多個整數 常數 u & v	乘以多個無理 常數 α & β
近似表示 形式		$\alpha \approx c/2^b$		$\alpha \approx c/2^b$ $\beta \approx e/2^d$
乘積	$z = x \cdot u$	$z = (x \cdot c)/2^b$	$y = x \cdot u$ $z = x \cdot v$	$y = (x \cdot c)/2^b$ $z = (x \cdot e)/2^d$
中間值系 列	$z_0, z_1, z_2, \dots, z_t$	$z_0, z_1, z_2, \dots, z_t$	$w_0, w_1, w_2, \dots, w_t$	$w_0, w_1, w_2, \dots, w_t$
第 1 個值	$z_0 = 0$	$z_0 = 0$	$w_0 = 0$	$w_0 = 0$
第 2 個值	$z_1 = x$	$z_1 = x$	$w_1 = x$	$w_1 = x$
第 i 個值	$z_i = \pm z_j \pm z_k \cdot 2^{s_i}$	$z_i = \pm z_j \pm z_k \cdot 2^{s_i}$	$w_i = \pm w_j \pm w_k \cdot 2^{s_i}$	$w_i = \pm w_j \pm w_k \cdot 2^{s_i}$
結果	$z_t = z$	$z_t \approx z$	$w_m = y \text{ \& } w_n = z$	$w_m \approx y \text{ \& } w_n \approx z$

上文已說明整數變數 x 乘以一個及兩個常數的乘法。一般而言，整數變數 x 可乘以任意數量之常數。可藉由如下方式來達成將整數變數 x 乘以兩個或更多個常數之運算：

使用共用的一系列中間值進行聯合因數分解，以產生該等乘法所期望之乘積。該等共用系列中間值可利用該等乘法計算中之相似性或交疊，以減少該等乘法所需之移位及加法運算的次數。

在上文所述之每一實例性實施例之計算過程中，皆可省略諸如加上或減去0及移過0位元等平凡運算。可進行如下簡化：

$$z_i = \pm z_0 \pm z_k \cdot 2^{s_i} \quad \Rightarrow \quad z_i = \pm z_k \cdot 2^{s_i}, \quad \text{方程式(25)}$$

$$w_i = \pm w_0 \pm w_k \cdot 2^{s_i} \quad \Rightarrow \quad w_i = \pm w_k \cdot 2^{s_i}, \quad \text{方程式(26)}$$

$$z_i = \pm z_j \pm z_k \cdot 2^0 \quad \Rightarrow \quad z_i = \pm z_j \pm z_k, \quad \text{方程式(27)}$$

$$w_i = \pm w_j \pm w_k \cdot 2^0 \quad \Rightarrow \quad w_i = \pm w_j \pm w_k. \quad \text{方程式(28)}$$

在方程式(25)及(26)之每一方程式中，「 $\Rightarrow$ 」左側之表達式皆涉及加上或減去0(由 z_0 或 w_0 表示)，並可如「 $\Rightarrow$ 」右側之對應表達式(其可藉由一次移位來執行)所表示來進行簡化。方程式(27)及(28)之每一方程式中，「 $\Rightarrow$ 」左側之表達式皆涉及移過0個位元(由 2^0 表示)，並可如「 $\Rightarrow$ 」右側之對應表達式(其可藉由一次加法來執行)所表示來進行簡化。

在上文所述之各實例性實施例中，每一系列中之各元素(為簡明起見)皆稱作「中間值」，即便一個中間值等於一輸入值，且一個或多個中間值等於一個或多個輸出值。亦可將一個系列中之元素稱作其他術語。舉例而言，可將一個系列定義為包括一輸入值(對應於 z_1 或 w_1)、0個或多個中間結果，及一個或多個輸出值(對應於 z_l 或 w_m 及 w_n)。

在上文所述之每一實例性實施例中，皆可將中間值系列選擇成使整個運算之總計算或執行成本最小。舉例而言，可將該系列選擇成使其包含最少數量之中間值或最小之 t 值。亦可將該系列選擇成可使用最少數量之移位及加法運算來產生中間值。最少數量之中間值通常會(但非總是)得到最少數量之運算。可按各種方式來確定所期望之系列。在一實例性實施例中，藉由如下方式來確定所期望之系列：評價所有可能之中間值系列，計算每一系列中之中間值數量或運算次數，並選擇具有最少中間值數量及/或最少運算次數之系列。

上文所述之任一實例性實施例皆可用於將整數變數 x 與一個或多個常數進行一次或多次乘法運算。所要使用之特定實例性實施例可相依於該(該等)常數係整數常數還是無理常數。與多個常數相乘在變換及其他類型之處理中係常見的。在DCT及IDCT中，藉由乘以正弦及餘弦來達成平面旋轉。舉例而言，圖1中之中間變數 F_c 及 F_d 分別乘以 $\cos(3\pi/8)$ 及 $\sin(3\pi/8)$ 二者。

可使用上文所述之各實例性實施例來有效地執行圖1中之乘法運算。圖1中之乘法運算係乘以如下無理常數：

$$C_{\pi/4} = \cos(\pi/4) \approx 0.707106781,$$

$$C_{3\pi/8} = \cos(3\pi/8) \approx 0.382683432, \text{ 及}$$

$$S_{3\pi/8} = \sin(3\pi/8) = \cos(\pi/8) \approx 0.923879533。$$

以上無理常數可使用具有足以使最終結果獲得所期望精

度之位元數之有理常數來近似表示。在下文說明中，每一超越常數皆使用兩個有理二數式常數來近似表示。第一有理常數選擇成滿足IEEE 1180-1190對於8位元像素之精度標準。第二有理常數選擇成滿足IEEE 1180-1190對於12位元像素之精度標準。

超越常數 $C_{\pi/4}$ 可使用8位元及16位元有理二數式常數按下式近似表示：

$$C_{\pi/4}^8 = \frac{181}{256} = \frac{\text{b010110101}}{\text{b100000000}} \text{ 及 } C_{\pi/4}^{16} = \frac{46341}{65536} = \frac{\text{b01011010100000101}}{\text{b10000000000000000}}, \text{ 方程式 (29)}$$

其中 $C_{\pi/4}^8$ 係 $C_{\pi/4}$ 之8位元近似表示形式，而 $C_{\pi/4}^{16}$ 係 $C_{\pi/4}$ 之16位元近似表示形式。

整數變數 x 乘以常數 $C_{\pi/4}^8$ 之運算可表達為：

$$z = (x \cdot 181) / 256. \quad \text{方程式 (30)}$$

方程式 (19) 中之乘法運算可使用如下一系列運算來達成：

$$\begin{aligned} z_1 &= x, & // 1 & \quad \text{方程式 (31)} \\ z_2 &= z_1 + (z_1 \gg 2), & // 101 \\ z_3 &= z_1 - (z_2 \gg 2), & // 01011 \\ z_4 &= z_3 + (z_2 \gg 6), & // 010110101. \end{aligned}$$

「//」右側之二進制值係一乘以變數 x 之中間常數。

所期望之8位元乘積等於 z_4 ，或者 $z_4 = z$ 。可藉由三次加法及三次移位以產生三個中間值 z_2 ， z_3 及 z_4 來執行方程式 (30) 中之乘法運算。

整數變數 x 乘以常數 $C_{\pi/4}^{16}$ 之運算可表達為：

$$z = (x \cdot 46341) / 65536。 \quad \text{方程式 (32)}$$

方程式 (32) 中之乘法運算可使用在方程組 (31) 中所示之一系列中間值再加上一次如下運算來達成：

$$z_5 = z_4 + (z_2 \gg 11), // 01011010100000101。 \quad \text{方程式 (33)}$$

所期望之 16 位元乘積近似等於 z_5 ，或者 $z_5 \approx z$ 。方程式 (32) 中之乘法運算可藉由四次加法及四次移位以得到四個中間值 z_2 ， z_3 ， z_4 及 z_5 來達成。

在因數分解之奇數部分中在一平面旋轉中使用常數 $C_{3\pi/8}$ 及 $S_{3\pi/8}$ 。該奇數部分包含具有奇數索引之變換係數。如在圖 1 中所示，乘以該等常數之運算係對每一中間變數 F_c 及 F_d 同時執行。因此，可對該等常數使用聯合因數分解。

超越常數 $C_{3\pi/8}$ 及 $S_{3\pi/8}$ 可使用有理二數式常數按下式近似表示：

$$C_{3\pi/8}^7 = \frac{49}{128} = \frac{b00110001}{b10000000}, \quad C_{3\pi/8}^{13} = \frac{3135}{8192} = \frac{b00110000111111}{b10000000000000}, \quad \text{及方程式 (34)}$$

$$S_{3\pi/8}^9 = \frac{473}{512} = \frac{b0111011001}{b1000000000}, \quad S_{3\pi/8}^{15} = \frac{30273}{32768} = \frac{b0111011001000001}{b1000000000000000}, \quad \text{方程式 (35)}$$

其中 $C_{3\pi/8}^7$ 係 $C_{3\pi/8}$ 之 7 位元近似表示形式， $C_{3\pi/8}^{13}$ 係 $C_{3\pi/8}$ 之 13 位元近似表示形式， $S_{3\pi/8}^9$ 係 $S_{3\pi/8}$ 之 9 位元近似表示形式，且 $S_{3\pi/8}^{15}$ 係 $S_{3\pi/8}$ 之 15 位元近似表示形式。 $C_{3\pi/8}$ 之 7 位元近似表示形式及 $S_{3\pi/8}$ 之 9 位元近似表示形式足以滿足 IEEE 1180-1190 對於 8 位元像素之精度標準。 $C_{3\pi/8}$ 之 13 位元近似表示形式及 $S_{3\pi/8}$ 之 15 位元近似表示形式足以達成 16 位元像素所期望之

較高精度。

整數變數 x 乘以常數 $C_{3\pi/8}^7$ 及 $S_{3\pi/8}^9$ 之運算可表達為：

$$y = (x \cdot 49) / 128 \text{ 及 } z = (x \cdot 473) / 512 \quad \text{。} \quad \text{方程式 (36)}$$

方程式 (36) 中之乘法運算可藉由如下一系列運算來達成：

$$\begin{aligned} w_1 &= x \quad , & // \quad 1 & \quad \quad \quad \text{方程式 (37)} \\ w_2 &= w_1 - (w_1 \gg 2) \quad , & // \quad 011 \\ w_3 &= w_1 \gg 6 \quad , & // \quad 0000001 \\ w_4 &= w_2 + w_3 \quad , & // \quad 0110001 \\ w_5 &= w_1 - w_3 \quad , & // \quad 0111111 \\ w_6 &= w_4 \gg 1 \quad , & // \quad 00110001 \\ w_7 &= w_5 - (w_1 \gg 4) \quad , & // \quad 0111011 \\ w_8 &= w_7 + (w_1 \gg 9) \quad , & // \quad 0111011001 \text{。} \end{aligned}$$

所期望之 8 位元乘積等於 w_6 及 w_8 ，或者 $w_6 = y$ 及 $w_8 = z$ 。使用聯合因數分解之方程式 (36) 中之兩次乘法可藉由五次加法及五次移位以產生七個中間值 w_2 至 w_8 來執行。在產生 w_3 及 w_6 時省略了加 0 運算。在產生 w_4 及 w_5 時省略了移位 0 個位元之運算。

整數變數 x 乘以常數 $C_{3\pi/8}^{13}$ 及 $S_{3\pi/8}^{15}$ 之運算可表達為：

$$y = (x \cdot 3135) / 8192 \text{ 及 } z = (x \cdot 30273) / 32768 \quad \text{。} \quad \text{方程式 (38)}$$

方程式 (38) 中之乘法運算可使用如下一系列運算來達成：

$$\begin{aligned}
 w_1 &= x, & //1 & \quad \text{方程式(39)} \\
 w_2 &= w_1 - (w_1 \gg 2), & //011 \\
 w_3 &= w_1 \gg 6, & //0000001 \\
 w_4 &= w_1 + w_3, & //1000001 \\
 w_5 &= w_1 - w_3, & //0111111 \\
 w_6 &= w_2 \gg 1, & //0011 \\
 w_7 &= w_6 + (w_5 \gg 7), & //00110000111111 \\
 w_8 &= w_5 - (w_1 \gg 4), & //0111011 \\
 w_9 &= w_8 + (w_4 \gg 9), & //0111011001000001。
 \end{aligned}$$

所期望之16位元乘積等於 w_7 及 w_9 ，或者 $w_7=y$ 及 $w_9=z$ 。使用聯合因數分解之方程式(38)中之兩次乘法可藉由六次加法及六次移位以產生八個中間值 w_2 至 w_9 來執行。在產生 w_3 及 w_6 時省略了加0運算。在產生 w_4 及 w_5 時省略了移位0個位元之運算。

對於圖1中所示使用因數分解之8點IDCT而言，藉助本文所述乘以常數 $C_{\pi/4}^8$ ， $C_{3\pi/8}^7$ 及 $S_{3\pi/8}^9$ 之技術，可將得到8位元精度之總複雜度表示為： $28+3\cdot 2+5\cdot 2=44$ 次加法及 $3\cdot 2+5\cdot 2=16$ 次移位。對於具有乘以常數 $C_{\pi/4}^{16}$ ， $C_{3\pi/8}^{13}$ 及 $S_{3\pi/8}^{15}$ 之乘法運算之8點IDCT而言，得到16位元精度之總複雜度可表示為： $28+4\cdot 2+6\cdot 2=48$ 次加法及 $4\cdot 2+6\cdot 2=20$ 次移位。一般而言，可藉由對每一常數使用足夠數量之位元來獲得任意所期望之精度。總複雜度相對於方程式(2)中所示之強力計算顯著降低。此外，無需使用任何乘法而僅使用加法及移位便可達成變換。

方程組(31)，(33)，(37)及(39)中之中間值序列係實例性序列。亦可使用其他中間值序列來得到所期望之乘積。一般而言，希望使一既定序列中之加法及/或移位運算次數最小化。在某些平臺上，加法可能較移位複雜，因而該目標變成找到一具有最少數量之加法之序列。而在某些其他平臺上，移位之代價可能更為高昂，在此種情形中，該序列應包含最少數量之移位(及/或在所有移位運算中得到移位之位元總數)。一般而言，該系列可包含最少加權平均數量之加法及移位運算，其中權重相應地代表加法及移位之相對複雜度。在尋找此等序列時，亦可設置某些其他約束條件。舉例而言，可能確保使最長之相互依賴中間值子序列不超過某一既定值會非常重要。在選擇該序列時可使用之其他實例性標準可包括由右移所引入之逼近誤差之某些量度(例如平均值、方差、大小等等)。

可使用不同之中間值序列來達成一整數變數 x 乘以一個或多個常數之運算。可按不同之方式來確定具有最少數量之加法及/或移位運算、或者具有其他所施加約束條件或最佳化標準之序列。在一種方案中，藉由一種窮盡性查找及評價方法來識別所有可能之中間值序列。選取具有最少數量之運算(及滿足所有其他約束條件及標準)之序列。

中間值序列相依於用於近似表示無理常數之有理常數。每一有理常數之移位常數 b 決定位元移動之數量並亦可影響移位及加法運算之次數。愈小之移位常數通常(但並非總是)意味著用於近似表示乘法之移位及加法運算次數愈

少。

在某些情形中，可為一流程圖中之各組乘法運算找到共用之換算因數，從而使無理常數之逼近誤差最小化。此等共用換算因數可與該變換之輸入換算因數 A_0 至 A_7 相組合併合併。

曾藉由電腦模擬來測試上文所述之8位元及16位元IDCT實施方案。IEEE標準1180-1190及其待決之替換標準為實際DCT/IDCT實施方案之精確度提供了一得到廣泛接受之基準。概言之，該標準規定測試一參考64位元浮點DCT、隨後使用來自一隨機數產生器之輸入資料實施一近似IDCT。該參考DCT接收輸入資料並產生變換係數。該近似IDCT接收變換係數(經適當圓整化)並產生輸出樣本。然後使用在表2中所給出之五個不同量度將該等輸出樣本與輸入資料相比較。另外，要求該近似IDCT在被供以變換係數0時產生全0值並展現出接近DC之反轉行為。

表 2

量度	說 明	要求
P	經重構像素之間的最大絕對差值	$p \leq 1$
$d[x,y]$	各像素之間的平均差值	$ d[x,y] \leq 0.015$ 對於所有 $[x,y]$
M	所有像素差值之平均值	$ m \leq 0.0015$
$e[x,y]$	各像素之間的平均平方差	$ e[x,y] \leq 0.06$ 對於所有 $[x,y]$
N	所有像素平方差之平均值	$ n \leq 0.02$

電腦模擬表明，採用上文所述8位元近似之IDCT滿足IEEE 1180-1190對於表2中所有量度之精度要求。電腦模擬進一步表明，採樣上文所述16位元近似之IDCT明顯超出

IEEE 1180-1190對表2中所有量度之精度要求。8位元及16位元IDCT近似進一步通過了全零輸入及接近DC反轉測試。

為清楚起見，上文之許多說明係針對一種滿足IEEE標準1180-1190之精度要求的經8點換算之1D IDCT之有效實施方案。此種經換算之1D IDCT適用於JPEG、MPEG-1,2,4、H.261、H.263編碼器/解碼器(編解碼器)、及其他應用中。1D IDCT採用圖1所示之經換算IDCT因數分解，其具有28次加法及與無理常數的6次乘法。該等乘法可如上文所述分解成移位及加法運算序列。藉由使用中間結果產生中間值序列來減少運算次數。另外，將一既定變數與多個常數之乘法運算進行聯合計算，從而藉由將存在於該等常數中之共用因數僅計算一次來進一步減少移位及加法運算次數。上文所述之8位元8點經換算1D IDCT之總複雜度為44次加法及16次移位，此使該IDCT成為迄今為止最簡單之無乘法器且符合IEEE-1180之實施方案。上文所述16位元8點經換算1D IDCT之總複雜度係48次加法及20次移位。此種更為精確之1D IDCT可用於MPEG-4演播室類及其他應用並還適用於新的MPEG IDCT標準。

圖2顯示一以一經換算且可分開之方式執行之2D IDCT 200之一實例性實施例。2D IDCT 200包括一輸入換算階段212、隨後係一用於各行(或各列)之第一經換算1D IDCT階段214、再後隨一用於各列(或各行)之第二經換算1D IDCT階段216、最後係一輸出換算階段218。經換算因數分解係

指將變換中之輸入及/或輸出乘以已知換算因數之事實。該等換算因數可包括共用因數，該等共用因數移至該變換前面及/或後面以在流程圖內產生更簡單之常數並由此簡化計算。輸入換算階段212可使每一變換係數 $F(X,Y)$ 左乘一常數 $C=2^P$ ，或者使每一變換係數左移 P 個位元，其中 P 表示所預留「尾數」位元之數量。在進行換算之後，可對DC變換係數附加一個量 2^{P-1} ，以在輸出樣本中達成正確之圓整化。

第一1D IDCT階段214對一經換算變換係數塊中之每一行執行一 N 點IDCT。第二1D IDCT階段216對第一1D IDCT階段214所產生的一中間塊中之每一行執行一 N 點IDCT。對於一 8×8 IDCT而言，可如在上文中所述及在圖1中所示對每一行及每一列執行一8點1D IDCT。第一階段及第二階段之1D IDCT可直接對其輸入資料進行運算而不進行任何內部左換算及右換算。在各列及各行皆得到處理之後，輸出換算階段218可將從第二1D IDCT階段216得到之量向右移過 P 個位元，以產生2D IDCT之輸出樣本。可對換算因數及精度常數 P 加以選擇，以便可使用具有所需寬度之暫存器來執行整個2D IDCT。

圖2中所示2D IDCT之經換算實施方案應實現更少數量之乘法運算並進一步容許在量化及/或逆量化階段上執行該等乘法運算中的一大部分。量化及逆量化通常係由一編碼器執行。逆量化通常係由一解碼器執行。

圖3顯示一8點DCT之實例性因數分解之流程圖300。流

程圖 300 接收八個輸入樣本 $f(0)$ 至 $f(7)$ ，對該等輸入樣本執行一 8 點 DCT，並產生八個經換算之變換係數 $8A_0 \cdot F(0)$ 至 $8A_7 \cdot F(7)$ 。換算因數 A_0 至 A_7 已在上文中給出。規定流程圖 300 使用盡可能少之乘法及加法運算。用於中間變數 F_e ， F_f ， F_g 及 F_h 之乘法運算可如上文所述來執行。具體而言，無理常數 $1/C_{\pi/4}$ ， $C_{3\pi/8}$ 及 $S_{3\pi/8}$ 可使用有理常數來近似表示，且乘以該等有理常數之乘法運算可使用中間值序列來達成。

圖 4 顯示以一可分開之方式並採用一經換算 1D DCT 因數分解來執行之 2D DCT 400 之實例性實施例。2D DCT 400 包括一輸入換算階段 412、隨後係一用於各行(或各列)之第一 1D DCT 階段 414、再後隨一用於各列(或各行)之第二 1D DCT 階段 416、最後係一輸出換算階段 418。輸入換算階段 412 可左乘輸入樣本。第一 1D DCT 階段 414 對一經換算變換係數塊中之每一行執行一 N 點 DCT。第二 1D DCT 階段 416 對第一 1D DCT 階段 414 所產生的一中間塊中之每一行執行一 N 點 DCT。輸出換算階段 418 可對第二 1D DCT 階段 416 之輸出實施換算，以為 2D DCT 產生經變換之係數。

圖 5 顯示一影像/視訊編碼及解碼系統 500 之方塊圖。在一編碼系統 510 中，一 DCT 單元 520 接收一輸入資料塊(標記為 $P_{x,y}$)並產生一變換係數塊。輸入資料塊可係一 $N \times N$ 像素塊、一 $N \times N$ 像素差值(或留數)塊、或者自一源信號(例如視訊信號)產生之某種其他類型之資料。像素差值可為兩個像素塊之間的差值、或者一像素塊與一預測像素塊之間

的差值、等等。N通常等於8，但亦可為另一個值。一編碼器530自DCT單元520接收變換係數塊，對該等變換係數實施編碼，並產生壓縮資料。編碼器530可執行各種功能，例如對 $N \times N$ 變換係數塊實施折線掃描、量化該等變換係數、熵編碼、封包化等等。可將來自編碼器530之壓縮資料儲存於一儲存單元中及/或經由一通信通道(雲狀標記540)發送。

在一解碼系統550中，一解碼器560自儲存單元或通信通道540接收該壓縮資料並重構該等變換係數。解碼器560可執行各種功能，例如解封包化、熵解碼、逆量化、逆折線掃描等等。一IDCT單元570自解碼器560接收所重構變換係數並產生一輸出資料塊(標記為 $P'_{x,y}$)。輸出資料塊可係一 $N \times N$ 經重構像素塊、一 $N \times N$ 經重構像素差值塊、等等。輸出資料塊係一提供至DCT單元520之輸入資料塊之估計值並可用於重構源信號。

圖6顯示一編碼系統600之方塊圖，該編碼系統600係圖5中之編碼系統510之一實例性實施例。一捕獲裝置/記憶體610可接收一源信號，執行向數位格式之轉換，並提供輸入/原始資料。捕獲裝置610可係一錄影機、數位化器、或者某種其他裝置。一處理器620處理原始資料並產生壓縮資料。在處理器620內，原始資料可經一DCT單元622變換、經一折線掃描單元624掃描、經一量化器626量化、經一熵編碼器628編碼並經一封包化器630封包化。DCT單元622可根據上文所述之技術對原始資料執行2D DCT。每一

單元 622 至 630 皆可構建為硬體、韌體及/或軟體。舉例而言，DCT 單元 622 可使用專用硬體、或一組用於一算術邏輯單元 (ALU) 之指令、等等、或其一組合來構建。

一儲存單元 640 可儲存來自處理器 620 之壓縮資料。一發射機 642 可發射壓縮資料。一控制器/處理器 650 控制編碼系統 600 中各個單元之運作。一記憶體 652 為編碼系統 600 儲存資料及程式碼。一條或多條匯流排 600 互連編碼系統 600 中之各個單元。

圖 7 顯示一解碼系統 700 之方塊圖，該解碼系統 700 係圖 5 中之解碼系統 550 之一實例性實施例。一接收機 710 可自一編碼系統接收壓縮資料，且一儲存單元 712 可儲存所接收之壓縮資料。一處理器 720 處理壓縮資料並產生輸出資料。在處理器 720 內，該壓縮資料可經一解封包化器 722 解封包化，經一熵解碼器 724 解碼，經一逆量化器 726 逆量化，由一逆折線掃描單元 728 佈置成正確之次序，並經一 IDCT 單元 730 進行變換。IDCT 單元 730 可根據上文所述之技術對所重構之變換係數執行 2D IDCT。每一單元 722 至 730 皆可構建為硬體、韌體及/或軟體。舉例而言，IDCT 單元 730 可使用專用硬體、或一組用於一 ALU 之指令、等等、或其一組合來構建。一顯示單元 740 顯示來自處理器之經重構影像及視訊。

一控制器/處理器 750 控制解碼系統 700 中各個單元之運作。一記憶體 752 為解碼系統 700 儲存資料及程式碼。一條或多條匯流排 760 互連解碼系統 700 中之各個單元。

處理器 620 及 720 可分別使用一個或多個應用專用積體電路 (ASIC)、數位信號處理器 (DSP)、及/或某種其他類型之處理器來構建。另一選擇為，處理器 620 及 720 可分別替換為一個或多個隨機存取記憶體 (RAM)、唯讀記憶體 (ROM)、電可程式化 ROM (EROM)、電可擦可程式化 ROM (EEPROM)、磁碟、光碟、及/或此項技術中已知之其他類型之揮發性及非揮發性記憶體。

本文所述之計算技術可用於各種類型之信號及資料處理。上文已闡述了該等技術對變換之應用。下文將闡述該等技術對某些實例性濾波器之應用。

圖 8A 顯示一有限脈衝響應 (FIR) 濾波器 800 之一實例性實施例之方塊圖。在 FIR 濾波器 800 中，將輸入樣本 $r(n)$ 提供至若干個串聯耦接之延遲元件 812b 至 812l。每一延遲元件 812 皆提供一個樣本週期之延遲。將該等輸入樣本及延遲元件 812b 至 812l 之輸出分別提供至乘法器 814a 至 814l。每一乘法器 814 亦接收一各自之濾波器係數，將其樣本乘以該濾波器係數，並將經換算之樣本提供至一求和器 816。在每一樣本週期中，求和器 816 皆對來自乘法器 814a 至 814l 之經換算樣本進行求和並提供該樣本週期的一輸出樣本。樣本週期 n 之輸出樣本 $y(n)$ 可表達為：

$$y(n) = \sum_{i=0}^{L-1} h_i \cdot r(n-i) \quad , \quad \text{方程式 (40)}$$

其中 h_i 係 FIR 濾波器 800 之第 i 個分支之濾波器係數。

每一乘法器 814a 至 814l 皆可如上文所述使用移位及加法

運算來實施。每一濾波器係數皆可使用一整數常數或一有理二數式常數來近似表示。來自每一乘法器 814 之經換算樣本可根據一系列中間值來獲得，該系列中間值係根據用於該乘法器之整數常數或有理二數式常數來產生。

圖 8B 顯示一 FIR 濾波器 850 之一實例性實施例之方塊圖。在 FIR 濾波器 850 內，將輸入樣本 $r(n)$ 提供至 L 個乘法器 852a 至 852l。每一乘法器 852 亦接收一各自之濾波器係數，將其樣本乘以該濾波器係數，並將經換算之樣本提供至一延遲單元 854。單元 854 將每一 FIR 分支之經換算樣本延遲一適當之量。在每一樣本週期中，一求和器 856 皆對來自單元 854 之 N 個延遲樣本進行求和並提供該樣本週期的一輸出樣本。

FIR 濾波器 850 亦執行方程式 (40)。然而，使用 L 個濾波器係數對每一輸入樣本執行 L 次乘法。可對該等 L 次乘法使用聯合因數分解，以降低乘法器 852a 至 852l 之複雜度。

圖 8C 顯示一 FIR 濾波器 870 之一實例性實施例之方塊圖。FIR 濾波器 870 包括 $L/2$ 個階段聯耦合之段 880a 至 880j。第一區段 880a 接收輸入樣本 $r(n)$ ，而最末段 880j 提供輸出樣本 $y(n)$ 。每一區段 880 皆為一二階濾波器段。

在每一區段 880 內，皆將 FIR 濾波器 870 之輸入樣本 $r(n)$ 或來自前一區段之輸出樣本提供至串聯耦合之延遲元件 882b 及 882c。延遲元件 882b 及 882c 之輸入樣本及輸出分別提供至乘法器 884a 至 884c。每一乘法器 884 亦接收一各自之濾波器係數，將其樣本乘以該濾波器係數，並將經換算之樣

本提供至一求和器 886。在每一樣本週期中，求和器 886 皆對來自乘法器 884a 至 884c 之經換算樣本進行求和，並提供該樣本週期之輸出樣本。在樣本週期 n 中，來自最末區段 880j 之輸出樣本 $y(n)$ 可表達為：

$$y(n) = \prod_{i=1}^{L/2} [h_{0,i} \cdot r(n) + h_{1,i} \cdot r(n-1) + h_{2,i} \cdot r(n-2)] , \quad \text{方程式 (41)}$$

其中 $h_{0,i}$, $h_{1,i}$ 及 $h_{2,i}$ 係第 i 個濾波器區段之濾波器係數。

在每一區段中，對每一輸入樣本最多執行三次乘法。可對該等乘法使用聯合因數分解，以降低每一區段中乘法器 882a、882b 及 882c 之複雜度。

圖 9 顯示一無限脈衝響應 (IIR) 濾波器 900 之一實例性實施例之方塊圖。在 IIR 濾波器 900 內，一乘法器 912 接收輸入樣本 $r(n)$ ，將其乘以一濾波器係數 k ，並提供經換算之樣本。一求和器 914 自該等經換算之樣本中減去乘法器 918 之輸出並提供輸出樣本 $z(n)$ 。一暫存器 916 儲存來自求和器 914 之輸出樣本。乘法器 918 將來自暫存器 916 之經延遲輸出樣本乘以一濾波器係數 $(1-k)$ 。樣本週期 n 中之輸出樣本 $z(n)$ 可表達為：

$$z(n) = k \cdot r(n) - (1-k) \cdot z(n-1) , \quad \text{方程式 (42)}$$

其中 k 係一決定濾波程度之濾波器係數。

每一乘法器 912 及 918 皆可如上文所述，使用移位及加法運算來實施。濾波器係數 k 及 $(1-k)$ 可分別使用一整數常數或一有理二數式常數來近似表示。來自每一乘法器 912 及 918 之每一經換算之樣本皆可根據一系列中間值來導出，

該系列中間值係根據用於該乘法器之整數常數或有理二數式常數來產生。

本文所述之計算可實施於硬體、韌體、軟體，或其任一組合中。舉例而言，將一輸入值與一常數值相乘之移位及加法運算可使用一個或多個邏輯來執行，該等邏輯亦可稱作單元、模組等等。一邏輯可為硬體邏輯，包括邏輯閘、電晶體及/或此項技術中所知之其他電路。一邏輯亦可係韌體及/或軟體邏輯，包括機器可讀碼。

在一種設計中，一種設備包括：(a)一第一邏輯，其用於接收所要處理資料之輸入值，(b)一第二邏輯，其用於根據該輸入值來產生一系列中間值，並根據該系列中至少一個中間值來產生該系列中之至少一個其他中間值，及(3)一第三邏輯，其用於提供該系列中之一個中間值作為將該輸入值與一常數值相乘之一輸出值。該第一、第二及第三邏輯可為分立之邏輯。或者，該第一、第二及第三邏輯可為同一共用邏輯或共享邏輯。舉例而言，該第三邏輯可為該第二邏輯之一部分，而該第二邏輯可係該第一邏輯之一部分。

一種設備亦可藉由如下方式對一輸入值執行一運算：根據該輸入值產生一系列中間值，根據該系列中至少一個中間值產生該系列中至少一個其他中間值，並提供該系列中的一個中間值作為該運算的一輸出值。該運算可係一算術運算、一數學運算(例如乘法)、某種其他類型之運算、或者一組運算或一運算組合。

對於一種韌體及/或軟體實施方案而言，可使用執行所需移位及加法運算之機器可讀碼來達成一輸入值與一常數值之乘法。該等碼可硬接線於或儲存於一記憶體(例如圖6中之記憶體652或圖7中之記憶體752)中並由一處理器(例如處理器650或750)或某種其他硬體單元執行。

本文所述之計算技術可實施於各種類型之設備中。舉例而言，該等技術可實施於不同類型之處理器、不同類型之積體電路、不同類型之電子裝置、不同類型之電子電路等等中。

本文所述之計算技術可使用硬體、韌體、軟體、或者其一組合來執行。可將計算編碼成在此項技術中所知之任一種電腦可讀媒體上執行之電腦可讀指令。在本說明書及隨附申請專利範圍中，術語「電腦可讀媒體」係指任何參與向任何處理器(例如圖6及7中所示之控制器/處理器)提供用於執行之指令之媒體。此種媒體可係一儲存器型媒體且例如在對圖6及7中之處理器620及720之說明中可分別如上文所述呈一揮發性或非揮發性儲存媒體形式。此種媒體亦可係傳輸型媒體並可包括同軸電纜、銅導線、光纜、及由空中介面所載送之能夠載送可由機器或電腦讀取之信號之聲波或電磁波。

熟習此項技術者應理解，可使用各種不同技術和技法中之任一技術和技法來表示資訊和信號。舉例而言，整個上述說明中可能提及之資料、指令、命令、資訊、信號、位元、符號和碼片可由電壓、電流、電磁波、磁場或粒子、

光場或粒子、或其任一組合來表示。

熟習此項技術者可進一步瞭解，結合本文所揭示實施例闡述之各種實例性邏輯塊、模組、電路及演算法步驟可構建為電子硬體、電腦軟體或二者之組合。為清晰地顯示硬體與軟體之互換性，上文係基於功能度來概述各種例示性組件、方塊、模組、電路、及步驟。此種功能性係作為硬體還是軟體取決於特定應用及施加於整個系統之設計製約條件。熟習此項技術者皆可針對每一特定應用以不同方式實施所述功能性，但不應將此等實施決定解釋為導致背離本發明之範疇。

結合本文所揭示實施例所述之各種例示性邏輯塊、模組及電路可由以下裝置構建或實施：通用處理器、數位信號處理器(DSP)、應用專用積體電路(ASIC)、現場可程式化閘陣列(FPGA)或其它可程式化邏輯裝置、離散閘或電晶體邏輯電路、離散硬體組件、或其設計用來實施本文所述功能之任一組合。通用處理器可係一微處理器，但另一選擇為，該處理器可係任何傳統型處理器、控制器、微處理器、或狀態機。處理器亦可構建為一運算裝置之組合，例如，一DSP與一微處理器之組合、多個微處理器之組合、一或多個微處理器與DSP核心之聯合，或任意其它此類組態。

本文結合本發明具體實施例所描述之方法與運算步驟可直接在硬體、由處理器執行之一軟體模組中或兩者之組合中具體實施。軟體模組可駐存於RAM記憶體、快閃記憶

體、ROM記憶體、EPROM記憶體、EEPROM記憶體、暫存器、硬磁碟、可抽換磁碟、CD-ROM、或此項技術中已知的任一其它形式之儲存媒體內。一實例性儲存媒體耦接至該處理器，以使該處理器可自該儲存媒體讀取資訊及向該儲存媒體寫入資訊。或者，該儲存媒體可係處理機之組成部分。該處理機及儲存媒體可駐存於ASIC中。該ASIC則可駐存於一使用者終端中。另一選擇為，該處理器及儲存媒體可作為分立組件駐存於一使用者終端機中。

上述對所揭示實施例之說明旨在使任一熟習此項技術者皆能夠製作或使用本發明。熟習此項技術者將易於得出該等實施例之各種修改，且本文所界定的一般原理亦可適用於其它實施例，此並未背離本發明之主旨或範疇。因此，本文並非意欲將本發明限定於本文所示實施例，而欲賦予其與本文所揭示原理及新穎特徵相一致的最寬廣範疇。

【圖式簡單說明】

圖1顯示一8點IDCT之實例性因數分解之流程圖；

圖2顯示一實例性兩維IDCT；

圖3顯示一8點DCT之實例性因數分解之流程圖；

圖4顯示一實例性兩維DCT；

圖5顯示一影像/視訊編碼及解碼系統之方塊圖；

圖6顯示一編碼系統之方塊圖；

圖7顯示一解碼系統之方塊圖；

圖8A至8C顯示三個實例性有限脈衝響應(FIR)濾波器；及

圖9顯示一實例性無限脈衝響應(IIR)濾波器。

【主要元件符號說明】

200	2D IDCT
212	輸入換算階段
214	第一經換算1D IDCT階段
216	第二經換算1D IDCT階段
218	輸出換算階段
400	2D DCT
412	輸入換算階段
414	第一1D DCT階段
416	第二1D DCT階段
418	輸出換算階段
500	影像/視訊編碼及解碼系統
510	編碼系統
520	DCT單元
530	編碼器
540	雲狀標記
550	解碼系統
560	解碼器
570	IDCT單元
600	編碼系統
610	捕獲裝置/記憶體
620	處理器
622	DCT單元
624	折線掃描單元

626	量化器
628	熵編碼器
630	封包化器
640	儲存單元
642	發射機
650	控制器/處理器
652	記憶體
700	解碼系統
710	接收機
712	儲存單元
720	處理器
722	解封包化器
724	熵解碼器
726	逆量化器
728	逆折線掃描單元
730	IDCT單元
740	顯示單元
750	控制器/處理器
752	記憶體
800	有限脈衝響應(FIR)濾波器
812b-ℓ	延遲元件
814a-ℓ	乘法器
816	求和器
850	FIR濾波器

852a-l	乘法器
854	延遲單元
856	求和器
870	FIR濾波器
880a	第一區段
880j	最末段
882a-c	延遲元件
884a-c	乘法器
886	求和器
900	無限脈衝響應(IIR)濾波器
912	乘法器
914	求和器
916	暫存器
918	乘法器

五、中文發明摘要：

本發明揭示用於有效地執行信號及資料處理計算之技術。對於無乘法之處理，根據所要處理資料之一輸入值來產生一系列中間值。根據該系列中之至少一個中間值，產生該系列中至少一個其他中間值。提供該系列中之一個中間值作為將該輸入值與一常數值相乘之一輸出值。該常數值可為一整數常數、有理常數或無理常數。無理常數可使用一有理二數式常數來近似，該有理二數式常數具有一整數分子及一為2之冪之分母。該種無乘法之處理可用於各種變換(例如DCT及IDCT)、濾波器，及其他類型之信號及資料處理。

六、英文發明摘要：

十一、圖式：

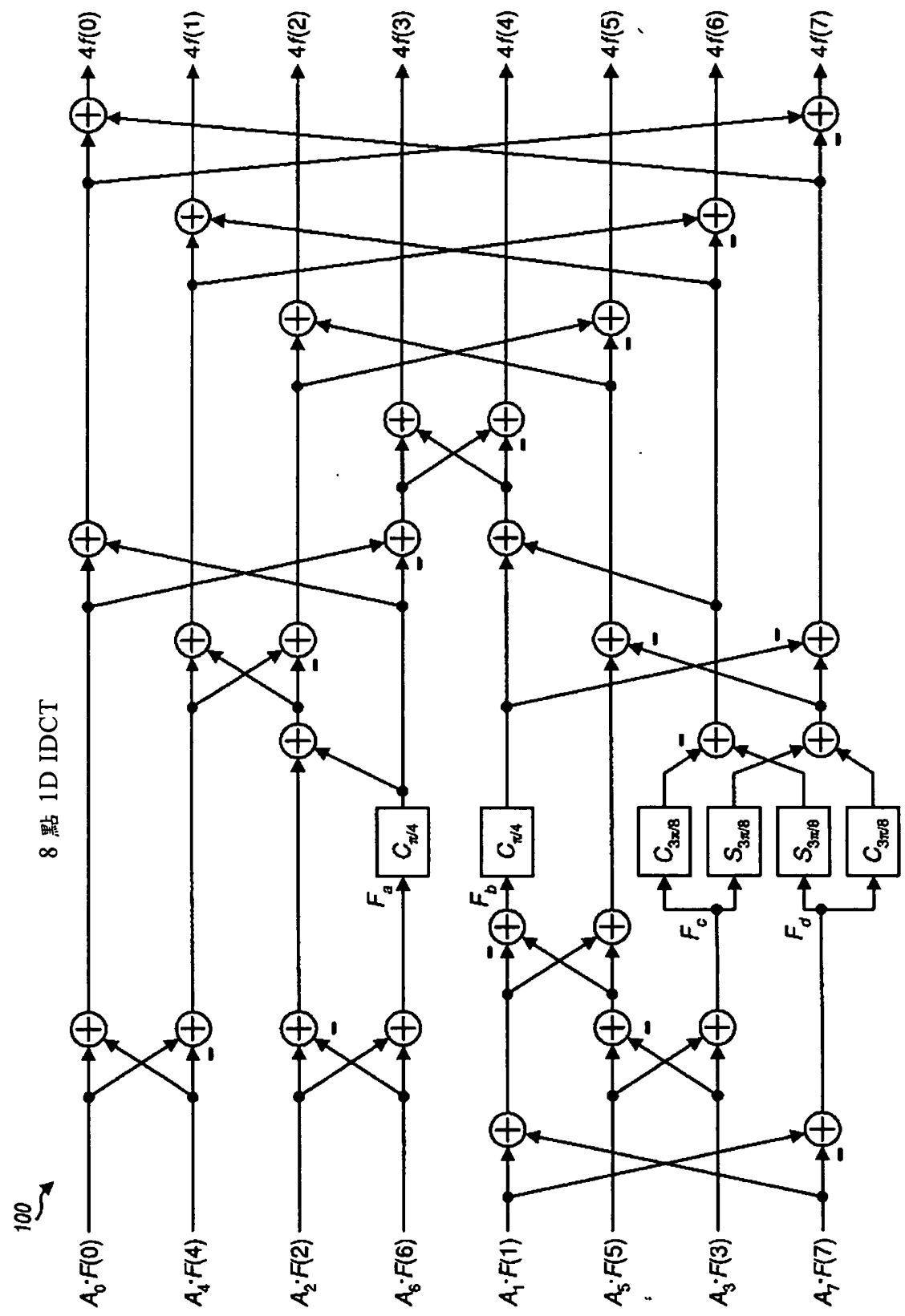


圖 1

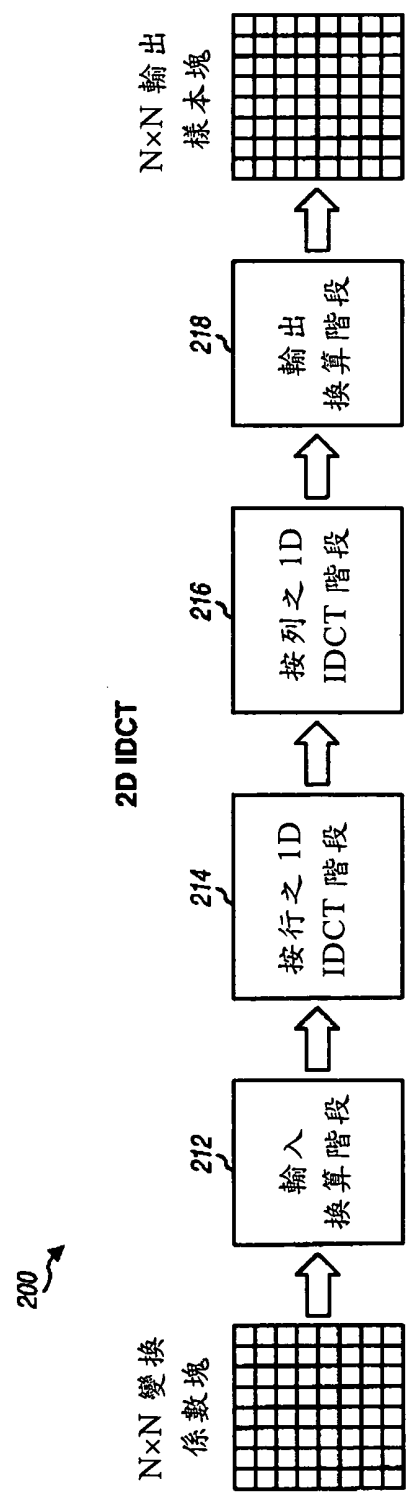


圖 2

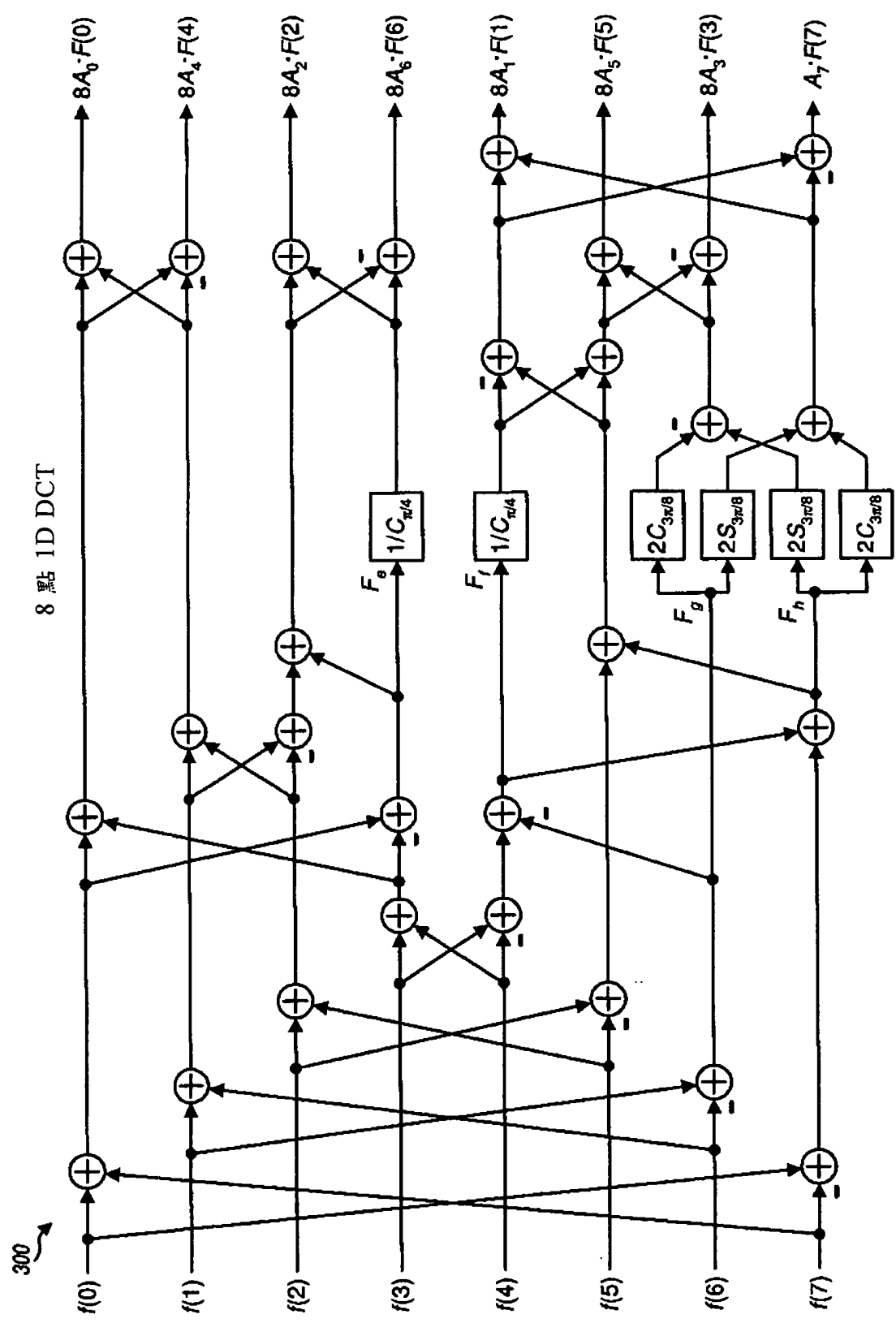


圖 3

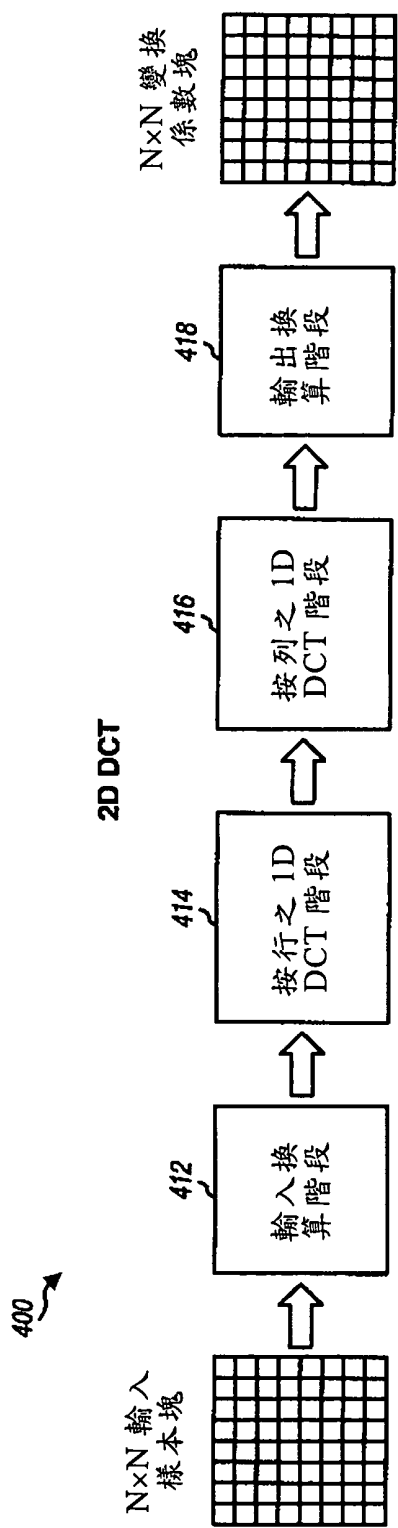


圖 4

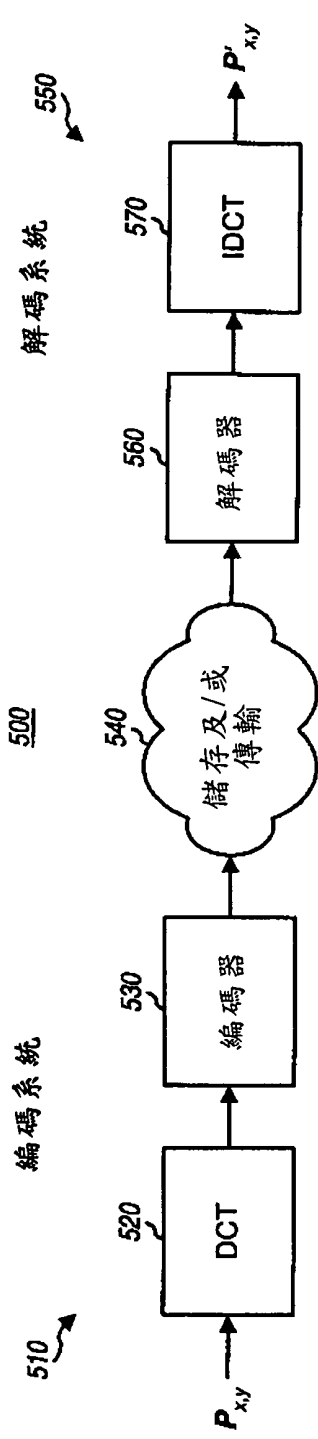


圖 5

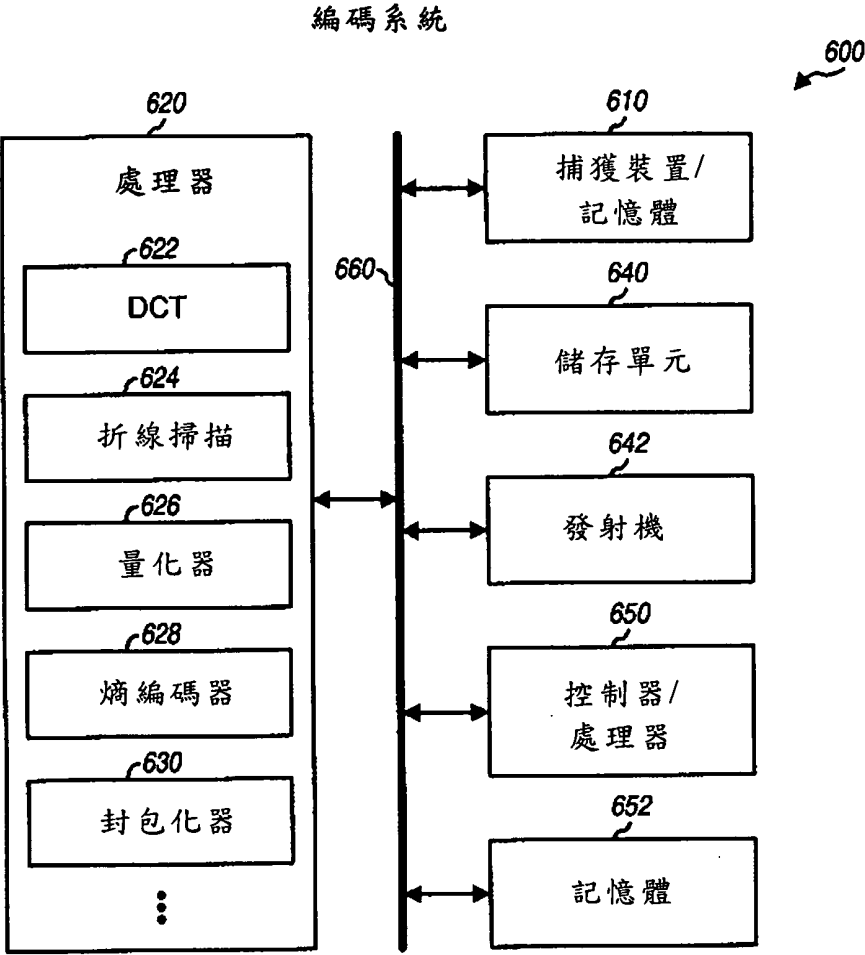


圖6

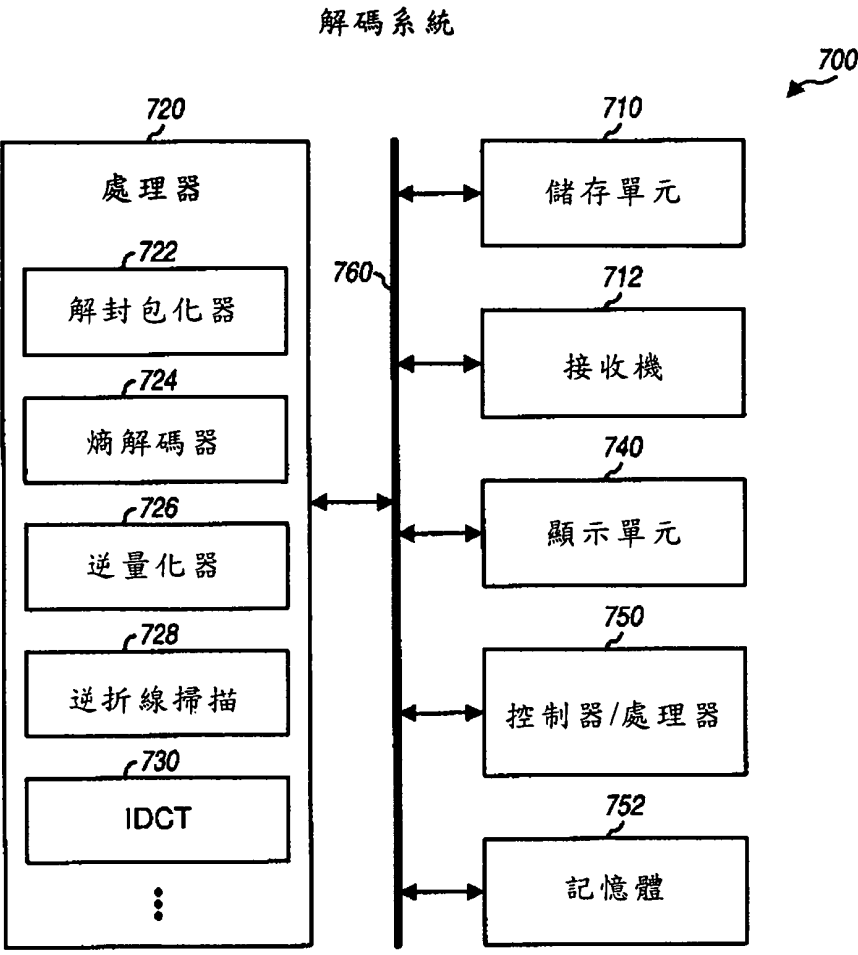


圖7

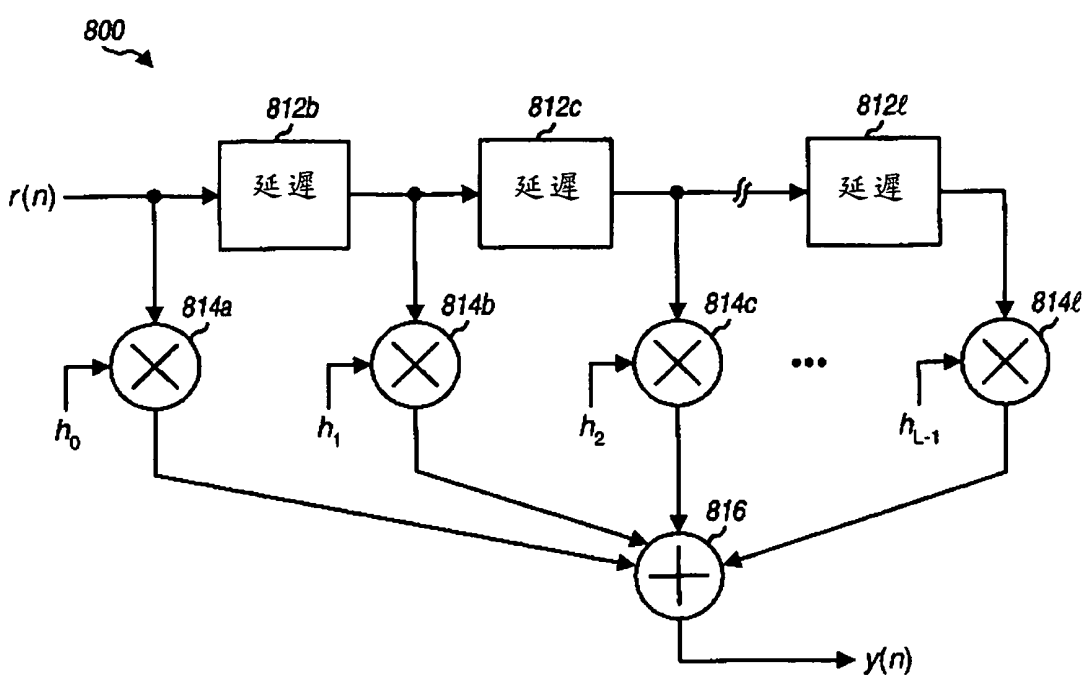


圖 8A

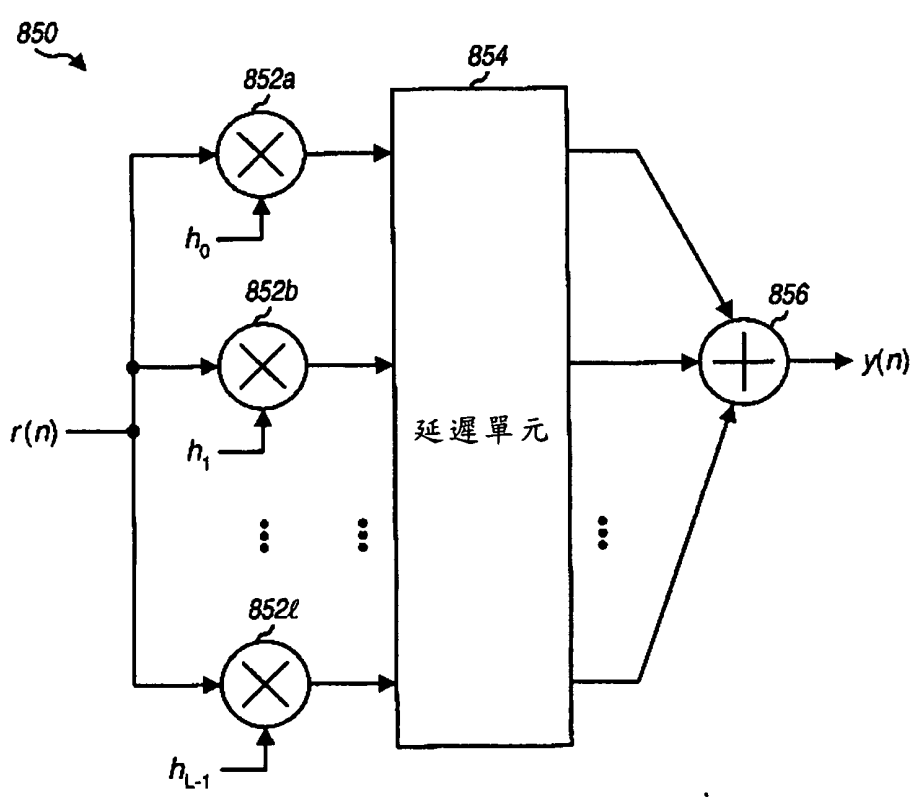


圖 8B

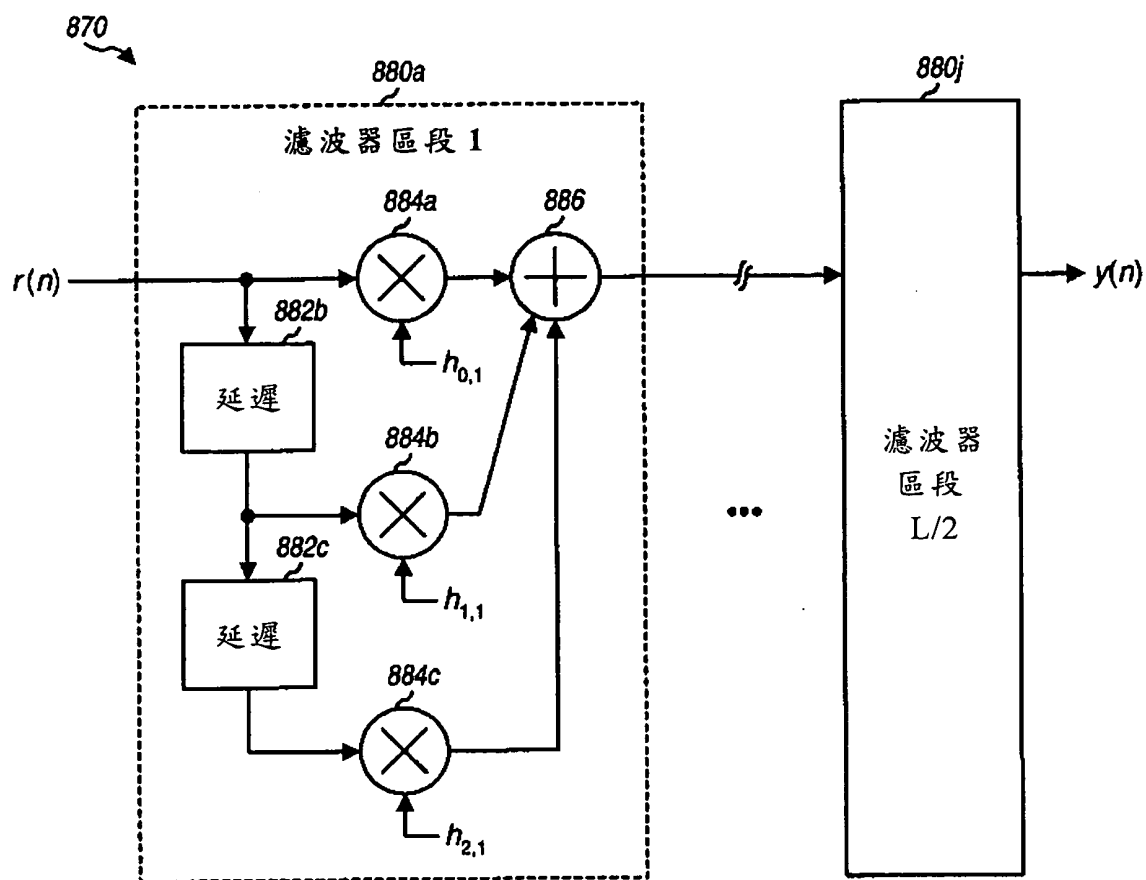


圖 8C

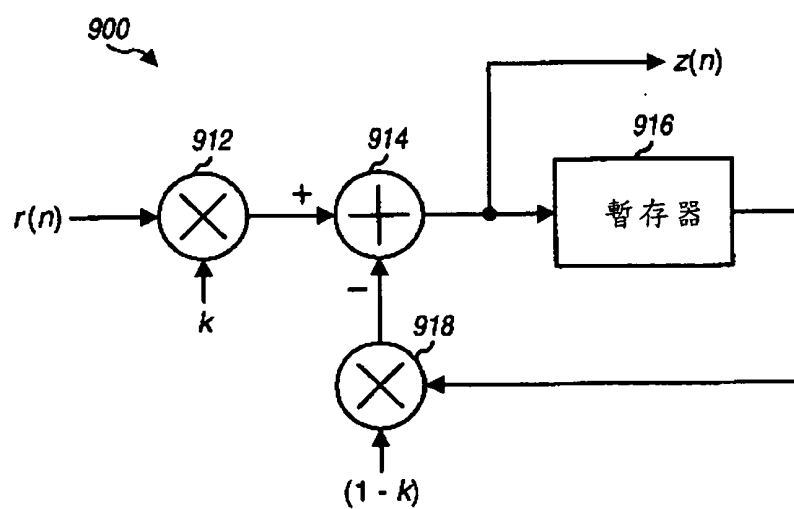


圖 9

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

發明專利說明書

中文說明書替換頁(100年2月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：095137567

※ 申請日期：95.10.12

※IPC 分類：H04L 12/56(2006.01)
G06F 17/10(2006.01)

一、發明名稱：(中文/英文)

用於信號及資料處理之有效率的無乘法運算之計算之方法、電腦程式
產品、與設備METHOD, COMPUTER PROGRAM PRODUCT, AND APPARATUS OF
EFFICIENT MULTIPLICATION-FREE COMPUTATION FOR SIGNAL
AND DATA PROCESSING

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商高通公司

QUALCOMM INCORPORATED

代表人：(中文/英文)

喬治 A 懷坦

WHITTEN, GEORGE A.

住居所或營業所地址：(中文/英文)

美國加州聖地牙哥市摩豪斯大道5775號

5775 MOREHOUSE DRIVE SAN DIEGO, CA 92121-1714, U. S. A.

國 籍：(中文/英文)

美國 U.S.A.

十、申請專利範圍：

1. 一種用於資料與信號處理之設備，其包括：

一處理器經組態以接收所要處理資料之一輸入值，其中該處理器經組態以根據該輸入值來產生一系列中間值，並根據該系列中至少一個中間值來產生該系列中之至少一個其他中間值，其中該處理器進一步經組態以決定該系列中之一個中間值作為將該輸入值與一常數值進行一相乘之一輸出值，其中該處理器進一步經組態以決定該系列中之另一個中間值作為將該輸入值與另一常數值進行另一相乘之另一輸出值，及

其中該等常數值之至少一者係近似於一具有一整數分子及一為2的冪之分母的有理二數式常數。

2. 如請求項1之設備，其中該處理器經組態以根據該系列中至少一個先前中間值來產生該系列中除該系列中一第一中間值以外之每一中間值。
3. 如請求項1之設備，其中該處理器經組態以將該系列中一第一中間值設定為該輸入值，並根據該系列中至少一個先前中間值來產生每一後續中間值，且其中該處理器經組態以決定該系列中一最末中間值作為該輸出值。
4. 如請求項1之設備，其中該處理器經組態以藉由對該系列中至少一個先前中間值執行一移位、一加法，或者一移位及一加法來產生該系列中除該系列中一第一中間值以外之每一中間值。
5. 如請求項1之設備，其中由一整數值來近似表示該常數

值。

6. 如請求項1之設備，其中該處理器經組態以乘一無理常數值與經組態以乘一整數值。
7. 如請求項1之設備，其中該等常數值係近似於整數值。
8. 如請求項1之設備，其中該系列包括一最少數量之中間值，以獲得該輸出值。
9. 如請求項1之設備，其中該系列中間值係藉由一最少數量之移位及加法運算來產生。
10. 一種用於資料與信號處理之方法，其包括：

接收所要處理資料之一輸入值；

根據該輸入值來產生一系列中間值，該系列中之至少一個中間值係根據該系列中至少一個其他中間值來產生；及

決定該系列中之一個中間值作為將該輸入值與一常數值進行一相乘之一輸出值，其進一步包括決定該系列中之另一個中間值作為將該輸入值與另一常數值進行另一相乘之另一輸出值，

其中該等常數值之至少一者係近似於一具有一整數分子及一為2的冪之分母的有理二數式常數。

11. 如請求項10之方法，其中該產生該系列中間值包括

將該系列中一第一中間值設定為該輸入值，及

根據該系列中至少一個先前中間值來產生每一後續中間值。

12. 如請求項10之方法，其中該產生該系列中間值包括

藉由對該系列中至少一個先前中間值執行一移位、一加法，或者一移位及一加法來產生該系列中除該系列中一第一中間值以外之每一中間值。

13. 如請求項10之方法，其中該等常數值包括一無理數。

14. 一種用於資料與信號處理之設備，其包括：

用於接收所要處理資料之一輸入值的構件；

用於根據該輸入值來產生一系列中間值之構件，該系列中之至少一個中間值係根據該系列中至少一個其他中間值來產生；及

用於決定該系列中之一個中間值作為將該輸入值與一常數值進行一相乘之一輸出值的構件，其進一步包括決定該系列中之另一個中間值作為將該輸入值與另一常數值進行另一相乘之另一輸出值，

其中該等常數值之至少一者係近似於一具有一整數分子及一為2的冪之分母的有理二數式常數。

15. 如請求項14之設備，其中該用於產生該系列中間值之構件包括

用於將該系列中一第一中間值設定為該輸入值之構件，及

用於根據該系列中至少一個先前中間值來產生每一後續中間值之構件。

16. 如請求項14之設備，其中該用於產生該系列中間值之構件包括

用於藉由對該系列中至少一個先前中間值執行一移

位、一加法，或一移位及一加法來產生該系列中除該系列中一第一中間值以外之每一中間值之構件。

17. 如請求項14之設備，其中該等常數值包括一無理數。

18. 一種用於獲得兩次運算之一輸出值之設備，其包括：

一處理器經組態以接收所要處理資料之一輸入值，其中該處理器經組態以根據該輸入值來產生一系列中間值並根據該系列中至少一個中間值來產生該系列中至少一個其他中間值，其中該處理器進一步經組態以決定該系列中之一個中間值作為一第一運算之一輸出值，及其中該處理器進一步經組態以決定該系列中之另一個中間值作為一第二運算之另一輸出值；

其中該第一運算與該第二運算之至少一者包括將一值與一具有一整數分子及一為2的冪之分母的有理二數式常數相乘。

19. 如請求項18之設備，其中該第一運算係該輸入值與該常數值進行的乘法。

20. 如請求項18之設備，其中該處理器經組態以根據該系列中至少一個先前中間值來產生每一後續中間值，且其中該處理器經組態以決定該系列中一最末中間值作為該第一運算之該輸出值。

21. 一種獲得兩個運算之一輸出值之方法，其包括：

接收所要處理資料之一輸入值；

根據該輸入值來產生一系列中間值，該系列中之至少一個中間值係根據該系列中至少一個其他中間值來產

生；及

決定該系列中之一個中間值作為一第一運算之一輸出值，進一步包括決定該系列中之另一個中間值作為一第二運算之另一輸出值，

其中該第一運算與該第二運算之至少一者包括將一值與一具有一整數分子及一為2的冪之分母的有理二數式常數相乘。

22. 一種電腦程式產品，其包含若干指令儲存於其上，當藉由一電腦所執行時造成：

接收所要處理資料之一輸入值；

根據該輸入值來產生一系列中間值，該系列中之至少一個中間值係根據該系列中至少一個其他中間值來產生；及

決定該系列中之一個中間值作為一第一運算之一輸出值，其中產生該系列中間值包括決定該系列中另一個中間值作為一第二運算之另一輸出值，

其中該第一運算與該第二運算之至少一者包括將一值與一具有一整數分子及一為2的冪之分母的有理二數式常數相乘。

23. 一種用於資料與信號處理之設備，其包括：

一處理器經組態以對一組輸入資料值執行處理以獲得一組輸出資料值，其中該處理器經組態以執行一輸入資料值與一用於該處理之常數值之乘法，為該乘法產生一系列中間值，及根據該系列中至少一個其他中間值來產

生該系列中至少一個中間值，

其中該處理器進一步經組態以決定該系列中之一個中間值作為該輸入資料值與該常數值相乘的結果，且其中該處理器進一步經組態以決定該系列中之另一個中間值作為該輸入資料值與另一常數值相乘的另一結果，

其中該等常數值之至少一者係近似於一具有一整數分子及一為2的冪之分母的有理二數式常數。

24. 如請求項23之設備，其中該處理器經組態以執行該處理，以將該組輸入資料值自一第一域變換至一第二域。

25. 如請求項23之設備，其中該處理器經組態以執行該處理，以過濾該組輸入資料值。

26. 如請求項23之設備，其中該等常數值係近似於一整數值。

27. 一種用於資料與信號處理之方法，其包括：

對一組輸入資料值執行處理，以獲得一組輸出資料值；

執行一輸入資料值與一用於該處理之常數值之乘法；

為該乘法產生一系列中間值，該系列具有至少一個根據該系列中至少一個其他中間值所產生之中間值；及

決定該系列中之一個中間值作為該輸入資料值與該常數值之一相乘的一結果，進一步包括決定該系列中之另一個中間值作為該輸入資料值與另一常數值之另一相乘的另一結果，

其中該等常數值之至少一者係近似於一具有一整數分

子及一為2的冪之分母的有理二數式常數。

28. 如請求項27之方法，其中該執行處理包括

執行該處理以將該組輸入資料值自一第一域變換至一第二域。

29. 如請求項27之方法，其中該執行處理包括

執行該處理以過濾該組輸入資料值。

30. 一種用於資料與信號處理之設備，其包括：

用於對一組輸入資料值執行處理以獲得一組輸出資料值之構件；

用於執行一輸入資料值與一用於該處理之常數值之乘法之構件；

用於為該乘法產生一系列中間值之構件，該系列具有至少一個根據該系列中至少一個其他中間值所產生之中間值；及

用於決定該系列中之一個中間值作為該輸入資料值與該常數值之該乘法之一結果的構件，進一步包括決定該系列中之另一個中間值作為該輸入資料值與另一常數值之另一乘法之另一結果，

其中該等常數值之至少一者係近似於一具有一整數分子及一為2的冪之分母的有理二數式常數。

31. 如請求項27之設備，其中該用於執行處理之構件包括用於執行該處理以將該組輸入資料值自一第一域變換至一第二域之構件。

32. 如請求項27之設備，其中該用於執行處理之構件包括用

於執行該處理以過濾該組輸入資料值之構件。

33. 一種用於資料與信號處理之設備，其包括：

一處理器經組態以對一組輸入值執行一變換以獲得一組輸出值，其中該處理器經組態以執行一中間變數與一用於該變換之常數值之乘法，為該乘法產生一系列中間值，及根據該系列中至少其他一個中間值來產生該系列中至少一個中間值，其中該處理器進一步經組態以決定該系列中之一個中間值作為該中間變數與該常數值進行該乘法的一結果，及其中該處理器進一步經組態以決定該系列中之另一個中間值作為該中間變數與另一常數值進行另一乘法的另一結果，

其中該等常數值之至少一者係近似於一具有一整數分子及一為2的冪之分母的有理二數式常數。

34. 如請求項33之設備，其中該處理器經組態以對該組輸入值執行一離散餘弦變換(DCT)以獲得一組用於該組輸出值之變換係數。

35. 如請求項33之設備，其中該該處理器經組態以對一組用於該組輸入值之變換係數執行一離散餘弦逆變換(IDCT)，以獲得該組輸出值。

36. 如請求項33之設備，其中該等常數值係近似於一整數值。

37. 一種用於資料與信號處理之方法，其包括：

對一組輸入值執行一變換以獲得一組輸出值；

執行一中間變數與一用於該變換之常數值之乘法；

為該乘法產生一系列中間值，該系列具有至少一個根據該系列中至少一個其他中間值所產生之中間值；及

決定該系列中之一個中間值作為該中間變數與該常數值進行該乘法的一結果，進一步包括用於決定該系列中之另一個中間值作為該輸入資料值與另一常數值之另一乘法之另一結果，

其中該等常數值之至少一者係近似於一具有一整數分子及一為2的冪之分母的有理二數式常數。

38. 如請求項37之方法，其中該執行一變換包括

對該組輸入值執行一離散餘弦變換(DCT)，以獲得一組用於該組輸出值之變換係數。

39. 如請求項37之方法，其中該執行一變換包括

對一組用於該組輸入值之變換係數執行一離散餘弦逆變換(IDCT)，以獲得該組輸出值。

40. 一種用於資料與信號處理之設備，其包括：

用於對一組輸入值執行一變換以獲得一組輸出值之構件；

用於執行一中間變數與一用於該變換之常數值之乘法之構件；

用於為該乘法產生一系列中間值之構件，該系列具有至少一個根據該系列中至少一個其他中間值所產生之中間值；及

用於決定該系列中之一個中間值作為該中間變數與該常數值進行該乘法之結果的構件，進一步包括決定該系

列中之另一個中間值作為該輸入資料值與另一常數值之另一乘法之另一結果，

其中該等常數值之至少一者係近似於一具有一整數分子及一為2的冪之分母的有理二數式常數。

41. 如請求項40之設備，其中該用於執行一變換之構件包括用於對該組輸入值執行一離散餘弦變換(DCT)以獲得一組用於該組輸出值之變換係數之構件。

42. 如請求項40之設備，其中該用於執行一變換之構件包括用於對一組用於該組輸入值之變換係數執行一離散餘弦逆變換(IDCT)以獲得該組輸出值之構件。

43. 一種用於資料與信號處理之設備，其包括：

一處理器經組態以對八個輸入值執行一變換以獲得八個輸出值其中該處理器經組態以為該變換藉由一第一常數對一第一中間變數執行兩次乘法來決定一第一輸出值，其中該處理器進一步經組態以為該變換藉由一第二常數對一第二中間變數執行兩次乘法來決定一第二輸出值，該處理器經組態以為該變換執行總共六次乘法中的四次，

其中該等常數值之至少一者係近似於一具有一整數分子及一為2的冪之分母的有理二數式常數。

44. 如請求項43之設備，其中該處理器經組態以為對該第一中間變數進行之該等兩個乘法產生一第一系列中間值，且其中該處理器經組態以為對該第二中間變數進行之該等兩個乘法產生一第二系列中間值。

45. 如請求項43之設備，其中該處理器進一步經組態以為一用於該變換之第三中間變數進行一乘法以產生一第三系列中間值；且

該處理器經組態以為一用於該變換之第四中間變數進行一乘法以產生一第四系列中間值。