



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년03월05일
(11) 등록번호 10-1239162
(24) 등록일자 2013년02월26일

- (51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01) *G09G 3/32* (2006.01)
G09G 3/20 (2006.01) *H05B 33/12* (2006.01)
- (21) 출원번호 10-2007-7013918
- (22) 출원일자(국제) 2005년11월28일
 심사청구일자 2010년11월17일
- (85) 번역문제출일자 2007년06월20일
- (65) 공개번호 10-2007-0091146
- (43) 공개일자 2007년09월07일
- (86) 국제출원번호 PCT/JP2005/022228
- (87) 국제공개번호 WO 2006/059737
 국제공개일자 2006년06월08일

(30) 우선권주장
 JP-P-2004-00347502 2004년11월30일 일본(JP)

(56) 선행기술조사문헌

KR1020040094628 A*

KR1020030030846 A*

KR1020010055654 A*

JP2004325885 A*

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 16 항

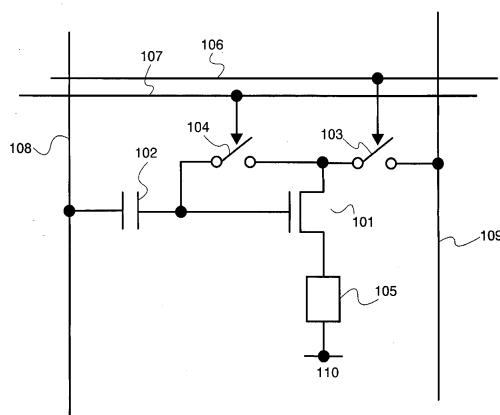
심사관 : 조기덕

(54) 발명의 명칭 표시장치와 그 구동방법, 반도체장치, 및 전자기기

(57) 요 약

구동 트랜지스터에 p형 트랜지스터를 채용한 경우, 단극성 트랜지스터만으로 구성되는 표시 패널을 제조하는 것은 곤란하다. 표시 패널에 형성되는 회로를 단극성 트랜지스터로 구성하면 제조 공정을 줄이고, 코스트 다운을 꾀할 수 있다. 본 발명에서는, 발광소자를 구동하는 구동 트랜지스터로서 n형 트랜지스터를 사용하고, 구동 트랜지스터와 발광소자로 소스 폴로워 회로를 구성한다.

대 표 도



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

발광소자와,

상기 발광소자를 구동하는 구동 트랜지스터와,

용량소자와,

제1 스위치와,

제2 스위치와,

제3 스위치와,

아날로그 전위가 입력되는 신호선과,

전원선을 포함하는 화소를 구비한 반도체장치로서,

상기 구동 트랜지스터의 게이트 단자는 상기 용량소자를 통해 상기 신호선에 접속되고,

상기 구동 트랜지스터의 소스 단자 및 드레인 단자 중의 한쪽은 상기 발광소자의 화소전극에 접속되고,

상기 구동 트랜지스터의 소스 단자 및 드레인 단자 중의 다른 한쪽은 상기 제1 스위치 및 상기 제 3 스위치를 통해 상기 전원선에 접속되고, 상기 제2 스위치 및 상기 제 3 스위치를 통해 상기 게이트 단자에 접속되는 반도체장치.

청구항 6

발광소자와,

상기 발광소자를 구동하는 구동 트랜지스터와,

용량소자와,

제1 스위치와,

제2 스위치와,

제3 스위치와,

아날로그 전위가 입력되는 신호선과,

전원선과,

배선을 포함하는 화소를 구비한 반도체장치로서,

상기 구동 트랜지스터의 게이트 단자는 상기 용량소자를 통해 상기 신호선에 접속되고,

상기 제 1 스위치와 상기 제 3 스위치의 양쪽은 상기 발광소자가 발광하는 기간 동안 오프 상태이고,
 상기 구동 트랜지스터의 소스 단자 및 드레인 단자 중의 한쪽은 상기 발광소자의 화소전극에 접속되고, 상기 제 3 스위치를 통해 상기 배선에 접속되고,
 상기 구동 트랜지스터의 소스 단자 및 드레인 단자 중의 다른 한쪽은 상기 제1 스위치를 통해 상기 전원선에 접속되고, 상기 제2 스위치를 통해 상기 구동 트랜지스터의 게이트 단자에 접속되는 반도체장치.

청구항 7

발광소자와,
 상기 발광소자를 구동하는 구동 트랜지스터와,
 용량소자와,
 제1 스위치와,
 제2 스위치와,
 제3 스위치와,
 아날로그 전위가 입력되는 신호선과,
 배선과,
 전원선을 포함하는 화소를 구비한 반도체장치로서,

상기 구동 트랜지스터의 게이트 단자는 상기 용량소자의 한쪽 전극에 접속되고, 상기 제 3 스위치를 통해 상기 배선에 접속되며,
 상기 용량소자의 다른 쪽 전극은 상기 신호선에 접속되고,
 상기 구동 트랜지스터의 소스 단자 및 드레인 단자 중의 한쪽은 상기 발광소자의 화소전극에 접속되고,
 상기 구동 트랜지스터의 소스 단자 및 드레인 단자 중의 다른 한쪽은 상기 제1 스위치를 통해 상기 전원선에 접속되고, 상기 제2 스위치를 통해 상기 구동 트랜지스터의 게이트 단자에 접속되는 반도체장치.

청구항 8

제 5항 내지 제 7항 중 어느 한 항에 있어서,
 상기 제1 스위치와 상기 제2 스위치는 n형 트랜지스터인 반도체장치.

청구항 9

제 5항 내지 제 7항 중 어느 한 항에 있어서,
 상기 제1 스위치는 p형 트랜지스터이고, 상기 제2 스위치는 n형 트랜지스터인 반도체장치.

청구항 10

제 5항 내지 제 7항 중 어느 한 항에 있어서,
 상기 전원선에 공급되는 전위는 RGB 각 요소의 화소에 따라 다른 반도체장치.

청구항 11

제 5항 내지 제 7항 중 어느 한 항에 있어서,
 복수의 상기 화소는 멘타 배치된 반도체장치.

청구항 12

제 5항 내지 제 7항 중 어느 한 항에 따른 반도체장치를 구비한 전자기기.

청구항 13

제 12항에 있어서,

상기 전자기기는 디스플레이, 비디오 카메라 등의 카메라, 모바일 컴퓨터 등의 컴퓨터, 화상재생장치, 고글형 디스플레이, 또는 휴대전화기인 전자기기.

청구항 14

제 5항 내지 제 7항 중 어느 한 항에 있어서,

상기 전원선의 전위는 상기 발광소자의 대향전극에 공급되는 전위보다 높은 반도체장치.

청구항 15

삭제

청구항 16

삭제

청구항 17

제 5항 내지 제 7항 중 어느 한 항에 있어서,

상기 구동 트랜지스터는 n형 트랜지스터인 반도체장치.

청구항 18

삭제

청구항 19

삭제

청구항 20

용량소자의 한쪽 전극에 접속된 신호선에 아날로그 신호 전위를 공급하는 단계로서, 상기 용량소자의 다른 쪽 전극은 구동 트랜지스터의 게이트 단자에 접속되어 있는 단계와,

상기 구동 트랜지스터의 게이트 단자와 전원선 사이의 부분을 제 1 스위치와 제 2 스위치에 의해 도통으로 하고, 상기 구동 트랜지스터의 소스 단자 및 드레인 단자 중의 한쪽과 상기 전원선 사이의 부분을 제 3 스위치에 의해 비도통으로 하는 단계와,

상기 구동 트랜지스터의 게이트 단자와 상기 전원선 사이의 상기 부분을 상기 제 1 스위치에 의해 비도통으로 하고, 상기 구동 트랜지스터의 게이트 단자와 상기 구동 트랜지스터의 소스 단자 및 드레인 단자 중의 한쪽 사이의 부분을 상기 제 2 스위치 및 상기 제 3 스위치에 의해 도통으로 하는 단계와,

상기 구동 트랜지스터의 게이트 단자와 상기 구동 트랜지스터의 소스 단자 및 드레인 단자 중의 한쪽 사이의 상기 부분을 상기 제 2 스위치에 의해 비도통으로 하는 단계와,

상기 구동 트랜지스터의 게이트 단자의 전위와 상기 아날로그 신호 전위 사이의 전위차를 상기 용량소자에 의해 유지하는 단계와,

상기 구동 트랜지스터의 소스 단자 및 드레인 단자 중의 한쪽과 상기 전원선 사이의 상기 부분을 상기 제 1 스위치 및 상기 제 3 스위치에 의해 도통으로 하고, 발광 기간에 상기 아날로그 신호 전위보다 높은 전위를 상기

신호선에 공급하는 단계를 포함하는 반도체장치의 구동방법.

청구항 21

삭제

청구항 22

아날로그 신호를 화소에 기록하는 기간에 아날로그 신호 전위를 신호선에 공급하는 반도체 장치의 구동방법으로서,

상기 아날로그 신호의 기록은,

전원선과 구동 트랜지스터의 소스 단자 및 드레인 단자 중의 한쪽 사이에 설치된 제 1 스위치와 상기 구동 트랜지스터의 게이트 단자와 상기 구동 트랜지스터의 소스 단자 및 드레인 단자 중의 한쪽과의 사이에 설치된 제 2 스위치를 오프 상태로 하고, 배선과 상기 구동 트랜지스터의 게이트 단자 사이에 설치된 제 3 스위치를 온 상태로 하는 단계와,

상기 제 1 스위치가 오프 상태인 기간 동안 상기 제 3 스위치를 오프 상태로 하고 상기 제 2 스위치를 온 상태로 하는 단계와,

상기 제 2 스위치를 오프 상태로 하는 단계를 포함하고,

상기 구동 트랜지스터의 소스 단자 및 드레인 단자 중의 다른 한쪽에 발광소자가 접속되고,

상기 신호선과 상기 구동 트랜지스터의 게이트 단자의 사이에 용량소자가 설치되고,

상기 아날로그 신호 전위보다 높은 전위가 상기 발광소자가 발광하는 기간에 상기 신호선에 공급되는 반도체 장치의 구동방법.

청구항 23

제 20항 또는 제 22항에 있어서,

상기 아날로그 신호 전위보다 높은 전위는 삼각파 전위인 반도체장치의 구동방법.

청구항 24

제 20항 또는 22항에 있어서,

상기 구동 트랜지스터는 n형 트랜지스터인 반도체장치의 구동방법.

청구항 25

제 20항 또는 제 22항에 있어서,

상기 반도체장치는 디스플레이, 비디오 카메라 등의 카메라, 모바일 컴퓨터 등의 컴퓨터, 화상재생장치, 고글형 디스플레이, 또는 휴대전화기로 이루어진 군에서 선택된 전자기기에 내장되는 반도체장치의 구동방법.

명세서

기술 분야

[0001]

본 발명은 부하에 공급하는 전류를 트랜지스터로 제어하는 기능을 구비한 반도체장치에 관한 것으로, 특히 전류에 의해 휘도가 변화되는 전류구동형 표시소자로 형성된 화소와, 그 신호선 구동회로를 포함한 표시장치에 관한 것이다. 또한, 본 발명은 그 구동방법에 관한 것이다. 또한, 본 발명은 그 표시장치를 표시부에 가지는 전자기기에 관한 것이다.

배경기술

[0002] 최근, 화소가 발광 다이오드(LED) 등의 표시소자로 구성된 소위 자발광형 표시장치가 주목을 받고 있다. 이러한 자발광형 표시장치에 사용되는 표시소자로는, 유기발광 다이오드(OLED, 유기EL소자, 일렉트로루미네스цен스(electroluminescence:EL)소자 등이라고도 한다)가 주목을 받고 있고, 유기 EL디스플레이 등에 사용되게 되었다. OLED 등의 표시소자는 자발광형이므로, 액정 모니터에 비해 화소의 시인성이 높고, 백라이트를 필요로 하지 않고, 응답 속도가 빠른 이점이 있다. 또한, 표시소자의 회도는, 표시소자를 흐르는 전류치에 의해 제어된다.

[0003] 이러한 표시장치의 발광 계조를 제어하는 구동방식에는, 디지털 방식과 아날로그 방식이 있다. 디지털 방식에서는, 디지털 제어로 표시소자를 온/오프 상태로 하고, 발광 시간을 제어해서 계조를 표현한다. 이 방법에는 각 화소의 회도의 균일성이 뛰어나다는 장점이 있는 반면, 주파수를 높일 필요가 있어 소비 전력이 커지게 된다. 한편, 아날로그 방식에는, 표시소자의 발광 강도를 아날로그 제어하는 방식과, 표시소자의 발광 시간을 아날로그 제어하는 방식이 있다. 발광 강도를 아날로그 제어하는 방식은, 각 화소의 박막 트랜지스터(이하, TFT라고도 한다)의 특성의 편차의 영향을 받기 쉽고, 각 화소의 발광에도 편차가 생긴다. 한편, 발광 시간을 아날로그 제어하여, 각 화소의 발광의 균일성이 우수한 아날로그 시간계조방식, 및 그 아날로그 시간계조방식의 표시장치가 비특허문헌 1에 기재되어 있다(비특허문헌 1 참조).

[0004] 즉, 비특허문헌 1에 기재된 표시장치의 화소에서는, 표시소자와 그 표시소자를 구동하는 트랜지스터로 인버터를 구성한다. 구동 트랜지스터의 게이트 단자는 인버터의 입력 단자에 해당하고, 표시소자의 양극은 인버터의 출력 단자에 해당한다. 화소에 영상신호전압을 기록할 때에는, 인버터를 온과 오프의 중간으로 설정한다. 그리고, 발광 기간에는 화소에 삼각파전압을 입력함으로써 인버터의 출력을 제어한다. 즉, 표시소자의 양극에 공급되는 전위가 되는 인버터의 출력을 제어함으로써, 표시소자의 발광/비발광을 제어한다.

[0005] [비특허문헌 1] SID 04 DIGEST P1394 ~ P1397

발명의 상세한 설명

[0006] 전술한 비특허문헌 1에 기재된 표시장치에서는, p형 트랜지스터가 표시소자를 구동하는 구동 트랜지스터로 사용된다.

[0007] 이 경우, p형 트랜지스터는 오프 전류가 커지는 경향이 있으므로, 화소 내의 스위칭용 트랜지스터에는 n형 트랜지스터가 필요해진다. 그러면, p형 트랜지스터만으로 화소를 구성하기는 어려워진다. 따라서 구동 트랜지스터에 p형 트랜지스터를 채용하면, 단극성 트랜지스터만으로 구성되는 표시 패널을 제조하기가 어려워진다.

[0008] 한편, 유기 EL디스플레이나 FED(필드 이미션 디스플레이) 등의 표시장치의 수요는 증가해왔다. 그런데 상당히 많은 수의 TFT를 제조할 필요가 있으므로, 수율 등의 측면으로부터 그 제조 비용을 충분히 낮추기는 어렵다.

[0009] 표시장치의 비용에는 표시 패널의 제조 공정 수가 직접적인 영향을 미치기 때문에, 가능한 한 적은 공정으로 제조하는 것이 바람직하다. 따라서, 표시 패널에 형성되는 TFT를 n형 또는 p형 중 어느 한쪽의 도전형만으로 구성하는 것이 시도되었다. 이 방법에 의해, 이온 도핑 공정의 일부를 생략할 수 있고, 포토마스크의 매수도 더욱 줄일 수 있다. 그 결과, 표시장치의 코스트 다운을 꾀할 수 있다.

[0010] 상기 측면으로부터, 화소를 구성하는 회로가 형성된 반도체장치에 있어서, 그 제조 비용이 절감된 반도체장치를 제공하는 것을 과제로 한다.

[0011] 또한, 화소가 포함된 표시장치에 있어서, 그 제조 비용이 절감된 표시장치를 제공하는 것을 과제로 한다.

[0012] 또한, 그 표시장치의 구동방법을 제공하는 것을 과제로 한다.

[0013] 또한, 상기 표시장치를 표시부에 가지는 전자기기를 제공하는 것을 과제로 한다.

[0014] 화소를 구성하는 회로에 있어서, 상기 회로는 표시소자를 구동하는 구동 트랜지스터와, 아날로그의 전위가 입력되는 신호선과, 구동 트랜지스터의 게이트 단자의 전위와 신호선의 전위 사이의 전위차를 유지하는 유지수단과, 구동 트랜지스터의 드레인 단자와 게이트 단자 사이를 도통 또는 비도통으로 하는 전환 수단을 구비하고, 구동 트랜지스터로서 n형 트랜지스터를 사용한다.

[0015] 화소를 구성하는 회로에 있어서, 상기 회로는 표시소자와, 표시소자를 구동하는 구동 트랜지스터와, 아날로그의 전위가 입력되는 신호선과, 구동 트랜지스터의 게이트 단자의 전위와 신호선의 전위 사이의 전위차를 유지하는

유지 수단과, 구동 트랜지스터의 드레인 단자와 게이트 단자 사이를 도통 또는 비도통으로 하는 전환 수단을 구비하고, 상기 구동 트랜지스터와 상기 표시소자로 소스 풀로워를 구성한다.

[0016] 본 발명의 반도체장치는 화소를 구성하는 회로를 포함하고, 상기 회로는 표시소자를 구동하는 구동 트랜지스터와, 아날로그의 전위가 입력되는 신호선과, 상기 구동 트랜지스터의 게이트-소스간 전압을 역치전압으로 하는 설정 수단과, 상기 신호선에 입력된 전위와 상기 구동 트랜지스터의 게이트 단자의 전위 사이의 전위차를 유지하는 유지 수단을 가지고, 상기 구동 트랜지스터는 n형 트랜지스터다.

[0017] 또한, 본 발명의 반도체장치는 화소를 구성하는 회로를 포함하고, 상기 회로는 표시소자를 구동하는 구동 트랜지스터와, 아날로그의 전위가 입력되는 신호선과, 상기 구동 트랜지스터의 게이트 단자의 전위와 상기 신호선의 전위 사이의 전위차를 유지하는 유지 수단과, 상기 구동 트랜지스터의 드레인 단자와 게이트 단자 사이의 부분을 도통 또는 비도통으로 하는 전환 수단을 가지고, 상기 구동 트랜지스터는 n형 트랜지스터다.

[0018] 또한, 본 발명의 반도체장치는 화소를 구성하는 회로를 포함하고, 상기 회로는 표시소자를 구동하는 구동 트랜지스터와, 용량소자와, 아날로그의 전위가 입력되는 신호선과, 상기 구동 트랜지스터의 드레인 단자와 게이트 단자 사이의 부분을 도통 또는 비도통으로 하는 전환 수단을 가지고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 구동 트랜지스터의 게이트 단자는 용량소자를 통해 상기 신호선에 접속된다.

[0019] 또한, 본 발명의 반도체장치는 화소를 구성하는 회로를 포함하고, 상기 회로는 표시소자를 구동하는 구동 트랜지스터와, 용량소자와, 아날로그의 전위가 입력되는 신호선과, 상기 구동 트랜지스터의 드레인 단자와 게이트 단자 사이의 부분을 도통 또는 비도통으로 하는 전환 수단을 가지고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 구동 트랜지스터의 게이트 단자는 용량소자를 통해 상기 신호선에 접속되고, 상기 구동 트랜지스터의 소스 단자는 상기 표시소자의 양극이 되는 화소전극에 접속된다.

[0020] 또한, 본 발명의 반도체장치는 화소를 구성하는 회로를 포함하고, 상기 회로는 표시소자를 구동하는 구동 트랜지스터와, 용량소자와, 스위치와, 아날로그의 전위가 입력되는 신호선을 가지고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 구동 트랜지스터의 게이트 단자는 용량소자를 통해 상기 신호선에 접속되고, 상기 구동 트랜지스터의 드레인 단자는 상기 게이트 단자와 상기 스위치를 통해 접속된다.

[0021] 또한, 본 발명의 반도체장치는 화소를 구성하는 회로를 포함하고, 상기 회로는 표시소자를 구동하는 구동 트랜지스터와, 용량소자와, 스위치와, 아날로그의 전위가 입력되는 신호선을 가지고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 구동 트랜지스터의 게이트 단자는 용량소자를 통해 상기 신호선에 접속되고, 상기 구동 트랜지스터의 소스 단자는 상기 표시소자의 양극이 되는 화소전극에 접속되고, 상기 구동 트랜지스터의 드레인 단자는 상기 게이트 단자와 상기 스위치를 통해 접속된다.

[0022] 또한, 본 발명의 반도체장치는 화소를 구성하는 회로를 포함하고, 상기 회로는 표시소자를 구동하는 구동 트랜지스터와, 용량소자와, 제1 스위치와, 제2 스위치와, 아날로그의 전위가 입력되는 신호선과, 전원선을 가지고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 구동 트랜지스터의 게이트 단자는 용량소자를 통해 상기 신호선에 접속되고, 상기 구동 트랜지스터의 제1 단자는 상기 표시소자의 화소전극에 접속되고, 상기 구동 트랜지스터의 제2 단자는 상기 전원선과 상기 제1 스위치를 통해 접속되고 상기 게이트 단자와 상기 제2 스위치를 통해 접속된다.

[0023] 또한, 본 발명의 반도체장치는 화소를 구성하는 회로를 포함하고, 상기 회로는 표시소자를 구동하는 구동 트랜지스터와, 용량소자와, 제1 스위치와, 제2 스위치와, 아날로그의 전위가 입력되는 신호선과, 전원선을 가지고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 구동 트랜지스터의 게이트 단자는 용량소자를 통해 상기 신호선에 접속되고, 상기 구동 트랜지스터의 소스 단자는 상기 표시소자의 양극이 되는 화소전극에 접속되고, 상기 구동 트랜지스터의 드레인 단자는 상기 전원선과 상기 제1 스위치를 통해 접속되고 상기 게이트 단자와 상기 제2 스위치를 통해 접속된다.

[0024] 또한, 본 발명의 반도체장치는 화소를 구성하는 회로를 포함하고, 상기 회로는 표시소자를 구동하는 구동 트랜지스터와, 용량소자와, 제1 스위치와, 제2 스위치와, 제3 스위치와, 아날로그의 전위가 입력되는 신호선과, 전원선과, 배선을 가지고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 구동 트랜지스터의 게이트 단자는 용량소자를 통해 상기 신호선에 접속되고, 상기 구동 트랜지스터의 제1 단자는 상기 표시소자의 화소전극에 접속되고 제3 스위치를 통해 상기 배선과 접속되고, 상기 구동 트랜지스터의 제2 단자는 상기 전원선과 상기 제1 스위치를 통해 접속되고 상기 게이트 단자와 상기 제2 스위치를 통해 접속된다.

[0025] 또한, 본 발명의 반도체장치는 화소를 구성하는 회로를 포함하고, 상기 회로는 표시소자를 구동하는 구동 트랜

지스터와, 용량소자와, 제1 스위치와, 제2 스위치와, 제3 스위치와, 제4 스위치와, 아날로그 영상신호전위가 입력되는 제1 신호선과, 규칙적인 패형의 아날로그 전위가 입력되는 제2 신호선과, 전원선을 가지고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 구동 트랜지스터의 게이트 단자는 용량소자의 한쪽 전극과 접속되고, 상기 용량소자의 다른 쪽 전극은 상기 제1 신호선과 상기 제3 스위치를 통해 접속되고 상기 제2 신호선과 상기 제4 스위치를 통해 접속되고, 상기 구동 트랜지스터의 제1 단자는 상기 표시소자의 화소전극에 접속되고, 상기 구동 트랜지스터의 제2 단자는 상기 전원선과 상기 제1 스위치를 통해 접속되고 상기 게이트 단자와 상기 제2 스위치를 통해 접속된다.

[0026] 또한, 본 발명의 반도체장치는 화소를 구성하는 회로를 포함하고, 상기 회로는 표시소자를 구동하는 구동 트랜지스터와, 용량소자와, 제1 스위치와, 제2 스위치와, 제3 스위치와, 제4 스위치와, 아날로그 영상신호전위가 입력되는 제1 신호선과, 규칙적인 패형의 아날로그 전위가 입력되는 제2 신호선과, 전원선을 가지고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 구동 트랜지스터의 게이트 단자는 용량소자의 한쪽 전극과 접속되고, 상기 용량소자의 다른 쪽 전극은 상기 제1 신호선과 상기 제3 스위치를 통해 접속되고 상기 제2 신호선과 상기 제4 스위치를 통해 접속되고, 상기 구동 트랜지스터의 소스 단자는 상기 표시소자의 양극이 되는 화소전극에 접속되고, 상기 구동 트랜지스터의 드레인 단자는 상기 전원선과 상기 제1 스위치를 통해 접속되고 상기 게이트 단자와 상기 제2 스위치를 통해 접속된다.

[0027] 또한, 본 발명의 반도체장치는 상기 구성으로 되어 있고, 상기 제1 스위치 및 제2 스위치는 n형 트랜지스터다.

[0028] 또한, 본 발명의 반도체장치는 상기 구성으로 되어 있고, 상기 제1 스위치는 p형 트랜지스터이며, 상기 제2 스위치는 n형 트랜지스터다.

[0029] 또한, 본 발명의 반도체장치는 상기 구성으로 되어 있고, 상기 화소를 구성하는 회로의 전원선에 공급되는 전위는 RGB 각 요소의 화소에 따라 다르다.

[0030] 또한, 본 발명의 반도체장치는 상기 구성으로 되어 있고, 상기 화소를 구성하는 각 회로는 헬타 배치되어 있다.

[0031] 또한, 표시소자와 표시소자의 구동을 제어하는 구동 트랜지스터를 가지는 화소에 있어서, 구동 트랜지스터로서 n형 트랜지스터를 사용한다.

[0032] 또한, 구동 트랜지스터의 소스 단자를 표시소자의 양극에 접속한다.

[0033] 본 발명의 표시장치는, 표시소자와, 상기 표시소자를 구동하는 트랜지스터와, 용량소자와, 아날로그의 전위가 입력되는 신호선과, 상기 구동 트랜지스터의 드레인 단자와 게이트 단자 사이의 부분을 도통 또는 비도통으로 하는 전환 수단을 구비한 화소를 가지고, 상기 구동 트랜지스터의 게이트 단자는 상기 용량소자를 통해 상기 신호선과 접속되고, 상기 표시소자와 상기 구동 트랜지스터는 소스 폴로워를 구성하고, 상기 구동 트랜지스터의 게이트 단자는 상기 소스 폴로워의 입력 단자이며, 상기 구동 트랜지스터의 소스 단자는 소스 폴로워의 출력 단자다.

[0034] 본 발명의 표시장치는, 표시소자와, 상기 표시소자를 구동하는 구동 트랜지스터와, 아날로그의 전위가 입력되는 신호선과, 상기 구동 트랜지스터의 게이트-소스간 전압을 역치전압으로 하는 설정 수단과, 상기 신호선에 입력된 전위와 상기 구동 트랜지스터의 게이트 단자의 전위 사이의 전위차를 유지하는 유지 수단을 구비한 화소를 가지고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 구동 트랜지스터의 소스 단자는 상기 표시소자의 양극과 접속된다.

[0035] 또한, 본 발명의 표시장치는, 표시소자와, 상기 표시소자를 구동하는 구동 트랜지스터와, 아날로그의 전위가 입력되는 신호선과, 상기 구동 트랜지스터의 게이트 단자의 전위와 상기 신호선의 전위 사이의 전위차를 유지하는 유지 수단과, 상기 구동 트랜지스터의 드레인 단자와 게이트 단자 사이의 부분을 도통 또는 비도통으로 하는 전환 수단을 구비한 화소를 가지고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 구동 트랜지스터의 소스 단자는 상기 표시소자의 양극과 접속된다.

[0036] 또한, 본 발명의 표시장치는, 표시소자와, 상기 표시소자를 구동하는 구동 트랜지스터와, 용량소자와, 아날로그의 전위가 입력되는 신호선과, 상기 구동 트랜지스터의 드레인 단자와 게이트 단자 사이의 부분을 도통 또는 비도통으로 하는 전환 수단을 구비한 화소를 가지고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 구동 트랜지스터의 게이트 단자는 용량소자를 통해 상기 신호선에 접속되고, 상기 구동 트랜지스터의 소스 단자는 상기 표시소자의 양극에 접속된다.

[0037] 또한, 본 발명의 표시장치는, 표시소자와, 상기 표시소자를 구동하는 구동 트랜지스터와, 용량소자와,

스위치와, 아날로그의 전위가 입력되는 신호선을 구비한 화소를 가지고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 구동 트랜지스터의 게이트 단자는 용량소자를 통해 상기 신호선에 접속되고, 상기 구동 트랜지스터의 소스 단자는 상기 표시소자의 양극에 접속되고, 상기 구동 트랜지스터의 드레인 단자는 상기 게이트 단자와 상기 스위치를 통해 접속된다.

[0038] 또한, 본 발명의 표시장치는, 표시소자와, 상기 표시소자를 구동하는 구동 트랜지스터와, 용량소자와, 제1 스위치와, 제2 스위치와, 아날로그의 전위가 입력되는 신호선과, 전원선을 구비한 화소를 가지고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 구동 트랜지스터의 게이트 단자는 용량소자를 통해 상기 신호선에 접속되고, 상기 구동 트랜지스터의 제1 단자는 상기 표시소자의 화소전극에 접속되고, 상기 구동 트랜지스터의 제2 단자는 상기 전원선과 상기 제1 스위치를 통해 접속되고 상기 게이트 단자와 상기 제2 스위치를 통해 접속되고, 상기 전원선에는 상기 표시소자의 대향전극에 공급되는 전위보다 높은 전위가 공급된다.

[0039] 또한, 본 발명의 표시장치는, 표시소자와, 상기 표시소자를 구동하는 구동 트랜지스터와, 용량소자와, 제1 스위치와, 제2 스위치와, 아날로그의 전위가 입력되는 신호선과, 전원선을 구비한 화소를 가지고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 구동 트랜지스터의 게이트 단자는 용량소자를 통해 상기 신호선에 접속되고, 상기 구동 트랜지스터의 소스 단자는 상기 표시소자의 양극에 접속되고, 상기 구동 트랜지스터의 드레인 단자는 상기 전원선과 상기 제1 스위치를 통해 접속되고 상기 게이트 단자와 상기 제2 스위치를 통해 접속된다.

[0040] 또한, 본 발명의 표시장치는, 표시소자와, 상기 표시소자를 구동하는 구동 트랜지스터와, 용량소자와, 제1 스위치와, 제2 스위치와, 제3 스위치와, 아날로그의 전위가 입력되는 신호선과, 전원선과, 배선을 구비한 화소를 가지고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 구동 트랜지스터의 게이트 단자는 용량소자를 통해 상기 신호선에 접속되고, 상기 구동 트랜지스터의 제1 단자는 상기 표시소자의 화소전극과 접속되고 상기 배선과 제3 스위치를 통해 접속되고, 상기 구동 트랜지스터의 제2 단자는 상기 전원선과 상기 제1 스위치를 통해 접속되고 상기 게이트 단자와 상기 제2 스위치를 통해 접속된다.

[0041] 또한, 본 발명의 표시장치는, 표시소자와, 상기 표시소자를 구동하는 구동 트랜지스터와, 용량소자와, 제1 스위치와, 제2 스위치와, 제3 스위치와, 제4 스위치와, 아날로그 영상신호전위가 입력되는 제1 신호선과, 규칙적인 파형의 아날로그 전위가 입력되는 제2 신호선과, 전원선을 구비한 화소를 가지고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 구동 트랜지스터의 게이트 단자는 용량소자의 한쪽 전극과 접속되고, 상기 용량소자의 다른 쪽 전극은 상기 제1 신호선과 상기 제3 스위치를 통해 접속되고 상기 제2 신호선과 상기 제4 스위치를 통해 접속되고, 상기 구동 트랜지스터의 제1 단자는 상기 표시소자의 화소전극에 접속되고, 상기 구동 트랜지스터의 제2 단자는 상기 전원선과 상기 제1 스위치를 통해 접속되고 상기 게이트 단자와 상기 제2 스위치를 통해 접속되고, 상기 전원선에는 상기 표시소자의 대향전극에 공급되는 전위보다 높은 전위가 공급된다.

[0042] 또한, 본 발명의 표시장치는, 표시소자와, 상기 표시소자를 구동하는 구동 트랜지스터와, 용량소자와, 제1 스위치와, 제2 스위치와, 제3 스위치와, 제4 스위치와, 아날로그 영상신호전위가 입력되는 제1 신호선과, 규칙적인 파형의 아날로그 전위가 입력되는 제2 신호선과, 전원선을 구비한 화소를 가지고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 구동 트랜지스터의 게이트 단자는 용량소자의 한쪽 전극과 접속되고, 상기 용량소자의 다른 쪽 전극은 상기 제1 신호선과 상기 제3 스위치를 통해 접속되고 상기 제2 신호선과 상기 제4 스위치를 통해 접속되고, 상기 구동 트랜지스터의 소스 단자는 상기 표시소자의 양극에 접속되고, 상기 구동 트랜지스터의 드레인 단자는 상기 전원선과 상기 제1 스위치를 통해 접속되고 상기 게이트 단자와 상기 제2 스위치를 통해 접속된다.

[0043] 또한, 본 발명의 표시장치는 상기 구성으로 되어 있고, 상기 제1 스위치 및 제2 스위치는 n형 트랜지스터다.

[0044] 또한, 본 발명의 표시장치는 상기 구성으로 되어 있고, 상기 제1 스위치는 p형 트랜지스터이며, 상기 제2 스위치는 n형 트랜지스터다.

[0045] 또한, 본 발명의 표시장치는 상기 구성으로 되어 있고, 상기 화소의 전원선에 공급되는 전위는 RGB 각 요소의 화소에 따라 다르다.

[0046] 또한, 본 발명의 표시장치는, 표시소자와, 아날로그의 전위가 입력되는 신호선과, 구동 트랜지스터의 게이트-소스간 전압을 역치전압으로 하는 설정 수단과, 상기 신호선에 입력된 전위와 상기 구동 트랜지스터의 게이트 단자의 전위 사이의 전위차를 유지하는 유지 수단과, 상기 표시소자에 순방향 전류를 공급하기 위한 제1 경로와, 상기 표시소자에 역방향 전류를 공급하기 위한 제2 경로를 구비한 화소를 가지고, 상기 제1 경로에 상기 표시소자를 구동하는 상기 구동 트랜지스터를 구비하고, 상기 제2 경로에 전류의 공급을 제어하는 제어 수단을 구비하

고, 상기 구동 트랜지스터는 n형 트랜지스터다.

[0047] 또한, 본 발명의 표시장치는, 표시소자와, 아날로그의 전위가 입력되는 신호선과, 구동 트랜지스터의 게이트 단자의 전위와 상기 신호선의 전위 사이의 전위차를 유지하는 유지 수단과, 상기 구동 트랜지스터의 드레인 단자와 게이트 단자 사이의 부분을 도통 또는 비도통으로 하는 전환 수단과, 상기 표시소자에 순방향 전류를 공급하기 위한 제1 경로와, 상기 표시소자에 역방향 전류를 공급하기 위한 제2 경로를 가지고, 상기 제1 경로에 상기 표시소자를 구동하는 상기 구동 트랜지스터를 구비하고, 상기 제2 경로에 전류의 공급을 제어하는 제어 수단을 구비하고, 상기 구동 트랜지스터는 n형 트랜지스터다.

[0048] 또한, 본 발명의 표시장치는 상기 구성으로 되어 있고, 상기 화소는 엘타 배치되어 있다.

[0049] 또한 본 발명의 전자기기는, 상기 구성의 표시장치를 표시부에 가지는 디스플레이, 카메라, 컴퓨터, 모바일 컴퓨터, 화상재생장치, 고글형 디스플레이, 비디오 카메라 또는 휴대전화기다.

[0050] 본 발명의 표시장치의 구동방법에 있어서, 상기 표시장치는, 표시소자와, 상기 표시소자를 구동하는 구동 트랜지스터와, 아날로그의 전위가 입력되는 신호선과, 상기 구동 트랜지스터의 게이트 단자의 전위와 상기 신호선의 전위 사이의 전위차를 유지하는 유지 수단과, 상기 구동 트랜지스터의 드레인 단자와 게이트 단자 사이의 부분을 도통 또는 비도통으로 하는 전환 수단을 구비한 화소를 가지고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 구동 트랜지스터의 소스 단자는 상기 표시소자의 양극과 접속되고, 기록 기간에는 상기 신호선에 아날로그 신호 전위를 공급해서 상기 화소에 신호를 기록하고, 발광 기간에는 상기 신호선에 상기 아날로그 신호 전위를 공급해서 상기 구동 트랜지스터를 온 상태로 한다.

[0051] 또한, 본 발명의 표시장치의 구동방법에 있어서, 상기 표시장치는, 표시소자와, 상기 표시소자를 구동하는 구동 트랜지스터와, 아날로그의 전위가 입력되는 신호선과, 상기 구동 트랜지스터의 게이트 단자의 전위와 상기 신호선의 전위 사이의 전위차를 유지하는 유지 수단과, 상기 구동 트랜지스터의 드레인 단자와 게이트 단자 사이의 부분을 도통 또는 비도통으로 하는 전환 수단을 구비한 화소를 가지고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 구동 트랜지스터의 소스 단자는 상기 표시소자의 양극과 접속되고, 기록 기간에는, 상기 신호선에 아날로그 신호 전위를 공급하고, 상기 전환 수단에 의해 상기 구동 트랜지스터의 드레인 단자와 게이트 단자 사이의 부분을 도통 상태로 해서 상기 화소에 신호를 기록하고, 상기 전환 수단에 의해 상기 구동 트랜지스터의 드레인 단자와 게이트 단자 사이의 부분을 비도통으로 해서 상기 구동 트랜지스터의 게이트 단자의 전위와 상기 신호선의 전위 사이의 전위차를 상기 유지 수단에 의해 유지시키고, 발광 기간에는, 상기 신호선에 상기 아날로그 신호 전위보다 높은 전위를 공급해서 상기 표시소자를 발광 상태로 하고, 상기 아날로그 신호 전위보다 낮은 전위를 공급해서 비발광 상태로 한다.

[0052] 또한, 본 발명의 표시장치의 구동방법에 있어서, 상기 표시장치는, 표시소자와, 상기 표시소자를 구동하는 구동 트랜지스터와, 아날로그의 전위가 입력되는 신호선과, 상기 구동 트랜지스터의 게이트 단자의 전위와 상기 신호선의 전위 사이의 전위차를 유지하는 유지 수단과, 상기 구동 트랜지스터의 드레인 단자와 게이트 단자 사이의 부분을 도통 또는 비도통으로 하는 전환 수단을 구비한 화소를 가지고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 구동 트랜지스터의 소스 단자는 상기 표시소자의 양극과 접속되고, 기록 기간에는, 상기 신호선에 아날로그 신호 전위를 공급하고, 상기 전환 수단에 의해 상기 구동 트랜지스터의 드레인 단자와 게이트 단자를 도통시켜서 상기 화소에 신호를 기록하고, 상기 전환 수단에 의해 상기 구동 트랜지스터의 드레인 단자와 게이트 단자를 비도통으로 해서, 상기 구동 트랜지스터의 게이트 단자의 전위와 상기 신호선의 전위 사이의 전위차를 상기 유지 수단에 의해 유지하고, 발광 기간에는, 상기 신호선에 삼각파의 전위를 공급하여, 표시소자의 발광, 비발광 상태를 제어한다.

[0053] 또한, 본 발명의 표시장치의 구동방법에 있어서, 상기 표시장치는, 표시소자와, 상기 표시소자를 구동하는 구동 트랜지스터와, 용량소자와, 스위치와, 아날로그의 전위가 입력되는 신호선을 구비한 화소를 가지고, 상기 구동 트랜지스터의 게이트 단자는 용량소자를 통해 상기 신호선에 접속되고, 상기 구동 트랜지스터의 소스 단자는 상기 표시소자의 양극에 접속되고, 상기 구동 트랜지스터의 드레인 단자는 상기 게이트 단자와 상기 스위치를 통해 접속되고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 스위치는, 상기 화소에 신호를 기록할 때에 온 상태로 하고, 발광 기간에는 오프 상태로 하고, 상기 신호선은, 신호의 화소에의 기록 기간에는 아날로그 신호 전위를 공급하고, 발광 기간에는 삼각파의 전위를 공급한다.

[0054] 또한, 본 발명의 표시장치의 구동방법에 있어서, 상기 표시장치는, 표시소자와, 상기 표시소자를 구동하는 구동 트랜지스터와, 용량소자와, 제1 스위치와, 제2 스위치와, 아날로그의 전위가 입력되는 신호선과, 전원선을 구비

한 화소를 가지고, 상기 구동 트랜지스터의 게이트 단자는 용량소자를 통해 상기 신호선에 접속되고, 상기 구동 트랜지스터의 소스 단자는 상기 표시소자의 양극에 접속되고, 상기 구동 트랜지스터의 드레인 단자는, 상기 전원선과 상기 제1 스위치를 통해 접속되고 상기 게이트 단자와 상기 제2 스위치를 통해 접속되고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 제2 스위치는, 상기 화소에 신호를 기록할 때에 온 상태로 하고, 상기 제1 스위치는, 발광 기간에는 온 상태로 하고, 기록 기간에는 상기 제2 스위치가 온 상태인 기간에 온 상태로부터 오프 상태로 하고, 상기 신호선은, 신호의 화소에의 기록 기간에는 아날로그 신호 전위를 공급하고, 발광 기간에는 삼각파의 전위를 공급한다.

[0055] 또한, 본 발명의 표시장치의 구동방법에 있어서, 상기 표시장지는, 표시소자와, 상기 표시소자를 구동하는 구동 트랜지스터와, 용량소자와, 제1 스위치와, 제2 스위치와, 제3 스위치와, 제4 스위치와, 아날로그 영상신호전위가 입력되는 제1 신호선과, 규칙적으로 변화되는 아날로그 전위가 입력되는 제2 신호선과, 전원선을 구비한 화소를 가지고, 상기 구동 트랜지스터의 게이트 단자는 상기 용량소자의 한쪽 전극과 접속되고, 상기 용량소자의 다른 쪽 전극은, 상기 제3 스위치를 통해 상기 제1 신호선과 접속되는 한편, 상기 제4 스위치를 통해 상기 제2 신호선과 접속되고, 상기 구동 트랜지스터의 소스 단자는 상기 표시소자의 양극에 접속되고, 상기 구동 트랜지스터의 드레인 단자는, 상기 전원선과 상기 제1 스위치를 통해 접속되는 한편, 상기 게이트 단자와 상기 제2 스위치를 통해 접속되고, 상기 구동 트랜지스터는 n형 트랜지스터인 것을 특징으로 하는 표시장치의 구동방법이며, 상기 화소에 신호를 기록할 때에는, 상기 제2 스위치 및 상기 제3 스위치를 온 상태로 하고, 상기 제1 스위치는, 상기 제2 스위치 및 상기 제3 스위치가 온 상태인 기간의 일부 기간에는 오프 상태로 하고, 상기 제4 스위치는, 상기 제2 스위치 및 상기 제3 스위치가 온 상태가 아닌 기간에 온 상태로 한다.

[0056] 또한, 본 발명의 표시장치의 구동방법에 있어서, 상기 표시장지는, 표시소자와, 상기 표시소자를 구동하는 구동 트랜지스터와, 용량소자와, 제1 스위치와, 제2 스위치와, 제3 스위치와, 제4 스위치와, 아날로그 신호 전위가 입력되는 제1 신호선과, 삼각파의 전위가 입력되는 제2 신호선과, 전원선을 구비한 화소를 가지고, 상기 구동 트랜지스터의 게이트 단자는 상기 용량소자의 한쪽 전극과 접속되고, 상기 용량소자의 다른 쪽 전극은 상기 제3 스위치를 통해 상기 제1 신호선과 접속되는 한편, 상기 제4 스위치를 통해 상기 제2 신호선과 접속되고, 상기 구동 트랜지스터의 소스 단자는 상기 표시소자의 양극에 접속되고, 상기 구동 트랜지스터의 드레인 단자는, 상기 전원선과 상기 제1 스위치를 통해 접속되는 한편, 상기 게이트 단자와 상기 제2 스위치를 통해 접속되고, 상기 구동 트랜지스터는 n형 트랜지스터이며, 상기 화소에 신호를 기록할 때에는, 상기 제2 스위치 및 상기 제3 스위치를 온 상태로 하고, 상기 제1 스위치는, 상기 제2 스위치 및 상기 제3 스위치가 온 상태인 기간의 일부 기간에는 오프 상태로 하고, 상기 제4 스위치는, 상기 제2 스위치 및 상기 제3 스위치가 온 상태가 아닌 기간에 온 상태로 한다.

[0057] 이때, 본 발명에 있어서 접속되어 있다는 것은, 전기적으로 접속되어 있는 것을 의미한다. 따라서, 사이에 별도의 소자나 스위치 등이 배치되어도 된다.

[0058] 한편, 표시소자의 종류는 특별히 제한되지 않는다. EL소자(유기EL소자, 무기EL소자 또는 유기물 및 무기물을 포함하는 EL소자)나 FED(Field Emission Display)에 사용하는 소자, FED의 일종인 SED(Surface-conduction Electron-emitter Display), 액정 모니터(LCD), 플라즈마 디스플레이(PDP), 전자 페이퍼 디스플레이, DMD(Digital Micromirror Device), 압전 세라믹 디스플레이 등에 사용하는 소자 등, 어떤 표시소자로 해도 상관 없다.

[0059] 본 발명에 있어서, 적용 가능한 트랜지스터의 종류에 한정은 없고, 비정질 실리콘이나 다결정 실리콘로 대표되는 비단결정 반도체막을 사용한 박막 트랜지스터(TFT), 반도체기판이나 SOI기판을 사용해서 형성되는 MOS형 트랜지스터, 접합형 트랜지스터, 바이폴라 트랜지스터, 유기반도체나 카본 나노튜브를 사용한 트랜지스터, 그 외의 트랜지스터를 적용할 수 있다. 또한 트랜지스터가 배치되는 기판의 종류에 한정은 없고, 단결정 기판, SOI기판, 유리기판, 플라스틱 기판 등에 배치할 수 있다.

[0060] 본 명세서에 있어서, 하나의 화소는 하나의 색 요소 RGB를 나타내는 것으로 한다. 따라서, R(빨강)G(초록)B(파랑)의 색 요소 RGB로 이루어진 풀 컬러 표시장치의 경우, 하나의 화소는 RGB의 1요소를 의미한다.

[0061] 또한, 본 명세서에 있어서, 화소가 매트릭스로 배치되어 있다는 것은, 세로줄과 가로줄을 조합한 소위 격자 형태로 배치되어 있는 경우에는 물론, 세 개의 색 요소 RGB(예를 들면, RGB)로 풀 컬러 표시를 행할 경우에, 1개의 화상의 최소 요소를 나타내는 세 개의 색 요소 RGB의 화소가 소위 엘타 배치되어 있는 경우도 포함하는 것으로 한다.

[0062] 또한, 본 명세서에 있어서, 반도체장치는 반도체소자(트랜지스터나 다이오드 등)를 포함하는 회로를 가지는 장치를 말한다.

실시예

[0145] 이하, 본 발명의 실시예에 대해서 도면을 참조하면서 설명하지만, 본 발명은 다양한 형태로 실시할 수 있으며, 본 발명의 취지 및 그 범위에서 일탈하지 않는 한 그 형태 및 상세한 내용을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해된다. 따라서, 본 실시예의 기재 내용에 한정해서 해석해서는 안 된다.

[0146] (실시예 1)

[0147] 본 실시예에서는 본 발명의 표시장치의 화소 구성과 그 동작 원리에 관하여 설명한다.

[0148] 우선, 도 1을 참조해서 본 발명의 표시장치의 화소 구성에 대해서 상세히 설명한다. 화소는 구동 트랜지스터(101)와, 용량소자(102)와, 제1 스위치(103)와, 제2 스위치(104)와, 표시소자(105)와, 제1 주사선(G1 line)(106)과, 제2 주사선(G2 line)(107)과, 신호선(Data line)(108)과, 전원선(Supply line)(109)을 구비한다. 이때, 구동 트랜지스터(101)에는 n형 트랜지스터를 사용한다.

[0149] 구동 트랜지스터(101)의 소스 단자는 표시소자(105)의 양극과 접속되고, 게이트 단자는 용량소자(102)를 통해 신호선(108)과 접속되고, 드레인 단자는 제1 스위치(103)를 통해 전원선(109)과 접속된다. 이때, 전원선(109)에는 전원전위 Vdd가 공급된다. 또한 구동 트랜지스터(101)의 게이트 단자와 드레인 단자는 제2 스위치(104)를 통해 접속된다. 따라서 제2 스위치(104)가 온 상태일 때에는 구동 트랜지스터(101)의 게이트 단자와 드레인 단자는 도통한다. 그리고, 제2 스위치(104)가 오프 상태가 되면, 구동 트랜지스터(101)의 게이트 단자와 드레인 단자는 비도통이 되고, 그 순간의 구동 트랜지스터(101)의 게이트 단자(또는 드레인 단자)와 신호선(108) 사이의 전위차(전압)를 용량소자(102)로 유지할 수 있다. 또한 표시소자(105)의 음극은 Vss의 전위가 공급되는 배선(110)과 접속된다. 이때, Vss는 Vss<Vdd를 만족시키는 전위다. 예를 들면, Vss=GND(접지 전위)로 해도 된다.

[0150] 다음으로, 도 1의 화소 구성의 동작 원리에 관하여 설명한다.

[0151] 화소의 신호 기록 기간에, 제1 주사선(106) 및 제2 주사선(107)에 신호를 입력하고, 제1 스위치(103) 및 제2 스위치(104)를 온 상태로 한다. 그러면, 구동 트랜지스터(101)의 드레인 단자와 게이트 단자에 전원선(109)의 전원전위(Vdd)가 공급된다. 그리고, 용량소자(102), 구동 트랜지스터(101) 및 표시소자(105)에 전류가 흘러, 용량소자(102)에서는 전하의 축적 또는 방전이 행해진다. 이때, 화소에의 신호 기록 기간에는, 신호선(108)에는 아날로그 신호 전위가 공급된다. 이 아날로그 신호 전위는 비디오신호에 해당한다.

[0152] 잠시 후, 용량소자(102)에는 전류가 흐르지 않게 된다. 그리고, 구동 트랜지스터(101) 및 표시소자(105)에 전류가 흐른다. 왜냐하면, 이때 구동 트랜지스터(101)의 게이트 단자는, 제2 스위치(104)에 의해 드레인 단자와 도통되어 있기 때문에, 게이트 단자의 전위는, 전원전위(Vdd)가 되어 구동 트랜지스터(101)는 온 상태이기 때문이다.

[0153] 이 상태에서, 제1 스위치(103)를 오프 상태로 한다. 그러면 처음에는, 구동 트랜지스터(101)와 용량소자(102)에 전류가 흐르지만, 잠시 후, 구동 트랜지스터(101) 및 용량소자(102)에 전류가 흐르지 않게 된다. 이렇게 해서, 구동 트랜지스터(101)는 오프 상태가 된다. 이때, 구동 트랜지스터(101)의 게이트-소스간 전압 Vgs는 역치전압 Vth와 대략 동등하다.

[0154] 그리고, 이 상태가 되면 제2 스위치(104)를 오프 상태로 한다. 그러면, 용량소자(102)에는, 트랜지스터를 오프 상태로 하는 구동 트랜지스터(101)의 게이트 단자의 전위와, 제2 스위치(104)를 오프 상태로 한 순간 신호선(108)에 공급되어 있는 아날로그 신호 전위의 전위차(Vp)가 유지된다. 이렇게 해서 화소에 아날로그 신호가 기록된다.

[0155] 이때, 전술한 제1 스위치(103), 및 제2 스위치(104)의 온/오프는, 제1 주사선(106), 및 제2 주사선(107)에 각각 펄스 신호를 입력함으로써 제어한다.

[0156] 화소에 아날로그 신호가 기록되면, 그때 신호선(108)에 공급된 아날로그 신호 전위를 기준으로 해서, 신호선(108)의 전위의 변동에 따라 구동 트랜지스터(101)의 온/오프가 제어되게 된다. 즉, 신호선(108)의 전위가, 신호 기록 기간에 화소에 기록될 때의 아날로그 신호 전위 이하일 때에는 구동 트랜지스터(101)는 오프 상태가 되

고, 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위보다 높아지면 구동 트랜지스터(101)는 온 상태가 된다.

[0157] 즉, 화소에 아날로그 신호가 기록되면, 용량소자(102)가 전위차(V_p)를 유지하므로, 신호선(108)의 전위가, 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위 이하일 때에는, 구동 트랜지스터(101)의 게이트 단자의 전위도, 화소에 아날로그 신호가 기록될 때의 게이트 단자의 전위 이하가 되고, 구동 트랜지스터(101)는 오프 상태가 된다. 한편, 신호선(108)의 전위가, 기록 기간에 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위보다 높아지면, 구동 트랜지스터(101)의 게이트 단자의 전위도, 화소에 아날로그 신호가 기록될 때의 게이트 단자의 전위보다 높아지므로 구동 트랜지스터(101)는 온 상태가 된다.

[0158] 따라서, 화소의 발광 기간에는, 제2 스위치(104)를 오프 상태로 하고, 제1 스위치(103)를 온 상태로 한 상태에서, 신호선(108)에 공급하는 전위를 아날로그적으로 변화시킴으로써 구동 트랜지스터(101)의 온/오프를 제어하고, 표시소자(105)에 전류가 흐르고 있는 시간을 아날로그적으로 제어하여, 계조를 표현할 수 있다.

[0159] 계속해서, 화소의 발광 기간에, 신호선(108)에 공급하는 전위에 관하여 설명한다.

[0160] 예를 들면, 발광 기간에는, 신호선(108)에 저전위로부터 고전위로 아날로그적으로 변화되는 전위를 공급한다. 일례로서, 도 59의 과형(5901)과 같이 직선적으로 전위가 상승하도록 해도 된다.

[0161] 또한 고전위로부터 저전위로 아날로그적으로 변화되는 전위를 공급해도 된다. 예를 들면, 과형(5902)과 같이 직선적으로 전위가 하강하도록 해도 된다.

[0162] 또한 그것들을 조합한 과형으로 해도 된다. 즉, 일례로서, 과형(5903)과 같이 저전위로부터 고전위로 직선적으로 상승하고, 고전위로부터 저전위로 하강하도록 전위를 공급해도 된다. 이때, 이하 이러한 과형(5903)을 삼각과 전위라고 한다. 또는, 과형(5904)과 같이 고전위로부터 저전위로 직선적으로 하강하고, 저전위로부터 고전위로 직선적으로 상승하도록 전위를 공급해도 된다.

[0163] 또한 신호선(108)에 공급하는 전위는 직선적인 변화가 아니어도 된다. 과형(5905)과 같이 전과정류회로의 출력과 형의 1주기에 해당하는 과형의 전위를 공급해도 되고, 그 과형을 상하 반전시킨 과형(5906)의 전위를 공급해도 된다. 또한 과형(5908)이나 과형(5909)과 같은 과형의 전위를 공급해도 된다.

[0164] 이러한 과형으로 함으로써, 비디오신호에 대한 발광 시간을 자유롭게 설정할 수 있다. 따라서, 감마 보정 등을 실행할 수 있다.

[0165] 화소의 발광 기간에 있어서, 상기 과형(5901), 과형(5902), 과형(5903), 과형(5904), 과형(5905), 과형(5906), 과형(5908) 또는 과형(5909)의 펄스를 복수 연속으로 공급해도 된다. 일례로서, 과형(5907)에 나타낸 바와 같이, 과형(5901)의 펄스를 화소의 발광 기간에, 두 번 연속으로 공급해도 된다.

[0166] 이렇게 함으로써, 발광 시간을 1프레임 내에서 분산시킬 수 있다. 그 결과, 프레임 주파수가 외관상 향상되고, 화면의 깜박거림을 방지할 수 있다.

[0167] 또한 화소의 발광 기간에는 제1 스위치(103)를 온 상태로 하여, 구동 트랜지스터(101)의 드레인 단자에 전원선(109)의 전원전위 V_{dd} 를 공급한다. 한편, 제2 스위치(104)는 오프 상태가 된다.

[0168] 이렇게 해서, 화소에 아날로그 신호를 기록할 때에 신호선(108)에 공급되는 아날로그 신호 전위에 의해 화소의 아날로그 시간조표시가 가능해진다. 이때, 계조수가 작을수록 그 아날로그 신호 전위는 높아진다.

[0169] 왜냐하면, 화소의 발광 기간에 공급되는 삼각과 전위와, 화소에의 신호 기록 기간에 화소에 입력한 아날로그 신호 전위의 대소관계에 따라, 구동 트랜지스터(101)의 온/오프가 결정되기 때문이다. 화소에의 신호 기록 기간에 화소에 입력되는 아날로그 신호 전위가, 화소의 발광 기간에 공급되는 삼각과 전위보다 낮은 경우에는, 구동 트랜지스터(101)는 온 상태가 되고, 발광한다. 따라서, 화소에의 신호 기록 기간에 화소에 입력되는 아날로그 신호 전위가 낮을수록, 화소의 발광 기간에 공급되는 삼각과 전위보다 낮은 기간이 길어지고, 발광하는 기간도 길어진다. 따라서, 계조도 높아진다. 반대로, 화소에의 신호 기록 기간에 화소에 입력되는 아날로그 신호 전위가 높을수록, 화소의 발광 기간에 공급되는 삼각과 전위보다 낮은 기간이 짧아지고, 발광하는 기간도 짧아진다. 따라서, 계조도 작아진다.

[0170] 계속해서 화소부에 도 1의 화소 구성을 가지는 표시장치에 대해서 도 2를 참조하여 설명한다. 도 2의 표시장치는, 제1 주사선 구동회로(201), 제2 주사선 구동회로(202), 신호선 구동회로(203), 화소부(204)를 가지고, 화소부(204)는 화소(205)를 복수 개 구비한다. 행 방향으로 배치된 제1 주사선(G1 line) G1a1 ~ G1am 및 제2 주사선

(G2 line) G2b1 ~ G2bm과 열 방향으로 배치된 신호선(Data line) D1 ~ Dn 및 전원선(Supply line) P1 ~ Pn에 대응해서 화소(205)가 매트릭스로 배치되어 있다.

[0171] 화소(205)는 구동 트랜지스터(206)와, 용량소자(207)와, 제1 스위치(208)와, 제2 스위치(209)와, 표시소자(210)와, 제1 주사선 G1ai(G1a1 ~ G1am 중 어느 하나)과, 제2 주사선 G2bi(G2b1 ~ G2bm 중 어느 하나)과, 신호선 Dj(D1 ~ Dn 중 어느 하나)과, 전원선 Pj(P1 ~ Pn 중 어느 하나)를 구비한다. 이때, 구동 트랜지스터(206)에는 n형 트랜지스터를 사용한다. 또한, 화소(205)는 화소부(204)에 복수 개 배치된 화소 중 하나의 화소를 나타낸다.

[0172] 구동 트랜지스터(206)의 소스 단자는 표시소자(210)의 양극과 접속되고, 게이트 단자는 용량소자(207)를 통해 신호선 Dj와 접속되고, 드레인 단자는 제1 스위치(208)를 통해 전원선 Pj와 접속된다. 전원선(P1 ~ Pn)에는 전원 전위 Vdd가 공급된다. 이때, 전원선(P1 ~ Pn)에 공급하는 전위는 Vdd에 한정되지 않고, 예를 들면, 색 요소 RGB로 이루어진 풀 컬러 표시의 경우에는, 각 색 요소 RGB의 화소마다 전원전위의 값을 변경해도 된다. 즉, 색 요소 R을 나타내는 화소 열에는 Vdd1, 색 요소 G를 나타내는 화소 열에는 Vdd2, 색 요소 B를 나타내는 화소 열에는 Vdd3로 하도록 공급해도 된다.

[0173] 또한 구동 트랜지스터(206)의 게이트 단자와 드레인 단자는 제2 스위치(209)를 통해 접속된다. 따라서 제2 스위치(209)가 온 상태일 때에는 구동 트랜지스터(206)의 게이트 단자와 드레인 단자는 도통한다. 그리고, 제2 스위치(209)가 오프 상태가 되면, 구동 트랜지스터(206)의 게이트 단자와 드레인 단자는 비도통이 되고, 그 순간의 구동 트랜지스터(206)의 게이트 단자(또는 드레인 단자)와 신호선 Dj 사이의 전위차(전압)를 용량소자(207)는 유지할 수 있다. 또한 표시소자(210)의 음극은 Vss의 전위가 공급된 배선(211)과 접속된다. 이때, Vss는 Vss < Vdd를 만족시키는 전위다. 예를 들면, Vss=GND(접지 전위)로 해도 된다.

[0174] 이때, 주사선 구동회로는 좌우에 배치되어 있지만 이것에 한정되지 않는다. 한쪽에 모두 배치해도 된다.

[0175] 다음으로, 도 2 및 도 3을 참조해서 본 발명의 표시장치의 동작 원리에 관하여 설명한다. 도 3은 도 2에 있어서의 표시장치의 화소부(204) 중 어느 화소 열(j번째 열)의 타이밍 차트를 도시한 도면이다. 이때, 화소부(204)에 복수 개 배치된 각각의 화소는, 화소(205)와 동일한 구성이기 때문에, 각각의 화소의 구동 트랜지스터, 용량소자, 제1 스위치, 제2 스위치 및 표시소자는 화소(205)와 같은 부호를 참조하여 설명한다.

[0176] 도 3에 나타낸 바와 같이, 기록 기간에는 j번째 열의 화소의 Data line(신호선 Dj)에 아날로그 신호 전위가 입력된다. i번째 행의 G1 line(제1 주사선 G1ai)과 G2 line(제2 주사선 G2bi)에 펄스 신호가 입력되면, 제1 스위치(208)와 제2 스위치(209)는 온 상태가 되고, i번째 행의 화소의 구동 트랜지스터(206)의 드레인 단자에는 전원선 Pj로부터의 전원전위(Vdd)가 공급되어, 용량소자(207), 구동 트랜지스터(206) 및 표시소자(210)에 전류가 흐른다. 그리고, 용량소자(207)에서는 전하의 축적 혹은 방전이 행해진다. 즉, 용량소자(207)에 원래 축적되어 있던 전하와 Data line(신호선 Dj)에 공급된 전위(Va)의 관계에 따라 전하의 축적 또는 방전이 일어난다. 그리고, 제1 주사선 G1ai에 입력된 펄스 신호의 펄스 폭보다 제2 주사선 G2bi에 입력되는 펄스 신호의 펄스 폭이 길기 때문에, 제2 스위치(209)가 온인 상태에서 제1 스위치(208)는 오프 상태로 한다. 제1 스위치(208)가 오프 상태가 되는 순간에는, 구동 트랜지스터(206)의 게이트 단자는 전원전위(Vdd)가 공급되어 있기 때문에 구동 트랜지스터(206)는 온 상태가 된다. 따라서, 구동 트랜지스터(206), 표시소자(210) 및 용량소자(207)에 전류가 흐른다. 잠시 후, 구동 트랜지스터(206), 표시소자(210) 및 용량소자(207)에 전류가 흐르지 않게 된다. 즉 정상상태가 된다. 이렇게 해서, 구동 트랜지스터(206)는 오프 상태가 된다. 구동 트랜지스터(206)의 게이트-소스간 전압 Vgs는 역치전압 Vth와 대략 동등하다. 이때, 구동 트랜지스터(206)의 온/오프를 제어하는 데에 필요한 게이트 전위를 얻을 수 있으면 완전히 정상상태가 되지 않아도 된다. 그 후에, 제2 스위치(209)는 오프 상태가 되고, 용량소자(207)는 트랜지스터를 오프 상태로 하는 구동 트랜지스터(206)의 게이트 단자의 전위와, 제2 스위치(209)가 오프한 순간의 신호선 Dj에 공급되어 있는 아날로그 신호 전위 사이의 전위차를 유지한다. 이렇게 해서, i번째 행, j번째 열의 화소에 Data line(신호선 Dj)으로부터 아날로그 신호가 기록된다. 한편 이때, 각 화소 열마다 각각의 Data line(신호선 D1 ~ Dn)으로부터 각각의 아날로그 신호 전위가 공급되고, 각 열의 i번째 행의 화소에 아날로그 신호가 기록된다.

[0177] 다음으로, i+1번째 행의 G1 line(제1 주사선 G1ai+1)과 G2 line(제2 주사선 G2bi+1)에 펄스 신호가 입력되면, i+1번째 행, j번째 열의 화소의 Data line(신호선 Dj)에는 전위(Vb)가 입력되고, 화소에 아날로그 신호가 기록된다. 또한, 이때, 각 화소의 열마다 각각의 Data line(신호선 D1 ~ Dn)으로부터 각각의 아날로그 신호 전위가 공급되고, 각 열의 i+1번째 행의 화소에 아날로그 신호가 기록된다.

[0178] 이렇게, 화소의 각 행의 G1 line(제1 주사선 G1a1 ~ G1am)과 G2 line(제2 주사선 G2b1 ~ G2bm)에 펄스 신호가 공

급되고, 각각의 화소에 아날로그 신호가 기록되면 1프레임 기간의 화소부(204)에의 아날로그 신호의 기록 기간이 종료된다.

[0179] 계속해서, 모든 행의 화소의 제1 스위치(208)를 온, 제2 스위치(209)를 오프 상태로 하도록, 각각 제1 주사선 G1a1~G1am 및 제2 주사선 G2b1~G2bm에 신호를 공급하고, 도 3에 나타낸 바와 같이 Data line(신호선 D1~Dn)에 삼각파 전위를 공급한다. 그러면, i번째 행, j번째 열의 화소는 Data line가 Va보다 낮은 전위일 때에는 표시소자(210)를 비발광 상태로 유지하고, Data line이 Va보다 높은 기간(Ta)에는 표시소자(210)가 발광한다. 마찬가지로 i+1번째 행, j번째 열의 화소도 마찬가지로, 기간(Tb) 동안에 표시소자(210)는 발광한다.

[0180] 또한, 신호 기록 기간이 종료된 후, 아날로그 신호가 기록될 때 아날로그 신호 전위보다 낮은 전위가 Data line(신호선 D1~Dn)에 공급되는 동안에는 그 화소는 발광하지 않고, 기록된 아날로그 신호 전위보다 높아지면 발광하는 원리에 대해서는, 도 1의 화소 구성을 사용해서 설명한 바와 같으므로 여기에서는 상세한 설명을 생략한다.

[0181] 이렇게, 발광 기간에는, 전체 화소의 신호선 D1~Dn에 삼각파 전위가 공급되고, 각각 기록 기간에 아날로그 신호가 기록될 때의 아날로그 신호 전위에 따라 표시소자(210)의 발광 시간이 설정된다. 이렇게 해서, 아날로그 시간조표시가 가능해진다.

[0182] 이때, 표시소자(210)의 발광/비발광을 제어하는 구동 트랜지스터(206)의 온/오프는, 상기한 바와 같이, 기록 기간에 Data line(신호선 D1~Dn)에 공급된 아날로그 신호 전위가, 발광 기간에 Data line(신호선 D1~Dn)에 입력되는 삼각파 전위보다 높은지 또는 낮은지에 따라 결정되고, 디지털적으로 제어할 수 있다. 따라서, 구동 트랜지스터(206)의 특성의 편차의 영향을 적게 받고 구동 트랜지스터(206)의 온/오프를 제어할 수 있다. 즉, 각 화소의 발광의 편차를 개선할 수 있다.

[0183] 또한 본 발명의 화소 구성은 n형 트랜지스터를, 표시소자의 발광/비발광을 제어하는 구동 트랜지스터에 사용할 수 있다. 일반적으로 p형 트랜지스터보다 n형 트랜지스터의 이동도 μ 가 크다. 따라서, 같은 전류를 흘려보내는 경우, 트랜지스터 사이즈를 작게 할 수 있다. 따라서, 고화질의 표시장치를 제공할 수 있다. 또한 트랜지스터 사이즈를 작게 할 수 있으므로 화소의 개구율의 향상을 꾀할 수 있다. 따라서, 소비 전력이 저감된 표시장치를 제공할 수 있고, EL소자의 신뢰성도 향상된다.

[0184] 또한 화소부 전체 혹은 주변의 구동회로까지 포함시켜서 n형 트랜지스터만으로 구성되는 회로를 제공할 수 있으므로, 공정 수가 감소한, 저비용의 단극성 표시 패널을 제공할 수 있다.

[0185] 또한 표시장치 패널이 가지는 회로에 사용하는 박막 트랜지스터를 n형 트랜지스터만으로 구성할 수 있으므로, 아모포스 반도체나 세미 아모포스 반도체(혹은 미결정 반도체라고도 한다)를 반도체층에 사용한 박막 트랜지스터로 구성되는 회로를 가지는 표시장치를 제공할 수 있다. 예를 들면, 아모포스 반도체로는, 아모포스 실리콘(a-Si:H)을 들 수 있다. 따라서, 더욱, 비용을 낮출 수 있다. 이때, 도 1이나 도 2등에 나타내는 스위치는, 전기적인 스위치로 해도 되고 기계적인 스위치로 해도 된다. 전류의 흐름을 제어할 수 있으면 된다. 트랜지스터로 해도 되고, 다이오드로 해도 되며, 그것들을 조합한 논리회로로 해도 된다. 따라서, 스위치로서 트랜지스터를 사용할 경우, 그 트랜지스터는, 단순한 스위치로서 동작하므로, 트랜지스터의 도전형은 특별히 한정되지 않는다. 다만, 오프 전류가 적을수록 바람직할 경우, 오프 전류가 적은 쪽의 극성의 트랜지스터를 사용하는 것이 바람직하다. 오프 전류가 적은 트랜지스터로는, LDD영역을 설치한 트랜지스터 등이 있다. 또한 스위치로서 동작시키는 트랜지스터의 소스 단자의 전위가, 저전위측 전원(Vss, GND, 0V 등)에 가까운 상태에서 동작하는 경우에는 n형을, 반대로, 소스 단자의 전위가, 고전위측 전원(Vdd 등)에 가까운 상태에서 동작하는 경우에는 p형을 사용하는 것이 바람직하다. 왜냐하면, 게이트 소스 간 전압의 절대치를 크게 할 수 있어, 스위치로서, 동작하기 쉽기 때문이다. 한편, n형과 p형을 모두 사용하여, CMOS형 스위치로 해도 된다.

[0186] 이때, 본 실시예에 있어서, 표시소자를 구동하는 구동 트랜지스터의 소스 단자 및 드레인 단자, 및 표시소자의 양극 및 음극은, 표시소자에 순방향 전압이 인가될 때의 단자 및 전극을 말한다.

[0187] (실시예 2)

[0188] 본 실시예에서는, 실시예 1의 화소 구성과는 다른 구성을 나타낸다. 본 실시예에 나타내는 화소 구성은, 화소에 아날로그 신호를 기록할 때에 공급되는 아날로그 신호 전위와, 화소의 발광, 비발광을 제어하는 아날로그 신호 전위를 다른 배선에 의해 화소에 공급하는 구성으로 한다.

[0189] 우선, 도 4를 사용해서 본 발명의 표시장치의 화소 구성에 대해서 상세히 설명한다. 화소는 구동 트랜지스터

(401)와, 용량소자(402)와, 제1 스위치(403)와, 제2 스위치(404)와, 표시소자(405)와, 제3 스위치(406)와, 제4 스위치(407)와, 제1 주사선(G1 line)(408)과, 제2 주사선(G2 line)(409)과, 제1 신호선(Data1 line)(410)과, 제2 신호선(Data2 line)(411)과, 전원선(Supply line)(412)을 구비한다. 이때, 구동 트랜지스터(401)에는 n형 트랜지스터를 사용한다.

[0190] 구동 트랜지스터(401)의 소스 단자는 표시소자(405)의 양극과 접속되고, 게이트 단자는 용량소자(402)의 한쪽 전극과 접속되고, 용량소자(402)의 다른 쪽 전극은, 제3 스위치(406)를 통해 제1 신호선(410)과, 제4 스위치(407)를 통해 제2 신호선(411)과 접속된다. 구동 트랜지스터(401)의 드레인 단자는 제1 스위치(403)를 통해 전원선(412)과 접속된다. 또한, 전원선(412)에는 전원전위 Vdd가 공급된다. 또한, 전원선에 공급하는 전위는 Vdd에 한정되지 않고, 예를 들면, 색 요소 RGB로 이루어진 폴 컬러 표시의 경우에는, RGB의 각각의 색 요소의 화소마다 전원선의 전위의 값을 변환해도 된다.

[0191] 또한 구동 트랜지스터(401)의 게이트 단자와 드레인 단자는 제2 스위치(404)를 통해 접속된다. 따라서 제2 스위치(404)가 온 상태일 때에는 구동 트랜지스터(401)의 게이트 단자와 드레인 단자는 도통한다. 그리고, 제2 스위치(404)가 오프 상태가 되면, 구동 트랜지스터(401)의 게이트 단자와 드레인 단자는 비도통이 되고, 그 순간의 구동 트랜지스터(401)의 게이트 단자(드레인 단자)와 제1 신호선(410)에 공급되는 아날로그 신호 전위 사이의 전위차(전압)를 용량소자(402)는 유지한다. 또한 표시소자(405)의 음극은 Vss의 전위가 공급된 배선(413)과 접속된다. 이때, Vss는 Vss<Vdd를 만족시키는 전위다. 예를 들면, Vss=GND(접지 전위)로 해도 된다.

[0192] 다음으로, 도 4의 화소 구성의 동작 원리에 대해서 도 5를 사용해서 간단히 설명한다. 도 5에 나타내는 타이밍 차트는 복수의 도 4에 나타내는 화소가 매트릭스로 배치된 표시장치의 j번째 열의 화소 열의 타이밍 차트를 나타낸다. 또한 도 5에 나타내는 타이밍 차트에 있어서, G1 line(제1 주사선), G2 line(제2 주사선)의 신호가 H레벨일 때에, 각각 제1 스위치(403), 제2 스위치(404)는 온 상태가 되고, L레벨일 때에 오프 상태가 되는 것으로 한다.

[0193] 도 4의 화소에서는, 각 화소의 계조를 결정하는 아날로그 신호 전위가 제1 신호선(410)에 공급되고, 각각 화소의 발광 시간을 제어하는 전위가 제2 신호선(411)에 공급된다.

[0194] 이때, 제2 신호선(411)에 공급되는 전위는, 실시예 1에 나타낸 바와 같이, 과형(5901), 과형(5902), 과형(5903), 과형(5904), 과형(5905), 과형(5906) 혹은 과형(5907), 과형(5908), 과형(5909), 또는 이것들을 복수 개 연속으로 공급해도 된다.

[0195] 연속으로 공급함으로써, 발광 시간을 1프레임 내에서 분산시킬 수 있다. 그 결과, 프레임 주파수가 외형상 향상되게 되고, 화면의 깜박거림을 방지할 수 있다.

[0196] 이때, 본 실시예의 화소 구성을 가지는 표시장치는, 화소부의 행마다 신호 기록 기간과 발광 기간이 설정된다.

[0197] 여기에서, i번째 행의 화소의 신호 기록 기간에 관하여 설명한다. 도 5에 나타내는 Ti기간이 i번째 행의 화소의 신호 기록 시간을 나타낸다. 그리고, Ti기간 이외의 기간에는 i번째 행의 화소는 발광 기간이 된다.

[0198] 우선, 화소의 기록 기간 Ti에는 제3 스위치(406)를 온 상태로 하고, 제4 스위치(407)를 오프 상태로 한다. 그리고, G2 line(제2 주사선(409))은 기록 기간 Ti에는 H레벨의 신호가 입력되고, G1 line(제1 주사선(408))은 기록 기간에, H레벨로부터 L레벨로 내려간다. 즉, 제2 주사선(409) 및 제1 주사선(408)이 H레벨인 기간에는 제2 스위치(404) 및 제1 스위치(403)는 온 상태가 된다. i번째 행의 화소의 구동 트랜지스터(401)의 드레인 단자는 전원선(412)으로부터의 전원전위(Vdd)가 공급되고, 용량소자(402), 구동 트랜지스터(401) 및 표시소자(405)에 전류가 흐른다. 그리고, 용량소자(402)에서는 전하의 축적 혹은 방전이 행해진다. 즉, 용량소자(402)에 원래 축적되어 있던 전하와 Data1 line(제1 신호선(410))에 공급된 전위 사이의 관계에 따라 전하의 축적 또는 방전이 일어난다. 그리고, G1 line(제1 주사선(408))의 신호가 H레벨로부터 L레벨로 하강하면, 제2 스위치(404)는 온인 상태에서, 제1 스위치(403)는 오프 상태가 된다. 제1 스위치(403)가 오프 상태인 순간은, 구동 트랜지스터(401)의 게이트 단자는 전원전위(Vdd)가 공급되어 있기 때문에 구동 트랜지스터(401)는 온 상태가 된다. 따라서, 구동 트랜지스터(401), 표시소자(405) 및 용량소자(402)에 전류가 흐른다. 잠시 후, 구동 트랜지스터(401), 표시소자(405) 및 용량소자(402)에 전류가 흐르지 않게 된다. 즉 정상상태가 된다.

[0199] 이렇게 해서, 구동 트랜지스터(401)는 오프 상태가 된다. 구동 트랜지스터(401)의 온/오프를 제어하는 데에 필요한 게이트 전위를 얻을 수 있으면 완전히 정상상태가 되지 않아도 된다.

[0200] 그 후에 G1 line(제1 주사선(408))에 공급되는 신호는 H레벨로 상승하고, G2 line(제2 주사선(409))에 공급되는

신호는 L레벨로 하강한다. 즉, 제1 스위치(403)는 온 상태가 되고, 제2 스위치(404)는 오프 상태가 된다. 그러면, 용량소자(402)는 트랜지스터를 오프 상태로 하는 구동 트랜지스터(401)의 게이트 단자의 전위와, 제2 스위치(404)가 오프 상태인 순간의 제1 신호선(410)에 공급된 아날로그 신호 전위 사이의 전위차를 유지한다.

[0201] 이렇게 해서, i번째 행, j번째 열의 화소에 Data1 line(제1 신호선(410))으로부터 아날로그 신호가 기록된다. 또한, 이때, 각 화소의 열마다 각각의 Data1 line(제1 신호선(410))으로부터 각각의 아날로그 신호 전위가 입력되고, 각 열의 i번째 행의 화소에 아날로그 신호가 기록된다.

[0202] 이렇게 해서, i번째 행의 화소의 신호 기록 기간 T_i 가 종료되면, $i+1$ 번째 행의 화소의 신호 기록 기간 T_{i+1} 이 시작되고, i번째 행의 화소는 발광 기간이 된다.

[0203] i번째 행의 화소의 발광 기간에는 i번째 행의 화소의 제3 스위치(406)를 오프 상태로 하고, 제4 스위치(407)를 온 상태로 한다.

[0204] 이때, 도 5에 나타낸 바와 같이 Data2 line(제2 신호선411)에는 삼각파 전위가 공급된다. i번째 행, j번째 열의 화소는 Data2 line(제2 신호선411)이, i번째 행의 화소의 신호 기록 기간 T_i 에 Data1 line(제1 신호선(410))에 공급된 아날로그 신호 전위보다 낮은 전위일 때에는 표시소자(405)는 비발광 상태를 유지하고, Data2 line(제2 신호선411)이, i번째 행의 화소의 신호 기록 기간 T_i 에 Data1 line(제1 신호선(410))에 공급된 아날로그 신호 전위보다 높은 전위인 동안, 표시소자(405)는 발광한다. 따라서, 기록 기간에 아날로그 신호가 기록될 때의 아날로그 신호 전위에 따라 표시소자(405)의 발광 시간이 설정된다. 이렇게 해서, 아날로그 시간계조표시가 가능해진다.

[0205] 이렇게 본 실시예의 화소 구성은 표시장치에서는, 화소 행마다 순차로, 신호 기록 기간이 시작되고, 신호 기록 기간이 종료되면 화소 행마다 발광 기간으로 이어진다. 본 실시예와 같이 선 순차로 신호가 화소에 기록되는 경우에는, 기록 기간에는 하나의 화소만큼의 시간이 요구되므로, 발광 기간을 길게 할 수 있다. 즉, 듀티비(1프레임 기간에 있어서의 발광 기간의 비율)가 높으므로, 표시소자의 순간 휘도를 낮게 할 수 있다. 따라서, 표시소자의 신뢰성을 향상시킬 수 있다.

[0206] 또한 각 행에 있어서 화소의 기록 기간을 길게 할 수 있으므로, Data1 line(제1 신호선(410))에 아날로그 신호 전위를 입력하는 신호선 구동회로의 주파수를 낮출 수 있다. 따라서, 소비 전력을 줄일 수 있다.

[0207] 이때, 표시소자(405)의 발광/비발광을 제어하는 구동 트랜지스터(401)의 온/오프는, 상기한 바와 같이, 기록 기간에 Data1 line(제1 신호선(410))에 공급되는 아날로그 신호 전위가, 발광 기간에 Data2 line(제2 신호선411)에 입력되는 삼각파 전위보다 높은지 또는 낮은지에 따라 결정되고, 디지털적으로 제어할 수 있다. 따라서, 구동 트랜지스터(401)의 특성의 편차의 영향을 적게 받고 구동 트랜지스터(401)의 온/오프를 제어할 수 있다. 즉, 각 화소의 발광의 편차를 개선할 수 있다.

[0208] 또한 본 발명의 화소 구성은 n형 트랜지스터를, 표시소자의 발광/비발광을 제어하는 구동 트랜지스터에 사용할 수 있다. 일반적으로 p형 트랜지스터보다 n형 트랜지스터의 이동도 μ 가 크다. 따라서, 같은 전류를 흘려보내면서, 트랜지스터 사이즈를 작게 할 수 있다. 따라서, 화소의 개구율이 향상되고, 고화질 표시나 소비 전력이 저감된 표시장치를 제공할 수 있다.

[0209] 또한 화소 영역 전체 혹은 주변의 구동회로까지 포함시켜서 n형 트랜지스터만으로 구성되는 회로를 제공할 수 있으므로, 공정 수가 삭감된, 저비용의 단극성 표시장치 패널을 제공할 수 있다.

[0210] 또한 표시장치 패널이 가지는 회로에 사용하는 박막 트랜지스터를 n형 트랜지스터만으로 구성할 수 있으므로, 아모포스 반도체나 세미 아모포스 반도체(혹은 미결정 반도체라고도 한다)를 반도체층에 사용한 박막 트랜지스터로 구성되는 회로를 가지는 표시장치를 제공할 수 있다. 예를 들면, 아모포스 반도체로는, 아모포스 실리콘(a-Si:H)을 들 수 있다.

[0211] 이때, 본 실시예에 있어서, 표시소자를 구동하는 구동 트랜지스터의 소스 단자 및 드레인 단자, 및 표시소자의 양극 및 음극은, 표시소자에 순방향의 전압이 인가될 때의 단자 및 전극을 말한다.

[0212] (실시예 3)

[0213] 본 실시예에서는, 실시예 1 및 실시예 2에 나타낸 화소 구성의 스위치에 n형 트랜지스터를 적용한 경우에 관하여 설명한다.

[0214] 우선, 도 6을 사용해서 실시예 1에 나타낸 도 1의 화소 구성의 스위치에 n형 트랜지스터를 적용한 경우에 관하

여 설명한다. 화소는 구동 트랜지스터(601)와, 용량소자(602)와, 제1 스위칭용 트랜지스터(603)와, 제2 스위칭용 트랜지스터(604)와, 표시소자(605)와, 제1 주사선(G1 line)(606)과, 제2 주사선(G2 line)(607)과, 신호선(Data line)(608)과, 전원선(Supply line)(609)을 구비한다. 이때, 구동 트랜지스터(601), 제1 스위칭용 트랜지스터(603) 및 제2 스위칭용 트랜지스터(604)에는 n형 트랜지스터를 사용한다.

[0215] 구동 트랜지스터(601)의 소스 단자는 표시소자(605)의 양극과 접속되고, 게이트 단자는 용량소자(602)를 통해 신호선(608)과 접속되고, 드레인 단자는 제1 스위칭용 트랜지스터(603)의 소스 단자 및 제2 스위칭용 트랜지스터(604)의 제1 단자(소스 단자 또는 드레인 단자)와 접속된다. 또한 제1 스위칭용 트랜지스터(603)의 드레인 단자는 전원선(609)과 접속되고, 게이트 단자는 제1 주사선(606)과 접속된다. 따라서, 제1 주사선(606)에 H레벨의 신호를 공급하면 제1 스위칭용 트랜지스터(603)는 온 상태가 되고, 전원선(609)에 공급된 전원전위 Vdd를 구동 트랜지스터(601)의 드레인 단자에 공급할 수 있다. 또한 제2 스위칭용 트랜지스터(604)의 제2 단자(소스 단자 또는 드레인 단자)는 구동 트랜지스터(601)의 게이트 단자와 접속된다. 따라서, 제2 주사선(607)에 H레벨의 신호를 공급하면 제2 스위칭용 트랜지스터(604)는 온 상태가 되고, 구동 트랜지스터(601)의 드레인 단자와 게이트 단자를 도통할 수 있다. 그리고, 제2 스위칭용 트랜지스터(604)가 오프 상태가 되면, 구동 트랜지스터(601)의 게이트 단자와 드레인 단자는 비도통이 되고, 그 순간의 구동 트랜지스터(601)의 게이트 단자(드레인 단자)와 신호선(608) 사이의 전위차(전압)를 용량소자(602)는 유지할 수 있다. 또한 표시소자(605)의 음극은 Vss의 전위가 공급된 배선(610)과 접속된다. 이때, Vss는 Vss<Vdd를 만족시키는 전위다. 예를 들면, Vss=GND(접지 전위)로 해도 된다. 이때, 전원선에 공급하는 전위는 Vdd에 한정되지 않고, 예를 들면, 색 요소 RGB로 이루어진 풀 컬러 표시의 경우에는, RGB의 각각의 색 요소의 화소마다 전원선의 전위의 값을 변환해도 된다.

[0216] 한편, 도 6의 화소 구성의 동작에 대해서는, 도 1의 화소 구성과 같으므로 생략한다.

[0217] 여기에서, 스위칭용 트랜지스터는 리크 전류(오프 전류 및 게이트 리크 전류)가 적은 구성으로 하는 것이 바람직하다고 할 수 있다. 오프 전류는, 트랜지스터가 오프 상태일 때, 소스 드레인 간에 흐르게 되는 전류이며, 게이트 리크 전류는, 게이트 절연막을 통해 게이트와 소스 또는 드레인 간에 전류가 흐르는 전류다.

[0218] 따라서, 제1 스위칭용 트랜지스터(603) 및 제2 스위칭용 트랜지스터(604)로 사용되는 N채널형 트랜지스터는, 저농도 불순물영역(Lightly Doped Drains:LDD영역이라고도 한다)을 설치한 구성으로 하는 것이 바람직하다. LDD영역을 설치한 구성의 트랜지스터는 오프 전류를 저감할 수 있기 때문이다. 혹은 제2 스위칭용 트랜지스터(604)에만 LDD영역을 설치한다. 제2 스위칭용 트랜지스터(604)에 오프 전류가 흐르면, 용량소자(602)의 전하를 보유할 수 없게 되고, 제1 스위칭용 트랜지스터(603)는 표시소자(605)에 전류를 흐르게 할 때에 온 전류를 크게 할 필요가 있기 때문이다.

[0219] 보다 바람직한 형태로는, 제2 스위칭용 트랜지스터(604) 및 제1 스위칭용 트랜지스터(603)에 LDD영역을 설치하고, 적어도 제1 스위칭용 트랜지스터(603)의 LDD영역에는 게이트 전극과 부분적으로 겹치는 영역을 설치한다. 그러면, 제2 스위칭용 트랜지스터(604)는 오프 전류를 저감하고, 제1 스위칭용 트랜지스터(603)는 온 전류를 크게 하고, 핫 일렉트론의 발생을 더욱 저감할 수 있다. 따라서, 제1 스위칭용 트랜지스터(603)의 신뢰성이 향상된다.

[0220] 또한 구동 트랜지스터(601)에도 LDD영역을 설치하고, LDD영역이 게이트 전극과 겹치는 구조로 함으로써 신뢰성이 향상된다.

[0221] 또한 게이트 절연막의 막 두께를 얇게 해도 오프 전류는 저감할 수 있다. 따라서, 구동 트랜지스터(601)의 막 두께보다 제1 스위칭용 트랜지스터(603) 및 제2 스위칭용 트랜지스터(604)의 막 두께를 얇게 하는 것이 바람직하다.

[0222] 또한 제1 스위칭용 트랜지스터(603) 및 제2 스위칭용 트랜지스터(604)를 멀티 게이트 트랜지스터로 함으로써 게이트 리크 전류를 저감할 수 있다.

[0223] 특히, 제2 스위칭용 트랜지스터(604)에 오프 전류가 흐르게 되면, 용량소자(602)는 기록 기간에 기록된 전압을 유지할 수 없게 되므로, 제2 스위칭용 트랜지스터(604)에만 LDD영역을 설치하거나, 게이트 절연막을 얇게 하거나, 멀티 게이트로 해도 된다.

[0224] 이때, 제1 주사선(606)의 H레벨의 전위는, 전원선(609)의 전위보다 제1 스위칭용 트랜지스터(603)의 역치전압 Vth 이상 높은 것이 바람직하다. 또한 마찬가지로, 제2 주사선(607)의 H레벨의 전위도, 전원선(609)의 전위보다 제2 스위칭용 트랜지스터(604)의 역치전압 Vth 이상 높은 것이 바람직하다.

- [0225] 다음으로, 도 7을 사용해서 실시예 2에 나타낸 도 4의 화소 구성의 스위치에 n형 트랜지스터를 적용한 경우에 관하여 설명한다.
- [0226] 화소는 구동 트랜지스터(701)와, 용량소자(702)와, 제1 스위칭용 트랜지스터(703)와, 제2 스위칭용 트랜지스터(704)와, 표시소자(705)와, 제3 스위칭용 트랜지스터(706)와, 제4 스위칭용 트랜지스터(707)와, 제1 주사선(G1 line)(708)과, 제2 주사선(G2 line)(709)과, 제1 신호선(Data line1)(710)과, 제2 신호선(Data line2)(711)과, 전원선(Supply line)(712)과, 제3 주사선(714)과 제4 주사선(715)을 구비한다. 이때, 구동 트랜지스터(701), 제1 스위칭용 트랜지스터(703), 제2 스위칭용 트랜지스터(704), 제3 스위칭용 트랜지스터(706) 및 제4 스위칭용 트랜지스터(707)에는 n형 트랜지스터를 사용한다.
- [0227] 구동 트랜지스터(701)의 소스 단자는 표시소자(705)의 양극과 접속되고, 게이트 단자는 용량소자(702)의 한쪽 전극과 접속된다. 용량소자(702)의 다른 쪽 전극은, 제3 스위칭용 트랜지스터(706)의 제1 단자(소스 단자 또는 드레인 단자), 및 제4 스위칭용 트랜지스터(707)의 제1 단자(소스 단자 또는 드레인 단자)와 접속된다. 제3 스위칭용 트랜지스터(706)의 제2 단자(소스 단자 또는 드레인 단자)는 제1 신호선(710)과, 제4 스위칭용 트랜지스터(707)의 제2 단자(소스 단자 또는 드레인 단자)는 제2 신호선(711)과 접속된다. 구동 트랜지스터(701)의 드레인 단자는 제1 스위칭용 트랜지스터(703)의 소스 단자 및 제2 스위칭용 트랜지스터(704)의 제1 단자와 접속된다. 그리고, 제1 스위칭용 트랜지스터(703)의 드레인 단자는 전원선(712)과 접속된다. 또한 구동 트랜지스터(701)의 게이트 단자는 제2 스위칭용 트랜지스터(704)의 제2 단자와 접속된다. 따라서 제2 스위칭용 트랜지스터(704)가 온 상태일 때에는 구동 트랜지스터(701)의 게이트 단자와 드레인 단자는 도통된다. 그리고, 제2 스위칭용 트랜지스터(704)가 오프 상태가 되면, 구동 트랜지스터(701)의 게이트 단자와 드레인 단자는 비도통이 되고, 그 순간의 구동 트랜지스터(701)의 게이트 단자(드레인 단자)와 제1 신호선(710)에 의해 공급되는 아날로그 신호 전위 사이의 전위차(전압)를 용량소자(702)는 유지할 수 있다. 또한 표시소자(705)의 음극은 Vss의 전위가 공급된 배선(713)과 접속된다. 이때, Vss는 Vss<Vdd를 만족시키는 전위다. 예를 들면, Vss=GND(접지 전위)로 해도 된다. 이때, 전원선에 공급하는 전위는 Vdd에 한정되지 않고, 예를 들면, 색 요소 RGB로 이루어진 풀 컬러 표시의 경우에는, RGB의 각각의 색 요소의 화소마다 전원선의 전위의 값을 변환해도 된다.
- [0228] 이때, 제1 스위칭용 트랜지스터(703)의 온/오프는 게이트 단자에 접속된 제1 주사선(708)에 입력되는 신호로 제어하고, 제2 스위칭용 트랜지스터(704)의 온/오프는 게이트 단자에 접속된 제2 주사선(709)에 입력되는 신호로 제어하고, 제3 스위칭용 트랜지스터(706)의 온/오프는 게이트 단자에 접속된 제3 주사선(714)에 입력되는 신호로 제어하고, 제4 스위칭용 트랜지스터(707)의 온/오프는 게이트 단자에 접속된 제4 주사선(715)에 입력되는 신호로 제어한다. 자세한 동작에 대해서는, 실시예 1의 도 4에 나타낸 화소 구성과 같으므로 생략한다.
- [0229] 여기에서, 스위칭용 트랜지스터는 리크 전류(오프 전류 및 게이트 리크 전류)가 적은 구성으로 하는 것이 바람직하다고 할 수 있다. 오프 전류는, 트랜지스터가 오프 상태일 때에 소스 드레인 간에 흐르게 되는 전류이며, 게이트 리크 전류는, 게이트 절연막을 통해 게이트와 소스 또는 드레인 간에 흐르게 되는 전류다.
- [0230] 따라서, 제1 스위칭용 트랜지스터(703), 제2 스위칭용 트랜지스터(704), 제3 스위칭용 트랜지스터(706) 및 제4 스위칭용 트랜지스터(707)에 사용되는 N채널형 트랜지스터는, LDD영역을 설치한 구성으로 하는 것이 바람직하다. LDD영역을 설치한 구성의 트랜지스터는 오프 전류를 저감할 수 있기 때문이다. 혹은 제1 스위칭용 트랜지스터(703) 이외의 제2 스위칭용 트랜지스터(704), 제3 스위칭용 트랜지스터(706) 및 제4 스위칭용 트랜지스터(707)에 LDD영역을 설치할 수 있다. 제2 스위칭용 트랜지스터(704)에 오프 전류가 흐르면, 용량소자(702)의 전하를 보유할 수 없게 되고, 제1 스위칭용 트랜지스터(703)는 표시소자(705)에 전류를 흐르게 할 때에 온 전류를 크게 할 필요가 있기 때문이다.
- [0231] 보다 바람직한 형태로는, 제2 스위칭용 트랜지스터(704) 및 제1 스위칭용 트랜지스터(703)에 LDD영역을 설치하고, 적어도 제1 스위칭용 트랜지스터(703)의 LDD영역에는 게이트 전극과 부분적으로 겹치는 영역을 설치한다. 그러면, 제2 스위칭용 트랜지스터(704)는 오프 전류를 저감할 수 있다. 그리고, 제1 스위칭용 트랜지스터(703)는 온 전류를 크게 하고, 핫 일렉트론의 발생을 더욱 저감할 수 있다. 따라서, 제1 스위칭용 트랜지스터(703)의 신뢰성이 향상된다.
- [0232] 또한 구동 트랜지스터(701)에도 LDD영역을 설치하고, LDD영역이 게이트 전극과 겹치는 구조로 함으로써 신뢰성이 향상된다.
- [0233] 또한 게이트 절연막의 막 두께를 얇게 해도 오프 전류는 저감할 수 있다. 따라서, 구동 트랜지스터(701)의 막 두께보다 제1 스위칭용 트랜지스터(703) 및 제2 스위칭용 트랜지스터(704)의 막 두께를 얇게 하는 것이 바람직

하다.

[0234] 또한 제1 스위칭용 트랜지스터(703) 및 제2 스위칭용 트랜지스터(704)를 멀티 게이트 트랜지스터로 함으로써, 게이트 리크 전류를 저감할 수 있다.

[0235] 특히, 제2 스위칭용 트랜지스터(704)에 오프 전류가 흐르게 되면, 용량소자(702)는 기록 기간에 기록된 전압을 유지할 수 없게 되므로, 제2 스위칭용 트랜지스터(704)에만 LDD를 설치하거나, 게이트 절연막을 얇게 하거나, 멀티 게이트로 해도 된다.

[0236] 이때, 제1 주사선(708)의 H레벨의 전위는, 전원선(712)의 전위보다 제1 스위칭용 트랜지스터(703)의 역치전압 V_{th} 이상 높은 것이 바람직하다. 또한 마찬가지로, 제2 주사선(709)의 H레벨의 전위는, 전원선(712)의 전위보다 제2 스위칭용 트랜지스터(704)의 역치전압 V_{th} 이상 높은 것이 바람직하다. 또한 마찬가지로, 제3 주사선(714)의 H레벨의 전위는, 제1 신호선(710)의 전위보다 제3 스위칭용 트랜지스터(706)의 역치전압 V_{th} 이상 높은 것이 바람직하다. 또한 마찬가지로, 제4 주사선(715)의 H레벨의 전위도, 제2 신호선(711)의 전위보다 제4 스위칭용 트랜지스터(707)의 역치전압 V_{th} 이상 높은 것이 바람직하다.

[0237] 이때, 제3 스위칭용 트랜지스터(706)와 제2 스위칭용 트랜지스터(704)의 온/오프는 같은 타이밍으로 제어할 수 있기 때문에, 도 18에 나타낸 바와 같이, 제3 스위칭용 트랜지스터(706)의 게이트 단자를 제2 주사선(709)에 접속함으로써 도 7에 있어서의 제3 주사선(714)을 설치하지 않는 구성으로 할 수 있다.

[0238] n형 트랜지스터에는 LDD영역을 용이하게 형성할 수 있다. 따라서, 본 실시예에서 나타낸 바와 같이, n형 트랜지스터를 스위칭용 트랜지스터로서 사용함으로써, 오프 전류가 저감된 스위칭용 트랜지스터를 형성할 수 있다. 또한 이 스위칭용 트랜지스터를 멀티 게이트로 함으로써 게이트 리크 전류를 더욱 저감할 수 있다. 따라서, 스위칭용 트랜지스터의 스위치로서의 기능을 보다 향상시킬 수 있다.

[0239] 또한, 화소 영역 전체 혹은 주변의 구동회로까지 포함시켜서 n형 트랜지스터만으로 구성되는 회로를 제공할 수 있으므로, 공정 수가 절감된, 저비용의 단극성 표시장치 패널을 제공할 수 있다.

[0240] 또한, 표시장치 패널이 가지는 회로에 사용하는 박막 트랜지스터를 n형 트랜지스터만으로 구성할 수 있으므로, 아모포스 반도체나 세미 아모포스 반도체(혹은 미결정 반도체라고도 한다)를 반도체층에 사용한 박막 트랜지스터로 구성되는 회로를 가지는 표시장치를 제공할 수 있다. 예를 들면, 아모포스 반도체로는, 아모포스 실리콘(a-Si:H)을 들 수 있다.

[0241] 이때, 본 실시예에 있어서, 표시소자를 구동하는 구동 트랜지스터의 소스 단자 및 드레인 단자, 및 표시소자의 양극 및 음극은, 표시소자에 순방향의 전압이 인가될 때의 단자 및 전극을 말한다.

[0242] (실시예 4)

[0243] 본 실시예에서는, 실시예 1 및 실시예 2에 나타낸 화소 구성에 있어서 적어도 하나의 스위치에 p형 트랜지스터를 사용한 경우에 관하여 설명한다.

[0244] 우선, 도 1의 화소 구성의 제1 스위치(103)에 p형 트랜지스터, 제2 스위치(104)에 n형 트랜지스터를 적용한 경우의 구성에 대해서 도 20을 참조하여 설명한다.

[0245] 화소는 구동 트랜지스터(2001)와, 용량소자(2002)와, p형 트랜지스터인 제1 스위칭용 트랜지스터(2003)와, n형 트랜지스터인 제2 스위칭용 트랜지스터(2004)와, 표시소자(2005)와, 제1 주사선(G1 line)(2006)과, 제2 주사선(G2 line)(2007)과, 신호선(Data line)(2008)과, 전원선(Supply line)(2009)을 구비한다. 이때, 구동 트랜지스터(2001)에는 n형 트랜지스터를 사용한다.

[0246] 구동 트랜지스터(2001)의 소스 단자는 표시소자(2005)의 양극과 접속되고, 게이트 단자는 용량소자(2002)를 통해 신호선(2008)과 접속되고, 드레인 단자는 제1 스위칭용 트랜지스터(2003)의 드레인 단자 및 제2 스위칭용 트랜지스터(2004)의 제1단자(소스 단자 또는 드레인 단자)와 접속된다. 또한 제1 스위칭용 트랜지스터(2003)의 소스 단자는 전원선(2009)과 접속되고, 게이트 단자는 제1 주사선(2006)과 접속된다. 따라서, 제1 주사선(2006)에 L레벨의 신호가 공급되면 제1 스위칭용 트랜지스터(2003)는 온 상태가 되고, 전원선(2009)에 공급된 전원전위 V_{dd} 를 구동 트랜지스터(2001)의 드레인 단자에 공급할 수 있다. 또한 제2 스위칭용 트랜지스터(2004)의 제2 단자(소스 단자 또는 드레인 단자)는 구동 트랜지스터(2001)의 게이트 단자와 접속된다. 따라서, 제2 주사선 2007에 H레벨의 신호를 공급하면 제2 스위칭용 트랜지스터(2004)는 온 상태가 되고, 구동 트랜지스터(2001)의 드레인 단자와 게이트 단자를 도통 할 수 있다. 그리고, 제2 스위칭용 트랜지스터(2004)가 오프 상태가 되면, 구동

트랜지스터(2001)의 게이트 단자와 드레인 단자는 비도통이 되고, 그 순간의 구동 트랜지스터(2001)의 게이트 단자(드레인 단자)와 신호선(2008) 사이의 전위차(전압)를 용량소자(2002)는 유지할 수 있다. 또한 표시소자(2005)의 음극은 Vss의 전위가 공급된 배선(2010)과 접속된다. 이때, Vss는 Vss<Vdd를 만족시키는 전위다. 예를 들면, Vss=GND(접지 전위)로 해도 된다. 또한, 전원선에 공급하는 전위는 Vdd에 한정되지 않고, 예를 들면, 색 요소 RGB로 이루어진 풀 컬러 표시의 경우에는, RGB의 각각의 색 요소의 화소마다 전원선의 전위의 값을 변환해도 된다.

[0247] 계속해서, 본 화소 구성의 타이밍 차트를 도 21에 나타낸다. 도 3의 타이밍 차트와는, 도 21에 나타내는 G1 line(제1 주사선)의 구형파의 H레벨과 L레벨이 반전된다는 점이 다르다. 즉, 도 20의 화소 구성에 있어서, 제1 주사선(2006)이 H레벨로부터 L레벨로 하강하면 제1 스위칭용 트랜지스터(2003)는 온 상태가 된다. 다른 동작에 대해서는, 실시예 1의 도 1의 화소 구성의 설명과 같으므로 생략한다.

[0248] 여기에서, 제1 스위칭용 트랜지스터(2003)는 소스 단자가 전원전위 Vdd가 공급된 전원선(2009)에 접속되어 있기 때문에, 소스 단자의 전위는 고정되어 있다. 따라서, 제1 스위칭용 트랜지스터(2003)의 온/오프를 제어하는 제1 주사선(2006)에 공급하는 신호는, 제1 스위칭용 트랜지스터(2003)의 드레인 단자에 접속되어 있는 부하에 의존하지 않고 결정할 수 있다. 즉, 제1 스위칭용 트랜지스터의 온/오프를 제어하기 위한 신호는 고정 전위인 전원 전위 Vdd와 게이트 단자의 전위 사이의 전위차가 역치전압 이상이면 되기 때문에, 신호의 진폭은 최소한 억제할 수 있어, 소비 전력을 절감할 수 있다.

[0249] 또한, 제1 스위칭용 트랜지스터(2003)의 드레인 단자는 제2 스위칭용 트랜지스터(2004)를 통해 용량소자(2002)와 접속되어 있으므로, 제1 스위칭용 트랜지스터(2003)는 오프 전류가 작지 않아도 그다지 문제는 없다.

[0250] 따라서, 제1 스위칭용 트랜지스터(2003)에는 p형 트랜지스터가 바람직하다.

[0251] 또한, 제2 스위칭용 트랜지스터(2004)는 n형 트랜지스터이기 때문에, LDD영역을 설치하는 것이 용이해서, 오프 전류를 저감할 수 있다. 따라서, 용량소자(2002)의 전압의 유지 능력을 높일 수 있다.

[0252] 다음으로, 도 4의 화소 구성의 스위치 중 적어도 하나에 p형 트랜지스터를 적용한 경우의 구성에 대해서 도 22에 나타낸다.

[0253] 화소는 구동 트랜지스터(2201)와, 용량소자(2202)와, 제1 스위칭용 트랜지스터(2203)와, 제2 스위칭용 트랜지스터(2204)와, 표시소자(2205)와, 제3 스위칭용 트랜지스터(2206)와, 제4 스위칭용 트랜지스터(2207)와, 제1 주사선(G1 line)(2208)과, 제2 주사선(G2 line)(2209)과, 제1 신호선(Data1 line)(2210)과, 제2 신호선(Data2 line)(2211)과, 전원선(Supply line)(2212)과, 제3 주사선(2214)을 구비한다. 이때, 구동 트랜지스터(2201), 제2 스위칭용 트랜지스터(2204) 및 제3 스위칭용 트랜지스터(2206)에는 n형 트랜지스터를 사용하고, 제1 스위칭용 트랜지스터(2203) 및 제4 스위칭용 트랜지스터(2207)에는 p형 트랜지스터를 사용한다.

[0254] 구동 트랜지스터(2201)의 소스 단자는 표시소자(2205)의 양극과 접속되고, 게이트 단자는 용량소자(2202)의 한 쪽 전극과 접속되고, 용량소자(2202)의 다른 쪽 전극은, 제3 스위칭용 트랜지스터(2206)의 제1 단자(소스 단자 또는 드레인 단자) 및 제4 스위칭용 트랜지스터(2207)의 제1 단자(소스 단자 또는 드레인 단자)와 접속된다. 제3 스위칭용 트랜지스터(2206)의 제2 단자(소스 단자 또는 드레인 단자)는 제1 신호선(2210)과, 제4 스위칭용 트랜지스터(2207)의 제2 단자(소스 단자 또는 드레인 단자)는 제2 신호선(2211)과 각각 접속된다. 구동 트랜지스터(2201)의 드레인 단자는 제1 스위칭용 트랜지스터(2203)의 드레인 단자와 접속된다. 또한 구동 트랜지스터(2201)의 드레인 단자는 제2 스위칭용 트랜지스터(2204)의 제1 단자(소스 단자 또는 드레인 단자)와 접속되고, 구동 트랜지스터(2201)의 게이트 단자는 제2 스위칭용 트랜지스터(2204)의 제2 단자(소스 단자 또는 드레인 단자)와 접속된다. 따라서 제2 스위칭용 트랜지스터(2204)가 온 상태일 때에는 구동 트랜지스터(2201)의 게이트 단자와 드레인 단자는 도통된다. 그리고, 제2 스위칭용 트랜지스터(2204)가 오프 상태가 되면, 구동 트랜지스터(2201)의 게이트 단자와 드레인 단자는 비도통이 되고, 그 순간의 구동 트랜지스터(2201)의 게이트 단자(드레인 단자)와 제1 신호선(2210)에 의해 공급되는 아날로그 신호 전위 사이의 전위차(전압)를 용량소자(2202)는 유지할 수 있다. 또한 제1 스위칭용 트랜지스터(2203)의 소스 단자는 전원선(2212)과 접속된다. 또한 표시소자(2205)의 음극은 Vss의 전위가 공급된 배선(2213)과 접속된다. 이때, Vss는 Vss<Vdd를 만족시키는 전위다. 예를 들면, Vss=GND(접지 전위)로 해도 된다. 또한, 전원선에 공급하는 전위는 Vdd에 한정되지 않고, 예를 들면, 색 요소 RGB로 이루어진 풀 컬러 표시의 경우에는, RGB의 각각의 색 요소의 화소마다 전원선의 전위의 값을 변환해도 된다.

[0255] 이때, 제1 스위칭용 트랜지스터(2203)의 온/오프는 게이트 단자에 접속된 제1 주사선(2208)에 입력되는 신호로

제어하고, 제2 스위칭용 트랜지스터(2204)의 온/오프는 게이트 단자에 접속된 제2 주사선(2209)에 입력되는 신호로 제어하고, 제3 스위칭용 트랜지스터(2206) 및 제4 스위칭용 트랜지스터(2207)의 온/오프는 각각의 게이트 단자가 모두 접속된 제3 주사선(2214)에 입력되는 신호로 제어한다. 즉, 제3 주사선이 H레벨일 때에는 제3 스위칭용 트랜지스터(2206)가 온 상태가 되고, L레벨일 때에는 제4 스위칭용 트랜지스터(2207)가 온 상태가 된다. 따라서, 기록 기간과 발광 기간 사이에 화소에 접속하는 배선을 변환할 수 있다.

[0256] 물론 제3 스위칭용 트랜지스터(2206)와 제4 스위칭용 트랜지스터(2207)의 온/오프를 제어하는 주사선을 각각 다르게 해도 되지만, 도 22와 같이 공통의 주사선으로 제어함으로써 화소의 개구율을 향상시킬 수 있다.

[0257] 계속해서, 본 화소 구성의 타이밍 차트를 도 24에 나타낸다. 또한, 도 5의 타이밍 차트와는, 도 24에 나타내는 G1 line(제1 주사선)의 구형파의 H레벨과 L레벨이 반전된다는 점이 다르다. 즉, 도 22의 화소 구성에 있어서, 제1 주사선(2208)이 L레벨일 때는, 제1 스위칭용 트랜지스터(2203)는 온 상태가 된다. 그리고, 제1 주사선(2208)이 L레벨에서 H레벨로 상승하면 제1 스위칭용 트랜지스터(2203)는 오프 상태가 된다. 다른 동작에 대해서는, 실시예 2의 도 4의 화소 구성의 설명과 같으므로 생략한다.

[0258] 여기에서, 제1 스위칭용 트랜지스터(2203)에서 소스 단자는 전원전위 Vdd에 접속되어 있기 때문에, 소스 단자의 전위는 고정되어 있다. 따라서, 제1 스위칭용 트랜지스터(2203)의 온/오프를 제어하는 제1 주사선(2208)에 공급하는 신호는, 제1 스위칭용 트랜지스터(2203)의 드레인 단자에 접속되어 있는 부하에 의존하지 않고 결정할 수 있다. 즉, 제1 스위칭용 트랜지스터의 온/오프를 제어하기 위한 신호는 고정 전위인 전원전위 Vdd와 게이트 단자의 전위 사이의 전위차가 역치전압 이상이면 되기 때문에, 신호의 진폭은 최소한 억제할 수 있어, 소비 전력을 절감할 수 있다.

[0259] 또한 제1 스위칭용 트랜지스터(2203)의 드레인 단자는 제2 스위칭용 트랜지스터(2204)를 통해 용량소자(2202)와 접속되어 있으므로, 제1 스위칭용 트랜지스터(2203)는 오프 전류가 작지 않아도 그다지 문제는 없다.

[0260] 따라서, 제1 스위칭용 트랜지스터(2203)에는 p형 트랜지스터가 바람직하다.

[0261] 또한, 제2 스위칭용 트랜지스터(2204)는 n형 트랜지스터이기 때문에, LDD영역을 설치하는 것이 용이해서, 오프 전류를 저감할 수 있다. 따라서, 용량소자(2202)의 전압을 유지할 수 있다.

[0262] 또한 도 22의 구성의 배선을 더욱 절감한 구성에 대해서, 도 23을 참조하여 설명한다. 도 23의 구성에서는, 제3 스위칭용 트랜지스터(2206)와 제4 스위칭용 트랜지스터(2207)의 게이트 단자가 접속되어 있는 배선이 제2 주사선(2209)과 접속된다. 즉, 도 22의 구성에서는, 용량소자(2202)의 다른 쪽 전극에 입력하는 신호를, 기록 기간과 발광 기간을 전환하기 위한 신호로서 제3 주사선(2214)에 입력하지만, 도 23의 구성에서는 이 기록 기간과 발광 기간을 전환하기 위한 신호로서, 제2 주사선(2209)에 입력되는 신호를 사용한다.

[0263] 도 23의 구성에서는 도 22의 구성에서보다 배선의 수를 더욱 줄일 수 있으므로 화소의 개구율을 향상시킬 수 있다.

[0264] 또한 도 1의 구성의 제1 스위치(103) 및 제2 스위치(104)로서 p형 트랜지스터를 사용해서 배선의 수를 줄인 구성 및 동작에 대해서 도 25 및 도 26을 참조하여 설명한다.

[0265] 도 25의 화소는 구동 트랜지스터(2501)와, 용량소자(2502)와, p형 트랜지스터인 제1 스위칭용 트랜지스터(2503)와, p형 트랜지스터인 제2 스위칭용 트랜지스터(2504)와, 표시소자(2505)와, 제1 주사선(G1 line)(2506)과, 제2 주사선(G2 line)(2507)과, 신호선(Data line)(2508)을 구비한다. 이때, 구동 트랜지스터(2501)에는 n형 트랜지스터를 사용한다.

[0266] 구동 트랜지스터(2501)의 소스 단자는 표시소자(2505)의 양극과 접속되고, 게이트 단자는 용량소자(2502)를 통해 신호선(2508)과 접속되고, 드레인 단자는 제1 스위칭용 트랜지스터(2503)의 드레인 단자 및 제2 스위칭용 트랜지스터(2504)의 제1 단자(소스 단자 또는 드레인 단자)와 접속된다. 또한 제1 스위칭용 트랜지스터(2503)의 소스 단자는 다른 행의 화소의 제2 주사선(2507)과 접속되고, 게이트 단자는 제1 주사선(2506)과 접속된다.

[0267] 따라서, 도 26에 나타낸 바와 같이, i번째 행의 제1 주사선(2506)에 L레벨의 신호를 공급하면 제1 스위칭용 트랜지스터(2503)는 온 상태가 된다. 또한 제2 스위칭용 트랜지스터(2504)의 제2 단자(소스 단자 또는 드레인 단자)는 구동 트랜지스터(2501)의 게이트 단자와 접속된다. 따라서, 제2 주사선(2507)에 L레벨의 신호를 공급하면 제2 스위칭용 트랜지스터(2504)는 온 상태가 되고, 구동 트랜지스터(2501)의 드레인 단자와 게이트 단자를 도통할 수 있다. 그리고, 제2 스위칭용 트랜지스터(2504)가 오프 상태가 되면, 구동 트랜지스터(2501)의 게이트 단자와 드레인 단자는 비도통이 되고, 그 순간의 구동 트랜지스터(2501)의 게이트 단자(드레인 단자)와 신호선

(2508) 사이의 전위차(전압)를 용량소자(2502)는 유지할 수 있다. 또한 표시소자(2505)의 음극은 Vss의 전위가 공급된 배선(2509)과 접속된다. 이때, 기록 기간 이외에는 다른 행의 화소의 전원선의 기능을 하는 제2 주사선(2507)에는, H레벨의 전위로서 Vdd가 공급된다. 이때, Vss는 Vss<Vdd를 만족시키는 전위다. 예를 들면, Vss=GND(접지 전위)로 해도 된다.

[0268] 계속해서, 본 화소 구성의 타이밍 차트를 도 26에 나타낸다. 도 3의 타이밍 차트와는, 도 26에 나타내는 G1 line(제1 주사선(2506)) 및 G2 line(제2 주사선(2507))의 구형파의 H레벨과 L레벨이 반전된다는 점이 다르다. 즉, 도 25의 화소 구성에 있어서, 제1 주사선(2506)이 H레벨에서 L레벨로 하강하면, 제1 스위칭용 트랜지스터(2503)는 온 상태가 된다. 마찬가지로, 제2 주사선(2507)이 H레벨에서 L레벨로 하강하면 제2 스위칭용 트랜지스터(2504)는 온 상태가 된다.

[0269] i번째 행의 제1 주사선(2506)에 L레벨의 신호가 공급되어, 제1 스위칭용 트랜지스터(2503)가 온 상태가 되면, i+1번째 행의 제2 주사선(2507)에는 H레벨이 공급되어 있기 때문에, 제1 스위칭용 트랜지스터(2503)의 소스 단자에 H레벨(Vdd)의 전위를 공급할 수 있다.

[0270] 이렇게 해서, 표시소자(2505)에 전류를 공급하기 위한 전원선을 별도로 설치하지 않고, 다른 행의 주사선을 사용할 수 있다. 이때, 도 25에서는 제1 스위칭용 트랜지스터(2503)의 소스 단자를 이웃하는 행의 제2 주사선(2507)에 접속하는 구성으로 했지만, 이것에 한정되지 않는다. 그러나, 화소의 배치를 고려하면, 전원선으로서 다른 행의 제2 주사선(2507)을 사용할 경우에는, 이웃하는 행의 화소의 제2 주사선(2507)을 사용하는 것이 바람직하다.

[0271] 또한, 제1 스위칭용 트랜지스터(2503)의 소스 단자를 접속하는 주사선의 전류 공급 능력을 높일 필요가 있으므로, 제2 주사선(2507)에는 베퍼를 설치하는 것이 바람직하다.

[0272] 이때, 본 실시예에 있어서, 표시소자를 구동하는 구동 트랜지스터의 소스 단자 및 드레인 단자, 및 표시소자의 양극 및 음극은, 표시소자에 순방향의 전압이 인가될 때의 단자 및 전극을 말한다.

[0273] (실시예 5)

[0274] 본 실시예에서는 신호 기록 기간에 있어서, 표시소자에 흐르는 전류를 저감한 화소 구성 및 구동방법에 관하여 설명한다.

[0275] 우선, 실시예 1에 나타낸 화소 구성은 참고하여, 화소의 동작과 그때의 접속에 관하여 설명한다. 화소의 신호 기록 기간에 있어서, 구동 트랜지스터(101)를 온 상태로 하기 위해서 게이트 단자의 전위를 용량소자(102)에 축적할 때에는, 도 33과 같이, 전원선(109)과 신호선(108)을 용량소자(102)를 통해 접속한다. 이때, 구동 트랜지스터(101)의 드레인 단자는, 게이트 단자(혹은 전원선(109))와 접속되어 있어도 된다. 즉, 도 33의 접선으로 나타낸 부분은 접속되어 있어도 되고, 접속되지 않아도 된다.

[0276] 구동 트랜지스터(101)의 온/오프를 제어하는 데에 필요한 게이트 전위를 얻을 때에는, 도 34에 나타낸 바와 같이, 구동 트랜지스터(101)의 드레인 단자와 게이트 단자를 접속한다. 이렇게 해서, 구동 트랜지스터(101)가 온 상태로부터 오프가 될 때의 게이트 단자의 전위와, 그때 신호선(108)에 공급되어 있는 아날로그 신호 전위 사이의 전위 차분의 전하가 용량소자(102)에 축적된다.

[0277] 발광 기간에는, 도 35에 나타낸 바와 같이, 구동 트랜지스터(101)의 드레인 단자와 전원선(109)을 접속한다. 이렇게 해서, 구동 트랜지스터(101)의 드레인 단자에 전원선(109)의 전위를 공급할 수 있다. 따라서, 구동 트랜지스터(101)가 온 상태가 되면 전원선(109)로부터 표시소자(105)에 전류를 공급할 수 있다.

[0278] 여기에서, 본 실시예에서는, 도 33에 접선으로 나타낸 구동 트랜지스터(101)의 드레인 단자와 게이트 단자 및 전원선(109)을 접속하지 않음으로써, 구동 트랜지스터(101)를 충분히 온 상태로 하기 위해, 게이트 단자의 전위를 용량소자(102)에 축적할 때, 표시소자(105)에 전류가 흐르는 것을 방지할 수 있다. 따라서, 소비 전력을 저감할 수 있다. 그러한 화소 구성의 예를 도 36, 도 37 및 도 73에 나타낸다.

[0279] 도 36의 화소 구성에 대해서 상세히 설명한다. 화소는 구동 트랜지스터(3601)와, 용량소자(3602)와, 제1 스위치(3603)와, 제2 스위치(3604)와, 제3 스위치(3606)와, 표시소자(3605)와, 신호선(3608)과, 전원선(3609)을 구비한다. 이때, 구동 트랜지스터(3601)에는 n형 트랜지스터를 사용한다.

[0280] 구동 트랜지스터(3601)의 소스 단자는 표시소자(3605)의 양극과 접속되고, 게이트 단자는 용량소자(3602)를 통해 신호선(3608)과 접속되고, 드레인 단자는 제1 스위치(3603)를 통해 전원선(3609)과 접속된다. 이때, 전원선

(3609)에는 전원전위 Vdd가 공급된다. 또한 구동 트랜지스터(3601)의 게이트 단자는, 제3 스위치(3606)를 통해 전원선(3609)과, 제2 스위치(3604)를 통해 드레인 단자와 접속된다. 따라서 제2 스위치(3604)가 온 상태일 때에는 구동 트랜지스터(3601)의 게이트 단자와 드레인 단자는 도통한다. 그리고, 제2 스위치(3604)가 오프 상태가 되면, 구동 트랜지스터(3601)의 게이트 단자와 드레인 단자는 비도통이 되고, 그 순간의 구동 트랜지스터(3601)의 게이트 단자(드레인 단자)와 신호선(3608) 사이의 전위차(전압)를 용량소자(3602)는 유지할 수 있다. 또한 표시소자(3605)의 음극은 Vss의 전위가 공급된 배선(3607)과 접속된다. 이때, Vss는 Vss<Vdd를 만족시키는 전위다. 예를 들면, Vss=GND(접지 전위)로 해도 된다. 또한, 전원선(3609)에 공급하는 전위는 Vdd에 한정되지 않고, 예를 들면, 색 요소 RGB로 이루어진 풀 컬러 표시의 경우에는, RGB의 각각의 색 요소의 화소마다 전원선의 전위의 값을 변환해도 된다.

[0281] 다음으로, 도 36의 화소 구성의 동작 원리에 관하여 설명한다.

[0282] 화소에의 신호 기록 기간에, 우선, 제1 스위치(3603) 및 제2 스위치(3604)를 끈 상태에서 제3 스위치(3606)를 온 상태로 한다. 그러면, 용량소자(3602)에 전류가 흘러, 전하의 축적 또는 방전이 행해진다. 이때, 화소의 기록 기간에 신호선(3608)에는 아날로그 신호 전위가 공급된다. 이 아날로그 신호 전위는 비디오신호에 해당한다.

[0283] 이렇게 해서, 구동 트랜지스터(3601)를 충분히 온 상태로 하는 게이트 단자의 전위만큼의 전하가 용량소자(3602)에 축적된다. 본 구성에서는 이때, 표시소자(3605)에 전류가 흐르지 않는다.

[0284] 계속해서, 제1 스위치(3603)를 끈 상태에서 제3 스위치(3606)를 오프 상태로 하고, 제2 스위치(3604)를 온 상태로 한다. 그러면 용량소자(3602), 구동 트랜지스터(3601) 및 표시소자(3605)에 전류가 흐르기 시작한다.

[0285] 잠시 후, 구동 트랜지스터(3601) 및 용량소자(3602)에 전류가 흐르지 않게 된다. 이렇게 해서 구동 트랜지스터(3601)는 오프 상태가 된다. 이때, 구동 트랜지스터(3601)의 게이트-소스간 전압 Vgs는 역치전압 Vth와 대략 동등하다.

[0286] 이 상태가 되면, 제2 스위치(3604)는 오프 상태가 된다. 그러면, 용량소자(3602)에는 구동 트랜지스터(3601)를 오프 상태로 하는 게이트 단자의 전위와, 제2 스위치(3604)를 끈 순간에 신호선(3608)에 공급되어 있는 아날로그 신호 전위 사이의 전위차(Vp)가 유지된다. 이렇게 해서, 화소에 아날로그 신호가 기록된다.

[0287] 화소에 아날로그 신호가 기록되면, 그때에 신호선(3608)에 공급된 아날로그 신호 전위를 기준으로 해서, 신호선(3608)의 전위의 변동에 따라 구동 트랜지스터(3601)의 온/오프가 제어되게 된다. 즉, 신호선(3608)의 전위가, 신호 기록 기간에 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위 이하일 때에는 구동 트랜지스터(3601)는 오프 상태가 되고, 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위보다 높아지면 구동 트랜지스터(3601)는 온 상태가 된다.

[0288] 화소에 아날로그 신호가 기록되면, 용량소자(3602)가 전위차(Vp)를 유지하므로, 신호선(3608)의 전위가, 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위 이하일 때에는, 구동 트랜지스터(3601)의 게이트 단자의 전위도, 화소에 아날로그 신호가 기록될 때의 게이트 단자의 전위 이하가 되고, 구동 트랜지스터(3601)는 오프 상태가 된다. 한편, 신호선(3608)의 전위가, 기록 기간에 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위보다 높아지면, 구동 트랜지스터(3601)의 게이트 단자의 전위도, 화소에 아날로그 신호가 기록될 때의 게이트 단자의 전위보다 높아지므로, 구동 트랜지스터(3601)는 온 상태가 된다.

[0289] 따라서, 화소의 발광 기간에는, 제1 스위치(3603)를 온 상태로 하고, 제2 스위치(3604) 및 제3 스위치(3606)는 오프 상태로 하고, 신호선(3608)에 공급하는 전위를 아날로그적으로 변화시킴으로써 구동 트랜지스터(3601)의 온/오프를 제어한다. 이때, 신호선(3608)에 공급하는 전위로는, 실시예 1에 나타낸 바와 같이, 과형(5901), 과형(5902), 과형(5903), 과형(5904), 과형(5905), 과형(5906) 혹은 과형(5907), 또는 이것들을 복수 연속으로 공급해도 된다.

[0290] 연속으로 공급함으로써, 발광 시간을 1프레임 내에서 분산시킬 수 있다. 그 결과, 프레임 주파수가 외형상 향상되고, 화면의 깜박거림을 방지할 수 있다.

[0291] 이렇게 해서, 화소에 아날로그 신호를 기록할 때에 신호선(3608)에 공급되는 아날로그 신호 전위에 의해 화소의 아날로그 시간계조표시가 가능해진다.

[0292] 다음으로, 도 37의 화소 구성에 대해서 상세히 설명한다.

[0293] 화소는 구동 트랜지스터(3701)와, 용량소자(3702)와, 제1 스위치(3703)와, 제2 스위치(3704)와, 제3 스위치

(3706)와, 표시소자(3705)와, 신호선(3708)과, 전원선(3709)을 구비한다. 이때, 구동 트랜지스터(3701)에는 n형 트랜지스터를 사용한다.

[0294] 구동 트랜지스터(3701)의 소스 단자는 표시소자(3705)의 양극과 접속되고, 게이트 단자는 용량소자(3702)를 통해 신호선(3708)과 접속되고, 드레인 단자는 제3 스위치(3706) 및 제1 스위치(3703)를 통해 전원선(3709)과 접속된다. 이때, 전원선(3709)에는 전원전위 Vdd가 공급된다. 또한 구동 트랜지스터(3601)의 게이트 단자는, 제2 스위치(3704) 및 제3 스위치(3706)를 통해 드레인 단자와 접속된다. 따라서 제2 스위치(3704) 및 제3 스위치(3706)가 온 상태일 때에는 구동 트랜지스터(3701)의 게이트 단자와 드레인 단자는 도통한다. 그리고, 제2 스위치(3704)가 오프 상태가 되면, 구동 트랜지스터(3701)의 게이트 단자와 드레인 단자는 비도통이 되고, 그 순간의 구동 트랜지스터(3701)의 게이트 단자(드레인 단자)와 신호선(3708) 사이의 전위차(전압)를 용량소자(3702)는 유지할 수 있다. 또한 표시소자(3705)의 음극은 Vss의 전위가 공급된 배선(3707)과 접속된다. 이때, Vss는 Vss<Vdd를 만족시키는 전위다. 예를 들면, Vss=GND(접지 전위)로 해도 된다. 또한, 전원선에 공급하는 전위는 Vdd에 한정되지 않고, 예를 들면, 색 요소 RGB로 이루어진 풀 컬러 표시의 경우에는, RGB의 각각의 색 요소의 화소마다 전원선의 전위의 값을 변환해도 된다.

[0295] 다음으로, 도 37의 화소 구성의 동작 원리에 관하여 설명한다.

[0296] 화소의 신호 기록 기간에, 제3 스위치(3706)를 오프 상태로 하고, 제1 스위치(3703) 및 제2 스위치(3704)를 온 상태로 한다. 그러면, 용량소자(3702)에 전류가 흘러, 용량소자(3702)에서는 전하의 축적 또는 방전이 행해진다. 또한, 화소에의 신호 기록 기간에는, 신호선(3708)에는 아날로그 신호 전위가 공급된다. 이 아날로그 신호 전위는 비디오신호에 해당한다.

[0297] 잠시 후, 용량소자(3702)에 전류가 흐르지 않게 되고, 구동 트랜지스터(3701)를 온 상태로 하는 데 충분한 게이트 단자의 전위가 용량소자(3702)에 축적된다. 본 구성에서는 이때, 표시소자(3705)에는 전류가 흐르지 않는다.

[0298] 계속해서 제2 스위치(3704)를 켜 상태에서 제1 스위치(3703)를 오프 상태로 하고, 제3 스위치(3706)를 온 상태로 한다. 구동 트랜지스터(3701), 표시소자(3705) 및 용량소자(3702)에 전류가 흐르고, 잠시 후, 거기에 전류가 흐르지 않게 된다. 이렇게 해서, 구동 트랜지스터(3701)는 오프 상태가 된다.

[0299] 이 상태가 되면 제2 스위치(3704)는 오프 상태가 된다. 그러면, 용량소자(3702)에는 트랜지스터를 오프 상태로 하는 구동 트랜지스터(3701)의 게이트 단자의 전위와, 제2 스위치(3704)를 끈 순간에 신호선(3708)에 공급되어 있는 아날로그 신호 전위 사이의 전위차(Vp)가 유지된다. 이렇게 해서 화소에 아날로그 신호가 기록된다.

[0300] 화소에 아날로그 신호가 기록되면, 그때 신호선(3708)에 공급된 아날로그 신호 전위를 기준으로 해서, 신호선(3708)의 전위의 변동에 따라 구동 트랜지스터(3701)의 온/오프가 제어되게 된다. 즉, 신호선(3708)의 전위가, 기록 기간에 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위 이하일 때에는 구동 트랜지스터(3701)는 오프 상태가 되고, 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위보다 높아지면 구동 트랜지스터(3701)는 온 상태가 된다.

[0301] 화소에 아날로그 신호가 기록되면, 용량소자(3702)가 전위차(Vp)를 유지하므로, 신호선(3708)의 전위가, 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위 이하일 때에는, 구동 트랜지스터(3701)의 게이트 단자의 전위도, 화소에 아날로그 신호가 기록될 때의 게이트 단자의 전위 이하가 되고, 구동 트랜지스터(3701)는 오프 상태가 된다. 한편, 신호선(3708)의 전위가, 기록 기간에 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위보다 높아지면, 구동 트랜지스터(3701)의 게이트 단자의 전위도, 화소에 아날로그 신호가 기록될 때의 게이트 단자의 전위보다 높아지므로, 구동 트랜지스터(3701)는 온 상태가 된다.

[0302] 따라서, 화소의 발광 기간에는, 제1 스위치(3703) 및 제3 스위치(3706)는 온 상태로 하고, 제2 스위치(3704)는 오프 상태로 하고, 신호선(3608)에 공급하는 전위를 아날로그적으로 변화시킴으로써, 구동 트랜지스터(3701)의 온/오프를 제어한다. 이때, 신호선(3708)에 공급하는 전위로는, 실시예 1에 나타낸 바와 같이, 파형(5901), 파형(5902), 파형(5903), 파형(5904), 파형(5905), 파형(5906) 혹은 파형(5907), 또는 이것들을 복수 연속으로 공급해도 된다.

[0303] 연속으로 공급함으로써, 발광 시간을 1프레임 내에서 분산시킬 수 있다. 그 결과, 프레임 주파수가 외형상 향상되고, 화면의 깜박거림을 방지할 수 있다.

[0304] 이렇게 해서, 화소에 아날로그 신호를 기록할 때에 신호선(3708)에 공급되는 아날로그 신호 전위에 의해 화소의 아날로그 시간계조표시가 가능해진다.

- [0305] 다음으로, 도 73의 화소 구성에 대해서 상세히 설명한다.
- [0306] 화소는 구동 트랜지스터(7301)와, 용량소자(7302)와, 제1 스위치(7303)와, 제2 스위치(7304)와, 제3 스위치(7306)와, 표시소자(7305)와, 신호선(7308)과, 전원선(7309)을 구비한다. 이때, 구동 트랜지스터(7301)에는 n형 트랜지스터를 사용한다.
- [0307] 구동 트랜지스터(7301)의 소스 단자는 표시소자(7305)의 양극과 접속되고, 게이트 단자는 용량소자(7302)를 통해 신호선(7308)과 접속되고, 드레인 단자는 제1 스위치(7303)를 통해 전원선(7309)과 접속된다. 이때, 전원선(7309)에는 전원전위 Vdd가 공급된다. 또한 구동 트랜지스터(7301)의 게이트 단자와 드레인 단자는 제2 스위치(7304)를 통해 접속된다. 따라서 제2 스위치(7304)가 온 상태일 때에는 구동 트랜지스터(7301)의 게이트 단자와 드레인 단자는 도통한다. 그리고, 제2 스위치(7304)가 오프 상태가 되면, 구동 트랜지스터(7301)의 게이트 단자와 드레인 단자는 비도통이 되고, 그 순간의 구동 트랜지스터(7301)의 게이트 단자(드레인 단자)와 신호선(7308)에 의해 공급되는 아날로그 신호 전위 사이의 전위차(전압)를 용량소자(7302)는 유지할 수 있다. 또한 표시소자(7305)의 음극은 Vss의 전위가 공급된 배선(7307)과 접속된다. 또한, 전원선(7309)에 공급하는 전위는 Vdd에 한정되지 않고, 예를 들면, 색 요소 RGB로 이루어진 풀 컬러 표시의 경우에는, RGB의 각각의 색 요소의 화소마다 전원선의 전위의 값을 변환해도 된다.
- [0308] 또한 구동 트랜지스터(7301)의 게이트 단자는 제3 스위치(7306)를 통해 제2 배선(7310)과 접속된다. 이때, 제2 배선(7310)은, 기록 기간에 구동 트랜지스터(7301)의 드레인 단자에 전원전위 Vdd가 공급되었을 때에 구동 트랜지스터(7301)가 충분히 온 상태가 되는 게이트 전위로 설정되는 것이 좋다. 따라서, 제2 배선(7310)은 그 화소의 또는 다른 행의 화소의 제1 스위치(7303), 제2 스위치(7304) 또는 제3 스위치(7306)를 제어하는 주사선으로 해도 된다.
- [0309] 다음으로, 도 73의 화소 구성의 동작 원리에 관하여 설명한다.
- [0310] 화소에의 신호 기록 기간에, 우선, 제1 스위치(7303) 및 제2 스위치(7304)를 끈 상태에서, 제3 스위치(7306)를 온 상태로 한다. 그러면, 용량소자(7302)에 전류가 흘러, 전하의 축적 또는 방전이 행해진다. 이때, 화소의 기록 기간에 신호선(7308)에는 아날로그 신호 전위가 공급된다. 이 아날로그 신호 전위는 비디오신호에 해당한다.
- [0311] 이렇게 해서, 구동 트랜지스터(7301)를 충분히 온 상태로 하는 게이트 단자의 전위만큼의 전하가 용량소자(7302)에 축적된다. 본 구성에 있어서는 이때, 표시소자(7305)에는 전류가 흐르지 않는다.
- [0312] 계속해서, 제1 스위치(7303)를 끈 상태로 제3 스위치(7306)를 오프 상태로 하고, 제2 스위치(7304)를 온 상태로 한다. 그러면 용량소자(7302), 구동 트랜지스터(7301) 및 표시소자(7305)에 전류가 흐르기 시작한다.
- [0313] 잠시 후, 구동 트랜지스터(7301) 및 용량소자(7302)에 전류가 흐르지 않게 되어, 구동 트랜지스터(7301)는 오프 상태가 된다. 이때, 구동 트랜지스터(7301)의 게이트-소스간 전압 Vgs는 역치전압 Vth와 대략 동등하다.
- [0314] 이 상태가 되면 제2 스위치(7304)는 오프 상태가 된다. 그러면, 용량소자(7302)에는 트랜지스터를 오프 상태로 하는 구동 트랜지스터(7301)의 게이트 단자의 전위와, 제2 스위치(7304)가 오프 상태가 될 때 신호선(7308)에 공급되어 있는 아날로그 신호 전위 사이의 전위차(Vp)가 유지된다. 이렇게 해서 화소에 아날로그 신호가 기록된다.
- [0315] 화소에 아날로그 신호가 기록되면, 그때 신호선(7308)에 공급된 아날로그 신호 전위를 기준으로 해서, 신호선(7308)의 전위의 변동에 따라 구동 트랜지스터(7301)의 온/오프가 제어되게 된다. 즉, 신호선(7308)의 전위가, 신호 기록 기간에 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위 이하일 때에는 구동 트랜지스터(7301)는 오프 상태가 되고, 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위보다 높아지면 구동 트랜지스터(7301)는 온 상태가 된다.
- [0316] 화소에 아날로그 신호가 기록되면, 용량소자(7302)가 전위차(Vp)를 유지하므로, 신호선(7308)의 전위가, 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위 이하일 때에는, 구동 트랜지스터(7301)의 게이트 단자의 전위도, 화소에 아날로그 신호가 기록될 때의 게이트 단자의 전위 이하가 되고, 구동 트랜지스터(7301)는 오프 상태가 된다. 한편, 신호선(7308)의 전위가, 기록 기간에 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위보다 높아지면, 구동 트랜지스터(7301)의 게이트 단자의 전위도, 화소에 아날로그 신호가 기록될 때의 게이트 단자의 전위보다 높아지므로, 구동 트랜지스터(7301)는 온 상태가 된다.
- [0317] 따라서, 화소의 발광 기간에는, 제1 스위치(7303)는 온 상태로 하고, 제2 스위치(7304) 및 제3 스위치(7306)는 오프 상태로 하고, 신호선(7308)에 공급하는 전위를 아날로그적으로 변화시킴으로써, 구동 트랜지스터(7301)의

온/오프를 제어한다. 이때, 신호선(7308)에 공급하는 전위로는, 실시예 1에 나타낸 바와 같이, 파형(5901), 파형(5902), 파형(5903), 파형(5904), 파형(5905), 파형(5906) 혹은 파형(5907), 또는 이것들을 복수 연속으로 공급해도 된다.

- [0318] 연속으로 공급함으로써, 발광 시간을 1프레임 내에서 분산시킬 수 있다. 그 결과, 프레임 주파수가 외형상 향상되고, 화면의 깜박거림을 방지할 수 있다.
- [0319] 이렇게 해서, 화소에 아날로그 신호를 기록할 때에 신호선(7308)에 공급되는 아날로그 신호 전위에 의해 화소의 아날로그 시간계조표시가 가능해진다.
- [0320] 실시예 1에 나타낸 도 4의 구성에도 마찬가지로, 화소의 신호 기록 기간에, 구동 트랜지스터(401)를 온 상태로 하기 위해서 게이트 단자의 전위를 용량소자(402)에 축적할 때에는, 도 38과 같이, 전원선(412)과 제1 신호선(410)을 용량소자(402)를 통해 접속한다. 이때, 구동 트랜지스터(401)의 드레인 단자는 게이트 단자(혹은 전원선(412))와 접속되어도 된다. 즉, 도 38의 점선으로 나타낸 부분은 접속되어 있어도 되고, 접속되지 않아도 된다.
- [0321] 구동 트랜지스터(401)의 온/오프를 제어하는 데에 필요한 게이트 전위를 얻을 때에는, 도 39에 나타낸 바와 같이, 구동 트랜지스터(401)의 드레인 단자와 게이트 단자를 접속한다. 이렇게 해서, 구동 트랜지스터(401)가 온 상태로부터 오프 상태가 될 때의 게이트 단자의 전위와, 그때 제1 신호선(410)에 공급되어 있는 아날로그 신호 전위 사이의 전위 차분의 전하가 용량소자(402)에 축적된다.
- [0322] 발광 기간에는, 도 40에 나타낸 바와 같이, 구동 트랜지스터(401)의 게이트 단자를 용량소자(402)를 통해 제2 신호선(411)과 접속하고, 구동 트랜지스터(401)의 드레인 단자와 전원선(412)을 접속한다. 이렇게 해서, 구동 트랜지스터(401)의 드레인 단자에 전원선(412)의 전위를 공급할 수 있다. 따라서, 구동 트랜지스터(401)가 온 상태가 되면 전원선(412)으로부터 표시소자(405)에 전류를 공급할 수 있다.
- [0323] 여기에서, 본 실시예에서는, 도 38에 있어서 점선으로 나타낸 구동 트랜지스터(401)의 드레인 단자와 게이트 단자 및 전원선(412)을 접속하지 않음으로써, 구동 트랜지스터(401)를 충분히 온 상태로 하기 위해서 게이트 단자의 전위를 용량소자(402)에 축적할 때, 표시소자(405)에는 전류를 흘려보내지 않게 할 수 있다. 따라서, 소비 전력을 저감할 수 있다. 그러한 화소 구성의 예를 도 41, 도 42 및 도 43에 나타낸다.
- [0324] 우선, 도 41의 화소 구성에 대해서 자세히 설명한다. 화소는 구동 트랜지스터(4101)와, 용량소자(4102)와, 제1 스위치(4103)와, 제2 스위치(4104)와, 표시소자(4105)와, 제3 스위치(4106)와, 제4 스위치(4107)와, 제5 스위치(4108)와, 제1 신호선(Data1 line)(4110)과, 제2 신호선(Data2 line)(4111)과, 전원선(Supply line)(4112)을 구비한다. 이때, 구동 트랜지스터(4101)에는 n형 트랜지스터를 사용한다.
- [0325] 구동 트랜지스터(4101)의 소스 단자는 표시소자(4105)의 양극과 접속되고, 게이트 단자는 용량소자(4102)의 한 쪽 전극과 접속되고, 용량소자(4102)의 다른 쪽 전극은, 제3 스위치(4106)를 통해 제1 신호선(4110)과, 제4 스위치(4107)를 통해 제2 신호선(4111)과 접속된다. 구동 트랜지스터(4101)의 드레인 단자는 제1 스위치(4103)를 통해 전원선(4112)과 접속된다. 이때, 전원선(4112)에는 전원전위 Vdd가 공급된다. 또한 구동 트랜지스터(4101)의 게이트 단자와 드레인 단자는 제2 스위치(4104)를 통해 접속된다. 따라서 제2 스위치(4104)가 온 상태일 때에는 구동 트랜지스터(4101)의 게이트 단자와 드레인 단자는 도통한다. 그리고, 제2 스위치(4104)가 오프 상태가 되면, 구동 트랜지스터(4101)의 게이트 단자와 드레인 단자는 비도통이 되고, 그 순간의 구동 트랜지스터(4101)의 게이트 단자(드레인 단자)와 제1 신호선(4110)에 의해 공급되는 아날로그 신호 전위 차(전압)를 용량소자(4102)는 유지할 수 있다. 또한 구동 트랜지스터(4101)의 게이트 단자는 제5 스위치(4108)를 통해 전원선(4112)과 접속된다. 또한 표시소자(4105)의 음극은 Vss의 전위가 공급된 배선(4109)과 접속된다. 이때, Vss는 Vss<Vdd를 만족시키는 전위다. 예를 들면, Vss=GND(접지 전위)로 해도 된다. 또한, 전원선에 공급하는 전위는 Vdd에 한정되지 않고, 예를 들면, 색 요소 RGB로 이루어진 폴 컬러 표시의 경우에는, RGB의 각각의 색 요소의 화소마다 전원선의 전위의 값을 변환해도 된다.
- [0326] 다음으로, 도 41의 화소 구성의 동작 원리에 대해서 간단히 설명한다.
- [0327] 화소에의 신호 기록 기간에는, 제4 스위치(4107), 제1 스위치(4103) 및 제2 스위치(4104)를 오프 상태로 하는 한편, 제3 스위치(4106)를 온 상태로 하고, 제5 스위치(4108)를 온 상태로 한다. 그러면, 용량소자(4102)에 전류가 흘러, 전하의 축적 또는 방전이 행해진다. 또한, 화소의 기록 기간에 제1 신호선(4110)에는 아날로그 신호 전위가 공급된다. 이 아날로그 신호 전위가 비디오신호에 해당한다.

- [0328] 이렇게 해서, 구동 트랜지스터(4101)를 충분히 온 상태로 하는 게이트 단자의 전위가 용량소자(4102)에 축적된다. 본 구성에 있어서는, 이때, 표시소자(4105)에는 전류가 흐르지 않는다.
- [0329] 계속해서, 제1 스위치(4103), 제4 스위치(4107)를 끄고, 제3 스위치(4106)를 켜 상태에서, 제5 스위치(4108)를 오프 상태로 하고, 제2 스위치(4104)를 온 상태로 한다. 그러면 용량소자(4102), 구동 트랜지스터(4101) 및 표시소자(4105)에 전류가 흐르기 시작한다.
- [0330] 잠시 후, 구동 트랜지스터(4101) 및 용량소자(4102)에 전류가 흐르지 않게 된다. 이때 구동 트랜지스터(4101)는 오프 상태가 된다.
- [0331] 이 상태가 되면, 제2 스위치(4104)는 오프 상태가 된다. 그러면, 용량소자(4102)에는 트랜지스터를 오프 상태로 하는 구동 트랜지스터(4101)의 게이트 단자의 전위와, 제2 스위치(4104)를 끈 순간 제1 신호선(4110)에 공급되어 있는 아날로그 신호 전위 사이의 전위차(V_p)가 유지된다. 이렇게 해서, 화소에 아날로그 신호가 기록된다.
- [0332] 화소에 아날로그 신호가 기록되면, 그때 제1 신호선(4110)에 공급된 아날로그 신호 전위를 기준으로 해서, 용량소자(4102)의 다른 쪽 전극에 공급되는 전위의 변동에 따라 구동 트랜지스터(4101)의 온/오프가 제어되게 된다. 즉, 용량소자(4102)의 다른 쪽 전극의 전위가, 기록 기간에 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위 이하일 때에는 구동 트랜지스터(4101)는 오프 상태가 되고, 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위보다 높아지면 구동 트랜지스터(4101)는 온 상태가 된다.
- [0333] 화소에 아날로그 신호가 기록되면, 용량소자(4102)가 전위차(V_p)를 유지하므로, 용량소자(4102)의 다른 쪽 전극의 전위가, 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위 이하일 때에는, 구동 트랜지스터(4101)의 게이트 단자의 전위도, 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위보다 높아지면, 구동 트랜지스터(4101)의 게이트 단자의 전위도, 화소에 아날로그 신호가 기록될 때의 게이트 단자의 전위보다 높아지므로, 구동 트랜지스터(4101)는 온 상태가 된다.
- [0334] 따라서, 화소의 발광 기간에는, 제2 스위치(4104), 제5 스위치(4108)가 오프인 상태에서, 제3 스위치(4106)를 오프 상태로 하고, 제1 스위치(4103) 및 제4 스위치(4107)를 온 상태로 한다. 그리고, 제2 신호선(4111)에 공급하는 전위를 아날로그적으로 변화시킴으로써 구동 트랜지스터(4101)의 온/오프를 제어한다. 이때, 제2 신호선(4111)에 공급하는 전위로는, 실시예 1에 나타낸 바와 같이, 과형(5901), 과형(5902), 과형(5903), 과형(5904), 과형(5905), 과형(5906) 혹은 과형(5907), 또는 이것들을 복수 연속으로 공급해도 된다.
- [0335] 연속으로 공급함으로써, 발광 시간을 1프레임 내에서 분산시킬 수 있다. 그 결과, 프레임 주파수가 외형상 향상되고, 화면의 깜박거림을 방지할 수 있다.
- [0336] 이렇게 해서, 화소에 아날로그 신호를 기록할 때에 제1 신호선(4110)에 공급되는 아날로그 신호 전위에 의해 화소의 아날로그 시간계조표시가 가능해진다.
- [0337] 다음으로, 도 42의 화소 구성에 대해서 상세히 설명한다.
- [0338] 화소는 구동 트랜지스터(4201)와, 용량소자(4202)와, 제1 스위치(4203)와, 제2 스위치(4204)와, 표시소자(4205)와, 제3 스위치(4206)와, 제4 스위치(4207)와, 제5 스위치(4208)와, 제1 신호선(Data1 line)(4210)과, 제2 신호선(Data2 line)(4211)과, 전원선(Supply line)(4212)을 구비한다. 이때, 구동 트랜지스터(4201)에는 n형 트랜지스터를 사용한다.
- [0339] 구동 트랜지스터(4201)의 소스 단자는 표시소자(4205)의 양극과 접속되고, 게이트 단자는 용량소자(4202)의 한쪽 전극과 접속되고, 용량소자(4202)의 다른 쪽 전극은, 제3 스위치(4206)를 통해 제1 신호선(4210)과, 제4 스위치(4207)를 통해 제2 신호선(4211)과 접속된다. 구동 트랜지스터(4201)의 드레인 단자는 제5 스위치(4208) 및 제1 스위치(4203)를 통해 전원선(4212)과 접속된다. 또한 구동 트랜지스터(4201)의 게이트 단자와 드레인 단자는 제2 스위치(4204) 및 제5 스위치(4208)를 통해 접속된다. 따라서 제2 스위치(4204) 및 제5 스위치(4208)가 온 상태일 때에는 구동 트랜지스터(4201)의 게이트 단자와 드레인 단자는 도통한다. 그리고, 제2 스위치(4204) 및 제5 스위치(4208)가 오프 상태가 되면, 그 순간의 구동 트랜지스터(4201)의 게이트 단자(드레인 단자)와 제1 신호선(4210)에 의해 공급되는 아날로그 신호 전위 사이의 전위차(전압)를 용량소자(4202)는 유지할 수 있다. 또한 표시소자(4205)의 음극은 V_{ss} 의 전위가 공급된 배선(4209)과 접속된다. 이때, 전원선에 공급하는 전위는 V_{dd} 에桓정되지 않고, 예를 들면, 색 요소 RGB로 이루어진 풀 컬러 표시의 경우에는, RGB의 각각의 색 요소의 화소마다 전원선의 전위의 값을 변환해도 된다.

- [0340] 다음으로, 도 42의 화소 구성의 동작 원리에 대해서 간단히 설명한다.
- [0341] 화소에의 신호 기록 기간에는, 제3 스위치(4206), 제1 스위치(4203) 및 제2 스위치(4204)를 온 상태로 하고, 제4 스위치(4207), 제5 스위치(4208)를 오프 상태로 한다. 그러면, 용량소자(4202)에 전류가 흘러, 전하의 축적 또는 방전이 행해진다. 이때, 화소의 기록 기간에는, 제1 신호선(4210)에는 아날로그 신호 전위가 공급된다. 이 아날로그 신호 전위는 비디오신호에 해당한다.
- [0342] 이렇게 해서, 구동 트랜지스터(4201)를 충분히 온 상태로 하는 게이트 단자의 전위가 용량소자(4202)에 축적된다. 본 구성에 있어서는 이때, 표시소자(4205)에는 전류가 흐르지 않는다.
- [0343] 계속해서, 제3 스위치(4206), 제2 스위치(4204)를 켜고, 제4 스위치(4207)를 끈 상태에서, 제1 스위치(4203)를 오프 상태로 하고, 제5 스위치(4208)를 온 상태로 한다. 그러면 용량소자(4202), 구동 트랜지스터(4201) 및 표시소자(4205)에 전류가 흐르기 시작한다.
- [0344] 잠시 후, 구동 트랜지스터(4201) 및 용량소자(4202)에 전류가 흐르지 않게 된다. 이렇게 해서, 구동 트랜지스터(4201)는 오프 상태가 된다.
- [0345] 그리고, 이 상태가 되면 제2 스위치(4204)를 오프 상태로 한다. 그러면, 용량소자(4202)에는, 트랜지스터를 오프 상태로 하는 구동 트랜지스터(4201)의 게이트 단자의 전위와, 제2 스위치(4204)를 끈 순간 제1 신호선(4210)에 공급되어 있는 아날로그 신호 전위 사이의 전위차(V_p)가 유지된다. 이렇게 해서 화소에 아날로그 신호가 기록된다.
- [0346] 화소에 아날로그 신호가 기록되면, 그때 제1 신호선(4210)에 공급된 아날로그 신호 전위를 기준으로 해서, 용량소자(4202)의 다른 쪽 전극에 공급되는 전위의 변동에 따라 구동 트랜지스터(4201)의 온/오프가 제어되게 된다. 즉, 용량소자(4202)의 다른 쪽 전극의 전위가, 기록 기간에 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위 이하일 때에는 구동 트랜지스터(4201)는 오프 상태가 되고, 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위보다 높아지면 구동 트랜지스터(4201)는 온 상태가 된다.
- [0347] 화소에 아날로그 신호가 기록되면, 용량소자(4202)가 전위차(V_p)를 유지하므로, 용량소자(4202)의 다른 쪽 전극의 전위가, 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위 이하일 때에는, 구동 트랜지스터(4201)의 게이트 단자의 전위도, 화소에 아날로그 신호가 기록될 때의 게이트 단자의 전위 이하가 되고, 구동 트랜지스터(4201)는 오프 상태가 된다. 한편, 용량소자(4202)의 다른 쪽 전극의 전위가, 기록 기간에 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위보다 높아지면, 구동 트랜지스터(4201)의 게이트 단자의 전위도, 화소에 아날로그 신호가 기록될 때의 게이트 단자의 전위보다 높아지므로, 구동 트랜지스터(4201)는 온 상태가 된다.
- [0348] 따라서, 화소의 발광 기간에는, 제1 스위치(4203), 제4 스위치(4207) 및 제5 스위치(4208)를 온 상태로 하고, 제2 스위치(4204) 및 제3 스위치(4206)를 오프 상태로 한다. 그리고, 제2 신호선(4211)에 공급하는 전위를 아날로그적으로 변화시킴으로써 구동 트랜지스터(4201)의 온/오프를 제어한다. 이때, 제2 신호선(4211)에 공급하는 전위로는, 실시예 1에 나타낸 바와 같이, 과형(5901), 과형(5902), 과형(5903), 과형(5904), 과형(5905), 과형(5906) 혹은 과형(5907), 또는 이것들을 복수 연속으로 공급해도 된다.
- [0349] 연속으로 공급함으로써, 발광 시간을 1프레임 내에서 분산시킬 수 있다. 그 결과, 프레임 주파수가 외형상 향상되고, 화면의 깜빡거림을 방지할 수 있다.
- [0350] 이렇게 해서, 화소에 아날로그 신호를 기록할 때에 제1 신호선(4210)에 공급되는 아날로그 신호 전위에 의해 화소의 아날로그 시간계조표시가 가능해진다.
- [0351] 다음으로, 도 43의 화소 구성에 대해서 상세히 설명한다.
- [0352] 화소는 구동 트랜지스터(4301)와, 용량소자(4302)와, 제1 스위치(4303)와, 제2 스위치(4304)와, 표시소자(4305)와, 제3 스위치(4306)와, 제4 스위치(4307)와, 제5 스위치(4308)와, 제1 신호선(Data1 line)(4310)과, 제2 신호선(Data2 line)(4311)과, 전원선(Supply line)(4312)을 구비한다. 이때, 구동 트랜지스터(4301)에는 n형 트랜지스터를 사용한다.
- [0353] 구동 트랜지스터(4301)의 소스 단자는 표시소자(4305)의 양극과 접속되고, 게이트 단자는 용량소자(4302)의 한쪽 전극과 접속되고, 용량소자(4302)의 다른 쪽 전극은, 제3 스위치(4306)를 통해 제1 신호선(4310)과, 제4 스위치(4307)를 통해 제2 신호선(4311)과 접속된다. 구동 트랜지스터(4301)의 드레인 단자는 제1 스위치(4303)를 통해 전원선(4312)과 접속된다. 이때, 전원선(4312)에는 전원전위 Vdd가 공급된다. 또한 구동 트랜지스터(4301)

1)의 게이트 단자와 드레인 단자는 제2 스위치(4304)를 통해 접속된다. 따라서 제2 스위치(4304)가 온 상태일 때에는 구동 트랜지스터(4301)의 게이트 단자와 드레인 단자는 도통한다. 그리고, 제2 스위치(4304)가 오프 상태가 되면, 구동 트랜지스터(4301)의 게이트 단자와 드레인 단자는 비도통이 되고, 그 순간의 구동 트랜지스터(4301)의 게이트 단자(드레인 단자)와 제1 신호선(4310)에 의해 공급되는 아날로그 신호 전위 사이의 전위차(전압)를 용량소자(4302)는 유지할 수 있다. 또한 표시소자(4305)의 음극은 V_{ss}의 전위가 공급된 배선(4309)과 접속된다. 이때, 전원선(4312)에 공급하는 전위는 V_{dd}에 한정되지 않고, 예를 들면, 색 요소 RGB로 이루어진 풀컬러 표시의 경우에는, RGB의 각각의 색 요소의 화소마다 전원선의 전위의 값을 변환해도 된다.

[0354] 또한 구동 트랜지스터(4301)의 게이트 단자는 제5 스위치(4308)를 통해 제2 배선(4313)과 접속된다. 이때, 제2 배선(4313)은, 기록 기간에 구동 트랜지스터(4301)의 드레인 단자에 전원전위 V_{dd}가 공급되었을 때에 구동 트랜지스터(4301)를 충분히 온 상태로 하는 게이트 전위가 설정되어 있으면 된다. 따라서, 제2 배선(4313)은 그 화소의 또는 다른 행의 화소의 제1 스위치(4303), 제2 스위치(4304), 제3 스위치(4306), 제4 스위치(4307) 또는 제5 스위치(4308)를 제어하는 주사선으로 해도 된다.

[0355] 다음으로, 도 43의 화소 구성의 동작 원리에 대해서 간단히 설명한다.

[0356] 화소에의 신호 기록 기간에는, 제1 스위치(4303), 제2 스위치(4304), 제4 스위치(4307)를 오프 상태로 하고, 제3 스위치(4306)를 온 상태로 하고, 제5 스위치(4308)를 온 상태로 한다. 그러면, 용량소자(4302)에 전류가 흘러, 전하의 축적 또는 방전이 행해진다. 이때, 화소의 기록 기간에 제1 신호선(4310)에는 아날로그 신호 전위가 공급된다. 이 아날로그 신호 전위가 비디오신호에 해당한다.

[0357] 이렇게 해서, 구동 트랜지스터(4301)를 충분히 온 상태로 하는 게이트 단자의 전위가 용량소자(4302)에 축적된다. 본 구성에 있어서는 이때, 표시소자(4305)에는 전류가 흐르지 않는다.

[0358] 계속해서, 제3 스위치(4306)를 켜고, 제4 스위치(4307) 및 제1 스위치(4303)를 끈 상태에서, 제5 스위치(4308)를 오프 상태로 하고, 제2 스위치(4304)를 온 상태로 한다. 그러면 용량소자(4302), 구동 트랜지스터(4301) 및 표시소자(4305)에 전류가 흐르기 시작한다.

[0359] 잠시 후, 구동 트랜지스터(4301) 및 용량소자(4302)에 전류가 흐르지 않게 된다. 이렇게 해서, 구동 트랜지스터(4301)는 오프 상태가 된다.

[0360] 이 상태가 되면 제2 스위치(4304)를 오프 상태로 한다. 그러면, 용량소자(4302)에는, 트랜지스터를 오프 상태로 하는 구동 트랜지스터(4301)의 게이트 단자의 전위와, 제2 스위치(4304)를 끈 순간의 제1 신호선(4310)에 공급되어 있는 아날로그 신호 전위 사이의 전위차(V_p)가 유지된다. 이렇게 해서 화소에 아날로그 신호가 기록된다.

[0361] 화소에 아날로그 신호가 기록되면, 그때 제1 신호선(4310)에 공급된 아날로그 신호 전위를 기준으로 해서, 용량소자(4302)의 다른 쪽 전극에 공급되는 전위의 변동에 따라 구동 트랜지스터(4301)의 온/오프가 제어되게 된다. 즉, 용량소자(4302)의 다른 쪽 전극의 전위가, 기록 기간에 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위 이하일 때에는 구동 트랜지스터(4301)는 오프 상태가 되고, 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위보다 높아지면 구동 트랜지스터(4301)는 온 상태가 된다.

[0362] 화소에 아날로그 신호가 기록되면, 용량소자(4302)가 전위차(V_p)를 유지하므로, 용량소자(4302)의 다른 쪽 전극의 전위가, 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위 이하일 때에는, 구동 트랜지스터(4301)의 게이트 단자의 전위도, 화소에 아날로그 신호가 기록될 때의 게이트 단자의 전위 이하가 되고, 구동 트랜지스터(4301)는 오프 상태가 된다. 한편, 용량소자(4302)의 다른 쪽 전극의 전위가, 기록 기간에 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위보다 높아지면, 구동 트랜지스터(4301)의 게이트 단자의 전위도, 화소에 아날로그 신호가 기록될 때의 게이트 단자의 전위보다 높아지므로, 구동 트랜지스터(4301)는 온 상태가 된다.

[0363] 따라서, 화소의 발광 기간에는, 제2 스위치(4304), 제3 스위치(4306), 제5 스위치(4308)를 오프 상태로 하고, 제1 스위치(4303), 제4 스위치(4307)를 온 상태로 한 상태에서, 제2 신호선(4311)에 공급하는 전위를 아날로그적으로 변화시킴으로써 구동 트랜지스터(4301)의 온/오프를 제어하고, 표시소자(4305)에 전류가 흐르고 있는 시간을 아날로그적으로 제어하여, 계조를 표현할 수 있게 된다.

[0364] 이때, 제2 신호선(4311)에 공급하는 전위로는, 실시예 1에 나타낸 바와 같이, 파형(5901), 파형(5902), 파형(5903), 파형(5904), 파형(5905), 파형(5906) 혹은 파형(5907), 또는 이것들을 복수 연속으로 공급해도 된다.

[0365] 연속으로 공급함으로써, 발광 시간을 1프레임 내에서 분산시킬 수 있다. 그 결과, 프레임 주파수가 외형상 향상

되고, 화면의 깜박거림을 방지할 수 있다

[0366] 이렇게 해서, 화소에 아날로그 신호를 기록할 때에 제1 신호선(4310)에 공급되는 아날로그 신호 전위에 의해 화소의 아날로그 시간계조표시가 가능해진다.

[0367] 이때, 실시예 1, 실시예 2, 실시예 3 및 실시예 4에 나타내는 구성을 적절히 조합할 수 있다. 그렇게 해서, 화소에의 신호 기록 기간에 있어서의 소비 전류를 감하고, 소비 전력을 줄일 수 있다.

[0368] 이때, 본 실시예에 있어서, 표시소자를 구동하는 구동 트랜지스터의 소스 단자 및 드레인 단자, 및 표시소자의 양극 및 음극은, 표시소자에 순방향의 전압이 인가될 때의 단자 및 전극을 말한다.

[0369] (실시예 6)

[0370] 본 실시예에서는, 실시예 1에 나타낸 화소 구성에 있어서, 표시소자의 신뢰성을 더욱 향상시키는 구동방법과, 실시예 1에 나타낸 화소 구성보다 더욱 표시소자의 신뢰성이 향상되는 화소 구성 및 그 구동방법에 관하여 설명한다.

[0371] 우선, 실시예 1의 도 1에 나타낸 화소 구성은 참고로, 본 실시예에 의한 구동방법에 대해 설명한다.

[0372] 본 실시예에 있어서는, 1프레임 기간에 순방향 바이어스 기간(기록 기간 및 발광 기간)과 역방향 바이어스 기간을 가진다. 순방향 바이어스 기간에 있어서 기록 기간 및 발광 기간은 실시예 1에 나타낸 동작과 같으므로 그 설명은 생략한다.

[0373] 역방향 바이어스 기간에는, 전원선(109)에 공급하는 전위 Vdd와 배선(110)에 공급하는 전위 Vss를 반대로 한다. 즉, 역방향 바이어스 기간에는 전원선(109)에 Vss를 공급하고, 배선(110)에는 Vdd의 전위를 공급한다. 그리고, 제2 스위치(104)를 오프 상태로 하고, 제1 스위치(103)를 온 상태로 한다. 그러면, 구동 트랜지스터(101)의 소스 단자와 드레인 단자는 순방향 바이어스 기간과는 역이 된다. 또한 표시소자(105)의 양극 또는 음극도 역이 된다. 이때, 신호선(108)에는 구동 트랜지스터(101)를 충분히 온 상태로 하도록 전위를 공급한다.

[0374] 이때, 역방향 바이어스 기간의 초기에 구동 트랜지스터(101)의 게이트 단자의 전위를 설정해도 된다. 즉, 도 68에 나타낸 바와 같이, 역방향 바이어스 기간의 초기에, 게이트 전위설정 기간 Tr를 설정한다. 이때, 제1 주사선(106) 및 제2 주사선(107)에 H레벨의 신호를 공급하고, 제1 스위치(103) 및 제2 스위치(104)를 온 상태로 한다. 그리고, 전원선(109)의 전위는 Vdd로 설정하고, 신호선(108)에는 L레벨의 전위를 공급해 둔다. 그러면, 구동 트랜지스터(101)의 게이트 단자의 전위 Vdd와 신호선(108)의 L레벨의 전위 사이의 전위차가 용량소자(102)에 유지된다.

[0375] 역방향 바이어스 기간에, 게이트 전위설정 기간 Tr이 종료되면, 제1 주사선(106)의 전위가 H레벨인 상태에서, 제2 주사선(107)의 전위는 L레벨이 되어, 제1 스위치(103)는 온, 제2 스위치(104)는 오프 상태가 된다. 그리고, 신호선(108)의 전위가 L레벨로부터 H레벨이 된다. 그러면, 용량소자(102)가 전위차를 유지한 상태에서, 신호선(108)의 전위가 높아지므로, 구동 트랜지스터(101)의 게이트 단자의 전위는 Vdd 이상이 되고, 구동 트랜지스터(101)는 충분히 온 상태로 할 수 있다.

[0376] 따라서, 구동 트랜지스터(101)는 온 상태가 되고, 표시소자(105)에는, 순방향 바이어스 기간과는 반대의 전압을 표시소자(105)에 인가할 수 있다.

[0377] 이렇게, 역방향 바이어스 기간에, 순방향 바이어스 기간과는 역방향의 전압을 표시소자(105)에 인가해도, 정상적인 표시소자(105)에는 전류가 흐르지 않는다(혹은 흐르더라도 극소량의 전류가 흐른다). 한편, 표시소자(105)에 단락 부분이 있는 경우에는, 그 단락 부분에 전류가 흐른다. 따라서, 역방향 바이어스 기간에는, 이 단락 부분을 절연하는 데에 충분한 전류가 흐르도록 역방향의 전압을 인가한다.

[0378] 따라서, 상기한 바와 같이, 역방향 바이어스 기간에, 전원선(109)에 공급하는 전위는 Vss에 한정되지 않는다. 또한 배선(110)에 공급하는 전위도 Vdd에 한정되지 않는다. 즉, 역방향 바이어스 기간에 표시소자(105)의 단락 부분을 절연하는 데에 충분한 전류를 흐르게 할 수 있으면 된다.

[0379] 이렇게, 표시소자(105)의 단락 부분을 절연함으로써, 화소의 표시 불량을 개선할 수 있다. 또한 표시소자(105)의 수명을 연장할 수 있다.

[0380] 다음으로, 실시예 1과는 다른 화소 구성에 의해, 표시소자의 신뢰성을 높이는 화소에 대해서도 66을 참조하여 설명한다.

- [0381] 화소는 구동 트랜지스터(6601)와, 용량소자(6602)와, 제1 스위치(6603)와, 제2 스위치(6604)와, 표시소자(6605)와, 제1 주사선(G1 line)(6606)과, 제2 주사선(G2 line)(6607)과, 신호선(Data line)(6608)과, 전원선(Supply line)(6609)과, 역바이어스용 스위치(6621)를 구비한다. 이때, 구동 트랜지스터(6601)에는 n형 트랜지스터를 사용한다.
- [0382] 구동 트랜지스터(6601)의 소스 단자는 표시소자(6605)의 양극과 접속되고, 게이트 단자는 용량소자(6602)를 통해 신호선(6608)과 접속되고, 드레인 단자는 제1 스위치(6603)를 통해 전원선(6609)과 접속된다. 이때, 전원선(6609)에는 전원전위 Vdd가 공급된다. 또한, 전원선(6609)에 공급하는 전위는 Vdd에 한정되지 않고, 예를 들면, 색 요소 RGB로 이루어진 풀 컬러 표시의 경우에는, RGB의 각각의 색 요소의 화소마다 전원전위의 값을 변환해도 된다.
- [0383] 또한 구동 트랜지스터(6601)의 게이트 단자와 드레인 단자는 제2 스위치(6604)를 통해 접속된다. 따라서 제2 스위치(6604)가 온 상태일 때에는 구동 트랜지스터(6601)의 게이트 단자와 드레인 단자는 도통한다. 그리고, 제2 스위치(6604)가 오프 상태가 되면, 구동 트랜지스터(6601)의 게이트 단자와 드레인 단자는 비도통이 되고, 그 순간의 구동 트랜지스터(6601)의 게이트 단자(드레인 단자)와 신호선(6608) 사이의 전위차(전압)를 용량소자(6602)는 유지할 수 있다. 또한 표시소자(6605)의 음극은 Vss의 전위가 공급된 제1 배선(6610)과 접속된다. 이때, Vss는 Vss<Vdd를 만족시키는 전위다. 예를 들면, Vss=GND(접지 전위)로 해도 된다. 또한 구동 트랜지스터(6601)의 소스 단자와 표시소자(6605)의 양극은, 역바이어스용 스위치(6621)를 통해 Vss2의 전위가 공급된 제2 배선(6622)과 접속된다. 이때, Vss2는 Vss2<Vss를 만족시키는 전위다.
- [0384] 다음으로, 도 66의 화소 구성의 동작 원리에 관하여 설명한다.
- [0385] 이때, 본 실시예에 나타내는 화소 구성에서는, 1프레임 기간에 순방향 바이어스 기간(기록 기간 및 발광 기간)과 역방향 바이어스 기간을 가진다.
- [0386] 화소의 신호 기록 기간에는, 역바이어스용 스위치(6621)를 끈 상태에서, 제1 주사선(6606) 및 제2 주사선(6607)에 신호를 입력하고, 제1 스위치(6603) 및 제2 스위치(6604)를 온 상태로 한다. 그러면, 구동 트랜지스터(6601)의 드레인 단자와 게이트 단자에 전원선(6609)의 전원전위(Vdd)가 공급된다. 그리고, 용량소자(6602), 구동 트랜지스터(6601) 및 표시소자(6605)에 전류가 흘러, 용량소자(6602)에서는 전하의 축적 또는 방전이 행해진다. 이때, 화소에의 신호 기록 기간에 신호선(6608)에는 아날로그 신호 전위가 공급된다. 이 아날로그 신호 전위는 비디오신호에 해당한다.
- [0387] 잠시 후, 용량소자(6602)에는 전류가 흐르지 않게 된다. 그리고, 구동 트랜지스터(6601) 및 표시소자(6605)에 전류가 흐른다. 왜냐하면, 이때 구동 트랜지스터(6601)의 게이트 단자는, 제2 스위치(6604)에 의해 드레인 단자와 도통하고 있어, 게이트 단자의 전위는 전원전위(Vdd)가 되고 구동 트랜지스터(6601)는 온 상태이기 때문이다.
- [0388] 이 상태에서, 제1 스위치(6603)를 끄면, 구동 트랜지스터(6601)와 용량소자(6602)에 전류가 흐르고, 잠시 후, 거기에 전류가 흐르지 않게 된다. 이렇게 해서, 구동 트랜지스터(6601)는 오프 상태가 된다. 이때, 구동 트랜지스터(6601)의 게이트-소스간 전압 Vgs는 역치전압 Vth와 대략 동등하다.
- [0389] 이 상태가 되면 제2 스위치(6604)는 오프 상태가 되고, 용량소자(6602)에는, 트랜지스터를 오프 상태로 하는 구동 트랜지스터(6601)의 게이트 단자의 전위와, 제2 스위치(6604)를 끈 순간 신호선(6608)에 공급되어 있는 아날로그 신호 전위 사이의 전위차(Vp)가 유지된다. 이렇게 해서 화소에 아날로그 신호가 기록된다.
- [0390] 이때, 전술한 제1 스위치(6603), 및 제2 스위치(6604)의 온/오프는 제1 주사선(6606), 및 제2 주사선(6607)에 각각 펄스 신호를 입력해서 제어할 수 있다.
- [0391] 화소에 아날로그 신호가 기록되면, 그때 신호선(6608)에 공급된 아날로그 신호 전위를 기준으로 해서, 신호선(6608)의 전위의 변동에 따라 구동 트랜지스터(6601)의 온/오프가 제어되게 된다. 즉, 신호선(6608)의 전위가, 신호 기록 기간에 화소에 기록될 때의 아날로그 신호 전위 이하일 때에는 구동 트랜지스터(6601)는 오프 상태가 되고, 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위보다 높아지면 구동 트랜지스터(6601)는 온 상태가 된다.
- [0392] 화소에 아날로그 신호가 기록되면, 용량소자(6602)가 전위차(Vp)를 유지하므로, 신호선(6608)의 전위가, 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위 이하일 때에는, 구동 트랜지스터(6601)의 게이트 단자의 전위도, 화소에 아날로그 신호가 기록될 때의 게이트 단자의 전위 이하가 되고, 구동 트랜지스터(6601)는 오프 상태

가 된다. 한편, 신호선(6608)의 전위가, 기록 기간에 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위보다 높아지면, 구동 트랜지스터(6601)의 게이트 단자의 전위도, 화소에 아날로그 신호가 기록될 때의 게이트 단자의 전위보다 높아지므로 구동 트랜지스터(6601)는 온 상태가 된다.

[0393] 따라서, 화소의 발광 기간에는, 역바이어스용 스위치(6621)를 끈 상태에서, 제2 스위치(6604)를 오프 상태로 하고, 제1 스위치(6603)를 켠 상태에서, 신호선(6608)에 공급하는 전위를 아날로그적으로 변화시킴으로써 구동 트랜지스터(6601)의 온/오프를 제어하고, 표시소자(6605)에 전류가 흐르고 있는 시간을 아날로그적으로 제어하여, 제조를 표현할 수 있게 된다.

[0394] 이때, 신호선(6608)에 공급하는 전위로는, 실시예 1에 나타낸 바와 같이, 파형(5901), 파형(5902), 파형(5903), 파형(5904), 파형(5905), 파형(5906) 혹은 파형(5907), 또는 이것들을 복수 연속으로 공급해도 된다.

[0395] 연속으로 공급함으로써, 발광 시간을 1프레임 내에서 분산시킬 수 있다. 그 결과, 프레임 주파수가 외형상 향상되고, 화면의 깜박거림을 방지할 수 있다

[0396] 역방향 바이어스 기간에는, 제1 스위치(6603) 및 제2 스위치(6604)를 오프 상태로 하고, 역바이어스용 스위치(6621)를 온 상태로 한다.

[0397] 그러면, 구동 트랜지스터(6601)의 드레인 단자는 전원선(6609)이나 신호선(6608)과 비도통이 된다. 그리고, 순방향 바이어스 기간(기록 기간 및 발광 기간을 말한다)에, 표시소자(6605)의 양극으로서 기능하던 전극은 제2 배선(6622)과 접속되고, 음극으로서 기능하던 전극에는 제1 배선(6610)과 접속된다. 따라서, 순방향 바이어스 기간에 표시소자(6605)의 양극이나 음극으로서 기능하던 각각의 전극에 공급되는 전위의 고저가, 역방향 바이어스 기간에는 역이 된다. 즉, 역방향 바이어스 기간에는, 표시소자(6605)에 시간제조표시 기간과는 역방향의 전압을 인가한다.

[0398] 이렇게, 역방향 바이어스 기간에, 순방향 바이어스 기간과는 역방향의 전압을 표시소자(6605)에 인가해도, 정상적인 표시소자(6605)에는 전류는 흐르지 않는다. 한편, 표시소자(6605)에 단락 부분이 있을 경우에는, 그 단락 부분에 전류가 흐른다. 따라서, 역방향 바이어스 기간에는, 이 단락 부분을 절연하는 데에 충분한 전류가 흐르도록 역방향의 전압을 인가한다.

[0399] 이렇게, 표시소자(6605)의 단락 부분을 절연함으로써, 화소의 표시 불량을 개선할 수 있다. 또한 표시소자(6605)의 수명을 연장할 수 있다.

[0400] 이때, 도 67에 나타낸 바와 같이, 제1 배선(Cathode)(6610)의 전위를 순방향 바이어스 기간보다 역방향 바이어스 기간에 높게 하는 것이 바람직하다. 이렇게 함으로써, 표시소자(6605)의 단락 부분을 절연하기 위해 충분한 전압을 설정하기 쉬워진다.

[0401] (실시예 7)

[0402] 본 실시예에서는, 화소에 소스 폴로워를 적용하고, 표시소자를 구동하는 트랜지스터에 p채널형 트랜지스터를 사용한다.

[0403] 화소는 구동 트랜지스터(6901)와, 용량소자(6902)와, 제1 스위치(6903)와, 제2 스위치(6904)와, 표시소자(6905)와, 제1 주사선(G1 line)(6906)과, 제2 주사선(G2 line)(6907)과, 신호선(Data line)(6908)과, 전원선(Supply line)(6909)을 구비한다. 이때, 구동 트랜지스터(6901)에는 p형 트랜지스터를 사용한다.

[0404] 구동 트랜지스터(6901)의 소스 단자는 표시소자(6905)의 음극과 접속되고, 게이트 단자는 용량소자(6902)를 통해 신호선(6908)과 접속되고, 드레인 단자는 제1 스위치(6903)를 통해 전원선(6909)과 접속된다. 이때, 전원선(6909)에는 전원전위 Vss가 공급된다. 또한 구동 트랜지스터(6901)의 게이트 단자와 드레인 단자는 제2 스위치(6904)를 통해 접속된다. 따라서 제2 스위치(6904)가 온 상태일 때에는 구동 트랜지스터(6901)의 게이트 단자와 드레인 단자는 도통한다. 그리고, 제2 스위치(6904)가 오프 상태가 되면, 구동 트랜지스터(6901)의 게이트 단자와 드레인 단자는 비도통이 되고, 그 순간의 구동 트랜지스터(6901)의 게이트 단자(드레인 단자)와 신호선(6908) 사이의 전위차(전압)를 용량소자(6902)는 유지할 수 있다. 또한 표시소자(6905)의 양극은 Vdd의 전위가 공급된 배선(6910)과 접속된다. 이때, Vss는 Vss<Vdd를 만족시키는 전위다. 예를 들면, Vss=GND(접지 전위)로 해도 된다. 이때, 전원선(6909)에 공급하는 전위는 Vss에 한정되지 않고, 예를 들면, 색 요소 RGB로 이루어진 풀 컬러 표시의 경우에는, RGB의 각각의 색 요소의 화소마다 전원선(6909)의 전위의 값을 변환해도 된다.

[0405] 다음으로, 도 69의 화소 구성의 동작 원리에 관하여 설명한다.

- [0406] 화소의 신호 기록 기간에, 제1 주사선(6906) 및 제2 주사선(6907)에 신호를 입력하고, 제1 스위치(6903) 및 제2 스위치(6904)를 온 상태로 한다. 그러면, 구동 트랜지스터(6901)의 드레인 단자와 게이트 단자에 전원선(6909)의 전원전위(Vss)가 공급된다. 그리고, 용량소자(6902), 구동 트랜지스터(6901) 및 표시소자(6905)에 전류가 흐르고, 용량소자(6902)에서는 전하의 축적 또는 방전이 행해진다. 이때, 화소에의 신호 기록 기간에 신호선(6908)에는 아날로그 신호 전위가 공급된다. 이 아날로그 신호 전위는 비디오신호에 해당한다.
- [0407] 잠시 후, 용량소자(6902)에는 전류가 흐르지 않게 된다. 그리고, 구동 트랜지스터(6901) 및 표시소자(6905)에 전류가 흐른다. 왜냐하면, 이때 구동 트랜지스터(6901)의 게이트 단자는, 제2 스위치(6904)에 의해 드레인 단자와 도통하고 있어, 게이트 단자의 전위는, 전원전위(Vss)가 되고 구동 트랜지스터(6901)는 온 상태이기 때문이다.
- [0408] 이 상태에서, 제1 스위치(6903)를 끄면, 구동 트랜지스터(6901)와 용량소자(6902)에 전류가 흐르고, 잠시 후, 거기에 전류가 흐르지 않게 된다. 이렇게 해서, 구동 트랜지스터(6901)는 오프 상태가 된다. 이때, 구동 트랜지스터(6901)의 게이트-소스간 전압 Vgs는 역치전압 Vth와 대략 동등하다.
- [0409] 이 상태가 되면 제2 스위치(6904)는 오프 상태가 되고. 용량소자(6902)에는, 트랜지스터를 오프 상태로 하는 구동 트랜지스터(6901)의 게이트 단자의 전위와, 제2 스위치(6904)를 끈 순간 신호선(6908)에 공급되어 있는 아날로그 신호 전위 사이의 전위차(Vp)가 유지된다. 이렇게 해서 화소에 아날로그 신호가 기록된다.
- [0410] 이때, 전술한 제1 스위치(6903), 및 제2 스위치(6904)의 온/오프는, 제1 주사선(6906), 및 제2 주사선(6907)에 각각 펄스 신호를 입력해서 제어할 수 있다.
- [0411] 화소에 아날로그 신호가 기록되면, 그때 신호선(6908)에 공급된 아날로그 신호 전위를 기준으로 해서, 신호선(6908)의 전위의 변동에 따라 구동 트랜지스터(6901)의 온/오프가 제어되게 된다. 즉, 신호선(6908)의 전위가, 신호 기록 기간에 화소에 기록될 때의 아날로그 신호 전위 이상일 때에는 구동 트랜지스터(6901)는 오프 상태가 되고, 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위보다 낮아지면 구동 트랜지스터(6901)는 온 상태가 된다.
- [0412] 화소에 아날로그 신호가 기록되면, 용량소자(6902)가 전위차(Vp)를 유지하므로, 신호선(6908)의 전위가, 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위 이상일 때에는, 구동 트랜지스터(6901)의 게이트 단자의 전위도, 화소에 아날로그 신호가 기록될 때의 게이트 단자의 전위 이상이 되고, 구동 트랜지스터(6901)는 오프 상태가 된다. 한편, 신호선(6908)의 전위가, 기록 기간에 화소에 아날로그 신호가 기록될 때의 아날로그 신호 전위보다 낮아지면, 구동 트랜지스터(6901)의 게이트 단자의 전위도, 화소에 아날로그 신호가 기록될 때의 게이트 단자의 전위보다 낮아지므로 구동 트랜지스터(6901)는 온 상태가 된다.
- [0413] 따라서, 화소의 발광 기간에는, 제2 스위치(6904)를 끄고, 제1 스위치(6903)를 켜 상태에서, 신호선(6908)에 공급하는 전위를 아날로그적으로 변화시킴으로써 구동 트랜지스터(6901)의 온/오프를 제어하고, 표시소자(6905)에 전류가 흐르고 있는 시간을 아날로그적으로 제어하여, 계조를 표현할 수 있게 된다.
- [0414] 이때, 신호선(6908)에 공급하는 전위로는, 실시예 1에 나타낸 바와 같이, 파형(5901), 파형(5902), 파형(5903), 파형(5904), 파형(5905), 파형(5906) 혹은 파형(5907), 또는 이것들을 복수 연속으로 공급해도 된다.
- [0415] 연속으로 공급함으로써, 발광 시간을 1프레임 내에서 분산시킬 수 있다. 그 결과, 프레임 주파수가 외형상 향상되고, 화면의 깜박거림을 방지할 수 있다.
- [0416] 본 실시예에 나타낸 바와 같이, p형 트랜지스터를 구동 트랜지스터로 사용함으로써 핫캐리어의 발생을 방지할 수 있고, 트랜지스터의 열화 수명을 연장할 수 있다.
- [0417] 또한 본 실시예의 화소 구성을 가지는 표시 패널에 있어서, 도 13a에 나타낸 바와 같은 윗면 추출 구조로 할 때, 양극이 되는 제2 전극(1304)을 ITO나 IZO 등의 투광성이 높은 투명도전막으로 할 수 있다.
- [0418] 또한 도 25와 같이, 전원선으로서 이웃 행의 화소의 제2 주사선을 사용하는 구성에 있어서, 구동 트랜지스터(2501)를 p형 트랜지스터로 하고, 제1 스위칭용 트랜지스터(2503) 및 제2 스위칭용 트랜지스터(2504)를 n형 트랜지스터로 할 수 있다. 따라서, 스위칭용 트랜지스터의 리크 전류를 저감할 수 있다.
- [0419] (실시예 8)
- [0420] 본 실시예에서는, 본 발명의 화소 구성을 가지는 폴 컬러 표시에 적합한 표시장치의 구성에 관하여 설명한다.

- [0421] 풀 컬러 표시의 경우에는, 전원선(Supply line)을 색 요소의 화소마다 설치하고, 각각의 전원선의 전위를 색 요소마다 설정함으로써, 표시소자의 휘도를 각 색에 대해 조정할 수 있다. 따라서, 각 색에 대해 표시소자가 다른 휘도 특성을 지니더라도, 색조를 조정할 수 있다. 예를 들면, 도 2에서 나타낸 바와 같은 화소를 가질 경우에는, 전원선 P1 ~ Pn 중, R(빨강)의 색 요소의 화소의 표시소자의 양극에 입력하는 전위가 공급되는 전원선, G(초록)의 색 요소의 화소의 표시소자의 양극에 입력하는 전위가 공급되는 전원선, B(파랑)의 색 요소의 화소의 표시소자의 양극에 입력하는 전위가 공급되는 전원선, W(화이트)의 색 요소의 화소의 표시소자의 양극에 입력하는 전위가 공급되는 전원선에는 각 색의 휘도 특성에 따른 전위를 설정할 수 있다.
- [0422] 또한 다른 구성으로서, 예를 들면, 화소의 표시소자에 백색(W)의 표시소자를 적용하고, 컬러 필터를 사용해서 풀 컬러 표시를 함으로써, 각 색 요소로부터 얻어지는 휘도를 대체로 동등하게 할 수 있다.
- [0423] 또한, 다른 구성으로서, 도 74에 본 실시예의 표시장치의 모식도를 나타낸다. 이때, 도 74에서는 일례로서 RGB의 각 표시소자를 사용한 각 색 요소의 화소로 이루어진 풀 컬러 표시장치의 모식도를 나타낸다. 표시장치는, 삼각파 전위 생성 회로(7401R, 7401G, 7401B), 변환 회로(7402), 화소부(7403)를 가진다. 화소부(7403)에는, 복수의 화소(7404)가 매트릭스로 배치되어 있다. R의 화소 열에는 신호선 Dr로부터, G의 화소 열에는 신호선 Dg으로부터, B의 화소 열에는 신호선 Db로부터 신호가 입력된다. 이때, 화소(7404)에는 도 1의 화소 구성을 적용하지만 이것에 한정되지 않는다. 본 발명의 화소를 적절히 적용할 수 있다.
- [0424] 또한 삼각파 전위 생성 회로(7401R)는 색 요소 R에 대한 화소 열의 삼각파 전위를 생성한다. 삼각파 전위 생성 회로(7401G)는 색 요소 G에 대한 화소 열의 삼각파 전위를 생성하고, 삼각파 전위 생성 회로(7401B)는 색 요소 B에 대한 화소 열의 삼각파 전위를 생성한다.
- [0425] 화소의 신호 기록 기간에는, 변환 회로(7402)에 의해, 비디오신호(Analog video data)가 입력되는 단자와 각각의 신호선 Dr, Dg, Db를 접속한다. 그리고, 발광 시간이 되면, 변환 회로(7402)는, 삼각파 전위 생성 회로(7401R)에 의해 삼각파가 입력되는 단자와 신호선 Dr, 삼각파 전위 생성 회로 7401G에 의해 삼각파가 입력되는 단자와 신호선 Dg, 삼각파 전위 생성 회로 7401B에 의해 삼각파가 입력되는 단자와 신호선 Db를 접속한다.
- [0426] 이렇게 해서, 각 색의 화소에는, 다른 삼각파를 공급할 수 있다. 따라서, 각 색의 표시소자의 휘도 특성에 따라, 발광 시간을 제어할 수 있으므로 깨끗한 표시의 풀 컬러 표시를 행할 수 있다. 또한 화소부(7403) 내에 색 요소의 화소마다 배선을 설치할 필요가 없기 때문에, 개구율도 높일 수 있다.
- [0427] 표시소자의 휘도 특성과 신호선에 입력하는 삼각파의 관계를, 도 75를 참조하여 설명한다. 일례로서, 색 요소 R에 대한 화소의 표시소자의 휘도 특성을 기준으로, 색 요소 G에 대한 화소의 표시소자로부터 얻어지는 휘도는 낮고, 색 요소 B에 대한 화소의 표시소자로부터 얻어지는 휘도는 높은 경우에 관하여 설명한다.
- [0428] 이 경우에는, 신호선 Dr(Data line R pixel)에 입력하는 삼각파의 전위를 기준으로 하면, 신호선 Dg(Data line G pixel)에 입력하는 삼각파의 전위는 급한 경사로 한다. 즉, 삼각파의 전위의 진폭을 크게 한다. 한편, 신호선 Db(Data line B pixel)에 입력하는 삼각파 전위는 완만한 경사로 한다. 즉, 삼각파 전위의 진폭을 작게 한다.
- [0429] 이렇게 함으로써, 같은 계조를 표시하더라도, 화소의 각 색 요소에 따라, 발광 시간을 변환할 수 있다. 예를 들면, R의 화소는 1프레임 기간 동안 가장 높은 계조의 표시 기간에는 Tmax(R), G의 화소는 1프레임 기간 동안 가장 높은 계조의 표시 기간에는 Tmax(G), B의 화소는 1프레임 기간 동안 가장 높은 계조의 표시 기간에는 Tmax(B)이 된다.
- [0430] 또한 다른 구성으로서, 비디오신호의 전위의 폭을 색 요소마다 변환해도 된다. 즉, 도 76에 나타낸 바와 같이, 색 요소 R에 대한 화소를 기준으로 하면, 색 요소 G에 대한 화소의 표시소자로부터 얻어지는 휘도가 낮은 경우에는, G의 비디오신호의 폭을 작게 한다. 한편, 색 요소 B에 대한 화소의 표시소자로부터 얻어지는 휘도가 높은 경우에는, B의 비디오신호의 폭을 크게 한다. 이렇게 해서, 같은 계조를 표시하더라도, 화소의 각 색 요소에 따라, 발광 시간을 변경할 수 있다. 예를 들면, R의 화소는 1프레임 기간 동안 가장 높은 계조의 표시 기간에는 Tmax(R), G의 화소는 1프레임 기간 동안 가장 높은 계조의 표시 기간에는 Tmax(G), B의 화소는 1프레임 기간 동안 가장 높은 계조의 표시 기간에는 Tmax(B)이 된다.
- [0431] 또한, 다른 구성으로서, 색 요소마다 각각의 계조에 대응하는 비디오신호의 전위를 시프트시키는 구성과, 색 요소마다 삼각파 전위의 진폭을 변경하는 구성을 조합해도 된다. 이렇게 함으로써, 진폭을 작게 할 수 있고, 소비 전력의 절감을 피할 수 있다.
- [0432] (실시예 9)

- [0433] 이어서, 단면도 77을 참고로 하여, 도 73의 화소가 포함된 표시 패널의 바람직한 구성의 단면구조에 관하여 설명한다.
- [0434] 기판(7701) 위에 하지막(7702)을 형성한다. 기판(7701)으로는 유리기판, 석영기판, 플라스틱 기판, 세라믹기판 등의 절연성 기판, 금속기판, 반도체기판 등을 사용할 수 있다. 하지막(7702)은 CVD법이나 스퍼터링법에 의해 형성할 수 있다. 예를 들면, SiH₄, N₂O, NH₃을 원료로 사용한 CVD법에 의해 형성한 산화규소막, 질화규소막, 산화질화규소막 등을 적용할 수 있다. 또한 이것들의 적층을 사용해도 된다. 이때, 하지막(7702)은 기판(7701)으로부터 불순물이 반도체층에 확산하는 것을 막기 위해서 설치하는 것이며, 기판(7701)으로서 유리기판이나 석영기판을 사용하는 경우에는 하지막(7702)은 설치하지 않아도 된다.
- [0435] 다음으로, 하지막(7702) 위에 섬 형상의 반도체층을 형성한다. 반도체층에는, 트랜지스터(7727)의 채널 형성 영역(7703), 소스 영역 또는 드레인 영역이 되는 불순물영역(7704) 및 저농도 불순물영역(LDD영역)(7705), 및 트랜지스터(7728)의 채널 형성 영역(7706), 소스 또는 드레인 영역이 되는 불순물영역(7707), 저농도 불순물영역(LDD영역)(7708)이 형성된다. 그리고, 채널 형성 영역(7703) 및 채널 형성 영역(7706) 위에 게이트 절연막(7709)을 사이에 두고 게이트 전극(7710) 및 게이트 전극(7711)을 구비한다. 게이트 절연막(7709)으로는 CVD법이나 스퍼터링법에 의해 형성되는 산화규소막, 질화규소막, 산화질화규소막 등을 사용할 수 있다. 또한 게이트 전극(7710) 및 게이트 전극(7711)으로는 알루미늄(AI)막, 구리(Cu)막, 알루미늄 또는 구리를 주성분으로 하는 박막, 크롬(Cr)막, 탄탈(Ta)막, 질화탄탈(TaN)막, 티타늄(Ti)막, 텉스텐(W)막, 몰리브덴(Mo)막 등을 사용할 수 있다.
- [0436] 게이트 전극(7710)의 측면에는 사이드월(7712), 게이트 전극(7711)의 측면에는 사이드월(7713)이 형성된다. 게이트 전극(7710) 및 게이트 전극(7711)을 덮도록 실리콘 화합물, 예를 들면, 산화실리콘막, 질화실리콘막 혹은 산화질화실리콘막을 형성한 후, 에치백해서 사이드월(7712) 및 사이드월(7713)을 형성할 수 있다.
- [0437] 이때, 저농도 불순물영역(7705), 저농도 불순물영역(7708)은 각각 사이드월(7712), 사이드월(7713)의 하부에 위치한다. 즉, 자기정합적으로 저농도 불순물영역(7705) 및 저농도 불순물영역(7708)이 형성된다. 이때, 사이드월(7712, 7713)은, 저농도 불순물영역(7705) 및 저농도 불순물영역(7708)을 자기정합적으로 형성하기 위해서 설치하는 것이며, 반드시 설치할 필요는 없다.
- [0438] 게이트 전극(7710), 게이트 전극(7711), 사이드월(7712), 사이드월(7713) 및 게이트 절연막(7709) 위에는 제1 층간 절연막을 구비한다. 제1 층간 절연막은 하층에 무기절연막(7714), 상층에 수지막(7715)을 구비한다. 무기 절연막(7714)으로는, 질화규소막, 산화규소막, 산화질화규소막 또는 이것들을 적층한 막을 사용할 수 있다. 수지막(7715)으로는, 폴리이미드, 폴리아미드, 아크릴, 폴리이미드 아미드, 에폭시 등을 사용할 수 있다.
- [0439] 제1 층간 절연막 위에는, 배선(7716), 배선(7717), 배선(7718) 및 배선(7719)을 가지고, 배선(7716) 및 배선(7717)은 콘택홀을 통해 불순물영역(7704)과, 배선(7718) 및 배선(7719)은 콘택홀을 통해 불순물영역(7707)과 전기적으로 접속된다. 배선(7716), 배선(7717), 배선(7718) 및 배선(7719)으로는, 티타늄(Ti)막이나 알루미늄(AI)막이나 구리(Cu)막이나 Ti를 포함하는 알루미늄막 등을 사용할 수 있다. 이때, 배선(7716), 배선(7717), 배선(7718) 및 배선(7719)과 같은 층에 신호선 등의 배선을 설치할 경우에는 저저항의 구리를 사용하는 것이 바람직하다.
- [0440] 배선(7716), 배선(7717), 배선(7718) 및 배선(7719) 및 제1 층간 절연막 위에 제2 층간 절연막(7720)을 가진다. 제2 층간 절연막(7720)으로는, 무기절연막이나, 수지막, 또는 이것들의 적층을 사용할 수 있다. 무기 절연막으로는, 질화규소막, 산화규소막, 산화질화규소막 또는 이것들을 적층한 막을 사용할 수 있다. 수지막으로는, 폴리이미드, 폴리아미드, 아크릴, 폴리이미드 아미드, 에폭시 등을 사용할 수 있다.
- [0441] 제2 층간 절연막(7720) 위에는 화소전극(7721) 및 배선(7722)을 구비하는데, 그것들은 같은 재료로 형성된다. 즉, 같은 층에 동시에 형성된다. 화소전극(7721)이나 배선(7722)에 사용하는 재료에는, 일함수가 큰 재료를 사용하는 것이 바람직하다. 예를 들면, 질화티타늄(TiN)막, 크롬(Cr)막, 텉스텐(W)막, 아연(Zn)막, 플라티나(Pt)막 등의 단층 막 외에도, 질화티타늄과 알루미늄을 주성분으로 하는 막과의 적층, 질화티타늄막과 알루미늄을 주성분으로 하는 막과 질화티타늄막과의 3층 구조 등을 사용할 수 있다. 이때, 적층구조로 하면, 배선으로서의 저항도 낮고, 양호한 오믹 콘택트가 얻어져, 한층 더 양극으로서 기능시킬 수 있다. 빛을 반사하는 금속막을 사용함으로써, 빛을 투과시키지 않는 양극을 형성할 수 있다.
- [0442] 화소전극(7721) 및 배선(7722)의 단부를 덮도록 절연물(7723)을 가진다. 예를 들면, 절연물(7723)로는, 포지티

브형 감광성 아크릴수지막을 사용할 수 있다.

[0443] 화소전극(7721) 위에, 유기 화합물을 포함하는 층(7724)이 형성되고, 유기 화합물을 포함하는 층(7724)의 일부는 절연물(7723)과 겹친다. 이때, 유기 화합물을 포함하는 층(7724)은, 배선(7722) 위에는 형성되지 않는다.

[0444] 유기 화합물을 포함하는 층(7724), 절연물(7723) 및 배선(7722) 위에 대향전극(7725)을 구비한다. 대향전극(7725)에 사용하는 재료로는, 일함수가 작은 재료를 사용하는 것이 바람직하다. 예를 들면, 알루미늄(A1), 은(Ag), 리튬(Li), 칼슘(Ca), 혹은 이것들의 합금 또는, MgAg, MgIn, AlLi, CaF₂, 혹은 CaN 등의 금속 박막을 사용할 수 있다. 이와 같이 얇은 금속 박막을 사용함으로써, 빛을 투과시킬 수 있는 음극을 형성할 수 있다.

[0445] 대향전극(7725)과 화소전극(7721) 사이에 유기 화합물을 포함하는 층(7724)이 개재된 영역에는 표시소자(7726)가 형성된다.

[0446] 절연물(7723)에 의해 유기 화합물을 포함하는 층(7724)이 격리되어 있는 영역에는, 대향전극(7725)과 배선(7722)이 접하는 접합부(7729)가 형성된다. 따라서, 배선(7722)이 대향전극(7725)의 보조 전극으로서 기능하고, 대향전극(7725)을 저저항화할 수 있다. 따라서, 대향전극(7725)의 막 두께를 얇게 할 수 있고, 투과율을 높일 수 있다. 따라서, 표시소자(7726)로부터 얻어지는 빛을 윗면으로부터 추출하는 구조의 표시 패널에 있어서, 보다 높은 휙도를 얻을 수 있다.

[0447] 이때, 대향전극(7725)을 보다 저저항화하기 위해서, 금속 박막과 투명도전막(ITO(인듐 주석 산화물), 인듐 아연 산화물(IZO), 산화아연(ZnO) 등)의 적층을 사용해도 된다. 이렇게 해서 얇은 금속 박막과, 투명성을 가지는 투명도전막을 사용함으로써, 빛을 투과시킬 수 있는 음극을 형성할 수 있다.

[0448] 이때, 불순물영역(7704) 및 불순물영역(7707)에는 n형 불순물이 도핑되어 있다. 따라서, 트랜지스터(7727) 및 트랜지스터(7728)는 n형 트랜지스터다.

[0449] 즉, 트랜지스터(7727)는 도 73의 화소의 구동 트랜지스터(7301)에 해당하고, 트랜지스터(7728)는 도 73의 화소의 스위치(7306)에 해당한다. 또한 배선(7722)이 도 73의 화소에 있어서의 배선(7310)이며, 대향전극(7725)이 도 73의 화소에 있어서의 표시소자(7305)의 음극이다. 즉, 도 73의 화소에 있어서 배선(7310)과 표시소자(7305)의 음극이 접속된다.

[0450] 이때, 도 77에서 설명한 표시 패널에서는 대향전극(7725)의 막을 얇게 할 수 있어, 윗면으로부터 추출하는 빛의 투광성이 좋다. 따라서, 윗면으로부터의 휙도를 높일 수 있다. 또한 대향전극(7725)과 배선(7722)을 접속함으로써, 대향전극(7725) 및 배선(7722)을 저저항화할 수 있다. 따라서, 소비 전력의 저감을 꾀할 수 있다.

[0451] 다음으로, 윗면으로부터 본 표시 패널의 모식도 78a, 78b를 참조해서 표시 패널의 구성에 관하여 설명한다. 기판(7800) 위에 신호선 구동회로(7801), 주사선 구동회로(7802), 화소부(7803)가 형성된다. 이때, 기판(7800)은 FPC(플렉시블 프린트 서킷)(7804)와 접속되고, 신호선 구동회로(7801)나 주사선 구동회로(7802)에 입력되는 비디오신호, 클록 신호, 스타트 신호 등의 신호를 외부입력 단자가 되는 FPC(7804)로부터 받는다. FPC(7804)와 기판(7800)의 접합부 위에는 IC칩(메모리 회로나, 베틀 회로 등이 형성된 반도체칩)(7805)이 COG(Chip On Glass) 등으로 설치되어 있다. 또한, 여기에서는 FPC(7804)밖에 도시하지 않았지만, 이 FPC(7804)에는 프린트 서킷 기반(PWB)이 장착되어도 된다. 본 명세서에 있어서의 표시장치는, 표시 패널 본체뿐만 아니라, 거기에 FPC 혹은 PWB가 부착된 상태도 포함하는 것으로 한다. 또한 IC칩 등이 설치된 것을 포함하는 것으로 한다.

[0452] 도 78a에 나타내는 표시 패널의 화소부(7803)에는 화소가 매트릭스로 배치되어 있어, 각각의 색 요소마다 화소 열이 형성된다. 유기 화합물을 포함하는 층(7807)은 각 색에 대한 하나의 열의 화소들에 걸쳐 설치된다. 그리고, 화소부에 있어서, 유기 화합물을 포함하는 층(7807)이 설치되지 않는 영역(7806)에, 화소전극과 같은 재료로 형성된 배선과 대향전극의 접합부를 형성한다. 즉, 도 77의 단면도에 있어서의 접합부(7729)를 도 78a에 있어서의 영역(7806)에 형성한다. 화소부에 있어서의 윗면의 모식도를 도 79에 나타낸다. 도 79에서는, 화소전극(7901)과 같은 재료로 배선(7902)이 형성된다. 그리고, 화소전극(7901)은 도 77의 화소전극(7721)에 해당하고, 배선(7902)은 도 77의 배선(7722)에 해당한다. 하나의 열의 화소전극(7901)에 걸쳐 유기 화합물을 포함하는 층이 형성되고, 화소전극(7901)과 대향전극 사이에 유기 화합물을 포함하는 층이 개재된 영역에 표시소자가 형성된다. 대향전극과 배선(7902)이 접하는 접합부에서는 대향전극의 저저항화를 꾀할 수 있다. 즉, 배선(7902)이 대향전극의 보조 전극으로서 기능한다. 이때, 도 79와 같은 화소부의 구성으로 함으로써 개구율이 높고, 대향전극의 저저항화를 꾀한 표시 패널을 제공할 수 있다.

[0453] 도 78b에 나타내는 표시 패널의 화소부(7803)에는 화소가 매트릭스로 배치되어 있어, 각각의 색 요소마다 화소

열이 형성된다. 유기 화합물을 포함하는 층(7817)은 각 색에 대한 하나의 열의 화소들에 걸쳐 설치된다. 그리고, 화소부에 있어서, 유기 화합물을 포함하는 층(7817)이 설치되지 않는 영역(7816)에, 화소전극과 같은 재료로 형성된 배선과 대향전극의 접합부를 형성한다. 즉, 도 77의 단면도에 있어서의 접합부(7729)를 도 78b에 있어서의 영역(7816)에 형성한다. 화소부에 있어서의 윗면의 모식도를 도 80에 나타낸다. 도 80에서는, 화소전극(8001)과 같은 재료로 배선(8002)이 형성된다. 그리고, 화소전극(8001)은 도 77의 화소전극(7721)에 해당하고, 배선(8002)은 도 77의 배선(7722)에 해당한다. 각 화소전극(8001)에는 유기 화합물을 포함하는 층이 형성되고, 화소전극(8001)과 대향전극 사이에 유기 화합물을 포함하는 층이 개재된 영역에 각각 표시소자가 형성된다. 대향전극과 배선(8002)이 접하는 접합부에서는, 대향전극의 저저항화를 피할 수 있다. 즉, 배선(8002)이 대향전극의 보조 전극으로서 기능한다. 이때, 도 80과 같은 화소부의 구성으로 함으로써, 보다 대향전극의 저저항화를 피한 표시 패널을 제공할 수 있다.

[0454] 본 실시예에 나타낸 표시 패널은, 대향전극의 투광성이 좋고, 화소의 개구율이 높기 때문에, 휘도를 낮게 해도 필요한 광도를 얻을 수 있다. 따라서, 표시소자의 신뢰성을 향상시킬 수 있다. 또한 대향전극의 저저항화도 피할 수 있어, 소비 전력도 저감할 수 있다.

[0455] (실시예 10)

[0456] 본 실시예에서는, 발광 기간에 신호선(Data line)에 공급하는 전위를 아날로그로 변환하지 않고 소정의 전위를 공급하는 구동방법에 관하여 설명한다. 이때, 본 실시예에 있어서 나타내는 구동방법은 실시예 1 내지 실시예 9에 나타낸 표시장치에 적용할 수 있다.

[0457] 일례로서, 실시예 1에 나타낸 도 2의 표시장치에 본 실시예의 구동방법을 적용한 경우에 대해, 도 81의 타이밍 차트를 참조해서 상세히 설명한다. 도 81은 도 2에 있어서의 표시장치의 화소부(204)에 있어서 화소 열(j번째 열)의 타이밍 차트를 도시한 도면이다. 이때, 화소부(204)에 복수 개 배치된 각각의 화소는, 화소(205)와 구성이 동일하므로, 각각의 화소의 구동 트랜지스터, 용량소자, 제1 스위치, 제2 스위치 및 표시소자는 화소(205)와 같은 부호로 나타내어 설명한다.

[0458] 도 81에 나타낸 바와 같이, 기록 기간에는 j번째 열의 화소의 Data line(신호선 Dj)에 아날로그 신호 전위가 입력된다. G1 line(제1 주사선 G1ai)과 G2 line(제2 주사선 G2bi)에 펄스 신호가 입력되면, 제1 스위치(208)와 제2 스위치(209)는 온 상태가 되고, i번째 행의 화소의 구동 트랜지스터(206)의 드레인 단자에는 전원선 Pj로부터의 전원전위(Vdd)가 공급되어, 용량소자(207), 구동 트랜지스터(206) 및 표시소자(210)에 전류가 흐른다. 그리고, 용량소자(207)에서는 전하의 축적 혹은 방전이 행해진다. 즉, 용량소자(207)에 원래 축적되어 있던 전하와 Data line(신호선 Dj)에 공급된 전위(Va)의 관계에 따라 전하의 축적 또는 방전이 일어난다. 그리고, 제1 주사선 G1ai에 입력된 펄스 신호의 폭보다 제2 주사선 G2bi에 입력되는 펄스 신호의 폭이 길기 때문에, 제2 스위치(209)는 온인 상태에서 제1 스위치(208)는 오프 상태가 된다. 그리고, 제1 스위치(208)가 오프 상태인 순간은, 구동 트랜지스터(206)의 게이트 단자에는 전원전위(Vdd)가 공급되기 때문에 구동 트랜지스터(206)는 온 상태가 된다. 따라서, 구동 트랜지스터(206), 표시소자(210) 및 용량소자(207)에 전류가 흐른다. 잠시 후, 구동 트랜지스터(206), 표시소자(210) 및 용량소자(207)에 전류가 흐르지 않게 된다. 즉 정상상태에 도달한다. 이렇게 해서, 구동 트랜지스터(206)는 오프 상태가 된다. 이때, 구동 트랜지스터(206)의 게이트-소스간 전압 Vgs는 역치전압 Vth와 대략 동등하다. 이때, 구동 트랜지스터(206)의 온/오프를 제어하는 데에 필요한 게이트 전위를 얻을 수 있으면 완전히 정상상태가 되지 않아도 된다. 그 후에 제2 스위치(209)는 오프 상태가 되고, 용량소자(207)는 트랜지스터를 오프 상태로 하는 구동 트랜지스터(206)의 게이트 단자의 전위와, 제2 스위치(209)가 오프 상태인 순간의 신호선 Dj에 공급되어 있는 아날로그 신호 전위 사이의 전위차를 유지한다. 이렇게 해서, i번째 행, j번째 열의 화소에 Data line(신호선 Dj)로부터 아날로그 신호가 기록된다. 또한, 이때, 모든 화소 열에 각각의 Data line(신호선 D1 ~ Dn)으로부터 각각의 아날로그 신호 전위가 입력되고, 각 열의 i번째 행의 화소에 아날로그 신호가 기록된다.

[0459] 다음으로, i+1번째 행의 G1 line(제1 주사선 G1ai+1)과 G2 line(제2 주사선 G2bi+1)에 펄스 신호가 입력되면, i+1번째 행, j번째 열의 화소의 Data line(신호선 Dj)에는 전위(Vb)이 입력되고, 화소에 아날로그 신호가 기록된다. 또한, 이때, 각 화소의 열마다 각각의 Data line(신호선 D1 ~ Dn)으로부터 각각의 아날로그 신호 전위가 입력되고, 각 열의 i+1번째 행의 화소에 아날로그 신호가 기록된다.

[0460] 이렇게, 화소의 각 행의 G1 line(제1 주사선 G1a1 ~ G1am)과 G2 line(제2 주사선 G2b1 ~ G2bm)에 펄스 신호가 입력되고, 각각의 화소에 아날로그 신호가 기록되면 1프레임 기간의 화소부(204)에의 아날로그 신호의 기록 기간이 종료된다.

- [0461] 계속해서, 발광 기간에 관하여 설명한다. 모든 행의 화소의 제1 스위치(208)를 온, 제2 스위치(209)를 오프 상태로 하도록, 각각 제1 주사선 G1a1~G1am 및 제2 주사선 G2b1~G2bm에 신호를 공급한다. 도 81에 나타낸 바와 같이, Data line(신호선 D1~Dn)에 소정의 전위를 공급한다. 이때, 이 소정의 전위는 화소를 비발광으로 할 때의 비디오신호에 해당하는 아날로그 신호 전위와 개략 동등한 전위로 하는 것이 바람직하다.
- [0462] 그러면, 화소를 비발광으로 할 때의 비디오신호가 입력되어 있는 화소의 구동 트랜지스터(206)의 게이트 단자는, 기록 기간에 신호선에 입력된 아날로그 신호 전위와 개략 동등한 전위가 된다. 따라서, 그 화소의 구동 트랜지스터(206)의 게이트-소스간 전압이 거의 역치전압이 되고, 그 화소는 비발광이 된다.
- [0463] 한편, 화소를 발광으로 할 때의 비디오신호가 입력되어 있는 화소의 구동 트랜지스터(206)의 게이트 단자는, 기록 기간에 신호선에 입력된 아날로그 신호 전위보다 높아진다. 그리고, 구동 트랜지스터(206)의 게이트-소스간 전압은 역치전압 이상이 되고, 그 화소는 발광한다. 그리고, 이때, 각 화소의 구동 트랜지스터(206)의 게이트-소스간 전압은, 기록 기간에 신호선에 공급된 아날로그 신호 전위가 낮을수록 커진다.
- [0464] 예를 들면, 도 82에 나타낸 바와 같이, 화소의 구동 트랜지스터를 포화영역에서 동작시키고, 8계조 표시의 경우에 있어서, 계조수 1, 계조수 2, ..., 계조수 7의 순으로 구동 트랜지스터의 게이트-소스간 전압을 크게 하면, 표시소자(210)에 흐르는 전류 Id를 화소의 계조에 따른 크기로 제어할 수 있다. 이때, 계조수 0의 화소의 구동 트랜지스터(206)의 게이트-소스간 전압은 역치전압 이하가 되도록 해서 전류 Id가 0이 되도록 한다.
- [0465] 본 실시예에 나타내는 구동방법을 이용함으로써, 화소의 발광 강도를 아날로그 방식으로 제어해서 계조를 표현할 수 있으므로, 화면의 깜박거림을 방지할 수 있다.
- [0466] (실시예 11)
- [0467] 본 실시예에서는, 실시예 1, 실시예 2, 실시예 3, 실시예 4, 실시예 5, 실시예 6 및 실시예 7에 나타낸 화소 구성을 가지는 표시장치에 있어서, 보다 바람직한 표시장치의 구성에 관하여 설명한다.
- [0468] 본 실시예의 표시장치에 따라, 주사선이나 신호선에 버퍼를 설치한다. 즉, 주사선 구동회로로부터의 신호가 버퍼에 입력되고, 버퍼로부터 주사선에 신호가 출력되도록 한다. 또한 신호선 구동회로로부터의 신호가 버퍼에 입력되고, 버퍼로부터 신호선에 신호가 출력되도록 한다. 이렇게 해서, 주사선 구동회로나 신호선 구동회로의 출력 신호의 임피던스 변환을 행하여, 전류 공급 능력을 향상시킨다.
- [0469] 이때, 주사선이나 신호선에 버퍼를 설치하지 않더라도, 주사선 구동회로나 신호선 구동회로 내에 버퍼를 설치해서 이 구동회로들의 출력의 전류 공급 능력을 높일 수도 있다.
- [0470] 본 실시예에서 나타내는 표시장치의 기본적인 구성을 도 8을 참조하여 설명한다. 실시예 1에 있어서, 도 2를 참조하여 설명한 표시장치와 공통되는 부분은 공통된 부호를 사용한다.
- [0471] 제1 주사선 G1a1~G1am 및 제2 주사선 G2b1~G2bm은 각 행의 화소의 스위치를 제어한다. 예를 들면, 스위치로서 트랜지스터를 사용하는 경우에는, 제1 주사선 G1a1~G1am 및 제2 주사선 G2b1~G2bm에, 각 행의 화소의 스위칭용 트랜지스터의 게이트 단자가 접속된다. 그리고, 한 행의 스위칭용 트랜지스터를 한번에 온 상태로 해야 한다. 특히, 해상도가 높아질수록 한번에 온 상태로 해야 하는 트랜지스터의 수도 많아진다. 따라서, 본 실시예에 사용하는 버퍼는 전류 공급 능력이 높은 것이 바람직하다.
- [0472] 또한, 도 8에 나타내는 표시장치의 제1 주사선 G1a1~G1am은 각각 배선 저항을 가지고, 신호선 D1~Dn과 전원선 P1~Pn이 교차하는 부분에는 기생 용량(교차 용량)이 형성된다. 따라서, 제1 주사선 G1a1~G1am은 각각, 저항(1901)과 용량소자(1902)를 사용해서 도 19에 나타낸 바와 같은 등가회로로 나타낼 수 있다.
- [0473] 이 등가회로에, 구형파의 입력 펄스(1903)를 입력하면, 응답파는 출력 펄스(1904)와 같이 덜니스(dullness)를 가진 과정이 된다. 즉, 펄스의 상승과 하강이 지연된다. 그러면, 제1 스위치(208)는 정상적인 타이밍으로 온 상태가 되지 않아, 아날로그 신호를 화소에 정확하게 기록할 수 없게 된다. 따라서, 본 실시예의 표시장치에 있어서는 제1 주사선으로부터 출력되는 신호는 버퍼를 통해 전류 공급 능력을 높임으로써 덜니스의 발생을 저감시킬 수 있다. 마찬가지로, 제2 주사선 G2b1~G2bm에 동일하게 적용할 수 있다.
- [0474] 마찬가지로, 신호선 D1~Dn에 기생 용량이 형성되면, 영상신호에 해당하는 아날로그 신호 전위의 공급이 지연되어, 화소에 신호를 정확히 기록할 수 없게 된다. 따라서, 본 실시예의 표시장치에 있어서는 신호선으로부터 출력되는 신호도 버퍼를 통해 전류 공급 능력을 높이는 것이 바람직하다.
- [0475] 도 8에 나타내는 표시장치는 제1 주사선 구동회로(201)로부터 출력되는 신호가 제1 주사선 G1a1~G1am에 설치된

각각의 버퍼(801)를 통해 제1 주사선 G1a1~G1am에 입력된다. 즉, 버퍼(801)를 통과함으로써 제1 주사선 구동회로(201)로부터 출력되는 신호의 전류 공급 능력을 높인다. 마찬가지로, 제2 주사선 G2b1~G2bm의 각각 버퍼(802)를 설치한다. 또한 신호선 D1~Dn에도 각각 버퍼(803)를 설치한다. 이때, 버퍼(803)로는 아날로그 버퍼를 사용한다.

[0476] 따라서, 각 주사선 구동회로로부터 출력되는 신호는 전류 공급 능력이 높기 때문에, 전술한 필스 신호의 딜리스를 저감하고, 재빠르게 한 행의 화소의 스위칭용 트랜ジ스터를 온 상태로 할 수 있다. 따라서, 화소의 기록 기간을 짧게 할 수 있다.

[0477] 여기에서, 본 실시예에서 사용할 수 있는 버퍼의 예를 제시한다. 이하, 버퍼에 있어서, 입력 전위 Vin이 입력되는 단자를 입력 단자, 출력 전위 Vout가 출력되는 단자를 출력 단자라고 한다.

[0478] 예를 들면, 도 9a에 나타낸 바와 같은 전압 풀로워 회로(901)의 입력 단자를 신호선 구동회로의 출력 단자에 접속하고, 전압 풀로워 회로(901)의 출력 단자를 신호선에 접속한다. 전압 풀로워 회로를 버퍼에 사용할 때에는 특성의 편차가 작은 트랜ジ스터를 형성할 수 있는 IC칩 위에 형성하는 것이 바람직하다. 이때, 본 명세서에 있어서, IC칩은, 기판 위에 형성된 접적회로를 칩 위에 분리한 것을 의미한다. 특히, IC칩으로는, 단결정 실리콘 웨이퍼를 기판으로 사용해서 소자분리 등에 의해 회로를 형성하고, 단결정 실리콘 웨이퍼를 임의의 형상으로 절단한 것이 바람직하다.

[0479] 따라서, 버퍼로서 전압 풀로워 회로(901)를 채용할 경우, 주사선 구동회로나 신호선 구동회로와 함께 버퍼를 형성한 IC칩을 COG(Chip On Glass) 등으로 표시 패널에 설치하는 것이 바람직하다. 이때, 전압 풀로워 회로는 도 8의 표시장치에 있어서, 버퍼(801), 버퍼(802) 및 버퍼(803)에 적용할 수 있지만, 아날로그 버퍼로서 기능하므로, 특히 버퍼(803)에 바람직하다.

[0480] 또한 도 9b에 나타낸 바와 같이, n형 트랜ジ스터(902) 및 p형 트랜ジ스터(903)로 이루어진 인버터를 버퍼로 사용해도 된다. n형 트랜ジ스터(902)의 게이트 단자와 p형 트랜ジ스터(903)의 게이트 단자는 모두 입력 단자에 접속되어 입력 전위 Vin이 입력된다. n형 트랜ジ스터(902)의 소스 단자는 전원전위 Vss에 접속되고, 드레인 단자는 p형 트랜ジ스터(903)의 드레인 단자와 함께 출력 단자에 접속되고, 출력 단자로부터 출력 전위 Vout를 출력한다. 버퍼로는 복수의 인버터를 직렬 접속해서 사용할 수 있다. 이때, 인버터로부터 출력된 출력 전위 Vout가 입력 단자에 입력되는 다음 단계의 인버터는 약 3배의 전류 공급 능력으로 하면 효율적으로 전류 공급 능력을 높일 수 있다. 즉, 처음에 입력된 인버터로부터 출력된 전위가 다음 단계의 인버터에 입력될 때에는 약 3배의 전류 공급 능력의 인버터를 직렬로 접속한다. 이렇게 하여 짹수 개의 인버터를 접속하면 버퍼로서 사용할 수 있다. 이때, n형 트랜ジ스터(902) 및 p형 트랜ジ스터(903)의 설계에 있어서, 채널 폭 W와 채널 길이 L의 비: W/L을 조정함으로써 전류 공급 능력을 조정할 수 있다. 이때, 도 9b에 나타낸 바와 같은 인버터를 사용한 버퍼는 도 8의 표시장치에 있어서, 버퍼(801, 802)에 적용할 수 있다. 이러한 인버터를 사용한 버퍼는 구성이 단순하며, 기판 위에 화소와 함께 주사선 구동회로나 신호선 구동회로가 동일한 기판에 형성된 박막 트랜ジ스터를 가지는 표시 패널을 제조할 경우에는 버퍼도 동일한 기판에 형성할 수 있다. 버퍼를 동일한 기판에 형성함으로써 코스트 다운을 꾀할 수 있다. 또한 도 9b와 같이, n형 트랜ジ스터(902) 및 p형 트랜ジ스터(903)로 이루어진 CMOS인버터는, 입력 단자에 인버터의 논리 역치 Vinv 근방의 전위가 입력되어 있을 때에는, n형 트랜ジ스터(902) 및 p형 트랜ジ스터(903)에 전류가 흐르지만, 입력 단자에 H레벨이나 L레벨의 전위가 입력되면 어느 하나의 트랜ジ스터가 오프 상태가 되므로, 전력이 낭비되지 않는다. 따라서, 도 9b에 나타낸 바와 같은 CMOS인버터를 사용함으로써 저소비 전력화를 꾀할 수 있다.

[0481] 또는, 도 9c에 나타낸 바와 같이, 소스 풀로워 회로를 사용해서 버퍼를 형성할 수도 있다. 그것은 소스 풀로워 트랜ジ스터(904)와 전류원(905)으로 이루어지고, 소스 풀로워 트랜ジ스터(904)의 게이트 단자는 입력 단자에 접속되고, 드레인 단자는 전원전위 Vdd가 공급된 배선에 접속되고, 소스 단자는 전류원(905)의 한쪽 단자와 출력 단자에 접속된다. 전류원(905)의 다른 쪽 단자는 저전위 Vss의 공급된 배선에 접속된다. 여기에서, 소스 풀로워 트랜ジ스터(904)의 게이트-소스간 전압 Vgs를 이용하여, 출력 전위 Vout는 이하의 식 (1)에 나타낸다.

$$V_{out} = V_{in} - V_{gs} \dots (1)$$

[0483] Vgs는 소스 풀로워 트랜ジ스터(904)를 통해 전류 I0을 흐르게 하는 데에 필요한 전압이다.

[0484] 따라서, 출력 전위 Vout는 입력 전위 Vin보다 Vgs만큼 낮은 전위가 된다. 그러나, 입력 전위 Vin에 입력되는 신호가 디지털 신호이면, 소스 풀로워 트랜ジ스터(904)의 게이트-소스간 전압 Vgs에 다소의 편차가 있어도 소스 풀로워 회로를 버퍼로 사용할 수 있다. 따라서, 도 8의 표시장치에서는, 버퍼(801)나 버퍼(802)로 사용할 수 있

다.

[0485] 도 9c에 나타낸 바와 같은 소스 폴로워 회로는 구성이 단순해서 박막 트랜지스터를 사용해서 용이하게 제조할 수 있다. 따라서, 기판 위에 화소와 함께 주사선 구동회로나 신호선 구동회로가 동일한 기판에 형성된 박막 트랜지스터를 가지는 표시 패널을 제조할 경우에는 베퍼도 동일한 기판에 형성할 수 있다. 베퍼를 동일한 기판에 형성함으로써 코스트 다운을 꾀할 수 있다.

[0486] 또한 소스 폴로워 트랜지스터(904)로서, 도 9c에 나타낸 바와 같이 n형 트랜지스터를 사용함으로써 화소와 주사선 구동회로나 신호선 구동회로와 베퍼가 동일한 기판에 형성된 표시 패널에 있어서, n형 트랜지스터만으로 이루어진 단극성 표시 패널을 제조할 수 있다.

[0487] 소스 폴로워 회로를 베퍼에 사용할 경우, 도 9d에 나타낸 바와 같이 소스 폴로워 트랜지스터(906)를 듀얼 게이트로 함으로써 역치전압이 낮은 트랜지스터로 할 수도 있다. 이때, 소스 폴로워 트랜지스터(906) 이외의 구성은 도 9c와 공통되므로 공통의 부호를 사용하며 설명은 생략한다.

[0488] 도 9d와 같은 소스 폴로워 회로에 의해 역치전압 V_{th} 가 낮아져, 소스 폴로워 트랜지스터를 구성하는 각 트랜지스터 사이에서 편차가 저감되면, 아날로그 베퍼로서도 사용할 수 있다. 따라서, 도 8의 표시장치에 있어서 베퍼(801) 및 베퍼(802)는 물론이고, 베퍼(803)에도 도 9d와 같은 소스 폴로워 회로를 적용할 수 있다.

[0489] 또는, 도 10b와 같은 구성을 베퍼에 사용할 수도 있다. 소스 폴로워 회로는 소스 폴로워 트랜지스터(1004)와, 용량소자(1005)와, 제1 스위치(1006)와, 제2 스위치(1007)와, 제3 스위치(1008)와, 전류원(1009)과, 전압원(1010)으로 이루어진다. 그리고, 소스 폴로워 트랜지스터(1004)의 드레인 단자는 전원전위 V_{dd} 가 공급된 배선에 접속되고, 소스 단자는 전류원(1009)을 통해 저전위 V_{ss} 가 공급된 배선과, 출력 단자와, 제1 스위치(1006)의 한쪽 단자와 접속된다. 그리고, 제1 스위치(1006)의 다른 쪽의 단자는 용량소자(1005)의 한쪽 단자와, 제3 스위치(1008)를 통해 입력 단자와 접속된다. 또한 용량소자(1005)의 다른 쪽의 단자는 소스 폴로워 트랜지스터(1004)의 게이트 단자와, 제2 스위치(1007) 및 전압원(1010)을 통해 저전위 V_{ss} 가 공급된 배선과 접속된다.

[0490] 도 10b의 소스 폴로워 회로의 동작에 대해서 간단히 설명한다. 프리차지 기간에 제1 스위치(1006)와 제2 스위치(1007)를 온 상태로 한다. 그러면 용량소자(1005)에는 소스 폴로워 트랜지스터(1004)의 게이트-소스간 전압이 전류 I_1 을 흐르게 하는 데에 필요한 전압 V_{gs} 가 되는 전하가 축적된다. 그리고, 제1 스위치(1006) 및 제2 스위치(1007)를 오프 상태로 한다. 그러면 용량소자(1005)는 소스 폴로워 트랜지스터(1004)의 게이트-소스간 전압 V_{gs} 를 유지한다. 그리고 제3 스위치(1008)를 온 상태로 하면, 용량소자(1005)가 게이트-소스간 전압 V_{gs} 를 유지한 상태에서 입력 단자에 입력 전위 V_{in} 이 입력된다. 따라서, 용량소자(1005)의 다른 쪽의 단자가 접속된 소스 폴로워 트랜지스터(1004)의 게이트 단자에는 입력 전위 V_{in} 에 게이트-소스간 전압 V_{gs} 를 가산한 전위가 공급된다. 한편, 출력 단자로부터 출력되는 출력 전위 V_{out} 는 소스 폴로워 트랜지스터(1004)의 게이트 단자의 전위에서 게이트-소스간 전압 V_{gs} 를 감산한 전위다. 따라서, 출력 단자로부터 출력되는 전위는 입력 단자에 입력되는 전위와 같아져, $V_{in}=V_{out}$ 가 된다.

[0491] 따라서, 도 10b에 나타내는 소스 폴로워 회로는, 도 8의 표시장치에 있어서 베퍼(801) 및 베퍼(802)는 물론, 아날로그 신호의 전류 공급 능력을 높이기 위한 베퍼(803)에도 적용할 수 있다.

[0492] 또한, 전압 폴로워 회로에 비해 회로가 단순하기 때문에, 화소와 함께 주사선 구동회로나 신호선 구동회로가 동일한 기판에 형성된 박막 트랜지스터를 가지는 표시 패널을 제조할 경우에는 베퍼로서, 도 10b에 나타내는 소스 폴로워 회로도 동일한 기판에 형성할 수 있다. 또한, 도 10b의 소스 폴로워 회로는 단극성 트랜지스터로 구성할 수 있으므로 단극성 표시 패널을 제조할 수 있다.

[0493] 이때, 도 9c, 9d에 나타낸 전류원(905)이나, 도 10b에 나타낸 전류원(1009)에는 포화영역에서 동작하는 트랜지스터나, 저항소자나, 정류소자를 사용할 수 있다. 정류소자로는 PN접속 다이오드나, 다이오드 접속 트랜지스터를 사용할 수도 있다.

[0494] 여기에서, 도 9d의 전류원(905)에 다이오드 접속한 트랜지스터를 적용한 경우에 대해서 도 10a를 참조하여 설명한다. 소스 폴로워 트랜지스터(906)와 다이오드 접속한 트랜지스터(907)로 이루어지고, 소스 폴로워 트랜지스터(906)의 드레인 단자는 전원전위 V_{dd} 가 공급된 배선에 접속되고, 소스 단자는 다이오드 접속한 트랜지스터(907)의 드레인 단자와 출력 단자에 접속된다. 또한 다이오드 접속한 트랜지스터(907)는 드레인 단자와 게이트 단자가 접속되고, 소스 단자는 저전위 V_{ss} 가 공급된 배선에 접속된다.

[0495] 본 실시예의 표시장치에 적용 가능한 화소 구성은, 도 8에 나타낸 구성에 한정되지 않고, 실시예 2, 실시예 3,

실시예 4, 실시예 5, 실시예 6 및 실시예 7에 나타낸 여러 가지 화소 구성을 적용할 수 있으며, 베퍼도 모든 주사선 구동회로나 신호선 구동회로의 출력이 입력되는 주사선이나 신호선에 설치할 필요는 없고 적절히 설치할 수 있다. 특히 구형파의 펠스 폭이 짧은 경우에는 문제가 되므로, 예를 들면, 도 8의 구성에 있어서, 제1 신호선 구동회로 측의 베퍼(801)만을 형성해도 된다.

[0496] (실시예 12)

[0497] 본 실시예에서는, 본 발명의 화소 구성을 가지는 표시장치의 주사선 구동회로나 신호선 구동회로에 관하여 설명한다. 즉, 본 실시예에서 나타내는 주사선 구동회로나 신호선 구동회로는, 실시예 1, 실시예 2, 실시예 3, 실시예 4, 실시예 5, 실시예 6, 및 실시예 7에 나타낸 화소 구성을 가지는 표시장치에 적절히 사용할 수 있다. 또한 실시예 8에 나타낸 표시장치의 주사선 구동회로나, 신호선 구동회로에도 적용할 수 있다.

[0498] 도 44a에 나타내는 표시장치는, 기판(4401) 위에, 복수의 화소가 배치된 화소부(4402)를 가지고, 화소부(4402)의 주변에는, 제1 주사선 구동회로(4403), 제2 주사선 구동회로(4404) 및 신호선 구동회로(4405)를 구비한다. 제1 주사선 구동회로(4403)는 도 2의 제1 주사선 구동회로(201)에 해당하고, 제2 주사선 구동회로(4404)는 도 2의 제2 주사선 구동회로(202)에 해당하고, 신호선 구동회로(4405)는 도 2의 신호선 구동회로(203)에 해당한다.

[0499] 제1 주사선 구동회로(4403), 제2 주사선 구동회로(4404) 및 신호선 구동회로(4405)에 입력되는 신호는 플렉시블 프린트 서킷(Flexible Print Circuit)(4406)을 통해 외부로부터 공급된다.

[0500] 이때, 도시하지 않지만, FPC(4406) 위에 COG(Chip On Glass)나 TAB(Tape Automated Bonding) 등에 의해 IC칩이 설치되어도 된다. 즉, 화소부(4402)와 동일한 기판에 형성하기 곤란한, 제1 주사선 구동회로(4403), 제2 주사선 구동회로(4404) 및 신호선 구동회로(4405)의 일부 메모리나 베퍼 등을 IC칩 위에 형성해서 표시장치에 설치해도 된다.

[0501] 또한, 도 44b에 나타낸 바와 같이, 제1 주사선 구동회로(4403) 및 제2 주사선 구동회로(4404)를 화소부(4402)의 한쪽에 배치해도 된다. 이때, 도 44b에 나타내는 표시장치는, 도 44a에 나타내는 표시장치와, 제1 주사선 구동회로(4403)의 배치가 다를 뿐이므로 같은 부호를 사용한다. 또한, 하나의 주사선 구동회로가 제1 주사선 구동회로(4403) 및 제2 주사선 구동회로(4404)의 기능을 하는 구성을 채용해도 된다.

[0502] 계속해서, 도 44a, 44b에 나타낸 표시장치의 신호선 구동회로(4405)의 구성예를 게시한다. 이것은, 도 2의 표시장치의 신호선(D1 ~ Dn)에 신호를 공급하기 위한 구동회로다. 도 45a에 나타내는 신호선 구동회로는, 펠스 출력회로(4501), 제1 래치회로(4502), 제2 래치회로(4503), D/A변환 회로(디지털 아날로그 변환 회로)(4504), 기록기간/발광 기간 선택 회로(4505) 및 아날로그 베퍼 회로(4506)를 구비한다.

[0503] 도 45a에 나타내는 신호선 구동회로의 동작에 대해서, 도 47에 나타낸 자세한 구성을 참조하여 설명한다.

[0504] 펠스 출력 회로(4701)는 복수 단계의 플립플롭회로(FF)(4709) 등을 사용해서 구성하고, 거기에 클록 신호(S-CLK), 클록 반전 신호(S-CLKB), 스트트 펠스 신호(S-SP)를 입력한다. 이 신호들의 타이밍에 따라 순차 샘플링 펠스가 출력된다.

[0505] 펠스 출력 회로(4701)로부터 출력된 샘플링 펠스는, 제1 래치회로(4702)에 입력된다. 제1 래치회로(4702)에는, 디지털 영상신호가 입력되고, 샘플링 펠스가 입력되는 타이밍에 따라, 각 단계에서의 디지털 영상신호를 보유한다. 여기에서는, 디지털 영상신호는 각 단계에 3비트 입력된다. 각 비트의 영상신호를, 각각 제1 래치회로(4702)에서 보유한다. 하나의 샘플링 펠스에 의해, 각 단계의 세 개의 래치회로가 평행하게 동작한다.

[0506] 제1 래치회로(4702)에 있어서, 최종 단까지 디지털 영상신호의 유지가 완료되면, 수평귀선기간 중에, 제2 래치회로(4703)에 래치 펠스(Latch Pulse)가 입력되고, 제1 래치회로(4702)에 보유된 디지털 영상신호는, 일제히 제2 래치회로(4703)에 전송된다. 그 후에 제2 래치회로(4703)에 보유된 디지털 영상신호는 한 행이 동시에 DAC(D/A변환 회로)(4704)에 입력된다.

[0507] DAC(4704)는, 입력되는 디지털 영상신호를 아날로그 전위를 가지는 영상신호로 변환하고, 그들을 기록 기간/발광 기간 선택 회로(4705)가 가지는 변환 회로(4707)에 입력한다.

[0508] 제2 래치회로(4703)에 보유된 디지털 영상신호가 DAC(4704)에 입력되는 동안, 펠스 출력 회로(4701)는, 다시 샘플링 펠스를 출력한다. 기록 기간에는, 전술한 동작을 반복하여, 1프레임의 영상신호를 처리한다.

[0509] 기록 기간/발광 기간 선택 회로(4705)는, 삼각파 전위 생성 회로(4708)를 가지고, 발광 기간에 변환 회로(4707)에는, 삼각파 전위 생성 회로(4708)에 의해 생성된 삼각파 전위가 입력된다.

- [0510] 이렇게 해서, 변환 회로(4707)에는, 기록 기간에는 DAC(4704)로부터의 영상신호가 입력되고, 발광 기간에는 삼각파 전위 생성 회로(4708)로부터의 삼각파 전위가 입력된다. 그리고, 변환 회로(4707)는 기록 기간에는 영상신호를, 발광 기간에는 삼각파 전위를 아날로그 버퍼 회로(4706)에 입력한다.
- [0511] 아날로그 버퍼 회로(4706)에서는 임피던스 변환이 실행되어, 입력된 전위와 동등한 전위를 신호선 D1 ~ Dn에 공급한다. 즉, 영상신호는 아날로그 버퍼 회로(4706)에서 전류 공급 능력이 향상되어, 아날로그 신호 전위로서 신호선 D1 ~ Dn에 공급된다. 이때, 이 신호선 D1 ~ Dn은, 예를 들면, 도 2나 도 8의 표시장치의 신호선 D1 ~ Dn에 해당한다.
- [0512] 도 45a에 있어서, 입력되는 Digital Video Data는 아날로그 신호로 변환하기 전에 보정하는 것이 바람직한 경우도 있다. 따라서 도 45b에 나타낸 바와 같이, 제1 래치회로(4502)에 입력하기 전에 Digital Video Data를 보정 회로(4507)에 의해 보정한 후 제1 래치회로(4502)에 입력하도록 하는 것이 바람직하다. 보정회로(4507)에서는, 예를 들면, 감마 보정 등을 행할 수 있다.
- [0513] 또한 임피던스 변환은 D/A변환 회로의 출력을 기록 기간/발광 기간 선택 회로에 입력하기 전에 실행해도 된다. 즉, 도 45a의 구성에 있어서, D/A변환 회로(4504)의 출력을 임피던스 변환해서 기록 기간/발광 기간 선택 회로(4505)에 입력하는 구성으로 해서, 도 62a와 같은 구성으로 할 수 있다. 또한 이때, 도 45a의構성을 상세히 나타낸 도 47의 구성은 도 64와 같은 구성이 된다. 또한 도 45b의 구성에 있어서, D/A변환 회로(4504)의 출력을 임피던스 변환해서 기록 기간/발광 기간 선택 회로(4505)에 입력하는 구성으로 해서, 도 62b와 같은 구성으로 할 수 있다.
- [0514] 도 45a, 45b 및 도 47에서는 신호선 구동회로에 입력되는 영상신호가 디지털인 경우의 구성에 관하여 설명했지만, 도 46a, 46b 및 도 48에서는 영상신호가 아날로그인 경우에 관하여 설명한다. 이 경우에는, 도 45에 나타낸 바와 같이, D/A변환 회로는 설치하지 않아도 된다. 또한 아날로그의 영상신호를 보유할 수 있다. 제1 아날로그 래치회로 및 제2 아날로그 래치회로는 각 단계에 1비트씩 설치하면 된다. 도 46a에 나타낸 바와 같이, 펄스 출력 회로(4601), 제1 아날로그 래치회로(4602), 제2 아날로그 래치회로(4603), 기록 기간/발광 기간 선택 회로(4604) 및 아날로그 버퍼 회로(4605)를 구비한다.
- [0515] 도 46a에 나타내는 신호선 구동회로의 동작에 대해서, 도 48에 나타낸 자세한構성을 참조하여 설명한다.
- [0516] 펄스 출력 회로(4801)는 플립플롭회로(FF)(4808) 등이 복수 단계로 구성되고, 거기에 클록 신호(S-CLK), 클록 반전 신호(S-CLKB), 스트트 펄스 신호(S-SP)가 입력된다. 이 신호들의 타이밍에 따라 순차 샘플링 펄스가 출력된다.
- [0517] 펄스 출력 회로(4801)에 의해 출력된 샘플링 펄스는, 제1 아날로그 래치회로(4802)에 입력된다. 제1 아날로그 래치회로(4802)에는, 아날로그 영상신호가 입력되고, 샘플링 펄스가 입력되는 타이밍에 따라, 각 단계에 아날로그 영상신호를 보유한다. 여기에서는, 아날로그 영상신호는 각 단계에 1비트씩 입력된다. 1비트의 영상신호는, 각각의 단계에 제1 아날로그 래치회로(4802)에서 보유한다.
- [0518] 제1 아날로그 래치회로(4802)에서, 최종 단까지 아날로그 영상신호의 보유가 완료되면, 수평구선기간 중에, 제2 아날로그 래치회로(4803)에 래치 펄스(Latch Pulse)가 입력되고, 제1 아날로그 래치회로(4802)에 보유된 아날로그 영상신호는, 일제히 제2 아날로그 래치회로(4803)에 전송된다. 그 후에 제2 아날로그 래치회로(4803)에 보유된 아날로그 영상신호는 한 행이 동시에 기록 기간/발광 기간 선택 회로(4804)가 가지는 변환 회로(4806)에 입력된다.
- [0519] 그리고, 기록 기간에는, 변환 회로(4806)은 제2 아날로그 래치회로(4803)로부터 입력된 영상신호를 아날로그 버퍼 회로(4805)에 입력하고, 아날로그 버퍼 회로(4805)는 임피던스 변환하고, 신호선 D1 ~ Dn에 각각의 아날로그 신호 전위를 공급한다. 또한, 이 신호선 D1 ~ Dn은, 예를 들면, 도 2나 도 8의 표시장치의 신호선 D1 ~ Dn에 해당한다.
- [0520] 이렇게 화소 한 행의 아날로그 신호 전위를 신호선 D1 ~ Dn에 공급하는 동안, 펄스 출력 회로(4801)에서는, 다시 샘플링 펄스가 출력된다. 그리고, 기록 기간에는, 전술한 동작을 반복하고, 1프레임의 영상신호를 처리한다.
- [0521] 기록 기간/발광 기간 선택 회로(4804)는, 삼각파 전위 생성 회로(4807)를 가지고, 발광 기간에 변환 회로(4806)에는, 삼각파 전위 생성 회로(4807)에 의해 생성된 삼각파 전위가 입력된다. 그리고, 발광 기간에는 아날로그 버퍼 회로(4805)는 임피던스 변환하고, 입력된 삼각파 전위와 동등한 전위를 신호선 D1 ~ Dn에 공급한다. 즉, 아날로그 버퍼 회로에서 출력 전류능력을 높인다.

- [0522] 이렇게 해서, 변환 회로(4806)에는, 기록 기간에는 제2 아날로그 래치회로(4803)로부터의 영상신호가 입력되어, 발광 기간에는 삼각파 전위 생성 회로(4807)로부터의 삼각파 전위가 입력된다. 그리고, 변환 회로(4806)는 기록 기간에는 영상신호를, 발광 기간에는 삼각파 전위를 아날로그 버퍼 회로(4805)에 입력한다.
- [0523] 외부로부터의 영상신호가 디지털 영상신호일 때에는, 도 46b에 나타낸 바와 같이, D/A변환 회로(4606)에서 디지털 영상신호를 아날로그 영상신호로 변환한 후 제1 아날로그 래치회로(4602)에 입력하도록 해도 된다.
- [0524] 또한 임피던스 변환은 제2 래치회로의 출력을 기록 기간/발광 기간 선택 회로에 입력하기 전에 행해도 된다. 즉, 도 46a의 구성에 있어서, 제2 아날로그 래치회로(4603)의 출력을 임피던스 변환해서 기록 기간/발광 기간 선택 회로(4604)에 입력하는 구성으로 해서, 도 63a와 같은 구성으로 할 수 있다. 또한 이때, 도 46a의 구성은 상세히 나타낸 도 48의 구성은 도 65와 같은 구성이 된다. 또한 도 46b의 구성에 있어서, 제2 아날로그 래치회로(4603)의 출력을 임피던스 변환해서 기록 기간/발광 기간 선택 회로(4604)에 입력하는 구성으로 해서, 도 63b와 같은 구성으로 할 수 있다.
- [0525] 또한 영상신호에 해당하는 아날로그 신호 전위와, 구동 트랜지스터의 온/오프를 제어하는 아날로그에 변화되는 전위를 다른 신호선에서 화소에 입력하는 화소 구성(예를 들면, 도 4, 도 18, 도 22, 도 23과 같은 화소 구성)을 가지는 표시장치에 적용 가능한 신호선 구동회로에 대해서 도 71 및 도 72를 참조하여 설명한다.
- [0526] 우선, 도 71의 구성에 관하여 설명한다.
- [0527] 펠스 출력 회로(7101)는 플립플롭회로(FF)(7107) 등이 복수 단계로 구성되고, 거기에 클록 신호(S-CLK), 클록 반전 신호(S-CLKB), 스타트 펠스 신호(S-SP)가 입력된다. 이 신호들의 타이밍에 따라 순차 샘플링 펠스가 출력된다.
- [0528] 펠스 출력 회로(7101)에 의해 출력된 샘플링 펠스는, 제1 래치회로(7102)에 입력된다. 제1 래치회로(7102)에는, 디지털 영상신호가 입력되고, 샘플링 펠스가 입력되는 타이밍에 따라, 각 단계에 디지털 영상신호를 보유한다. 여기에서는, 디지털 영상신호는 각 단계에 3비트 입력되고, 각 비트의 영상신호를, 각각 제1 래치회로(7102)에서 보유한다. 하나의 샘플링 펠스에 의해, 제1 래치회로(7102)의 각 단계의 세 개의 래치회로가 평행하게 동작한다.
- [0529] 제1 래치회로(7102)에서, 최종 단까지 디지털 영상신호의 보유가 완료되면, 수평귀선기간 중에, 제2 래치회로(7103)에 래치 펠스(Latch Pulse)가 입력되고, 제1 래치회로(7102)에 보유된 디지털 영상신호는, 일제히 제2 래치회로(7103)에 전송된다. 그 후에 제2 래치회로(7103)에 보유된 디지털 영상신호는 한 행이 동시에 DAC(D/A변환 회로)(7104)에 입력된다.
- [0530] DAC(7104)는, 입력되는 디지털 영상신호를 아날로그 전위를 가지는 영상신호로 변환하고, 아날로그 버퍼 회로(7105)에 입력한다.
- [0531] 아날로그 버퍼 회로(7105)로부터 각 신호선 D1a1~D1an에 아날로그 신호 전위가 공급된다. 또한 동시에 삼각파 전위 생성 회로(7106)로부터도 삼각파 전위가 각 신호선 D2a1~D2an에 설정된다. 또한, 신호선 D1a1~D1an은 도 4나 도 7 등의 화소가 포함된 표시장치의 제1 신호선(410)이나 제1 신호선(710)에 해당한다. 또한 신호선 D2a1~D2an은 도 4나 도 7 등의 화소가 포함된 표시장치의 제2 신호선(411)이나 제2 신호선(711)에 해당한다.
- [0532] 다음으로, 도 72의 구성에 관하여 설명한다.
- [0533] 펠스 출력 회로(7201)는 플립플롭회로(FF)(7206) 등이 복수 단계로 구성되고, 클록 신호(S-CLK), 클록 반전 신호(S-CLKB), 스타트 펠스 신호(S-SP)가 입력된다. 이 신호들의 타이밍에 따라 순차 샘플링 펠스가 출력된다.
- [0534] 펠스 출력 회로(7201)에 의해 출력된 샘플링 펠스는, 제1 아날로그 래치회로(7202)에 입력된다. 제1 아날로그 래치회로(7202)에는, 아날로그 영상신호(Analog Data)가 입력되고, 샘플링 펠스가 입력되는 타이밍에 따라, 각 단계에 아날로그 영상신호를 보유한다. 여기에서는, 아날로그 영상신호는 각 단계에 1비트씩 입력된다. 1비트의 영상신호를, 각각의 단계에 제1 아날로그 래치회로(7202)에서 보유한다.
- [0535] 제1 아날로그 래치회로(7202)에서, 최종 단까지 아날로그 영상신호의 유지가 완료되면, 수평귀선기간 중에, 제2 아날로그 래치회로(7203)에 래치 펠스(Latch Pulse)가 입력되고, 제1 아날로그 래치회로(7202)에 보유된 아날로그 영상신호는, 일제히 제2 아날로그 래치회로(7203)에 전송된다. 그 후에 제2 아날로그 래치회로(7203)에 보유된 아날로그 영상신호는 한 행이 동시에 아날로그 버퍼 회로(7204)에 입력된다.
- [0536] 아날로그 버퍼 회로(7204)로부터 각 신호선 D1a1~D1an에 아날로그 신호 전위가 공급된다. 또한 동시에 삼각파

전위 생성 회로(7205)로부터도 삼각파 전위가 각 신호선 D2a1 ~ D2an에 공급된다.

[0537] 행 방향으로 선택된 화소에 일제히 신호를 기록하는(선 순차 방식이라고도 한다) 경우의 신호선 구동회로에 관하여 설명했지만, 신호선 구동회로에 입력되는 비디오신호를, 펄스 출력 회로로 출력되는 신호에 따라, 직접 화소에 기록(점 순차 방식이라고도 한다)해도 된다.

[0538] 실시예 1에 나타낸 화소 구성에 적용 가능한 점 순차 방식의 신호선 구동회로에 대해서, 도 61a를 참조하여 설명한다. 펄스 출력 회로(6101), 제1 스위치 군(6102), 제2 스위치 군(6103)으로 이루어진다. 제1 스위치 군(6102) 및 제2 스위치 군(6103)은 각각 복수 단계의 스위치를 가진다. 이 복수의 단계는 각각 신호선에 대응한다.

[0539] 제1 스위치 군(6102)의 각 단계의 스위치의 한쪽 단자는 비디오신호에 해당하는 Analog Video Data가 입력되는 배선에 접속되고, 다른 쪽의 단자는 각각 대응하는 신호선에 접속된다. 또한 제2 스위치 군(6103)의 각 단계의 스위치의 한쪽 단자는 삼각파 전위의 공급되는 배선에 접속되고, 다른 쪽의 단자는 각각 대응하는 신호선에 접속된다.

[0540] 화소의 신호 기록 기간에는, 펄스 출력 회로(6101)에, 클록 신호(S-CLK), 클록 반전 신호(S-CLKB), 스타트 펄스 신호(S-SP)가 입력된다. 이 신호들의 타이밍에 따라 순차 샘플링 펄스가 출력된다. 또한, 이때 제2 스위치 군(6103)의 온/오프를 제어하는 제어신호는, 모든 단계의 스위치가 오프 상태가 되도록 설정한다.

[0541] 그리고, 샘플링 펄스의 출력에 따라, 제1 스위치 군(6102)의 스위치는 1단계씩 온 상태가 된다.

[0542] 따라서, 기록 기간에는, 제1 스위치 군(6102)에서 온 상태인 스위치의 단계에 대응하는 신호선에 Analog Video Data가 입력된다. 이렇게 해서, 순차 제1 스위치 군(6102)의 각 단계의 스위치를 온 상태로 하여, 선택된 행의 화소에 순차 Analog Video Data를 기록한다.

[0543] 계속해서, 다음 행의 화소가 선택되고, 마찬가지로 신호가 기록된다. 모든 행의 화소에 신호가 기록되면, 신호 기록 기간에는 종료된다.

[0544] 화소에의 신호 기록 기간이 종료되면 발광 기간이 된다. 화소의 발광 기간에는, 펄스 출력 회로(6101)로부터 샘플링 펄스가 출력되지 않도록 한다. 즉, 펄스 출력 회로(6101)의 출력을 제1 스위치 군(6102)에 입력되지 않아도 되고, 펄스 출력 회로(6101)에 스타트 펄스 신호(S-SP)가 입력되지 않아도 된다. 즉, 제1 스위치 군(6102)의 스위치가 오프 상태가 된다.

[0545] 또한 제2 스위치 군(6103)의 모든 스위치가 온 상태가 되도록 제어신호를 입력한다. 그러면, 모든 신호선에 삼각파 전위가 공급된다. 또한, 발광 기간에는, 모든 행의 화소가 선택되어 있기 때문에 모든 화소에 삼각파 전위를 공급할 수 있다. 삼각파 전위가 입력된다.

[0546] 이렇게 해서, 발광 기간이 종료되면 1프레임 기간은 종료된다.

[0547] 다음으로, 실시예 2에 나타낸 화소 구성에 적용 가능한 점 순차 방식의 신호선 구동회로에 대해서, 도 61b를 참조하여 설명한다. 펄스 출력 회로(6111), 스위치 군(6112)으로 이루어진다. 스위치 군(6112)은 각각 복수의 단계의 스위치를 가진다. 이 복수의 단계는 각각 제1 신호선에 대응한다.

[0548] 스위치 군(6112)의 각각의 단계의 스위치의 한쪽 단자는 비디오신호에 해당하는 Analog Video Data가 입력되는 배선에 접속되고, 다른 쪽의 단자는 각각 화소의 열에 대응하는 제1 신호선에 접속된다. 또한 삼각파 전위의 공급되는 배선은 각각 화소의 열에 대응하는 제2 신호선에 접속된다.

[0549] 화소의 신호 기록 기간에는, 펄스 출력 회로(6111)에, 클록 신호(S-CLK), 클록 반전 신호(S-CLKB), 스타트 펄스 신호(S-SP)가 입력된다. 이 신호들의 타이밍에 따라 순차 샘플링 펄스가 출력된다.

[0550] 그리고, 샘플링 펄스의 출력에 따라, 스위치 군(6112)의 스위치는 1단계씩 온 상태가 된다.

[0551] 따라서, 화소에의 신호 기록 기간에는, 스위치 군(6112)에서 온 상태인 스위치의 단계에 대응하는 신호선에 Analog Video Data가 입력된다. 이렇게 해서, 순차 스위치 군(6112)의 각 단계의 스위치를 온 상태로 하여, 선택된 행의 화소에 순차 Analog Video Data를 기록한다.

[0552] 이때, 선택되지 않은 행의 화소는, 제2 신호선에 접속되어 발광 기간이 된다.

[0553] 이렇게, 도 61b의 구성에서는, 화소의 행마다 기록 기간이 설정되고, 하나의 화소의 행이 기록 기간일 때, 다른

화소의 행은 발광 기간인 실시예 2에 나타낸 바와 같은 화소에 적용할 수 있다.

[0554] 계속해서, 주사선 구동회로의 구성에 관하여 설명한다. 여기에서는, 하나의 주사선 구동회로에서 도 44b에 나타내는 제1 주사선 구동회로(4403) 및 제2 주사선 구동회로(4404)의 기능을 하는 구성을 나타낸다.

[0555] 도 49a에 나타내는 주사선 구동회로는, 펠스 출력 회로(4901), 버퍼(4902), 펠스 분할 회로(4903) 및 변환 회로(4904)를 가진다. 또한, 도 44a, 44b에 나타내는 제1 주사선 구동회로(4403) 및 제2 주사선 구동회로(4404)는 각각 이 펠스 출력 회로(4901) 및 버퍼(4902)로 구성할 수도 있다.

[0556] 도 49a에 나타내는 주사선 구동회로를 자세하게 설명하기 위해서, 도 49b에 나타내는 상세한 구성을 참조하여 설명한다.

[0557] 펠스 출력 회로(4911)에는 플립플롭회로(FF)(4915) 등이 복수 단계로 구성되고, 클록 신호(G-CLK), 클록 반전 신호(G-CLKB), 스타트 펠스 신호(G-SP)가 입력된다. 이 신호들의 타이밍에 따라 순차 샘플링 펠스가 출력된다.

[0558] 펠스 출력 회로(4911)에 의해 출력된 샘플링 펠스는 버퍼(4912)의 각 단계의 버퍼(4916)에 입력되고, 전류 공급 능력을 높일 수 있으며 각각의 버퍼(4916)로부터 출력된다.

[0559] 버퍼(4912)로부터 출력된 샘플링 펠스는 펠스 분할 회로(4913)에 입력된다. 펠스 분할 회로(4913)는, NAND(4917) 및 인버터(4918)로 이루어진 복수 단계로 구성된다. 버퍼(4916)로부터의 출력과, 외부로부터 입력되는 분할 신호(MPX)의 NAND를 취함으로써, 하나의 주사선 구동회로에 의해, 다른 펠스로 제어되는 두 개의 주사선을 제어할 수 있다. 즉, 도 2의 경우 제1 주사선 G1a1~G1am 및 제2 주사선 G2b1~G2bm을 하나의 주사선 구동회로에 의해 제어할 수 있다.

[0560] 도 44b에 나타낸 바와 같은 제1 주사선 구동회로(4403)와 제2 주사선 구동회로(4404)를 하나의 주사선 구동회로로 형성함으로써 구동회로의 점유 면적을 절감하고, 프레임 사이즈를 줄일 수 있다.

[0561] 다음으로, 본 실시예의 D/A변환 회로에 사용할 수 있는 구성을 관하여 설명한다.

[0562] 도 31에 도시된 것은 3비트의 디지털 신호를 아날로그 신호로 변환할 수 있는 저항 스트링형 D/A변환 회로다.

[0563] 복수의 저항소자가 직렬로 접속된다. 저항소자군의 한쪽 단자에는 참조 전원전위 Vref가 공급되고, 다른 쪽 단자에는 저전위(예를 들면, GND)가 공급된다. 저항소자군에는 전류가 흐르고, 전압강하에 의해 각 저항소자의 양단의 단자에서 전위가 다르다. 입력 단자 1, 입력 단자 2 및 입력 단자 3에 각각 입력되는 신호에 따라, 스위치의 온/오프를 선택하여, 8가지의 전위를 출력 단자로부터 얻을 수 있다. 구체적으로는, 입력 단자 3에 입력되는 신호에 의해 8가지의 전위 중 높은 쪽의 4개의 전위와 낮은 쪽의 4개의 전위가 선택된다. 그리고, 입력 단자 2에 입력되는 신호에 의해 입력 단자 3에 의해 선택되는 4개의 전위 중, 높은 쪽의 2개의 전위와 낮은 쪽의 2개의 전위가 선택된다. 그리고, 입력 단자 1에 입력되는 신호에 의해, 입력 단자 2에 의해 선택되는 2개의 전위 중 높은 쪽 또는 낮은 쪽 중 어느 하나가 선택된다. 이렇게 해서, 8가지 전위 중에서 하나의 전위가 선택된다. 따라서, 입력 단자 1, 입력 단자 2 및 입력 단자 3에 입력되는 디지털 신호를, 아날로그 신호 전위로 변환할 수 있다.

[0564] 도 32에 도시된 것은 6비트의 디지털 신호를 아날로그 신호로 변환할 수 있는 용량 어레이형 D/A변환 회로다.

[0565] 정전용량이 다른 복수의 용량소자를 병렬로 접속한다. 디지털 신호에 따라 스위치 1~스위치 6의 온/오프를 제어하여, 이 용량소자들 중 임의의 용량소자에 참조 전원전위 Vref와 저전위(예를 들면, GND) 사이의 전위 차분의 전하를 축적한다. 그 후, 축적된 전하를 복수의 용량소자로 분배한다. 그러면, 복수의 용량소자의 전압은 특정 값으로 안정된다. 이 전압에 따라, 한쪽 전위를 앰프를 사용하여 검출함으로써 디지털 신호를 아날로그 신호 전위로 변환할 수 있다.

[0566] 또한 저항 스트링형과 용량 어레이형을 조합한 D/A변환 회로를 사용해도 된다. 이 D/A변환 회로는 일레이며, 여러 가지 D/A변환 회로를 적절히 사용할 수 있다.

[0567] (실시예 13)

[0568] 본 실시예에서는, 실시예 1, 실시예 2, 실시예 3, 실시예 4, 실시예 5, 실시예 6 및 실시예 7에 나타낸 화소 구성을 가지는 표시 패널의 구성을 대해서 도 11a, 11b를 참조하여 설명한다.

[0569] 본 실시예에서는, 화소부에 본 발명의 화소 구성을 가지는 표시 패널에 대해 도 11a, 11b를 참조하여 설명한다. 도 11a는, 표시 패널을 나타내는 평면도, 도 11b는 도 11a를 A-A'로 절단한 단면도다. 점선으로 표시된 신호선

구동회로(Data line)(1101), 화소부(1102), 제1 주사선 구동회로(G1 line)(1103), 제2 주사선 구동회로(G2 line)(1106)를 가진다. 또한 밀봉기판(1104), 셀재(1105)를 가지고, 셀재(1105)로 둘러싸인 내측은, 공간(1107)으로 되어 있다.

[0570] 배선(1108)은 제1 주사선 구동회로(1103), 제2 주사선 구동회로(1106) 및 신호선 구동회로(1101)에 입력되는 신호를 전송하기 위한 배선이며, 외부입력 단자가 되는 FPC(플렉시블 프린트 서킷)(1109)로부터 비디오신호, 클록신호, 스타트 신호 등을 받는다. FPC(1109)와 표시 패널의 접합부 위에는 IC칩(메모리 회로나, 버퍼 회로 등이 형성된 반도체칩)이 COG(Chip On Glass) 등으로 설치되어 있다. 또한, 여기에서는 FPC밖에 도시하지 않았지만, 이 FPC에는 프린트 서킷 기반(PWB)이 장착되어도 된다. 본 명세서에 있어서의 표시장치는, 표시 패널 본체뿐만 아니라, 거기에 FPC 혹은 PWB가 부착된 상태도 포함하는 것으로 한다. 또한 IC칩 등이 설치된 것을 포함하는 것으로 한다.

[0571] 단면구조에 대해서도 11b를 참조하여 설명한다. 기판(1110) 위에는 화소부(1102)와 그 주변구동회로(제1 주사선 구동회로(1103), 제2 주사선 구동회로(1106) 및 신호선 구동회로(1101))가 형성되지만, 여기에서는, 신호선 구동회로(1101)와, 화소부(1102)를 나타낸다.

[0572] 이때, 신호선 구동회로(1101)는 n형 TFT(1120)나 n형 TFT(1121)와 같이 단극성 트랜지스터로 구성되어 있다. 또한, 제1 주사선 구동회로(1103) 및 제2 주사선 구동회로(1106)도 마찬가지로 n형 트랜지스터로 구성하는 것이 바람직하다. 또한, 화소 구성에는 본 발명의 화소 구성을 적용함으로써 단극성 트랜지스터로 형성할 수 있으므로 단극성 표시 패널을 제조할 수 있다. 또한 본 실시예에서는, 기판 위에 주변구동회로를 동일한 기판에 형성한 표시 패널을 나타내지만, 반드시 그 필요는 없고, 주변구동회로의 전부 혹은 일부를 IC칩 등으로 형성하고, COG 등으로 설치해도 된다. 그 경우에는 구동회로는 단극성으로 할 필요가 없고 p형 트랜지스터를 조합해서 사용할 수 있다. 또한 본 실시예에 나타내는 표시 패널에서는 도 8에 나타낸 표시장치에 있어서의 버퍼(801), 버퍼(802) 및 버퍼(803)는 도시하지 않았지만, 각각의 주변구동회로에 버퍼를 구비한다.

[0573] 화소부(1102)는 스위칭용 TFT(1111)와, 구동용 TFT(1112)를 포함하는 화소를 구성하는 복수의 회로를 구비한다. 또한, 구동TFT(1112)의 소스 전극은 제1 전극(1113)과 접속된다. 또한 제1 전극(1113)의 단부를 덮도록 절연물(1114)이 형성된다. 여기에서는, 포지티브형 감광성 아크릴 수지막을 사용하여 형성한다.

[0574] 커버리지를 양호하게 하기 위해서, 절연물(1114)의 상단부 또는 하단부에 곡률을 가지는 곡면이 형성되도록 한다. 예를 들면, 절연물(1114)의 재료로서 포지티브형 감광성 아크릴을 사용한 경우, 절연물(1114)의 상단부에만 곡률반경($0.2\text{ }\mu\text{m} \sim 3\text{ }\mu\text{m}$)을 가지는 곡면을 갖게 하는 것이 바람직하다. 또한 절연물(1114)로서, 감광성 빛에 의해 에칭제에 불용해성이 되는 네거티브형, 또는 빛에 의해 에칭제에 용해성이 되는 포지티브형을 모두 사용할 수 있다.

[0575] 제1 전극(1113) 위에는, 유기 화합물을 포함하는 층(1116), 및 제2 전극(1117)이 각각 형성된다. 여기에서, 양극으로서 기능하는 제1 전극(1113)에 사용하는 재료로는, 일함수가 큰 재료를 사용하는 것이 바람직하다. 예를 들면 ITO(인듐 주석 산화물)막, 인듐 아연산화물(IZO)막, 질화티타늄막, 크롬 막, 텉스텐 막, Zn막, Pt막 등의 단층 막 외에도, 질화티타늄과 알루미늄을 주성분으로 하는 막의 적층, 질화티타늄막과 알루미늄을 주성분으로 하는 막과 질화티타늄막의 3층 구조 등을 사용할 수 있다. 이때, 적층구조로 하면, 배선으로서의 저항도 낮고, 양호한 오믹 콘택트가 얻어져, 한층 더 양극으로서 기능시킬 수 있다.

[0576] 또한 유기 화합물을 포함하는 층(1116)은, 증착 마스크를 사용한 증착법, 또는 잉크젯법에 의해 형성된다. 유기 화합물을 포함하는 층(1116)에는, 원소 주기율 제4족 금속촉체를 그 일부에 사용하는 것으로 해도 되고, 조합해서 사용할 수 있는 재료로는, 저분자계 재료로 해도 되고, 고분자계 재료로 해도 된다. 또한 유기 화합물을 포함하는 층에 사용하는 재료로는, 통상, 유기 화합물을 단층 혹은 적층으로 사용하는 경우가 많지만, 본 실시예에 있어서는, 유기 화합물로 이루어진 막의 일부에 무기화합물을 사용하는 구성도 포함하는 것으로 한다. 또한, 공자의 삼중창 재료를 사용하는 것도 가능하다.

[0577] 유기 화합물을 포함하는 층(1116) 위에 형성되는 제2 전극(음극)(1117)에 사용하는 재료로는, 일함수가 작은 재료(Al, Ag, Li, Ca, 또는 이것들의 합금 MgAg, MgIn, AlLi, CaF₂, 또는 CaN)를 사용하면 된다. 또한, 전계발광층(1116)에서 발생한 빛이 제2 전극(1117)을 투과할 경우에는, 제2 전극(음극)(1117)으로서, 막 두께를 얇게 한 금속 박막과, 투명도전막(ITO(산화인듐 산화 주석 합금), 산화인듐 산화아연 합금(In₂O₃-ZnO), 산화아연(ZnO) 등)의 적층을 사용하는 것이 바람직하다.

- [0578] 이어서, 셀재(1105)로 밀봉기판(1104)을 기판(1110)에 부착함으로써, 기판(1110), 밀봉기판(1104), 및 셀재(1105)로 둘러싸인 공간(1107)에 표시소자(1118)가 구비된 구조로 된다. 이때, 공간(1107)은, 불활성 기체(질소나 아르곤 등)나, 셀재(1105)로 충전될 수 있다.
- [0579] 이때, 셀재(1105)에는 에폭시계 수지를 사용하는 것이 바람직하다. 또한 이 재료들은 가능한 한 수분이나 산소를 투과하지 않는 재료인 것이 바람직하다. 또한 밀봉기판(1104)에 사용하는 재료로서 유리기판이나 석영기판, 또는 FRP(Fiberglass-Reinforced Plastics), PVF(폴리비닐 플로라이드), 마일라, 폴리에스테르 또는 아크릴 등으로 이루어진 플라스틱 기판을 사용할 수 있다.
- [0580] 이상과 같이 하여, 본 발명의 화소 구성을 가지는 표시 패널을 얻을 수 있다.
- [0581] 도 11에 나타낸 바와 같이, 신호선 구동회로(1101), 화소부(1102), 제1 주사선 구동회로(1103) 및 제2 주사선 구동회로(1106)를 동일한 기판에 형성함으로써 표시장치의 비용을 낮출 수 있다. 또한 이 경우에 있어서, 신호선 구동회로(1101), 화소부(1102), 제1 주사선 구동회로(1103) 및 제2 주사선 구동회로(1106)에 사용되는 트랜지스터를 단극성으로 함으로써 제조 공정의 간략화를 꾀할 수 있으므로 더욱 비용을 낮출 수 있다. 또한 신호선 구동회로(1101), 화소부(1102), 제1 주사선 구동회로(1103) 및 제2 주사선 구동회로(1106)에 사용되는 트랜지스터의 반도체층에 아모포스 실리콘을 적용함으로써 더욱 비용을 낮출 수 있다.
- [0582] 이때, 표시 패널의 구성으로는, 도 11a에 나타낸 바와 같이, 신호선 구동회로(1101), 화소부(1102), 제1 주사선 구동회로(1103) 및 제2 주사선 구동회로(1106)를 동일한 기판에 형성한 구성에 한정되지 않고, 신호선 구동회로(1101)에 해당하는 도 53a에 나타내는 신호선 구동회로(5301)를 IC칩 위에 형성하고, COG 등으로 표시 패널에 설치한 구성으로 해도 된다. 이때, 도 53a의 기판(5300), 화소부(5302), 제1 주사선 구동회로(5303), 제2 주사선 구동회로(5304), FPC(5305), IC칩(5306), IC칩(5307), 밀봉기판(5308), 셀재(5309)는 도 11a의 기판(1110), 화소부(1102), 제1 주사선 구동회로(1103), 제2 주사선 구동회로(1106), FPC(1109), IC칩(1118), IC칩(1119), 밀봉기판(1104), 셀재(1105)에 해당한다.
- [0583] 즉, 구동회로의 고속 동작이 요구되는 신호선 구동회로만을, CMOS 등을 사용해서 IC칩에 형성하고, 저소비 전력화를 꾀한다. 또한 IC칩은 실리콘 웨이퍼 등의 반도체칩으로 함으로써, 보다 고속 동작 및 저소비 전력화를 꾀할 수 있다.
- [0584] 그리고, 주사선 구동회로를 화소부와 동일한 기판에 형성함으로써 비용을 낮출 수 있다. 그리고, 이 주사선 구동회로 및 화소부는 단극성 트랜지스터로 구성함으로써 더욱 비용을 낮출 수 있다. 화소부가 가지는 화소의 구성으로는 실시예 3에 나타낸 바와 같이 n형 트랜지스터로 구성할 수 있다. 또한 트랜지스터의 반도체층에 아모포스 실리콘을 사용함으로써 제조 공정이 간략화되고, 더욱 비용을 낮출 수 있다.
- [0585] 이렇게 해서, 고화질 표시장치의 비용을 낮출 수 있다. 또한 FPC(5305)와 기판(5300)의 접속부에 기능 회로(메모리나 버퍼)가 형성된 IC칩을 설치함으로써 기판 면적을 유효하게 이용할 수 있다.
- [0586] 또한 도 11a의 신호선 구동회로(1101), 제1 주사선 구동회로(1103) 및 제2 주사선 구동회로(1106)에 해당하는 도 53b의 신호선 구동회로(5311), 제1 주사선 구동회로(5313) 및 제2 주사선 구동회로(5314)를 IC칩 위에 형성하고, COG 등으로 표시 패널에 설치한 구성으로 해도 된다. 이 경우에는 고화질 표시장치를 더욱 저소비 전력으로 할 수 있다. 따라서, 보다 소비 전력이 적은 표시장치로 하기 위해서, 화소부에 사용되는 트랜지스터의 반도체층에는 폴리실리콘을 사용하는 것이 바람직하다. 이때, 도 53b의 기판(5310), 화소부(5312), FPC(5315), IC칩(5316), IC칩(5317), 밀봉기판(5318), 셀재(5319)는 도 11a의 기판(1110), 화소부(1102), FPC(1109), IC칩(1118), IC칩(1119), 밀봉기판(1104), 셀재(1105)에 해당한다.
- [0587] 또한 화소부(5312)의 트랜지스터의 반도체층에 아모포스 실리콘을 사용함으로써 비용을 낮출 수 있다. 또한, 대형 표시 패널을 제조할 수 있다.
- [0588] 또한 화소의 행 방향 및 열 방향으로 주사선 구동회로 및 신호선 구동회로를 설치하지 않아도 된다. 예를 들면, 도 56a에 나타낸 바와 같이, IC칩 위에 형성된 주변구동회로(5601)를 도 53b에 나타낸다, 제1 주사선 구동회로(5313), 제2 주사선 구동회로(5314) 및 신호선 구동회로(5311)의 기능을 가지도록 해도 된다. 이때, 도 56a의 기판(5600), 화소부(5602), FPC(5604), IC칩(5605), IC칩(5606), 밀봉기판(5607), 셀재(5608)는 도 11a의 기판(1110), 화소부(1102), FPC(1109), IC칩(1118), IC칩(1119), 밀봉기판(1104), 셀재(1105)에 해당한다.
- [0589] 도 56a의 표시장치의 신호선의 접속을 설명하는 모식도를 도 56b에 나타낸다. 기판(5610), 주변구동회로(5611), 화소부(5612), FPC(5613), FPC(5614)를 포함한다. FPC(5613)를 통해 주변구동회로(5611)에 외부로부터의 신호

및 전원전위가 입력된다. 그리고, 주변구동회로(5611)로부터의 출력은, 화소부(5612)가 가지는 화소에 접속된 행 방향 및 열 방향의 신호선에 입력된다.

[0590] 표시소자(1118)에 적용 가능한 표시소자의 예를 도 12에 나타낸다. 즉, 실시예 1, 실시예 2, 실시예 3, 실시예 4, 실시예 5, 실시예 6, 실시예 7, 실시예 8 및 실시예 9에 나타낸 화소에 적용 가능한 표시소자의 구성에 대해서도 12를 참조하여 설명한다.

[0591] 기판(1201) 위에, 양극(1202), 정공주입재료로 이루어진 정공주입층(1203), 그 위에 정공수송재료로 이루어진 정공수송층(1204), 발광층(1205), 전자수송재료로 이루어진 전자수송층(1206), 전자주입재료로 이루어진 전자주입층(1207), 그리고 음극(1208)을 적층시킨 소자구조다. 여기에서, 발광층(1205)은, 1종류의 발광재료만으로 형성될 수도 있지만, 2종류 이상의 재료로 형성되어도 된다. 또한, 본 발명의 소자의 구조는, 이 구조에 한정되지 않는다.

[0592] 또한, 도 12에 나타낸 각 기능층을 적층한 적층구조 외에도, 고분자 화합물을 사용한 소자, 발광층에 삼중항 여기상태로부터 발광하는 삼중항 발광재료를 이용한 고효율소자 등, 베리에이션은 다방면에 걸친다. 홀 블록층에 의해 캐리어의 재결합 영역을 제어하여, 발광 영역을 두 개의 영역으로 나눔으로써 얻어지는 백색표시소자 등에 도 응용할 수 있다.

[0593] 도 12에 나타내는 본 발명의 소자제조 방법은, 우선, 양극(ITO)(1202)을 가지는 기판(1201)에 정공주입재료, 정공수송재료, 발광재료를 순차적으로 증착한다. 다음으로, 전자수송재료, 전자주입재료를 증착하고, 마지막으로 음극(1208)을 증착으로 형성한다.

[0594] 다음으로, 정공주입재료, 정공수송재료, 전자수송재료, 전자주입재료, 발광재료에 적합한 재료를 이하에 열거한다.

[0595] 정공주입재료로는, 유기 화합물 중에서 포르피린계의 화합물이나, 프탈로시아닌(이하 「H₂Pc」라고 한다), 구리프탈로시아닌(이하 「CuPc」이라고 한다) 등이 효율적이다. 또한, 사용하는 정공수송재료보다 이온화페텐셜의 값이 작고, 정공수송 기능을 가지는 재료이면, 이것도 정공주입재료로서 사용할 수 있다. 도전성 고분자화합물에 화학 도핑을 실행한 재료도 있는데, 폴리스티렌 술폰산(이하 「PSS」라고 한다)을 도프한 폴리에틸렌 디옥시티오펜(이하 「PEDOT」라고 한다)이나, 폴리아닐린 등을 들 수 있다. 또한, 절연체의 고분자화합물도 양극의 평탄화의 관점에서 효율적이며, 폴리이미드(이하 「PI」라고 한다)를 주로 사용할 수 있다. 또한, 무기화합물도 사용할 수 있는데, 금이나 백금 등의 금속 박막뿐만 아니라, 산화알루미늄(이하 「알루미나」라고 한다)의 초박막 등이 있다.

[0596] 정공수송재료로서 가장 널리 이용되고 있는 것은, 방향족 아민계(즉, 벤젠고리-질소의 결합을 가지는 것)의 화합물이다. 널리 이용되고 있는 재료로서, 4,4'-비스(디페닐 아미노)-비페닐(이하, 「TAD」라고 한다)이나, 그 유도체인 4,4'-비스[N-(3-메틸페닐)-N-페닐-아미노]-비페닐(이하, 「TPD」라고 한다), 4,4'-비스[N-(1-나프틸)-N-페닐-아미노]-비페닐(이하, 「 α -NPD」라고 한다)이 있다. 4,4',4"-트리스(N,N-디페닐-아미노)-트리페닐아민(이하, 「TDATA」라고 한다), 4,4',4"-트리스[N-(3-메틸페닐)-N-페닐-아미노]-트리페닐아민(이하, 「MTDATA」라고 한다) 등의 스타 버스트형 방향족 아민 화합물을 들 수 있다.

[0597] 전자수송재료로는, 금속착체가 주로 사용되고, Alq, BA1q, 트리스(4-메틸-8-퀴놀리노라토)알루미늄(이하, 「Almq」라고 한다), 비스(10-히드록시벤조[h]-퀴놀리노라토)베릴륨(이하, 「BeBq」라고 한다) 등의 퀴놀린 골격 또는 벤조 퀴놀린 골격을 가지는 금속착체 등이 있다. 또한 비스[2-(2-히드록시 페닐)-벤조옥사졸라토]아연(이하, 「Zn(BOX)₂」라고 한다), 비스[2-(2-히드록시 페닐)-벤조티아졸라토]아연(이하, 「Zn(BTZ)₂」라고 한다) 등의 옥사졸계, 티아졸계 배위자를 가지는 금속착체도 있다. 또한, 금속착체 이외에도, 2-(4-비페닐일)-5-(4-tert-부틸페닐)-1,3,4-옥사디아졸(이하, 「PBD」라고 한다), OXD-7 등의 옥사디아졸 유도체, TAZ, 3-(4-tert-부틸페닐)-4-(4-에틸페닐)-5-(4-비페닐일)-1,2,4-트리아졸(이하, 「p-EtTAZ」라고 한다) 등의 트리아졸 유도체, 바소페난트롤린(이하, 「BPhen」이라고 한다), BCP 등의 폐난트롤린 유도체가 전자수송성을 가진다.

[0598] 전자주입재료로는, 전술한 전자수송재료를 사용할 수 있다. 그 밖에, 불화칼슘, 불화리튬, 불화세슘 등의 금속 할로겐화물이나, 산화리튬 등의 알칼리금속 산화물과 같은 절연체의, 초박막이 주로 사용된다. 또한, 리튬 아세틸 아세토네이트(이하, 「Li(acac)」이라고 한다)나 8-퀴놀리노라토-리튬(이하, 「Liq」라고 한다) 등의 알칼리 금속착체도 효율적이다.

[0599] 발광재료로는, 전술한 Alq, Almq, BeBq, BA1q, Zn(BOX)₂, Zn(BTZ)₂ 등의 금속착체 외에도, 각종 형광색소가 효

율적이다. 형광색소로는, 청색의 4,4'-비스(2,2-디페닐-비닐)-비페닐이나, 적등색의 4-(디시아노메틸렌)-2-메틸-6-(p-디메틸아미노스틸릴)-4H-페란 등이 있다. 또한, 삼중향 발광재료도 가능한데, 백금 또는 이리듐을 중심금속으로 하는 착물이 주체다. 삼중향 발광재료로서, 트리스(2-페닐페리딘)이리듐, 비스(2-(4'-트릴)페리디나토-N, C^{2'})아세틸아세토나토 이리듐(이하 「acacIr(tpy)₂」이라고 한다), 2,3,7,8,12,13,17,18-옥타에틸-21H,23H포르페린-백금 등이 알려져 있다.

[0600] 이상에 서술한 각 기능을 가지는 재료를, 각각 조합하여, 고신뢰성 표시소자를 제조할 수 있다.

[0601] 또한 실시예 7에 나타낸 도 69의 화소의 경우에는 도 70에 나타낸 바와 같이, 도 12와는 역순으로 층을 형성한 표시소자를 사용할 수 있다. 즉, 기판(1201) 위에 음극(1208), 전자주입재료로 이루어진 전자주입층(1207), 그 위에 전자수송재료로 이루어진 전자수송층(1206), 발광층(1205), 정공수송재료로 이루어진 정공수송층(1204), 정공주입재료로 이루어진 정공주입층(1203), 그리고 양극(1202)을 적층시킨 소자구조다.

[0602] 또한 표시소자는 발광을 추출하기 위해 적어도 양극 또는 음극 중 하나는 투명할 필요가 있다. 그리고, 기판 위에 TFT 및 표시소자를 형성하고, 기판과는 반대쪽 면으로부터 발광을 추출하는 윗면 추출이나, 기판 측의 면으로부터 발광을 추출하는 밑면 추출이나, 기판 측 및 기판의 반대쪽 면으로부터 발광을 추출하는 양면 추출 구조의 표시소자가 있는데, 본 발명의 화소 구성은 어느 추출 구조의 표시소자에 적용해도 상관없다.

[0603] 윗면 추출 구조의 표시소자에 대해서 도 13a를 참조하여 설명한다.

[0604] 기판(1300) 위에 구동용 TFT(1301)가 형성되고, 구동용 TFT(1301)의 소스 전극에 접하도록 제1 전극(1302)이 형성되며, 그 위에 유기 화합물을 포함하는 층(1303)과 제2 전극(1304)이 형성된다.

[0605] 이때, 제1 전극(1302)은 표시소자의 양극이고, 제2 전극(1304)은 표시소자의 음극이다. 즉, 제1 전극(1302)과 제2 전극(1304) 사이에 유기 화합물을 포함하는 층(1303)이 개재된 부분이 표시소자가 된다.

[0606] 양극으로서 기능하는 제1 전극(1302)에 사용하는 재료로는, 일함수가 큰 재료를 사용하는 것이 바람직하다. 예를 들면, 질화티타늄막, 크롬 막, 텅스텐 막, Zn막, Pt막 등의 단층 막, 또는 질화티타늄과 알루미늄을 주성분으로 하는 막의 적층, 질화티타늄막과 알루미늄을 주성분으로 하는 막과 질화티타늄막의 3층 구조 등을 사용할 수 있다. 이때, 적층구조로 하면, 배선으로서의 저항도 낮고, 양호한 오믹 콘택트가 얻어져, 한층 더 양극으로서 기능시킬 수 있다. 빛을 반사하는 금속막을 사용함으로써 빛을 투과시키지 않는 양극을 형성할 수 있다.

[0607] 음극으로서 기능하는 제2 전극(1304)에 사용하는 재료로는, 일함수가 작은 재료(AI, Ag, Li, Ca, 또는 이것들의 합금 MgAg, MgIn, AlLi, CaF₂, 또는 CaN)로 이루어진 금속 박막과, 투명도전막(ITO(인듐 주석 산화물), 인듐 아연산화물(IZO), 산화아연(ZnO) 등)의 적층을 사용하는 것이 바람직하다. 이렇게 해서 얇은 금속 박막과, 투명성을 가지는 투명도전막을 사용함으로써, 빛을 투과시킬 수 있는 음극을 형성할 수 있다.

[0608] 이렇게 해서, 도 13a의 화살표로 나타낸 바와 같이, 표시소자로부터의 빛을 윗면으로 추출할 수 있다. 즉, 도 11의 표시 패널에 적용한 경우에는, 밀봉기판(1104) 측으로 빛이 추출된다. 따라서 윗면 추출 구조의 표시소자를 표시장치에 사용할 경우에는 밀봉기판(1104)은 광투과성을 가지는 기판을 사용한다.

[0609] 또한 광학 필름을 설치할 경우에는, 밀봉기판(1104)에 광학 필름을 설치하면 된다.

[0610] 이때, 실시예 7의 도 69의 화소 구성의 경우에는, 제1 전극(1302)을 음극으로서 기능하는 MgAg, MgIn, AlLi 등의 일함수가 작은 재료로 이루어진 금속막을 사용하여 형성할 수 있다. 그리고, 제2 전극(1304)에는 ITO(인듐 주석 산화물)막, 인듐 아연산화물(IZO)막 등의 투명도전막을 사용할 수 있다. 따라서, 이 구성에 의하면, 윗면 추출의 투과율을 높일 수 있다.

[0611] 밑면 추출 구조의 표시소자에 대해서 도 13b를 참조하여 설명한다. 추출 구조 이외에는 도 13a와 같은 구조의 표시소자이므로 동일한 부호를 참조하여 설명한다.

[0612] 여기에서, 양극으로서 기능하는 제1 전극(1302)에 사용하는 재료로는, 일함수가 큰 재료를 사용하는 것이 바람직하다. 예를 들면, ITO(인듐 주석 산화물)막, 인듐 아연산화물(IZO)막 등의 투명도전막을 사용할 수 있다. 투명성을 가지는 투명도전막을 사용함으로써 빛을 투과시킬 수 있는 양극을 형성할 수 있다.

[0613] 음극으로서 기능하는 제2 전극(1304)에 사용하는 재료로는, 일함수가 작은 재료(AI, Ag, Li, Ca, 또는 이것들의 합금 MgAg, MgIn, AlLi, CaF₂, 또는 CaN)로 이루어진 금속막을 사용할 수 있다. 이렇게 해서, 빛을 반사하는 금

속막을 사용함으로써 빛을 투과하지 않는 음극을 형성할 수 있다.

[0614] 이렇게 해서, 도 13b의 화살표로 나타낸 바와 같이, 표시소자로부터의 빛을 밑면으로 추출할 수 있다. 즉, 도 11의 표시 패널에 적용한 경우에는, 기판(1110) 측으로 빛을 추출하게 된다. 따라서 밑면 추출 구조의 표시소자를 표시장치에 사용할 경우에는 기판(1110)으로서 광투과성을 가지는 기판을 사용한다.

[0615] 또한 광학 필름을 설치할 경우에는, 기판(1110)에 광학 필름을 설치하면 된다.

[0616] 양면 추출 구조의 표시소자에 대해서 도 13c를 참조하여 설명한다. 추출 구조 이외에는 도 13a와 같은 구조의 표시소자이므로 동일한 부호를 참조하여 설명한다.

[0617] 여기에서, 양극으로서 기능하는 제1 전극(1302)에 사용하는 재료로는, 일함수가 큰 재료를 사용하는 것이 바람직하다. 예를 들면, ITO(인듐 주석 산화물)막, 인듐 아연산화물(IZO)막 등의 투명도전막을 사용할 수 있다. 투명성을 가지는 투명도전막을 사용함으로써 빛을 투과시킬 수 있는 양극을 형성할 수 있다.

[0618] 음극으로서 기능하는 제2 전극(1304)에 사용하는 재료로는, 일함수가 작은 재료(AI, Ag, Li, Ca, 또는 이것들의 합금 MgAg, MgIn, AlLi, CaF₂, 또는 CaN)로 이루어진 금속 박막과, 투명도전막(ITO(인듐 주석 산화물), 산화인듐 산화아연합금(In₂O₃-ZnO), 산화아연(ZnO) 등)의 적층을 사용하는 것이 바람직하다. 이렇게 해서 얇은 금속 박막과, 투명성을 가지는 투명도전막을 사용함으로써 빛을 투과할 수 있는 음극을 형성할 수 있다.

[0619] 이렇게 해서, 도 13c의 화살표에 나타낸 바와 같이, 표시소자로부터의 빛을 양면에 추출할 수 있다. 즉, 도 11의 표시 패널에 적용한 경우에는, 기판(1110) 측과 밀봉기판(1104) 측으로 빛을 추출하게 된다. 따라서 양면 추출 구조의 표시소자를 표시장치에 사용할 경우에는 기판(1110) 및 밀봉기판(1104)에는 모두 광투과성을 가지는 기판을 사용한다.

[0620] 또한 광학 필름을 설치할 경우에는, 기판(1110) 및 밀봉기판(1104)에 각각 광학 필름을 설치하면 된다.

[0621] 또한 백색의 표시소자와 컬러 필터를 사용해서 풀 컬러 표시를 실현하는 표시장치에도 본 발명을 적용할 수 있다.

[0622] 도 14에 나타낸 바와 같이, 기판(1400) 위에 구동용 TFT(1401)가 형성되고, 구동용 TFT(1401)의 소스 전극에 접해서 제1 전극(1403)이 형성되고, 그 위에 유기 화합물을 포함하는 층(1404)과 제2 전극(1405)이 형성된다.

[0623] 이때 제1 전극(1403)은 표시소자의 양극이다. 그리고 제2 전극(1405)은 표시소자의 음극이다. 즉, 제1 전극(1403)과 제2 전극(1405) 사이에 유기 화합물을 포함하는 층(1404)이 개재된 부분이 표시소자가 된다. 도 14의 구성에서는 백색광을 발광한다. 그리고, 표시소자의 상부에 적색의 컬러 필터(1406R), 녹색의 컬러 필터(1406G), 청색의 컬러 필터(1406B)를 설치하여, 풀 컬러 표시를 행할 수 있다. 또한 이 컬러 필터들을 격리하는 블랙 매트릭스(BM이라고도 한다)(1407)를 설치한다.

[0624] 전술한 표시소자의 구성은 조합해서 사용할 수 있고, 본 발명의 화소 구성을 가지는 표시장치에 적절히 사용할 수 있다. 이때 전술한 표시 패널의 구성이나, 표시소자는 예시이며, 물론 본 발명의 화소 구성은 다른 구성의 표시장치에 적용할 수도 있다.

[0625] 다음으로, 표시 패널의 화소부의 부분 단면도를 나타낸다.

[0626] 우선, 트랜지스터의 반도체층에 폴리실리콘(p-Si:H)막을 사용한 경우에 대해 도 15a, 15b 및 16a, 16b를 참조하여 설명한다.

[0627] 여기에서, 반도체층은, 예를 들면, 기판 위에 아모포스 실리콘(a-Si)막을 공지의 성막법으로 형성한다. 이때, 아모포스 실리콘막에 한정되지 않고, 비정질 구조를 포함하는 반도체막(미결정 반도체막을 포함한다)으로 하면 된다. 또한, 비정질 실리콘 게르마늄 막 등의 비정질 구조를 포함하는 화합물 반도체막으로 해도 된다.

[0628] 그리고, 아모포스 실리콘막을 레이저 결정화법이나, RTA나 퍼니스 어닐로를 사용한 열결정화법이나, 결정화를 촉진하는 금속 원소를 사용한 열결정화법 등에 의하여 결정화시킨다. 물론, 이것들을 조합해서 행해도 된다.

[0629] 전술한 결정화에 의해, 아모포스 반도체막에 부분적으로 결정화된 영역이 형성된다.

[0630] 다음으로, 부분적으로 결정성이 향상된 결정성 반도체막을 원하는 형상으로 패터닝하고, 결정화된 영역으로부터 섬 형상의 반도체막을 형성한다. 이 반도체막을 트랜지스터의 반도체층에 사용한다.

[0631] 도 15a, 15b에 나타낸 바와 같이, 기판(15101) 위에 하지막(15102)이 형성되고, 그 위에 반도체층이 형성된다.

반도체층은 구동 트랜지스터(15118)의 채널 형성 영역(15103), LDD영역(15104) 및 소스 또는 드레인 영역이 되는 불순물영역(15105), 및 용량소자(15119)의 하부전극이 되는 채널 형성 영역(15106), LDD영역(15107) 및 불순물영역(15108)을 가진다. 이때, 채널 형성 영역(15103) 및 채널 형성 영역(15106)에는 채널 도프가 행해져도 된다.

[0632] 기판에는 유리기판, 석영기판, 세라믹기판 등을 사용할 수 있다. 하지막(15102)으로는, 질화알루미늄(AlN)이나 산화규소(SiO₂), 산화질화규소(SiOxNy) 등의 단층이나 이것들의 적층을 사용할 수 있다.

[0633] 반도체층 위에는 게이트 절연막(15109)을 사이에 두고 게이트 전극(15110) 및 용량소자의 상부전극(15111)이 형성된다.

[0634] 구동 트랜지스터(15118) 및 용량소자(15119)를 덮도록 층간 절연막(15112)이 형성되고, 층간 절연막(15112)의 콘택홀을 통해 배선(15113)이 불순물영역(15105)과 접한다. 배선(15113)에 접해서 화소전극(15114)이 형성되고, 화소전극(15114)의 단부 및 배선(15113)을 덮도록 절연물(15115)이 형성된다. 여기에서는, 포지티브형 감광성 아크릴 수지막을 사용함으로써 형성한다. 그리고, 화소전극(15114) 위에 유기 화합물을 포함하는 층(15116) 및 대향전극(15117)이 형성되고, 화소전극(15114)과 대향전극(15117) 사이에 유기 화합물을 포함하는 층(15116)이 개재된 영역에서는 표시소자(15120)가 형성된다.

[0635] 또한, 도 15b에 나타낸 바와 같이, 용량소자(15118)의 하부전극의 일부를 구성하는 LDD영역이, 상부전극(15111)과 겹치도록 영역(15202)을 형성해도 된다. 이때, 도 15a와 공통되는 부분은 공통된 부호를 사용하고, 설명은 생략한다.

[0636] 또한, 도 16a에 나타낸 바와 같이, 구동 트랜지스터(15118)의 불순물영역(15105)과 접하는 배선(15113)과 같은 층에 형성된 제2 상부전극(15301)을 갖고 있어도 된다. 이때, 도 15a와 공통되는 부분은 공통된 부호를 사용하고, 설명은 생략한다. 제2 상부전극(15301)과 상부전극(15111) 사이에 층간 절연막(15112)을 개재하여, 제2 용량소자를 구성한다. 또한 제2 상부전극(15301)은 불순물영역(15108)과 접하기 때문에, 상부전극(15111)과 채널 형성 영역(15106) 사이에 게이트 절연막(15102)이 개재되는 제1 용량소자와, 상부전극(15111)과 제2 상부전극(15301) 사이에 층간 절연막(15112)이 개재되는 제2 용량소자가 병렬로 접속되어, 제1 용량소자와 제2 용량소자로 이루어진 용량소자(15302)를 구성한다. 이 용량소자(15302)의 용량은 제1 용량소자와 제2 용량소자의 용량을 가산한 합성 용량이기 때문에, 작은 면적으로 큰 용량의 용량소자를 형성할 수 있다. 즉, 본 발명의 화소 구성의 용량소자로서 사용하면 보다 개구율의 향상을 꾀할 수 있다.

[0637] 또한, 도 16b에 나타낸 바와 같은 용량소자의 구성으로 해도 된다. 기판(16101) 위에 하지막(16102)이 형성되고, 그 위에 반도체층이 형성된다. 반도체층은 구동 트랜지스터(16118)의 채널 형성 영역(16103), LDD영역(16104) 및 소스 또는 드레인 영역이 되는 불순물영역(16105)을 가진다. 이때, 채널 형성 영역(16103)에는 채널 도프가 행해져도 된다.

[0638] 기판으로는 유리기판, 석영기판, 세라믹기판 등을 사용할 수 있다. 하지막(16102)에는, 질화알루미늄(AlN)이나 산화규소(SiO₂), 산화질화규소(SiOxNy) 등의 단층이나 이것들의 적층을 사용할 수 있다.

[0639] 반도체층 위에는 게이트 절연막(16106)을 사이에 두고 게이트 전극(16107) 및 제1 전극(16108)이 형성된다.

[0640] 구동 트랜지스터(16118) 및 제1 전극(16108)을 덮도록 제1 층간 절연막(16109)이 형성되고, 제1 층간 절연막(16109) 위에 콘택홀을 통해 배선(16110)이 불순물영역(16105)에 접한다. 또한 배선(16110)과 같은 재료로 이루어진 동일한 층에 제2 전극(16111)이 형성된다.

[0641] 그리고, 배선(16110) 및 제2 전극(16111)을 덮도록 제2 층간 절연막(16112)이 형성된다. 제2 층간 절연막(16112)에 콘택홀을 통해, 배선(16110)과 접해서 화소전극(16113)이 형성된다. 화소전극(16113)과 같은 재료로 이루어진 동일한 층에 제3 전극(16114)이 형성된다. 여기에서, 제1 전극(16108), 제2 전극(16111) 및 제3 전극(16114)으로 이루어진 용량소자(16119)가 형성된다.

[0642] 화소전극(16113)의 단부 및 제3 전극(16114)을 덮도록 절연물(16115)이 형성된다. 그리고, 화소전극(16113) 위에 유기 화합물을 포함하는 층(16116) 및 대향전극(16117)이 형성되고, 화소전극(16113)과 대향전극(16117) 사이에 유기 화합물을 포함하는 층(16116)이 개재된 영역에는 표시소자(16120)가 형성된다.

[0643] 상기한 바와 같이, 결정성 반도체막을 반도체층에 사용한 트랜지스터의 구성은 도 15a, 15b 및 도 16a, 16b에 나타낸 바와 같은 구성을 들 수 있다. 이때, 도 15a, 15b 및 도 16a, 16b에 나타낸 트랜지스터의 구조는 톱 게

이트의 구조의 트랜지스터의 일례다. 즉, LDD영역은 게이트 전극과 겹쳐도 되고, 게이트 전극과 겹치지 않아도 되고, LDD영역의 일부의 영역이 겹쳐도 된다. 또한, 게이트 전극은 테이퍼 형상으로 해도 되고, 게이트 전극의 테이퍼부의 하부에 LDD영역이 자기정합적으로 형성되어도 된다. 또한 게이트 전극은 두 개로 한정되지 않고 3개 이상의 멀티 게이트 구조로 해도 되고, 하나의 게이트 전극으로 해도 된다.

[0644] 본 발명의 화소를 구성하는 트랜지스터의 반도체층(채널 형성 영역이나 소스 영역이나 드레인 영역 등)에 결정성 반도체막을 사용함으로써 예를 들면, 도 2에 있어서의 제1 주사선 구동회로(201), 제2 주사선 구동회로(202) 및 신호선 구동회로(203)를 화소부(204)와 동일한 기판에 형성하는 것이 용이해진다. 또한 도 8의 구성에 있어서는, 버퍼(801), 버퍼(802) 및 버퍼(803)도 동일한 기판에 형성하는 것이 용이해진다. 또한, 도 8의 신호선 구동회로(203)의 일부를 화소부(204)와 동일 기판에 형성하고, 일부는 IC칩 위에 형성해서 도 11a, 11b의 표시 패널에 나타낸 바와 같이 COG 등으로 설치해도 된다. 이렇게 해서, 제조 비용의 절감을 꾀할 수 있다.

[0645] 다음으로, 반도체층에 폴리실리콘(p-Si:H)을 사용한 트랜지스터의 구성으로서, 기판과 반도체층 사이에 게이트 전극이 개재된 구조, 즉, 반도체층 아래에 게이트 전극이 위치하는 보텀 게이트 트랜지스터를 적용한 표시 패널의 부분 단면을 도 27a, 27b에 나타낸다.

[0646] 기판(2701) 위에 하지막(2702)이 형성된다. 그리고, 하지막(2702) 위에 게이트 전극(2703)이 형성된다. 또한 게이트 전극과 동일한 층에 같은 재료로 이루어진 제1 전극(2704)이 형성된다. 게이트 전극(2703)의 재료에는 인이 첨가된 다결정 실리콘을 사용할 수 있다. 다결정 실리콘 이외에, 금속과 실리콘의 화합물인 실리사이드를 사용해도 된다.

[0647] 그리고, 게이트 전극(2703) 및 제1 전극(2704)을 덮도록 게이트 절연막(2705)이 형성된다. 게이트 절연막(2705)으로는 산화규소막이나 질화규소막 등을 사용할 수 있다.

[0648] 게이트 절연막(2705) 위에, 반도체층이 형성된다. 반도체층은 구동 트랜지스터(2722)의 채널 형성 영역(2706), LDD영역(2707) 및 소스 또는 드레인 영역이 되는 불순물영역(2708), 및 용량소자(2723)의 제2 전극이 되는 채널 형성 영역(2709), LDD영역(2710) 및 불순물영역(2711)을 가진다. 이때, 채널 형성 영역(2706) 및 채널 형성 영역(2709)에는 채널 도프가 행해져도 된다.

[0649] 기판으로는 유리기판, 석영기판, 세라믹기판 등을 사용할 수 있다. 하지막(2702)으로는, 질화알루미늄(AlN)이나 산화규소(SiO₂), 산화질화규소(SiO_xN_y) 등의 단층이나 이것들의 적층을 사용할 수 있다.

[0650] 반도체층을 덮도록 제1 층간 절연막(2712)이 형성되고, 제1 층간 절연막(2712) 위에 콘택홀을 통해 배선(2713)이 불순물영역(2708)에 접한다. 배선(2713)과 동일한 층에 같은 재료로 제3 전극(2714)이 형성된다. 제1 전극(2704), 제2 전극, 제3 전극(2714)에 의해 용량소자(2723)가 구성된다.

[0651] 또한, 제1 층간 절연막(2712)에는 개구부(2715)가 형성된다. 구동 트랜지스터(2722), 용량소자(2723) 및 개구부(2715)를 덮도록 제2 층간 절연막(2716)이 형성된다. 제2 층간 절연막(2716) 위에 콘택홀을 통해, 화소전극(2717)이 형성된다. 또한 화소전극(2717)의 단부를 덮도록 절연물(2718)이 형성된다. 예를 들면, 포지티브형 감광성 아크릴수지막을 사용할 수 있다. 그리고, 화소전극(2717) 위에 유기 화합물을 포함하는 층(2719) 및 대향전극(2720)이 형성되고, 화소전극(2717)과 대향전극(2720) 사이에 유기 화합물을 포함하는 층(2719)이 개재된 영역에서는 표시소자(2721)가 형성된다. 그리고, 표시소자(2721)의 하부에 개구부(2715)가 위치한다. 즉, 표시소자(2721)로부터의 발광을 기판 측으로 추출할 때에는 개구부(2715)를 가지므로 투과율을 높일 수 있다.

[0652] 또한, 도 27a에 있어서 화소전극(2717)과 동일한 층에 같은 재료를 사용해서 제4 전극(2724)을 형성하여, 도 27b와 같은 구조으로 해도 된다. 그러면, 제1 전극(2704), 제2 전극, 제3 전극(2714) 및 제4 전극(2724)으로 구성되는 용량소자(2725)를 형성할 수 있다.

[0653] 다음으로, 트랜지스터의 반도체층에 아모포스 실리콘(a-Si:H)막을 사용한 경우에 관하여 설명한다. 도 28a, 28b에는 톱 게이트 트랜지스터, 도 29a, 29b 및 도 30a, 30b에는 보텀 게이트 트랜지스터인 경우에 대해서 나타낸다.

[0654] 아모포스 실리콘을 반도체층에 사용한 톱 게이트 구조의 트랜지스터의 단면을 도 28a에 나타낸다. 도 28a에 나타낸 바와 같이, 기판(2801) 위에 하지막(2802)이 형성된다. 하지막(2802) 위에 화소전극(2803)이 형성된다. 또한 화소전극(2803)과 동일한 층에 같은 재료로 이루어진 제1 전극(2804)이 형성된다.

[0655] 기판으로는 유리기판, 석영기판, 세라믹기판 등을 사용할 수 있다. 하지막(2802)으로는, 질화알루미늄(AlN)이나

산화규소(SiO_2), 산화질화규소(SiOxNy) 등의 단층이나 이것들의 적층을 사용할 수 있다.

- [0656] 하지막(2802) 위에 배선(2805) 및 배선(2806)이 형성되고, 화소전극(2803)의 단부가 배선(2805)으로 덮여 있다. 배선(2805) 및 배선(2806)의 상부에 N형의 도전형을 가지는 N형 반도체층(2807) 및 N형 반도체층(2808)이 형성된다. 또한 배선(2806)과 배선(2807) 사이이며, 하지막(2802) 위에 반도체층(2809)이 형성된다. 그리고, 반도체층(2809)의 일부는 N형 반도체층(2807) 및 N형 반도체층(2808) 위에까지 연장되어 있다. 이때, 이 반도체층은 아모포스 실리콘(a-Si:H), 미결정 반도체($\mu\text{-Si:H}$) 등의 비결정성을 가지는 반도체막로 형성된다. 또한 반도체층(2809) 위에 게이트 절연막(2810)이 형성된다. 또한 게이트 절연막(2810)과 동일한 층에 같은 재료로 이루어진 절연막(2811)이 제1 전극(2804) 위에도 형성된다. 이때, 게이트 절연막(2810)으로는 산화규소막이나 질화규소막 등을 사용할 수 있다.
- [0657] 게이트 절연막(2810) 위에, 게이트 전극(2812)이 형성된다. 또한 게이트 전극과 동일한 층에 같은 재료로 이루어진 제2 전극(2813)이 제1 전극(2804) 위에 절연막(2811)을 사이에 두고 형성된다. 제1 전극(2804) 및 제2 전극(2813) 사이에 절연막(2811)을 개재한 용량소자(2819)가 형성된다. 화소전극(2803)의 단부, 구동 트랜지스터(2818) 및 용량소자(2819)를 덮도록, 충간 절연막(2814)이 형성된다.
- [0658] 충간 절연막(2814) 및 그 개구부에 위치하는 화소전극(2803) 위에 유기 화합물을 포함하는 층(2815) 및 대향전극(2816)이 형성된다. 화소전극(2803)과 대향전극(2816) 사이에 유기 화합물을 포함하는 층(2815)이 개재된 영역에는 표시소자(2817)가 형성된다.
- [0659] 도 28a에 나타내는 제1 전극(2804)을 도 28b에 나타낸 바와 같이, 제1 전극(2820)으로 형성해도 된다. 제1 전극(2820)은 배선(2805 및 2806)과 동일한 층에 동일 재료로 형성된다.
- [0660] 아모포스 실리콘을 반도체층에 사용한 보텀 게이트 구조의 트랜지스터를 사용한 표시 패널의 부분 단면을 도 29a, 29b에 나타낸다.
- [0661] 기판(2901) 위에 하지막(2902)이 형성된다. 하지막(2902) 위에 게이트 전극(2903)이 형성된다. 또한 게이트 전극과 동일한 층에 같은 재료로 이루어진 제1 전극(2904)이 형성된다. 게이트 전극(2903)의 재료에는 인이 첨가된 다결정 실리콘을 사용할 수 있다. 다결정 실리콘 이외에, 금속과 실리콘의 화합물인 실리사이드로 해도 된다.
- [0662] 또한 게이트 전극(2903) 및 제1 전극(2904)을 덮도록 게이트 절연막(2905)이 형성된다. 게이트 절연막(2905)으로는 산화규소막이나 질화규소막 등을 사용할 수 있다.
- [0663] 게이트 절연막(2905) 위에, 반도체층(2906)이 형성된다. 또한 반도체층(2906)과 동일한 층에 같은 재료로 이루어진 반도체층(2907)이 형성된다.
- [0664] 기판으로는 유리기판, 석영기판, 세라믹기판 등을 사용할 수 있다. 하지막(2902)으로는, 질화알루미늄(AlN)이나 산화규소(SiO_2), 산화질화규소(SiOxNy) 등의 단층이나 이것들의 적층을 사용할 수 있다.
- [0665] 반도체층(2906) 위에는 N형의 도전성을 가지는 N형 반도체층(2908, 2909)이 형성되고, 반도체층(2907) 위에는 N형 반도체층(2910)이 형성된다.
- [0666] N형 반도체층(2908, 2909) 위에는 각각 배선(2911, 2912)이 형성되고, N형 반도체층(2910) 위에는 배선(2911 및 2912)과 동일한 층에 동일 재료로 이루어진 도전층(2913)이 형성된다.
- [0667] 반도체층(2907), N형 반도체층(2910) 및 도전층(2913)으로 이루어진 제2 전극이 구성된다. 이때, 이 제2 전극과 제1 전극(2904) 사이에 게이트 절연막(2905)을 개재한 구조의 용량소자(2920)가 형성된다.
- [0668] 배선(2911)의 한쪽 단부는 연장되고, 그 연장된 배선(2911) 상부에 접해서 화소전극(2914)이 형성된다.
- [0669] 화소전극(2914)의 단부, 구동 트랜지스터(2919) 및 용량소자(2920)를 덮도록 절연물(2915)이 형성된다.
- [0670] 화소전극(2914) 및 절연물(2915) 위에는 유기 화합물을 포함하는 층(2916) 및 대향전극(2917)이 형성되고, 화소전극(2914)과 대향전극(2917) 사이에 유기 화합물을 포함하는 층(2916)이 개재된 영역에서는 표시소자(2918)가 형성된다.
- [0671] 용량소자의 제2 전극의 일부가 되는 반도체층(2907) 및 N형 반도체층(2910)은 설치하지 않아도 된다. 즉, 제2 전극은 도전층(2913)만으로 구성하여, 제1 전극(2904)과 도전층(2913) 사이에 게이트 절연막이 개재된 구조의

용량소자로 해도 된다.

[0672] 또한, 도 29a에 있어서, 배선(2911)을 형성하기 전에 화소전극(2914)을 형성함으로써, 도 29b에 나타낸 바와 같은, 화소전극(2914)으로 이루어진 제2 전극(2921)과 제1 전극(2904) 사이에 게이트 절연막(2905)이 개재된 구조의 용량소자(2922)를 형성할 수 있다.

[0673] 이때, 도 29a, 29b에서는, 역스태거형 채널 에칭 구조의 트랜지스터에 대해서 나타냈지만, 물론 채널 보호 구조의 트랜지스터로 해도 된다. 채널 보호 구조의 트랜지스터의 경우에 대해서, 도 30a, 30b를 참조하여 설명한다.

[0674] 도 30a에 나타내는 채널 보호형 구조의 트랜지스터는 도 29a에 나타낸 채널 에칭 구조의 구동 트랜지스터(2919)의 반도체층(2906)의 채널이 형성되는 영역 위에 에칭의 마스크가 되는 절연물(3001)이 설치된다는 점이 다르다. 그 외에 공통된 부분은 공통된 부호로 나타낸다.

[0675] 마찬가지로, 도 30b에 나타내는 채널 보호형 구조의 트랜지스터는 도 29b에 나타낸 채널 에칭 구조의 구동 트랜지스터(2919)의 반도체층(2906)의 채널이 형성되는 영역 위에 에칭의 마스크가 되는 절연물(3001)이 설치된다는 점이 다르다. 그 외에 공통된 부분은 공통된 부호로 나타낸다.

[0676] 본 발명의 화소를 구성하는 트랜지스터의 반도체층(채널 형성 영역이나 소스 영역이나 드레인 영역 등)에 아모포스 반도체막을 사용함으로써 제조 비용을 절감할 수 있다. 예를 들면, 도 6이나 도 7에 나타내는 화소 구성을 사용함으로써, 아모포스 반도체막을 적용할 수 있다.

[0677] 이때, 본 발명의 화소 구성의 적용할 수 있다. 트랜지스터의 구조나, 용량소자의 구조는 전술한 구성에 한정되지 않고, 여러 가지 구성의 트랜지스터의 구조나, 용량소자의 구조를 이용할 수 있다.

[0678] (실시예 14)

[0679] 본 실시예에서는, 열 방향으로 배치된 화소에 비디오신호를 기록하는 신호선을 한 열의 화소에 대하여 복수의 신호선으로 한 구성에 관하여 설명한다. 이때, 열 방향으로 배치된 화소는, 반드시 직선으로 배치되지 않아도 되고, 엘타 배치로 해도 된다. 또한, 엘타 배치인 경우에는, 열 방향으로 배치된 신호선은 지그재그형으로 할 수 있다.

[0680] 도 60에 나타내는 표시장치는, 신호선 구동회로(6001)와 주사선 구동회로(6002)와 화소부(6003)를 구비한다. 화소부(6003)에는 화소(6004)가 매트릭스 형태로 배치되어 있다. 신호선 구동회로(6001)는 비디오신호를 신호선 Da1, Db1, Dc1 ~ Dan, Dbn, Dcn에 출력하고, 주사선 구동회로(6002)는 화소(6004)의 행을 선택하기 위한 신호를 주사선 G1 ~ Gm에 출력한다. 그리고, 주사선 구동회로(6002)로부터 출력된 신호에 의해 선택된 화소 행에는, 신호선 구동회로(6001)로부터의 비디오신호가 기록된다.

[0681] 도 60의 표시장치에 있어서는, 신호선 구동회로(6001)로부터 첫 번째 열의 화소에 대해서는 신호선 Da1, Db1, Dc1의 세 개의 신호선에 비디오신호가 출력된다. 두 번째 열의 화소에 대해서는, 신호선 Da2, Db2, Dc2, 그리고 n번째 열의 화소에 대해서는, 신호선 Dan, Dbn, Dcn에 각각 비디오신호가 출력된다.

[0682] 그리고, 주사선 구동회로(6002)로부터 출력되는 신호에 의해 동시에 선택되는 화소의 행은, 한 개의 열의 화소에 신호를 기록하기 위한 신호선의 수와 같은 수로 한다. 즉, 도 60의 표시장치에서는, 세 개의 행의 화소가 동시에 선택되고, 선택된 세 개의 행의 화소에는, 각 열에 대응하는 세 개의 신호선으로부터 비디오신호가 입력된다. 따라서, 세 개의 행의 화소에 동시에 신호가 기록된다.

[0683] 즉, 화소에 한 행씩 신호를 기록하는 경우에 비해, 동시에 세 개의 행의 화소에 기록할 경우에는, 1프레임 기간의 기록 기간이 동일하면, 한 개의 화소의 신호 기록 시간을 세 배로 할 수 있다. 따라서, 도 60에 나타내는 구성으로 하면, 고속으로 화소에 신호를 기록하지 않아도 된다. 또한 한 개의 화소의 신호 기록 시간이 동일하면, 1프레임 기간의 기록 기간이 3분의 1이 된다. 따라서, 화소의 발광 기간을 길게 할 수 있으므로, 표시소자의 순간 휘도를 낮게 하고, 표시소자의 신뢰성을 향상시킬 수 있다.

[0684] (실시예 15)

[0685] 본 발명은 여러 가지 전자기기에 적용할 수 있다. 구체적으로는 전자기기의 표시부에 적용할 수 있다. 그러한 전자기기로서, 비디오 카메라, 디지털 카메라, 고글형 디스플레이, 네비게이션 시스템, 음향재생장치(카오디오, 오디오 컴포넌트 시스템 등), 컴퓨터, 게임 기기, 휴대 정보단말(모바일 컴퓨터, 휴대전화, 휴대형 게임기 또는 전자서적 등), 기록 매체를 구비한 화상재생장치(구체적으로는 DVD(Digital Versatile Disc) 등의 기록 매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 구비한 장치) 등을 들 수 있다.

- [0686] 도 17a는 디스플레이이며, 케이싱(17001), 지지대(17002), 표시부(17003), 스피커부(17004), 비디오 입력 단자(17005) 등을 포함한다. 본 발명의 화소 구성을 가지는 표시장치를 표시부(17003)에 사용할 수 있다. 이때, 디스플레이에는, PC용, 텔레비전 방송 수신용, 광고 표시용 등의 모든 정보표시용 표시장치가 포함된다.
- [0687] 최근, 디스플레이의 대형화에 대한 요구가 증가하고 있다. 그리고, 디스플레이의 대형화에 따라 가격의 상승이 문제되고 있다, 따라서, 어떻게 제조 비용을 절감하면서, 고품질의 제품을 조금이나마 낮은 가격으로 억제할지가 과제다.
- [0688] 예를 들면, 본 발명의 화소 구성을 표시 패널의 화소부에 사용함으로써 단극성 트랜지스터로 이루어진 표시 패널을 제공할 수 있다. 따라서, 공정 수를 줄여 제조 비용을 절감할 수 있다.
- [0689] 또한 도 11a에 나타낸 바와 같이, 화소부와 주변의 구동회로를 동일한 기판에 형성함으로써, 단극성 트랜지스터로 이루어진 회로로 구성된 표시 패널을 형성할 수 있다. 이 표시 패널을 대형 디스플레이의 표시부에 사용함으로써 디스플레이의 제조 비용을 절감할 수 있다.
- [0690] 또한 화소부를 구성하는 회로의 트랜지스터의 반도체층에 아모포스 반도체(예를 들면, 아모포스 실리콘(a-Si:H))을 사용함으로써 공정을 간략화하고, 더욱 코스트 다운을 꾀할 수 있다. 이 경우에는 도 53b에 나타낸 바와 같이, 화소부의 주변의 구동회로를 IC칩 위에 형성하고, COG 등으로 표시 패널에 설치하는 것이 바람직하다. 이렇게, 아모포스 반도체를 사용함으로써 디스플레이의 대형화가 용이해진다.
- [0691] 도 17b는 카메라이며, 본체(17101), 표시부(17102), 수상부(17103), 조작키(17104), 외부접속 포트(17105), 셔터(17106) 등을 포함한다.
- [0692] 최근, 디지털 카메라 등의 고성능화에 따라, 생산 경쟁이 치열해지고 있다. 그리고, 고품질의 제품을 낮은 가격으로 억제하는 것이 과제다.
- [0693] 예를 들면, 본 발명의 화소 구성을 화소부에 사용함으로써 단극성 트랜지스터로 이루어진 화소부를 형성할 수 있다. 또한 도 53a에 나타낸 바와 같이, 동작 속도가 높은 신호선 구동회로는 IC칩 위에 형성하고, 비교적 동작 속도이 낮은 주사선 구동회로를 화소부와 함께 단극성 트랜지스터로 구성되는 회로로 동일한 기판에 형성함으로써 고성능화를 실현하고, 비용을 낮출 수 있다. 또한 화소부와, 화소부와 함께 일체 형성하는 주사선 구동회로에 사용되는 트랜지스터의 반도체층에 아모포스 반도체, 예를 들면, 아모포스 실리콘을 적용함으로써 더욱 비용을 낮출 수 있다.
- [0694] 도 17c는 컴퓨터이며, 본체(17201), 케이싱(17202), 표시부(17203), 키보드(17204), 외부접속 포트(17205), 포인팅 마우스(17206) 등을 포함한다. 본 발명을 표시부(17203)에 사용한 컴퓨터는, 화소의 개구율이 높고 고화질 표시가 가능해진다. 또한 비용을 절감할 수 있다.
- [0695] 도 17d는 모바일 컴퓨터이며, 본체(17301), 표시부(17302), 스위치(17303), 조작키(17304), 적외선 포트(17305) 등을 포함한다. 본 발명을 표시부(17302)에 사용한 모바일 컴퓨터는, 화소의 개구율이 높고 고화질 표시가 가능해진다. 또한 비용을 절감할 수 있다.
- [0696] 도 17e는 기록 매체를 구비한 휴대형 화상재생장치(구체적으로는 DVD재생장치)이며, 본체(17401), 케이싱(17402), 표시부A(17403), 표시부B(17404), 기록 매체(DVD 등) 판독부(17405), 조작키(17406), 스피커부(17407) 등을 포함한다. 표시부A(17403)는 주로 화상정보를 표시하고, 표시부B(17404)는 주로 문자정보를 표시할 수 있다. 본 발명을 표시부A(17403)나 표시부B(17404)에 사용한 화상재생장치는, 화소의 개구율이 높고 고화질 표시가 가능해진다. 또한 비용을 절감할 수 있다.
- [0697] 도 17f는 고글형 디스플레이이며, 본체(17501), 표시부(17502), 암 부(17503)를 포함한다. 본 발명을 표시부(17502)에 사용한 고글형 디스플레이, 화소의 개구율이 높고 고화질 표시가 가능해진다. 또한 비용을 절감할 수 있다.
- [0698] 도 17g는 비디오 카메라이며, 본체(17601), 표시부(17602), 케이싱(17603), 외부접속 포트(17604), 리모트 컨트롤 수신부(17605), 수상부(17606), 배터리(17607), 음성입력부(17608), 조작키(17609), 접안부(17610) 등을 포함한다. 본 발명을 표시부(17602)에 사용한 비디오 카메라는, 화소의 개구율이 높고 고화질 표시가 가능해진다. 또한 비용을 절감할 수 있다.
- [0699] 도 17h는 휴대전화기이며, 본체(17701), 케이싱(17702), 표시부(17703), 음성입력부(17704), 음성 출력부(17705), 조작키(17706), 외부접속 포트(17707), 안테나(17708) 등을 포함한다.

- [0700] 최근, 휴대전화기는 게임 기능이나 카메라 기능, 전자 머니 기능 등을 탑재하고, 고부가가치의 휴대전화기의 요구가 증가하고 있다. 또한, 디스플레이도 고화질인 것이 요구되고 있다.
- [0701] 예를 들면, 본 발명의 화소 구성을 화소부에 사용함으로써 화소의 개구율을 향상시킬 수 있다. 구체적으로는, 표시소자를 구동하는 구동 트랜지스터로서 n형 트랜지스터를 사용함으로써 개구율이 향상된다. 따라서, 고화질 표시부를 가지는 휴대전화기를 제공할 수 있다.
- [0702] 또한 개구율이 향상됨으로써, 도 13c에 나타낸 바와 같은 양면 추출 구조의 표시장치를 표시부에 구비하여, 부가가치가 높고, 고화질 표시부를 가지는 휴대전화를 제공할 수 있다.
- [0703] 이렇게 기능이 다양해지고, 휴대전화기는 사용 빈도가 높아지는 한편, 일 회의 충전으로 장시간 사용할 수 있도록 요구된다.
- [0704] 예를 들면, 도 53b에 나타낸 바와 같이, 주변구동회로를 IC칩 위에 형성하고, CMOS 등을 사용함으로써 저소비 전력화를 꾀할 수 있다.
- [0705] 이렇게 본 발명은, 모든 전자기기에 적용할 수 있다.
- [0706] [실시의 형태 1]
- [0707] 본 실시의 형태에서는, 구동방법에 대해서 더욱 자세하게 설명한다. 도 51에 본 발명의 화소 구성을 나타낸다. 화소는 구동 트랜지스터(5101)와, 용량소자(5102)와, 제1 스위치(5103)와, 제2 스위치(5104)와, 표시소자(5105)와, 신호선(Data line)(5106)과, 전원선(Supply line)(5107)을 구비한다. 이때, 구동 트랜지스터(5101)에는 n형 트랜지스터를 사용한다.
- [0708] 구동 트랜지스터(5101)의 소스 단자는 표시소자(5105)의 양극과 접속되고, 게이트 단자는 용량소자(5102)를 통해 신호선(5106)과 접속되고, 드레인 단자는 제1 스위치(5103)를 통해 전원선(5107)과 접속된다. 또한 구동 트랜지스터(5101)의 게이트 단자와 드레인 단자는 제2 스위치(5104)를 통해 접속된다. 따라서 제2 스위치(5104)가 온 상태일 때에는 구동 트랜지스터(5101)의 게이트 단자와 드레인 단자는 도통한다. 그리고, 제2 스위치(5104)가 오프 상태가 되면, 구동 트랜지스터(5101)의 게이트 단자와 드레인 단자는 비도통이 되고, 용량소자(5102)는, 그 순간의 구동 트랜지스터(5101)의 게이트 단자(드레인 단자)와 신호선(5106) 사이의 전위차(전압)를 유지할 수 있다. 또한 표시소자(5105)의 음극은 Vss의 전위가 공급된 배선(5108)과 접속된다.
- [0709] 도 51의 화소 구성의 동작에 대해서 도 52a 내지 52f 및 도 50을 참조하여 설명한다. 본 실시의 형태에 있어서 전원전위 Vdd는 8V로 한다. 그리고, 화소가 8계조를 나타내도록 신호선(5106)에 아날로그 신호 전위 Vsig가 공급된다.
- [0710] 도 50은 화소의 기록 기간과 빛광 기간에 신호선(5106)에 공급되는 아날로그 신호 전위 Vsig을 나타낸 도면이다. 그 값은 계조 1인 경우는 7V, 계조 2인 경우는 6V, 계조 3인 경우는 5V, 계조 4인 경우는 4V, 계조 5인 경우는 3V, 계조 6인 경우는 2V, 계조 7인 경우는 1V, 계조 8인 경우는 0V로 한다.
- [0711] 여기에서, 신호선(5106)에 계조 2를 나타내는 신호(Vsig=6V)가 화소에 기록될 경우에 관하여 설명한다. 이때, 본 실시의 형태에 있어서 나타내는 구체적인 전압차, 전위, 계조수는 구체적인 예이며, 이것에 한정되지 않는다.
- [0712] 우선, 제1 스위치(5103) 및 제2 스위치(5104)를 온 상태로 한다. 그러면, 도 52a의 화살표와 같이, 용량소자(5102) 및 구동 트랜지스터(5101) 및 표시소자(5105)에 전류가 흐른다.
- [0713] 잠시 후, 구동 트랜지스터(5101)의 게이트 단자에 접속되어 있는 쪽의 용량소자(5102)의 전극의 전위가 8V, 신호선(5106)에 접속되어 있는 쪽의 용량소자(5102)의 전위가 6V가 되고, 용량소자(5102)에 2V의 전위차에 해당하는 전하가 축적된다. 그러면 용량소자(5102)에는 전류가 흐르지 않게 된다. 그리고, 도 52b에 나타낸 바와 같이, 구동 트랜지스터(5101) 및 표시소자(5105)에 흐르는 전류치는 일정해진다. 즉, 정상상태가 된다.
- [0714] 정상상태가 되면, 제2 스위치(5104)를 컨 상태에서 제1 스위치(5103)를 끈다. 그러면, 도 52b에 있어서 용량소자(5102)에 축적된 전하가 방전되어, 도 52c에 나타낸 바와 같이, 구동 트랜지스터(5101) 및 표시소자(5105)에 전류가 흐른다. 이때, 본 실시의 형태에서는 정상상태가 된 후 제1 스위치(5103)를 오프 상태로 하지만, 구동 트랜지스터(5101)가 온 상태로 하는 게이트 단자의 전위를 가지면 반드시 정상상태가 된 후 제1 스위치를 끌 필요는 없다.

- [0715] 그리고, 구동 트랜지스터(5101)의 게이트 단자의 전위가 V_a , 소스 단자의 전위가 V_b 가 되면 구동 트랜지스터(5101)는 오프 상태로 한다. 그때, 용량소자에는 신호선(5106)의 전위 6V와, 구동 트랜지스터(5101)의 게이트 단자의 전위 V_a 의 차분의 전하가 축적되어 있다. 이 상태가 되면, 도 52d에 나타낸 바와 같이, 제1 스위치(5103)를 끈 상태에서 제2 스위치(5104)를 끈다. 즉, 구동 트랜지스터(5101) 및 표시소자(5105)에 전류가 흐르지 않게 되면 제2 스위치(5104)를 오프 상태로 한다. 또한, 이때, 표시소자(5105)에는 역치가 존재하므로 구동 트랜지스터(5101)는 소스 단자가 0V가 되기 전에 오프 상태로 한다.
- [0716] 이렇게 해서, 화소에의 기록이 종료된다. 이때, 행 방향으로 배치된 화소에도 마찬가지로 기록이 행해진다. 그때, 화소의 얼마나 각각의 계조수를 나타내는 아날로그 신호 전위가 신호선(5106)에 공급되어, 기록이 행해진다. 이렇게 해서, 기록이 모든 행에 행해지면 기록 기간이 종료된다.
- [0717] 계속해서, 화소의 발광 기간의 동작에 관하여 설명한다. 화소의 발광 기간에는, 도 52e에 나타낸 바와 같이, 제2 스위치(5104)를 끈 상태에서 제1 스위치(5103)를 켠다. 그리고, 도 50의 발광 기간에 나타낸 바와 같은 삼각파 전위를 신호선(5106)에 공급한다. 그러면, 신호선(5106)의 전위가 6V의 전위가 될 때까지는 도 52e에 나타낸 바와 같이, 구동 트랜지스터(5101)는 오프 상태가 되고, 전류는 흐르지 않는다.
- [0718] 그리고, 신호선(5106)의 전위가 6V를 초과하면 구동 트랜지스터(5101)는 온 상태가 되고, 도 52f에 나타낸 바와 같이, 전원선(5107)으로부터 구동 트랜지스터(5101) 및 표시소자(5105)에 전류가 흐른다.
- [0719] 이때, 일반적으로, 트랜지스터(여기에서는 간단히, NMOS형 트랜지스터라고 한다)의 동작 영역은, 선형영역과 포화영역으로 나눌 수 있다. 여기에서, 트랜지스터의 드레인 소스간 전압을 V_{ds} , 게이트-소스간 전압을 V_{gs} , 역치전압을 V_{th} 라고 하면, $V_{ds} > (V_{gs} - V_{th})$ 일 때는 트랜지스터는 포화영역에서 동작하고, 이상적으로는, V_{ds} 가 변화되어도, 전류치는 대부분 바뀌지 않는다. 즉, V_{gs} 의 크기만으로 전류치가 결정된다. 또한 $V_{ds} < (V_{gs} - V_{th})$ 일 때에는 선형영역에서 동작하고, V_{ds} , V_{gs} 의 크기로 의해 전류치가 결정된다. 즉, $V_{ds} = V_{gs} - V_{th}$ 인 경우는 포화영역에서의 동작과 선형영역에서의 동작의 경계선이 된다. 따라서, 구동 트랜지스터(5101)의 드레인 소스간 전압(V_{ds})과 게이트 소스간 전압(V_{gs})과, 구동 트랜지스터(5101)의 역치전압(V_{th})으로부터, 구동 트랜지스터(5101)가, 어느 영역에서 동작하고 있는지가, 결정된다.
- [0720] 발광 기간에 있어서, 신호선(5106)에 공급되는 전위가 $V_{sig} + \alpha$ 일 때 구동 트랜지스터(5101)의 게이트 단자의 전위는 $V_a + \alpha$ 이 된다. 그리고, α 이 작을 때에는 $V_a + \alpha < V_{dd}$ 가 된다. 따라서, $V_{ds} = V_{dd} - V_b$, $V_{gs} - V_{th} = V_a + \alpha - V_b - V_{th}$ 의 식으로부터 $V_{ds} > V_{gs} - V_{th}$ 를 만족시킨다는 것을 알 수 있다. 즉, α 이 작을 때에는 구동 트랜지스터(5101)는 포화영역에서 동작한다.
- [0721] 따라서, 발광 기간에, 삼각파 전위를 신호선(5106)에 공급하고, 구동 트랜지스터(5106)가 온 상태가 된 직후는 포화영역에서 동작하므로, 스위치 동작으로서의 기능이 충분하지 않다. 즉, 구동 트랜지스터(5101)의 게이트 단자의 전위변화에 의해 소스 단자의 전위의 변동이 커진다. 따라서, 구동 트랜지스터(5101)가 포화영역에서 동작하면 표시소자(5105)에 인가하는 전압이 변동하고, 흐르는 전류치가 달라진다. 그러면, 1프레임 중의 발광 시간의 차이로 계조를 표현하는 아날로그 시간계조가 곤란해진다.
- [0722] 이때, 도 52d일 때의 구동 트랜지스터(5101)의 게이트-소스간 전압 $V_{gs} = V_a - V_b$ 은 소스 풀로워 회로의 오프셋 전압(V_{off})이라고 할 수 있다. 그리고, 이 오프셋 전압 V_{off} 는 구동 트랜지스터(5101)의 역치전압 V_{th} 나 채널 폭과 채널 길이의 비인 W/L 등의 함수로 나타낸다. 일반적으로, 소스 풀로워 회로의 오프셋 전압 V_{off} 는 이하의 식 (1)에 나타낸다.
- [0723]
$$V_{off} = V_{th} + \sqrt{(I_{ref}/k)} \dots (1)$$
- [0724] 상기 식 (1)에 있어서, $k = 0.5 \times \mu \times C_{ox} \times (W/L)$ 이다. 그리고, μ 는 이동도, C_{ox} 는 게이트 절연막의 용량이다. 그리고, I_{ref} 는 구동 트랜지스터(5101)에 흐르는 전류치다.
- [0725] 이때, μ , C_{ox} , V_{th} 는 제조 공정에서 결정할 수 있고, W/L 도 설계시에 조정할 수 있다.
- [0726] 또한 I_{ref} 는 표시소자의 전압전류특성이나 구동 트랜지스터(5101)의 전압전류특성(특히 포화영역 동작인지 선형영역 동작인지) 등에 따라 변화된다.
- [0727] 따라서, 전술한 값을 제조 공정이나 설계에 의해 결정하여, 구동 트랜지스터(5101)의 포화영역 동작시에서의 표시소자(5105)의 발광 시간을 짧게 하고, 휘도를 작게 한다.
- [0728] 그리고, 구동 트랜지스터(5101)의 선형영역 동작시에서의 표시소자(5105)의 발광에 의해 발광 시간을 설정한다.

따라서 발광 기간에 공급되는 삼각파 전위의 진폭을 기록 기간에 공급되는 아날로그 신호 전위의 진폭보다 크게 한다. 즉, 발광 기간에 있어서 삼각파의 진폭은, 기록 기간에 있어서의 가장 높은 계조수의 아날로그 신호 전위보다 낮은 전위로부터, 가장 낮은 계조수의 아날로그 신호 전위보다 높은 전위의 폭이 되도록 한다. 더 바람직하게는, 진폭의 하한이 가장 높은 계조수의 아날로그 신호 전위이며, 진폭의 상한이 가장 낮은 계조수의 아날로그 신호 전위로부터, 가장 낮은 계조의 화소가 선형영역의 동작이 되는 전위 사이에 있도록 한다.

[0729] 예를 들면, 도 55에 나타낸 바와 같이, 삼각파 전위의 상한을 계조수 0을 나타내는 아날로그 신호 전위와 등등하게 하면, 계조수 1의 화소의 구동 트랜지스터의 선형영역에서의 동작(스위치 동작)의 기간에는 짧아지므로, 계조수 0의 화소와의 계조를 표현할 수 없게 된다. 따라서, 도 50에 나타낸 바와 같이, 삼각파 전위의 상한을 계조수 0의 아날로그 신호 전위보다 높게 하면 된다는 것을 알 수 있다. 그러나, 삼각파 전위의 상한을 지나치게 높게 하면, 계조수 0의 화소의 구동 트랜지스터도 스위치 동작하여 비발광의 화소가 얻어질 수 없게 된다. 따라서, 삼각파 전위의 상한은, 계조수 0의 화소의 구동 트랜지스터가 스위치 동작하지 않는 정도의 전위이면 된다는 것을 알 수 있다.

[0730] 더 바람직하게는, 계조 0의 아날로그 신호 전위를 약간 높게 하는 것이 좋다. 즉, 계조 1과 계조 2의 폭보다, 계조 0과 계조 1의 아날로그 신호 전위의 폭을 크게 하는 것이 바람직하다. 그렇게 하면, 계조 0일 때는 비발광으로 할 수 있고, 계조 1일 때는 선형영역에서의 동작시간을 확보할 수 있다. 또한, 이 경우에는, 삼각파 전위의 상한은 계조 0의 아날로그 신호 전위와 동일하게 하는 것이 바람직하다.

[0731] 한편, 삼각파 전위의 하한은 계조수 7의 화소가 발광하지 않는 전위가 되면 되므로, 계조수 7의 아날로그 신호 전위와 같게 할 수 있다. 물론, 삼각파 전위의 하한은 그 이하의 전위로 해도 되지만, 삼각파 전위의 진폭이 작을수록 소비 전력도 낮아지므로 계조수 7의 아날로그 신호 전위가 적합하다고 할 수 있다.

[실시의 형태 2]

[0733] 본 실시의 형태에 있어서, 본 발명의 화소 구성을 사용한 표시장치를 표시부에 가지는 휴대전화의 구성예에 대해서도 54를 참조하여 설명한다.

[0734] 표시 패널(5410)은 하우징(5400)에 탈착하도록 내장된다. 하우징(5400)은 표시 패널(5410)의 사이즈에 따라, 형상이나 치수를 적절히 변경할 수 있다. 표시 패널(5410)을 고정한 하우징(5400)은 프린트 기판(5401)에 끼워 넣어져 모듈로서 조립할 수 있다.

[0735] 표시 패널(5410)은 FPC(5411)를 통해 프린트 기판(5401)에 접속된다. 프린트 기판(5401)에는, 스피커(5402), 마이크로폰(5403), 송수신회로(5404), CPU 및 콘트롤러 등을 포함하는 신호 처리 회로(5405)가 형성된다. 이러한 모듈과, 입력 수단(5406), 배터리(5407)를 조합하여, 케이싱(5409)에 수납한다. 표시 패널(5410)의 화소부는 케이싱(5412)에 형성된 통로창을 통해 시인할 수 있도록 배치한다.

[0736] 표시 패널(5410)은, 화소부와 일부 주변구동회로(복수의 구동회로 중 동작 주파수가 낮은 구동회로)를 기판 위에 TFT를 사용해서 일체로 형성하고, 일부의 주변구동회로(복수의 구동회로 중 동작 주파수의 높은 구동회로)을 IC칩 위로 형성하고, 그 IC칩을 COG(Chip On Glass)로 표시 패널(5410)에 설치해도 된다. 또는, 그 IC칩을 TAB(Tape Auto Bonding)나 프린트 기판을 사용해서 유리기판과 접속해도 된다. 이때, 일부 주변구동회로를 기판 위에 화소부와 일체로 형성하고, 다른 주변구동회로를 형성한 IC칩을 COG 등으로 설치한 표시 패널의 구성은 도 53a에 일례를 게시해 있다. 이러한 구성으로 함으로써, 표시장치의 저소비 전력화를 꾀하고, 휴대전화기의 일회의 충전에 의한 사용 시간을 길게 할 수 있다. 또한 휴대전화기의 비용을 낮출 수 있다.

[0737] 화소부에는 실시예 1 내지 7에 나타낸 구성을 적절히 적용할 수 있다.

[0738] 예를 들면, 실시예 3에 나타낸 화소 구성을 적용함으로써 저비용화를 실현하기 위해서 화소부 및 화소부와 동일한 기판에 형성하는 주변구동회로를 단극성 트랜지스터로 구성해서 제조 공정의 삭감을 꾀할 수 있다.

[0739] 또는 실시예 2에 나타낸 화소 구성을 적용함으로써 발광 기간을 길게 할 수 있으므로, 표시소자의 순간 휘도를 낮출 수 있고, 표시소자의 신뢰성을 향상시킬 수 있다.

[0740] 또는 실시예 4에 나타낸 화소 구성을 적용함으로써 신호의 진폭을 작게 할 수 있고, 소비 전력의 저감을 꾀할 수 있다.

[0741] 또는 실시예 5에 나타낸 화소 구성을 적용함으로써 기록 기간에 소비 전력의 낭비를 방지할 수 있고, 소비 전력의 저감을 꾀할 수 있다.

- [0742] 또한 주사선이나 신호선에 공급하는 신호를 버퍼에 의해 임피던스 변환하여 전류 공급 능력을 높임으로써 신호의 지연을 막고, 1행당 화소의 기록 시간을 짧게 할 수 있다. 따라서 고화질 표시장치를 제공할 수 있다.
- [0743] 또한 더욱 소비 전력을 낮추기 위해서, 기판 위에 TFT를 사용해서 화소부를 형성하고, 모든 주변구동회로를 IC 칩 위로 형성하고, 그 IC칩을 COG(Chip On Glass) 등으로 표시 패널에 설치해도 된다.
- [0744] 이때, 본 실시의 형태에 나타낸 구성은 휴대전화의 일례이며, 본 발명의 화소 구성은 이러한 구성의 휴대전화에 한정되지 않고 여러 가지 구성의 휴대전화에 적용할 수 있다.
- [0745] [실시의 형태 3]
- [0746] 도 57은 표시 패널(5701)과, 회로기판(5702)을 조합한 EL모듈을 나타낸다. 표시 패널(5701)은 화소부(5703), 주사선 구동회로(5704) 및 신호선 구동회로(5705)를 구비한다. 회로기판(5702)에는, 예를 들면, 컨트롤 회로(5706)나 신호 분할 회로(5707) 등이 형성된다. 표시 패널(5701)과 회로기판(5702)은 접속 배선(5708)에 의해 접속된다. 접속 배선에는 FPC 등을 사용할 수 있다.
- [0747] 표시 패널(5701)은, 화소부와 일부 주변구동회로(복수의 구동회로 중 동작 주파수가 낮은 구동회로)를 기판 위에 TFT를 사용해서 일체로 형성하고, 일부 주변구동회로(복수의 구동회로 중 동작 주파수가 높은 구동회로)를 IC칩 위에 형성하고, 그 IC칩을 COG(Chip On Glass) 등으로 표시 패널(5701)에 설치하면 된다. 또는, 그 IC칩을 TAB(Tape Auto Bonding)나 프린트 기판을 사용해서 표시 패널(5701)에 설치해도 된다. 또한, 일부의 주변구동회로를 기판 위에 화소부와 일체로 형성하고, 다른 주변구동회로를 형성한 IC칩을 COG 등으로 설치한 구성은 도 53a에 일례를 게시해 있다. 이러한 구성으로 함으로써, 표시장치의 저소비 전력을 피하고, 휴대전화기의 일회의 충전에 의한 사용 시간을 길게 할 수 있다. 또한 휴대전화기의 비용을 낮출 수 있다.
- [0748] 화소부에는 실시예 1 내지 5에 나타낸 구성을 적절히 적용할 수 있다.
- [0749] 예를 들면, 실시예 3에 나타낸 화소 구성을 적용함으로써 저비용화를 실현하므로 화소부 및 화소부와 동일한 기판에 형성하는 주변구동회로를 단극성 트랜지스터로 구성해서 제조 공정을 줄일 수 있다.
- [0750] 또는 실시예 2에 나타낸 화소 구성을 적용함으로써 발광 기간을 길게 할 수 있으므로, 표시소자의 순간 휘도를 낮출 수 있고, 표시소자의 신뢰성을 향상시킬 수 있다.
- [0751] 또는 실시예 4에 나타낸 화소 구성을 적용함으로써 신호의 진폭을 작게 할 수 있고, 소비 전력의 저감을 피할 수 있다.
- [0752] 또한 실시예 5에 나타낸 화소 구성을 적용함으로써 기록 기간에 있어서, 소비 전력의 낭비를 방지할 수 있고, 소비 전력을 저감할 수 있다.
- [0753] 또한 주사선이나 신호선에 공급하는 신호를 버퍼에 의해 임피던스 변환하여 전류 공급 능력을 높임으로써 신호의 지연을 막고, 1행당 화소의 기록 시간을 짧게 할 수 있다. 따라서 고화질 표시장치를 제공할 수 있다.
- [0754] 또한 더욱 소비 전력의 저감을 피하기 위해서, 유리기판 위에 TFT를 사용해서 화소부를 형성하고, 모든 신호선 구동회로를 IC칩 위로 형성하고, 그 IC칩을 COG(Chip On Glass) 등으로 표시 패널에 설치해도 된다.
- [0755] 또한 실시예 3에 나타낸 화소 구성을 적용함으로써 n형 트랜지스터만으로 화소를 구성할 수 있으므로, 아모포스 반도체(예를 들면, 아모포스 실리콘)를 트랜지스터의 반도체층에 적용할 수 있다. 즉, 균일한 결정성 반도체막을 제조하는 것이 곤란한 대형 표시장치의 제조가 가능해진다. 또한 아모포스 반도체막을 화소를 구성하는 트랜지스터의 반도체층에 사용함으로써, 제조 공정을 줄일 수 있고, 제조 비용의 절감도 피할 수 있다.
- [0756] 아모포스 반도체막을, 화소를 구성하는 트랜지스터의 반도체층에 적용할 경우에는, 기판 위에 TFT를 사용해서 화소부를 형성하고, 모든 주변구동회로를 IC칩 위에 형성하고, 그 IC칩을 COG(Chip On Glass)로 표시 패널에 설치하는 것이 바람직하다. 또한, 기판 위에 화소부를 형성하고, 그 기판 위에 신호선 구동회로를 형성한 IC칩을 COG 등으로 설치한 구성은 도 53b에 일례를 게시해 있다.
- [0757] 이 EL모듈에 의해 EL텔레비전 수상기를 완성할 수 있다. 도 58은, EL텔레비전 수상기의 주요 구성을 나타내는 블럭도다. 튜너(5801)는 영상신호와 음성신호를 수신한다. 영상신호는, 영상신호 증폭회로(5802)와, 거기에서 출력되는 신호를 빨강, 초록, 파란 각 색에 대응한 색 신호로 변환하는 영상신호 처리회로(5803)와, 그 영상신호를 구동회로의 입력 사양으로 변환하기 위한 컨트롤 회로(5706)에 의해 처리된다. 컨트롤 회로(5706)는, 주사선측과 신호선측에 각각 신호가 출력한다. 디지털 구동할 경우에는, 신호선측에 신호 분할 회로(5707)를 설치하

고, 입력 디지털 신호를 m 개로 분할해서 공급하는 구성으로 해도 된다.

[0758] 튜너(5801)로 수신한 신호 중, 음성신호는 음성신호 증폭회로(5804)에 보내지고, 그 출력은 음성신호 처리회로(5805)를 통해 스피커(5806)에 공급된다. 제어회로(5807)는 수신국(수신 주파수)이나 음량의 제어 정보를 입력부(5808)로부터 받고, 튜너(5801)나 음성신호 처리회로(5805)에 신호를 송출한다.

[0759] 도 17a에 나타낸 바와 같이, EL모듈을 케이싱(17001)에 내장하여, 텔레비전 수상기를 완성할 수 있다. EL모듈에 의해, 표시부(17003)가 형성된다. 또한 스피커부(17004), 비디오 입력 단자(17005) 등이 적절히 구비되어 있다.

[0760] 물론, 본 발명은 텔레비전 수상기에 한정되지 않고, PC의 모니터를 비롯하여, 철도의 역이나 공항 등의 정보표시판이나, 가두에서의 광고 표시판 등 특히 대면적 표시 매체로서 여러 가지 용도에 적용할 수 있다.

[0761] 본 출원은 2004년 11월 30일, 일본 특허청에 출원된 일본 특개 no.2004-347502에 근거하는 것으로, 그 모든 내용은 여기에 참조로 인용된다.

산업상 이용 가능성

[0762] 표시소자를 구동하는 구동 트랜지스터로서 n형 트랜지스터를 사용함으로써, 단극성 트랜지스터로 이루어진 표시패널을 제공할 수 있다. 따라서, 저비용의 표시장치를 제공할 수 있다. 또한 상기 표시장치의 구동방법을 제공할 수 있다. 또한 상기 표시장치를 표시부에 적용함으로써, 저비용의 전자기기를 제공할 수 있다.

[0763] [부호의 설명]

[0764]	101 구동 트랜지스터	102 용량소자
[0765]	103 제1 스위치	104 제2 스위치
[0766]	105 표시소자	106 제1 주사선
[0767]	107 제2 주사선	108 신호선
[0768]	109 전원선	110 배선
[0769]	201 제1 주사선 구동회로	202 제2 주사선 구동회로
[0770]	203 신호선 구동회로	204 화소부
[0771]	205 화소	206 구동 트랜지스터
[0772]	207 용량소자	208 제1 스위치
[0773]	209 제2 스위치	210 표시소자
[0774]	211 배선	401 구동 트랜지스터
[0775]	402 용량소자	403 제1 스위치
[0776]	404 제2 스위치	405 표시소자
[0777]	406 제3 스위치	제4 스위치
[0778]	408 제1 주사선	409 제2 주사선
[0779]	410 제1 신호선	411 제2 신호선
[0780]	412 전원선	413 배선
[0781]	601 구동 트랜지스터	602 용량소자
[0782]	603 제1 스위칭용 트랜지스터	604 제2 스위칭용 트랜지스터
[0783]	605 표시소자	606 제1 주사선

[0784]	607 제2 주사선	608 신호선
[0785]	609 전원선	610 배선
[0786]	701 구동 트랜지스터	702 용량소자
[0787]	703 제1 스위칭용 트랜지스터	704 제2 스위칭용 트랜지스터
[0788]	705 표시소자	706 제3 스위칭용 트랜지스터
[0789]	707 제4 스위칭용 트랜지스터	708 제1 주사선
[0790]	709 제2 주사선	710 제1 신호선
[0791]	711 제2 신호선	712 전원선
[0792]	713 배선	714 제3 주사선
[0793]	715 제4 주사선	801 버퍼
[0794]	802 버퍼	803 버퍼
[0795]	901 전압 풀로워 회로	902 n형 트랜지스터
[0796]	903 p형 트랜지스터	904 소스 풀로워 트랜지스터
[0797]	905 전류원	906 소스 풀로워 트랜지스터
[0798]	907 트랜지스터	1004 소스 풀로워 트랜지스터
[0799]	1005 용량소자	1006 제1 스위치
[0800]	1007 제2 스위치	1008 제3 스위치
[0801]	1009 전류원	1010 전압원
[0802]	1101 신호선 구동회로	1114 절연물
[0803]	1116 유기 화합물을 포함하는 층	1117 제2 전극
[0804]	1118 표시소자	1119 IC칩
[0805]	1120 n형 TFT	1121 n형 TFT
[0806]	1201 기판	1203 정공주입층
[0807]	1204 정공수송층	1205 발광층
[0808]	1206 전자수송층	1207 전자주입층
[0809]	1208 음극	1300 기판
[0810]	1301 구동용 TFT	1302 제1 전극
[0811]	1303 유기 화합물을 포함하는 층	1304 제2 전극
[0812]	1400 기판	1401 구동용 TFT
[0813]	1402 하지막	1403 제1 전극
[0814]	1404 유기 화합물을 포함하는 층	1405 제2 전극
[0815]	1406R 적색의 컬러 필터	1406G 녹색의 컬러 필터
[0816]	1406B 청색의 컬러 필터	1407 블랙 매트릭스
[0817]	1901 저항	1902 용량소자
[0818]	1903 입력 펠스	1904 출력 펠스
[0819]	2001 구동용 트랜지스터	2002 용량소자

[0820]	2003 제1 스위칭용 트랜지스터	2004 제2 스위칭용 트랜지스터
[0821]	2005 표시소자	2006 제1 주사선
[0822]	2007 제2 주사선	2008 신호선
[0823]	2009 전원선	2101 배선
[0824]	2201 구동 트랜지스터	2202 용량소자
[0825]	2203 제1 스위치용 트랜지스터	2204 제2 스위칭용 트랜지스터
[0826]	2005 표시소자	2206 제3 스위칭용 트랜지스터
[0827]	2207 제4 스위칭용 트랜지스터	2208 제1 주사선
[0828]	2209 제2 주사선	2210 제1 신호선
[0829]	2211 제2 신호선	2212 전원선
[0830]	2213 배선	2214 제3 주사선
[0831]	2501 구동 트랜지스터	2503 제1 스위칭용 트랜지스터
[0832]	2504 제2 스위칭용 트랜지스터	2505 표시소자
[0833]	2506 제1 주사선	2507 제2 주사선
[0834]	2508 신호선	2509 배선
[0835]	2701 기판	2702 하지막
[0836]	2703 게이트 전극	2704 제1 전극
[0837]	2705 게이트 절연막	2706 채널 형성 영역
[0838]	2707 LDD영역	2708 불순물 영역
[0839]	2709 채널 형성 영역	2710 LDD영역
[0840]	2711 불순물 영역	2712 제1 충간 절연막
[0841]	2714 제3 전극	2715 개구부
[0842]	2716 제2 충간 절연막	2717 화소전극
[0843]	2718 절연물	2719 유기 화합물을 포함하는 충
[0844]	2720 대향전극	2712 표시소자
[0845]	2722 구동용 트랜지스터	2723 용량소자
[0846]	2801 기판	2802 하지막
[0847]	2804 제 전극	2805 배선
[0848]	2806 배선	2807 n형 반도체충
[0849]	2808 n형 반도체충	2809 하지막
[0850]	2811 절연막	2812 게이트 전극
[0851]	2813 제2 전극	2814 충간 절연막
[0852]	2815 유기 화합물을 포함하는 충	2816 대향전극
[0853]	2817 표시소자	2818 구동용 트랜지스터
[0854]	2820 제1 전극	2901 기판
[0855]	2902 하지막	2903 게이트 전극

[0856]	2904 제1 전극	2905 게이트 절연막
[0857]	2906 반도체층	2907 반도체층
[0858]	2908 n형 반도체층	2909 n형 반도체층
[0859]	2910 n형 반도체층	2911 배선
[0860]	2912 배선	2913 도전층
[0861]	2914 화소전극	2915 절연물
[0862]	2916 유기 화합물을 포함하는 층	2917 대향전극
[0863]	2918 표시소자	2919 구동 트랜지스터
[0864]	2920 용량소자	2921 제2 전극
[0865]	3001 절연물	3601 구동 트랜지스터
[0866]	3602 용량소자	3603 제1 스위치
[0867]	3604 제2 스위치	3605 표시소자
[0868]	3606 제3 스위치	3607 배선
[0869]	3608 신호선	3609 전원선
[0870]	3701 구동 트랜지스터	3702 용량소자
[0871]	3703 제1 스위치	3704 제2 스위치
[0872]	3705 표시소자	3706 제3 스위치
[0873]	3708 신호선	3709 전원선
[0874]	4101 구동 트랜지스터	4102 표시소자
[0875]	4103 제1 스위치	4104 제2 스위치
[0876]	4105 표시소자	4106 제3 스위치
[0877]	4107 제4 스위치	4108 제5 스위치
[0878]	4109 배선	4110 제1 신호선
[0879]	4111 제2 신호선	4112 전원선
[0880]	4201 구동 트랜지스터	4202 용량소자
[0881]	4203 제1 스위치	4204 제2 스위치
[0882]	4205 표시소자	4206 제3 스위치
[0883]	4207 제4 스위치	4208 제5 스위치
[0884]	4209 배선	4210 제1 신호선
[0885]	4211 제2 신호선	4212 전원선
[0886]	4301 구동 트랜지스터	4302 용량소자
[0887]	4303 제1 스위치	4304 제2 스위치
[0888]	4305 표시소자	4306 제3 스위치
[0889]	4307 제4 스위치	4308 제5 스위치
[0890]	4309 배선	4310 제1 신호선
[0891]	4311 제2 신호선	4312 전원선

[0892]	4313 제2 배선	4401 기판
[0893]	4402 화소부	4403 제1 주사선 구동회로
[0894]	4404 제2 주사선 구동회로	4405 신호선 구동회로
[0895]	4406 FPC	4501 펄스 출력 회로
[0896]	4502 제1 래치회로	4503 제2 래치회로
[0897]	4504 D/A변환 회로	4505 기록 기간/발광 기간 선택 회로
[0898]	4506 아날로그 버퍼 회로	4507 보정회로
[0899]	4601 펄스 출력 회로	4602 제1 아날로그 래치회로
[0900]	4603 제2 아날로그 래치회로	4604 기록 기간/발광 기간 선택 회로
[0901]	4605 아날로그 버퍼 회로	4606 D/A변환 회로
[0902]	4701 펄스 출력 회로	4702 제1 아날로그 래치회로
[0903]	4703 제2 아날로그 래치회로	4704 D/A변환 회로
[0904]	4705 기록 기간/발광 기간 선택 회로	4706 아날로그 버퍼 회로
[0905]	4707 변환 회로	4708 삼각파 전위 생성 회로
[0906]	4709 플립플롭회로	4801 펄스 출력 회로
[0907]	4802 제1 아날로그 래치회로	4803 제2 아날로그 래치회로
[0908]	4804 기록 기간/발광 기간 선택 회로	4805 아날로그 버퍼 회로
[0909]	4806 변환 회로	4807 삼각파 전위 생성 회로
[0910]	4808 플립플롭회로	4901 펄스 출력 회로
[0911]	4902 버퍼	4903 펄스 분할 회로
[0912]	4904 변환 회로	4911 펄스 분할 회로
[0913]	4914 변환 회로	4915 플립플롭회로
[0914]	4916 버퍼	4917 NAND
[0915]	4918 인버퍼	5101 구동 트랜지스터
[0916]	5102 용량소자	5103 제1 스위치
[0917]	5104 제2 스위치	5105 표시소자
[0918]	5106 신호선	5107 전원선
[0919]	5108 배선	5300 기판
[0920]	5301 신호선 구동회로	5302 화소부
[0921]	5303 과정	5304 제2 주사선 구동회로
[0922]	5305 FPC	5306 IC칩
[0923]	5307 IC칩	5308 밀봉기판
[0924]	5309 셀재	5310 기판
[0925]	5311 신호선 구동회로	5312 화소부
[0926]	5313 제2 주사선 구동회로	5314 제1 주사선 구동회로
[0927]	5315 FPC	5316 IC칩

[0928]	5317 IC칩	5318 밀봉기판
[0929]	5319 셀재	5400 하우징
[0930]	5401 프린트 기판	5402 스피커
[0931]	5403 마이크로폰	5404 송수신회로
[0932]	5405 신호 처리 회로	5406 입력 수단
[0933]	5407 배터리	5409 케이싱
[0934]	5410 표시 패널	5411 FPC
[0935]	5412 케이싱	5600 기판
[0936]	5601 주변구동회로	5604 FPC
[0937]	5605 IC칩	5606 IC칩
[0938]	5610 기판	5611 주변구동회로
[0939]	5612 화소부	5613 FPC
[0940]	5614 FPC	5701 표시 패널
[0941]	5702 회로기판	5703 화소부
[0942]	5704 주사선 구동회로	5705 신호선 구동회로
[0943]	5706 컨트롤 회로	5707 신호 분할 회로
[0944]	5708 접속 배선	5801 튜너
[0945]	5802 영상신호 증폭회로	5803 영상신호 처리회로
[0946]	5804 음성신호 증폭회로	5805 음성신호 처리회로
[0947]	5806 스피커	5807 컨트롤 회로
[0948]	5808 입력부	5901 과형
[0949]	5902 과형	5903 과형
[0950]	5904 과형	5905 과형
[0951]	5906 과형	5907 과형
[0952]	6001 신호선 구동회로	6002 주사선 구동회로
[0953]	6003 화소부	6004 화소
[0954]	6101 펄스 출력 회로	6102 제1 스위치 군
[0955]	6103 제2 스위치 군	6111 펄스 출력 회로
[0956]	6112 스위치 군	6601 구동 트랜지스터
[0957]	6602 용량소자	6603 제1 스위치
[0958]	6604 제2 스위치	6605 표시소자
[0959]	6606 제1 주사선 구동회로	6607 제2 주사선 구동회로
[0960]	6608 신호선	6609 전원선
[0961]	6610 제1 배선	6621 역바이어스용 스위치
[0962]	6622 제2 배선	6901 구동 트랜지스터
[0963]	6902 용량소자	6903 제1 스위치

[0964]	6904 제2 스위치	6905 표시소자
[0965]	6906 제1 주사선 구동회로	6907 제2 주사선 구동회로
[0966]	6908 신호선	6909 전원선
[0967]	6910 배선	7101 필스 출력 회로
[0968]	7102 제1 래치회로	7103 제2 래치회로
[0969]	7104 D/A변환 회로	7105 아날로그 버퍼 회로
[0970]	7106 삼각파 전위 생성 회로	7107 플립플롭회로
[0971]	7201 필스 출력 회로	7202 제1 아날로그 래치회로
[0972]	7203 제2 아날로그 래치회로	7204 아날로그 버퍼 회로
[0973]	7205 삼각파 전위 생성 회로	7206 플립플롭회로
[0974]	7301 구동 트랜지스터	7302 용량소자
[0975]	7303 제1 스위치	7304 제2 스위치
[0976]	7305 표시소자	7306 제3 스위치
[0977]	7307 배선	7308 신호선
[0978]	7309 전원선	7401R 삼각파 전위 생성 회로
[0979]	7401G 삼각파 전위 생성 회로	7401B 삼각파 전위 생성 회로
[0980]	7402 변환 회로	7403 화소부
[0981]	7404 화소	7701 기판
[0982]	7702 하지막	7703 채널 형성 영역
[0983]	7704 불순물영역	7705 저농도 불순물영역
[0984]	7706 채널 형성 영역	7707 불순물영역
[0985]	7708 저농도 불순물영역	7709 게이트 절연막
[0986]	7710 게이트 전극	7712 사이드월
[0987]	7713 사이드월	7714 무기절연막
[0988]	7715 수지막	7716 배선
[0989]	7717 배선	7718 배선
[0990]	7719 배선	7720 제2 충간 절연막
[0991]	7721 화소전극	7722 배선
[0992]	7723 절연물	7724 유기 화합물을 포함하는 충
[0993]	7725 대향전극	7726 표시소자
[0994]	7727 트랜지스터	7728 트랜지스터
[0995]	7800 기판	7801 신호선 구동회로
[0996]	7802 주사선 구동회로	7803 화소부
[0997]	7804 FPC	7805 IC칩
[0998]	7806 영역	7807 유기 화합물을 포함하는 충
[0999]	7816 영역	7817 유기 화합물을 포함하는 충

[1000]	7901 화소전극	7902 배선
[1001]	8001 화소전극	8002 배선
[1002]	15101 기판	15102 하지막
[1003]	15103 채널 형성 영역	15104 LDD영역
[1004]	15105 불순물영역	15106 채널 형성 영역
[1005]	15107 LDD영역	15108 불순물영역
[1006]	15109 게이트 절연막	15110 게이트 전극
[1007]	15111 상부전극	15112 충간 절연막
[1008]	15113 배선	15114 화소전극
[1009]	15115 절연물	15116 유기 화합물을 포함하는 층
[1010]	15117 구동 트랜지스터	15118 구동 트랜지스터
[1011]	15119 용량소자	15120 표시소자
[1012]	15202 영역	15301 제2 상부전극
[1013]	15302 용량소자	16101 기판
[1014]	16102 하지막	16103 채널 형성 영역
[1015]	16104 LDD영역	16105 불순물영역
[1016]	16106 게이트 절연막	16107 게이트 전극
[1017]	16108 제1 전극	16109 제1 충간 절연막
[1018]	16110 배선	16111 제2 전극
[1019]	16112 제2 충간 절연막	16113 화소전극
[1020]	16114 제3 전극	16115 절연물
[1021]	16116 유기 화합물을 포함하는 층	16117 대향전극
[1022]	16118 구동 트랜지스터	16119 용량소자
[1023]	16120 표시소자	17001 케이싱
[1024]	17002 지지대	17003 표시부
[1025]	17004 스파커부	17005 비디오 입력 단자
[1026]	17101 본체	17102 표시부
[1027]	17103 수상부	17104 조작키
[1028]	17105 외부접속 포트	17106 셋터
[1029]	17201 본체	17203 표시부
[1030]	17204 키보드	17205 외부접속 포트
[1031]	17206 포인팅 마우스	17301 본체
[1032]	17302 표시부	17303 스위치
[1033]	17304 조작키	17305 적외선 포트
[1034]	17401 본체	17402 케이싱
[1035]	17403 표시부A	17404 표시부B

[1036]	17405 기록 매체 판독부	17406 조작키
[1037]	17407 스피커부	17501 본체
[1038]	17502 표시부	17503 암 부
[1039]	17601 본체	17602 표시부
[1040]	17603 케이싱	17604 외부접속 포트
[1041]	17605 리모트 컨트롤 수신부	17606 수상부
[1042]	17607 배터리	17608 음성입력부
[1043]	17609 조작키	17610 접안부

도면의 간단한 설명

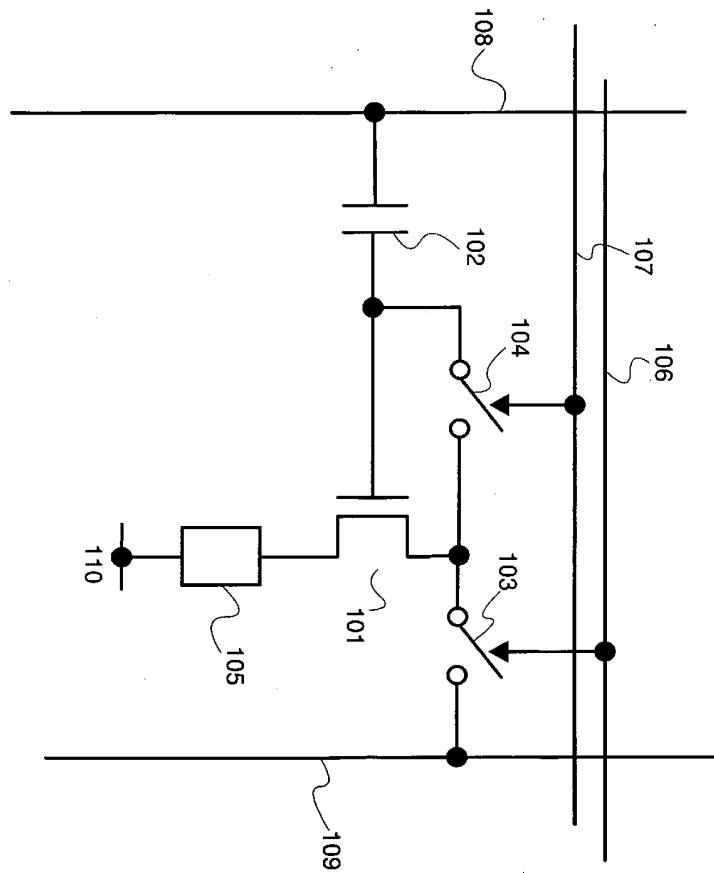
- [0063] 도 1은 본 발명의 화소 구성을 도시한 도면이다.
- [0064] 도 2는 본 발명의 화소 구성을 가지는 표시장치를 설명하는 도면이다.
- [0065] 도 3은 본 발명의 화소 구성을 가지는 표시장치의 타이밍 차트를 도시한 도면이다.
- [0066] 도 4는 본 발명의 화소 구성을 도시한 도면이다.
- [0067] 도 5는 본 발명의 화소 구성을 가지는 표시장치의 타이밍 차트를 도시한 도면이다.
- [0068] 도 6은 본 발명의 화소 구성을 도시한 도면이다.
- [0069] 도 7은 본 발명의 화소 구성을 도시한 도면이다.
- [0070] 도 8은 본 발명의 화소 구성을 가지는 표시장치의 구성예를 도시한 도면이다.
- [0071] 도 9a 내지 9d는 본 발명의 화소 구성을 가지는 표시장치에 적용 가능한 베퍼를 도시한 도면이다.
- [0072] 도 10a 및 10b는 본 발명의 화소 구성을 가지는 표시장치에 적용 가능한 베퍼를 도시한 도면이다.
- [0073] 도 11a 및 11b는 본 발명의 화소 구성을 가지는 표시 패널을 설명하는 도면이다.
- [0074] 도 12는 본 발명의 화소 구성이 가지는 표시장치에 적용 가능한 표시소자의 예를 게시하는 도면이다.
- [0075] 도 13a 내지 13c는 표시소자의 추출 구조를 설명하는 도면이다.
- [0076] 도 14는 컬러 필터를 사용해서 풀 컬러 표시를 행하는 표시 패널의 단면도다.
- [0077] 도 15a 및 15b는 표시 패널의 부분 단면도다.
- [0078] 도 16a 및 16b는 표시 패널의 부분 단면도다.
- [0079] 도 17a 내지 17h는 본 발명의 화소 구성을 가지는 표시장치를 화소부에 적용 가능한 전자기기의 예를 게시하는 도면이다.
- [0080] 도 18은 본 발명의 화소 구성을 도시한 도면이다.
- [0081] 도 19는 신호의 상승 및 하강의 지연 발생을 설명하는 도면이다.
- [0082] 도 20은 본 발명의 화소 구성을 도시한 도면이다.
- [0083] 도 21은 본 발명의 화소 구성을 가지는 표시장치의 타이밍 차트를 도시한 도면이다.
- [0084] 도 22는 본 발명의 화소 구성을 도시한 도면이다.
- [0085] 도 23은 본 발명의 화소 구성을 도시한 도면이다.
- [0086] 도 24는 본 발명의 화소 구성을 가지는 표시장치의 타이밍 차트를 도시한 도면이다.
- [0087] 도 25는 본 발명의 화소 구성을 가지는 표시장치를 설명하는 도면이다.
- [0088] 도 26은 본 발명의 화소 구성을 가지는 표시장치의 타이밍 차트를 도시한 도면이다.

- [0089] 도 27a 및 27b는 표시 패널의 부분 단면도다.
- [0090] 도 28a 및 28b는 표시 패널의 부분 단면도다.
- [0091] 도 29a 및 29b는 표시 패널의 부분 단면도다.
- [0092] 도 30a 및 30b는 표시 패널의 부분 단면도다.
- [0093] 도 31은 본 발명의 화소 구성을 가지는 표시장치에 적용 가능한 DA변환회로의 일례를 도시한 도면이다.
- [0094] 도 32는 본 발명의 화소 구성을 가지는 표시장치에 적용 가능한 DA변환회로의 일례를 도시한 도면이다.
- [0095] 도 33은 본 발명의 화소의 접속 상황을 설명하는 도면이다.
- [0096] 도 34는 본 발명의 화소의 접속 상황을 설명하는 도면이다.
- [0097] 도 35는 본 발명의 화소의 접속 상황을 설명하는 도면이다.
- [0098] 도 36은 본 발명의 화소 구성을 설명하는 도면이다.
- [0099] 도 37은 본 발명의 화소 구성을 설명하는 도면이다.
- [0100] 도 38은 본 발명의 화소의 접속 상황을 설명하는 도면이다.
- [0101] 도 39는 본 발명의 화소의 접속 상황을 설명하는 도면이다.
- [0102] 도 40은 본 발명의 화소의 접속 상황을 설명하는 도면이다.
- [0103] 도 41은 본 발명의 화소 구성을 설명하는 도면이다.
- [0104] 도 42는 본 발명의 화소 구성을 설명하는 도면이다.
- [0105] 도 43은 본 발명의 화소 구성을 설명하는 도면이다.
- [0106] 도 44a 및 44b는 본 발명의 표시장치의 모식도다.
- [0107] 도 45a 및 45b는 본 발명의 표시장치에 적용 가능한 신호선 구동회로의 예를 나타낸다.
- [0108] 도 46a 및 46b는 본 발명의 표시장치에 적용 가능한 신호선 구동회로의 예를 나타낸다.
- [0109] 도 47은 본 발명의 표시장치에 적용 가능한 신호선 구동회로의 예를 나타낸다.
- [0110] 도 48은 본 발명의 표시장치에 적용 가능한 신호선 구동회로의 예를 나타낸다.
- [0111] 도 49a 및 49b는 본 발명의 표시장치에 적용 가능한 신호선 구동회로의 예를 나타낸다.
- [0112] 도 50은 삼각파 전위를 설명하는 도면이다.
- [0113] 도 51은 본 발명의 화소 구성을 설명하는 도면이다.
- [0114] 도 52a 내지 52f는 본 발명의 화소 구성의 동작을 설명하는 도면이다.
- [0115] 도 53a 및 53b는 본 발명의 화소 구성을 가지는 표시장치의 구성을 설명하는 도면이다.
- [0116] 도 54는 본 발명의 적용 가능한 휴대전화기의 예를 나타낸다.
- [0117] 도 55는 삼각파 전위를 설명하는 도면이다.
- [0118] 도 56a 및 56b는 본 발명의 화소 구성을 가지는 표시장치의 구성을 설명하는 도면이다.
- [0119] 도 57은 EL모듈의 예를 나타낸다.
- [0120] 도 58은 EL텔레비전 수상기의 주요 구성을 나타내는 블럭도다.
- [0121] 도 59는 구동 트랜지스터의 온/오프를 제어하는 아날로그적인 전위변화를 하는 파형의 예를 나타낸다.
- [0122] 도 60은 복수의 행의 화소에 동시에 신호를 기록할 수 있는 표시장치의 구성예를 나타낸다.
- [0123] 도 61a 및 61b는 본 발명의 표시장치에 적용 가능한 신호선 구동회로의 예를 나타낸다.
- [0124] 도 62a 및 62b는 본 발명의 표시장치에 적용 가능한 신호선 구동회로의 예를 나타낸다.

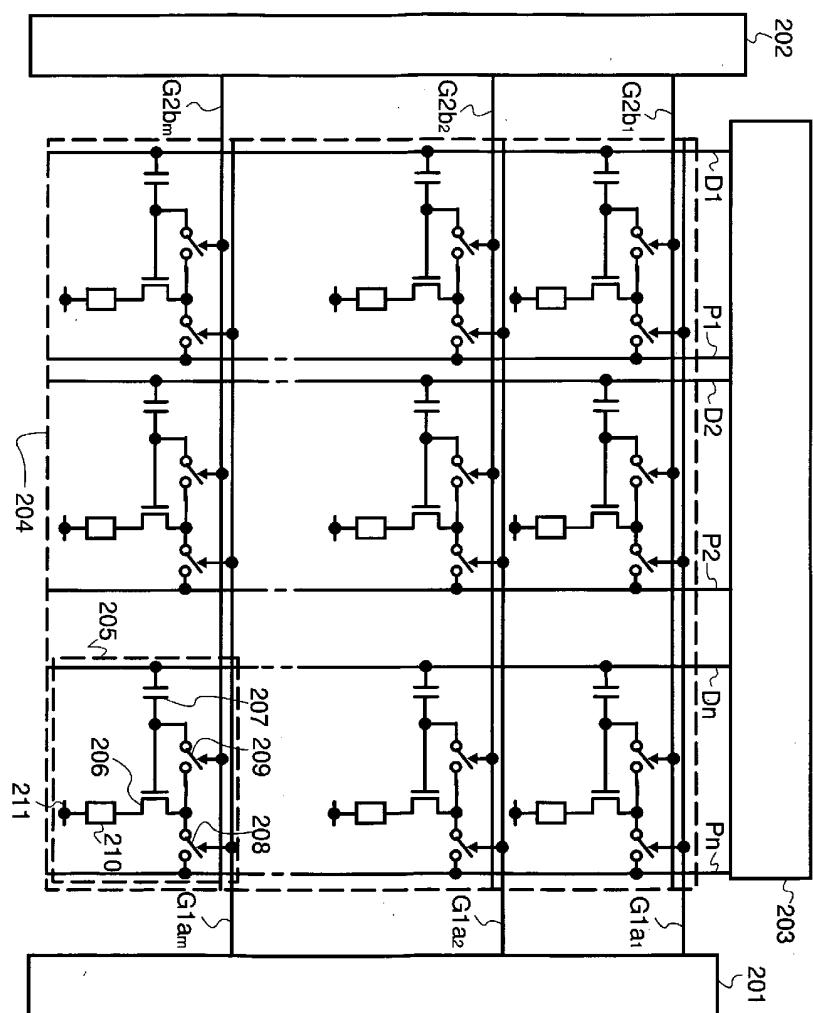
- [0125] 도 63a 및 63b는 본 발명의 표시장치에 적용 가능한 신호선 구동회로의 예를 나타낸다.
- [0126] 도 64는 본 발명의 표시장치에 적용 가능한 신호선 구동회로의 예를 나타낸다.
- [0127] 도 65는 본 발명의 표시장치에 적용 가능한 신호선 구동회로의 예를 나타낸다.
- [0128] 도 66은 본 발명의 화소 구성을 설명하는 도면이다.
- [0129] 도 67은 본 발명의 화소 구성을 가지는 표시장치의 타이밍 차트를 도시한 도면이다.
- [0130] 도 68은 본 발명의 화소 구성을 가지는 표시장치의 타이밍 차트를 도시한 도면이다.
- [0131] 도 69는 본 발명의 화소 구성을 설명하는 도면이다.
- [0132] 도 70은 본 발명의 화소 구성이 가지는 표시장치에 적용 가능한 표시소자의 예를 개시하는 도면이다.
- [0133] 도 71은 본 발명의 표시장치에 적용 가능한 신호선 구동회로의 예를 나타낸다.
- [0134] 도 72는 본 발명의 표시장치에 적용 가능한 신호선 구동회로의 예를 나타낸다.
- [0135] 도 73은 본 발명의 화소 구성을 설명하는 도면이다.
- [0136] 도 74는 본 발명의 표시장치의 모식도다.
- [0137] 도 75는 신호선에 공급하는 신호와 전위를 설명하는 도면이다.
- [0138] 도 76은 신호선에 공급하는 신호와 전위를 설명하는 도면이다.
- [0139] 도 77은 표시 패널의 부분 단면도다.
- [0140] 도 78a 및 78b는 본 발명의 표시장치의 모식도다.
- [0141] 도 79는 본 발명의 표시장치의 화소부의 모식도다.
- [0142] 도 80은 본 발명의 표시장치의 화소부의 모식도다.
- [0143] 도 81은 본 발명의 화소 구성을 가지는 표시장치의 타이밍 차트를 도시한 도면이다.
- [0144] 도 82는 트랜지스터의 동작 영역을 설명하는 도면이다.

도면

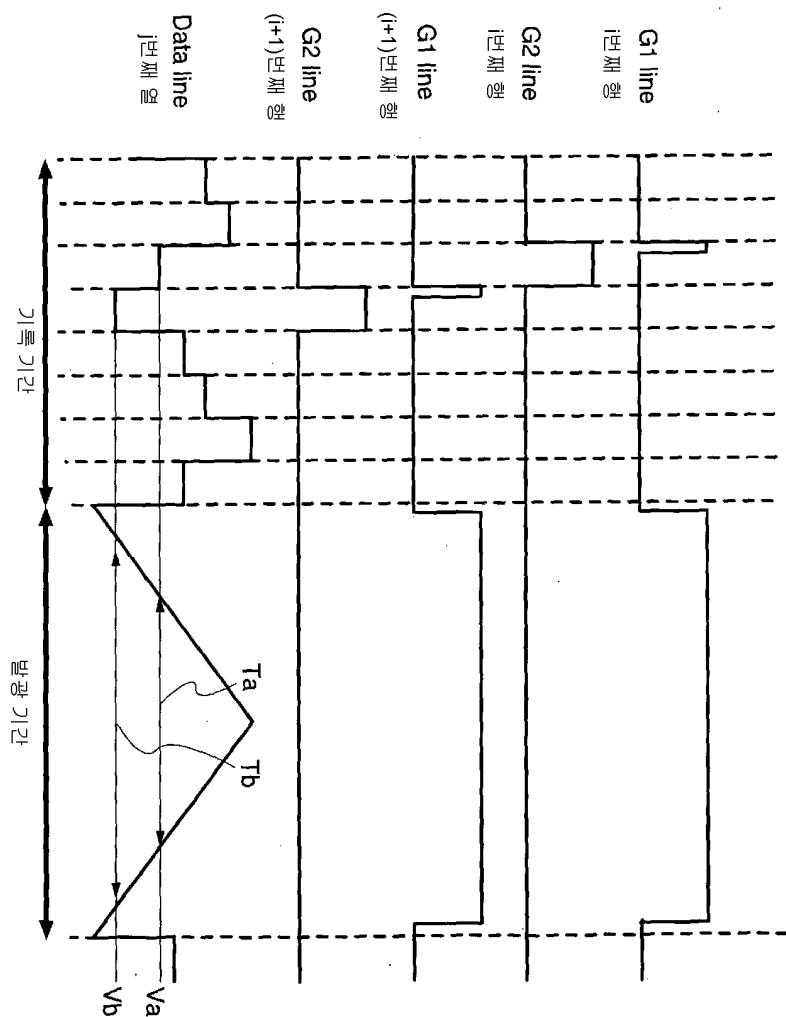
도면1



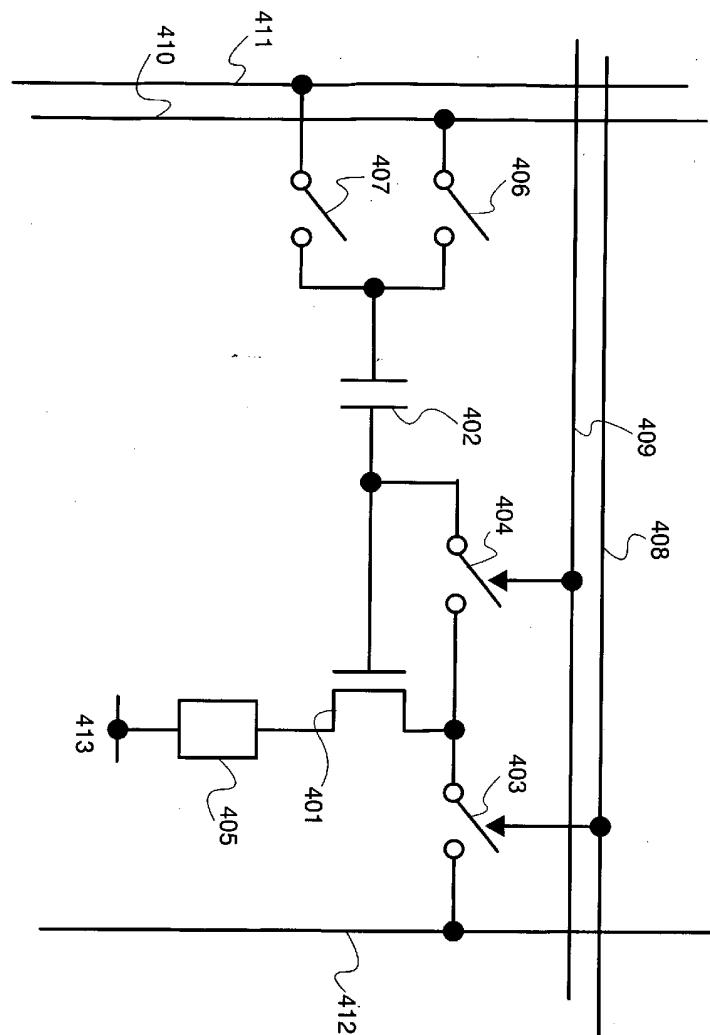
도면2



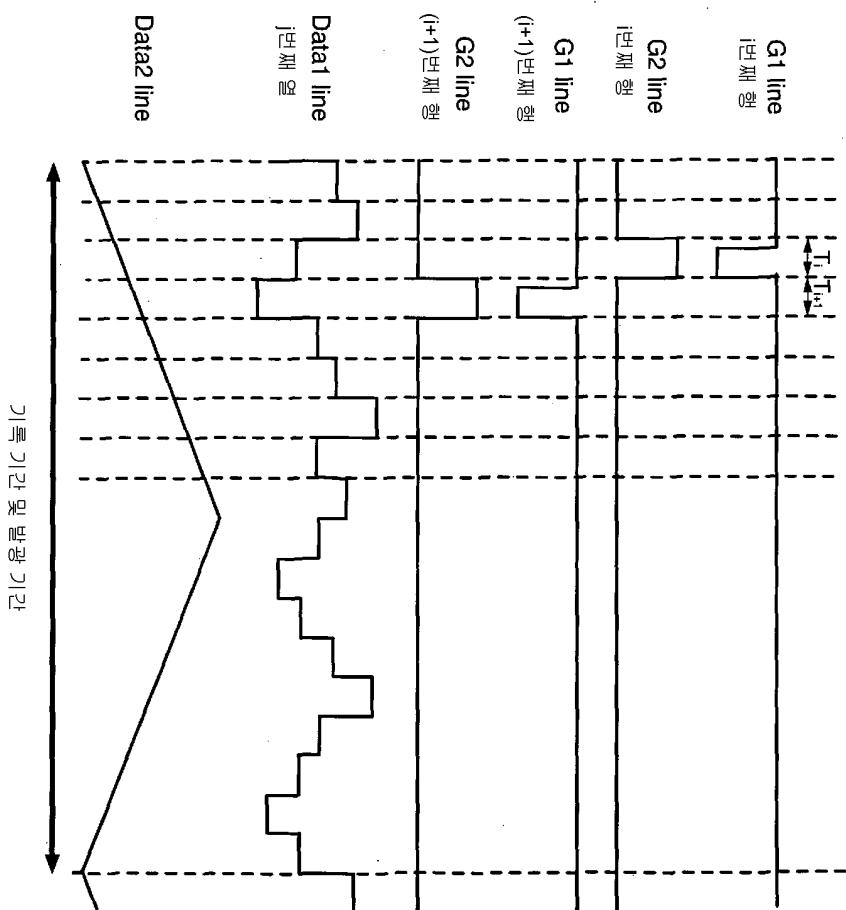
도면3



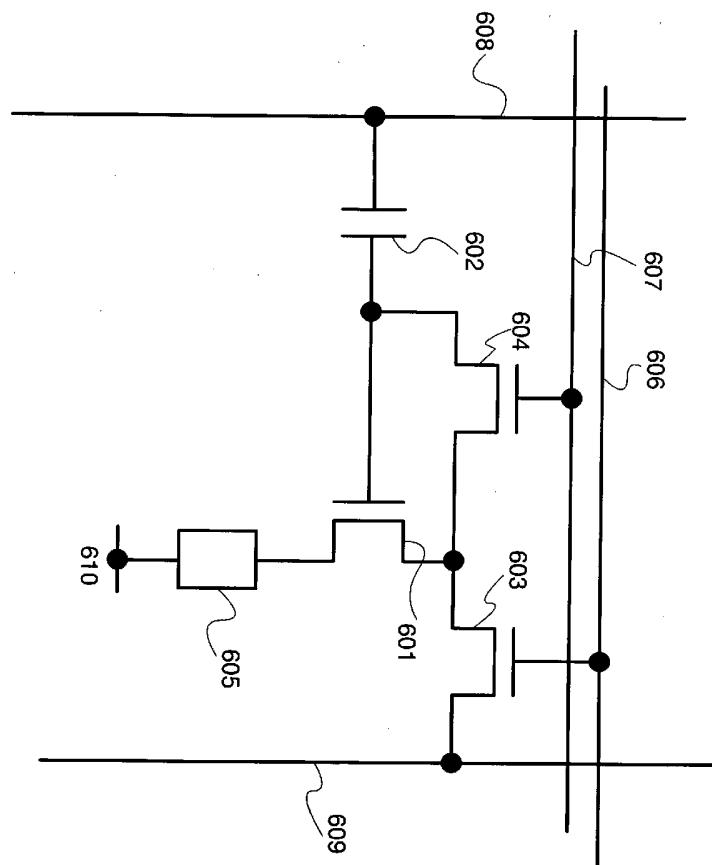
도면4



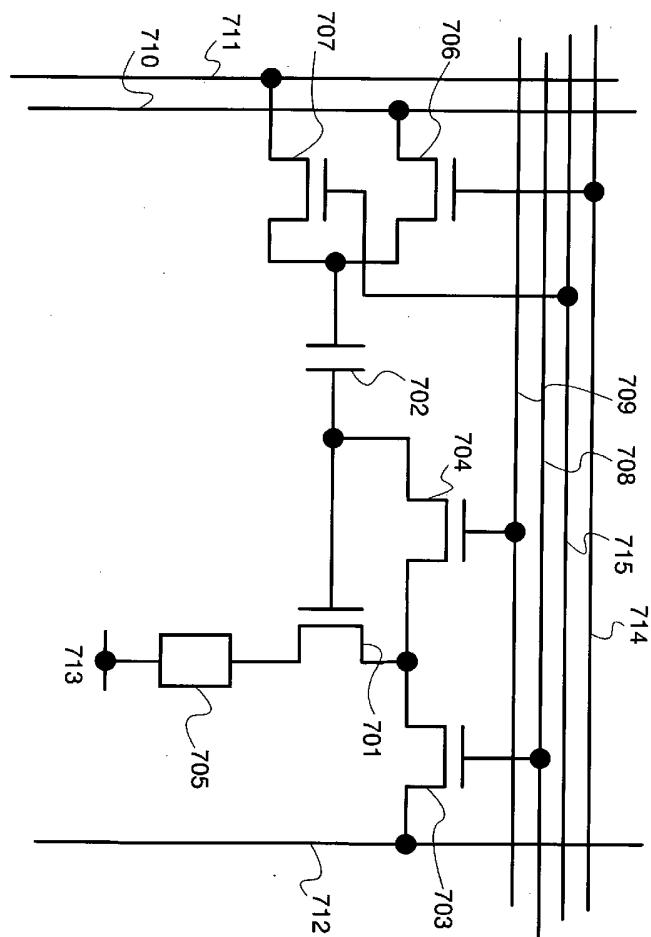
도면5



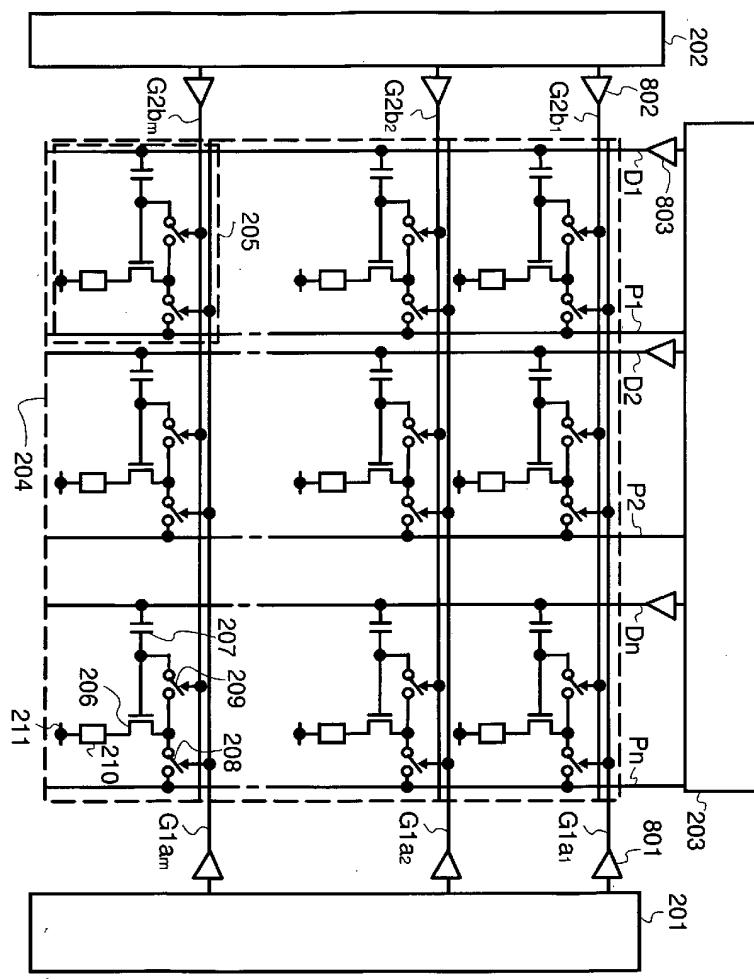
도면6



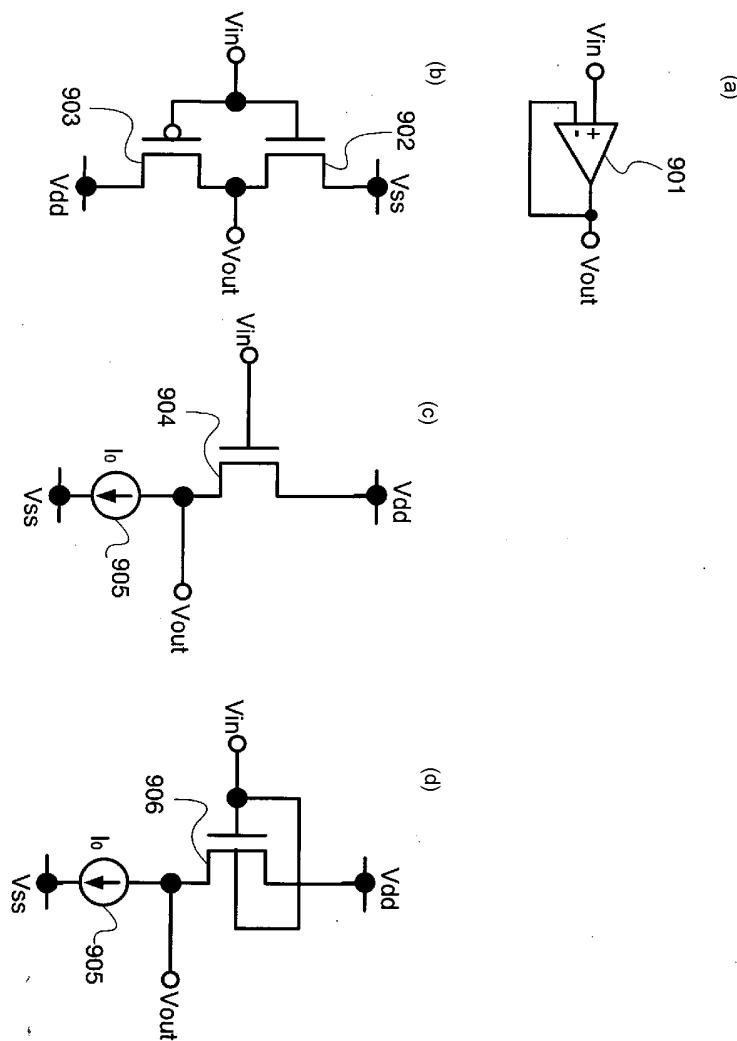
도면7



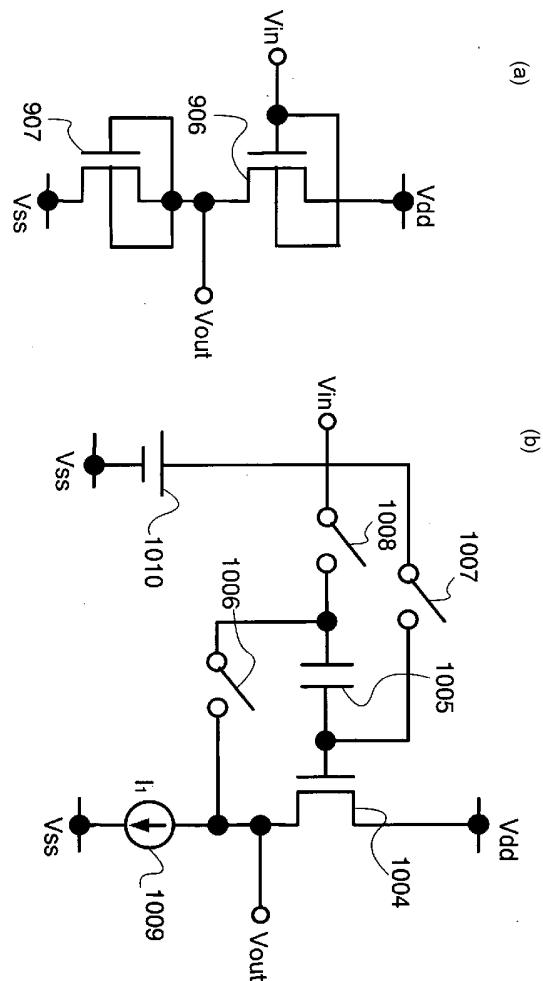
도면8



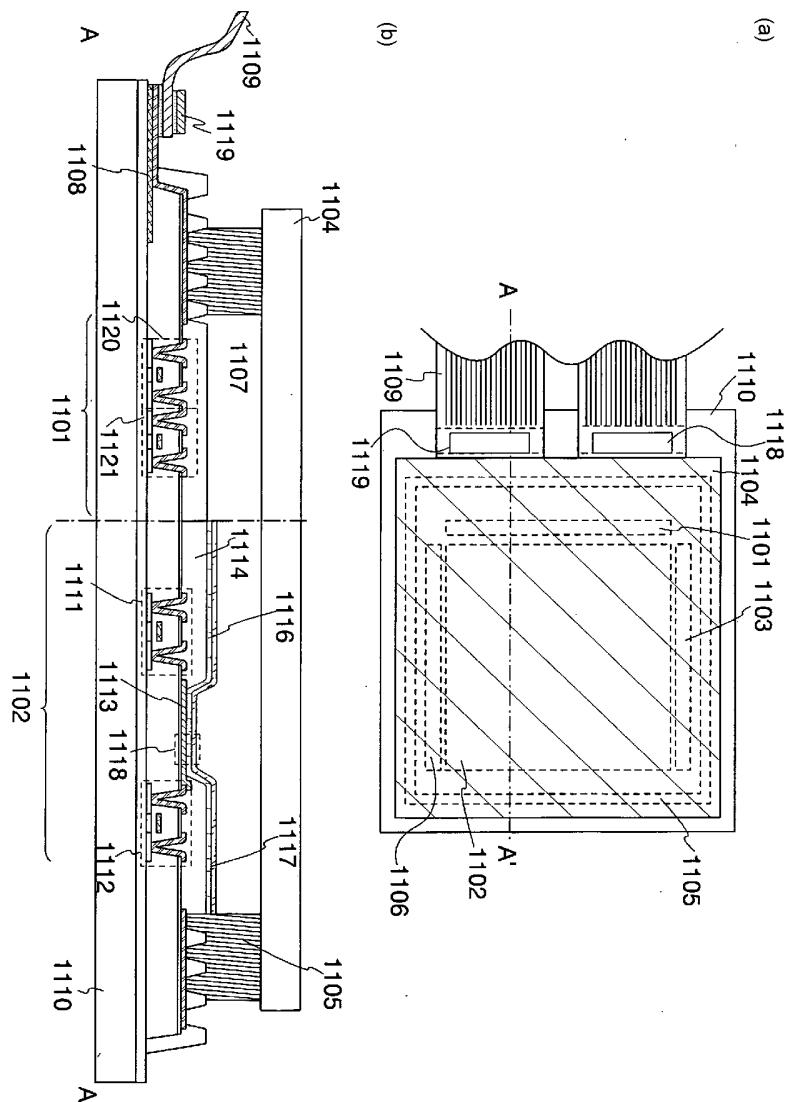
6면도



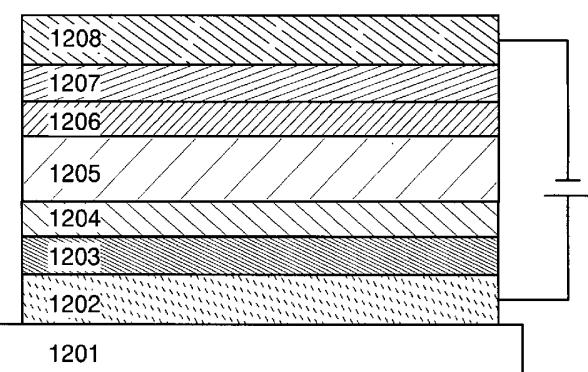
도면10



도면11

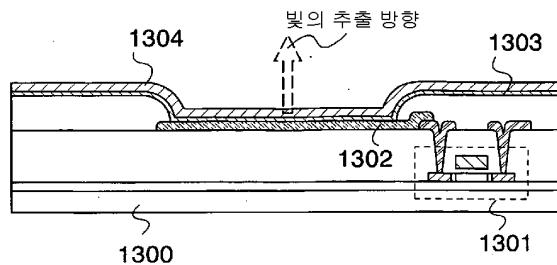


도면12

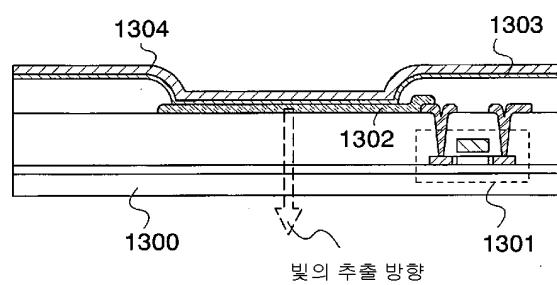


도면13

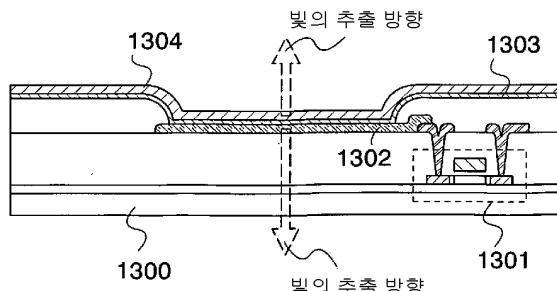
(a)



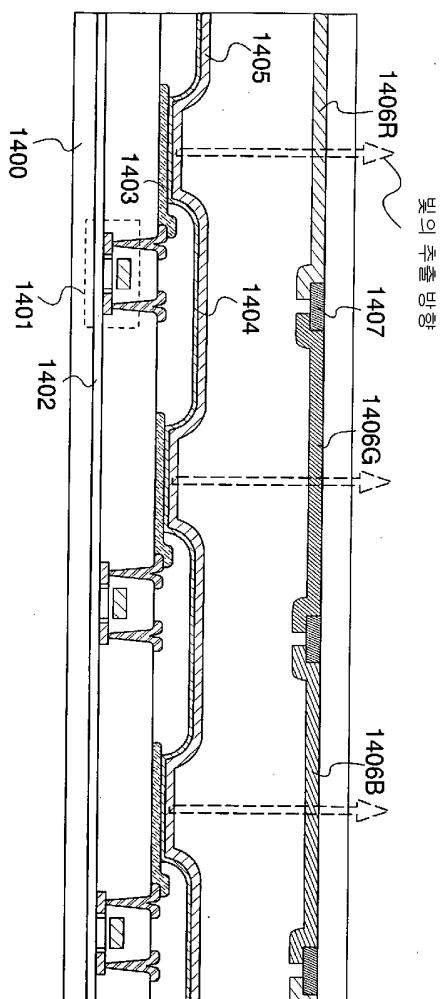
(b)



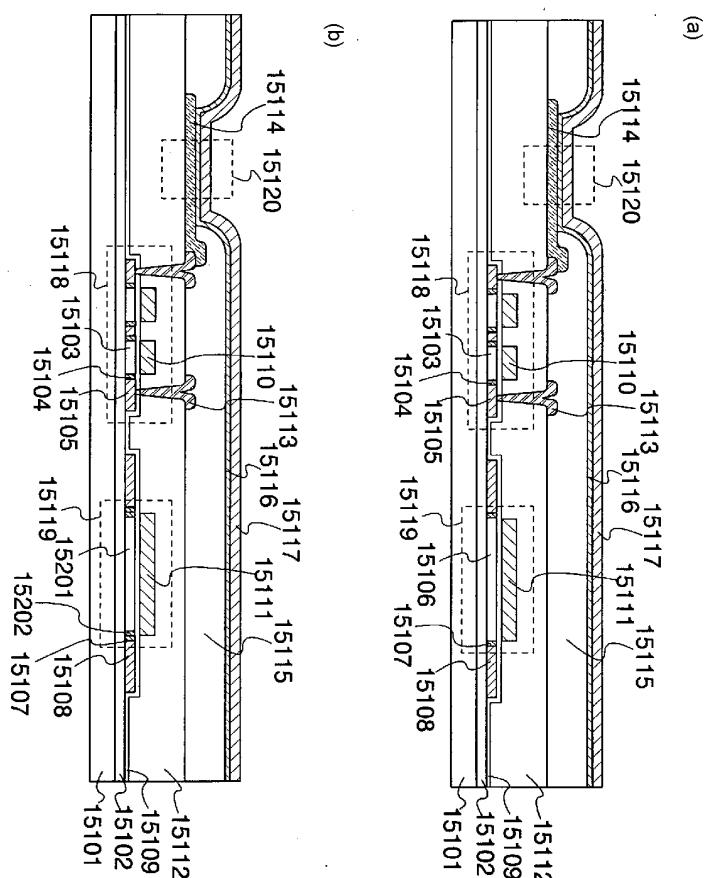
(c)



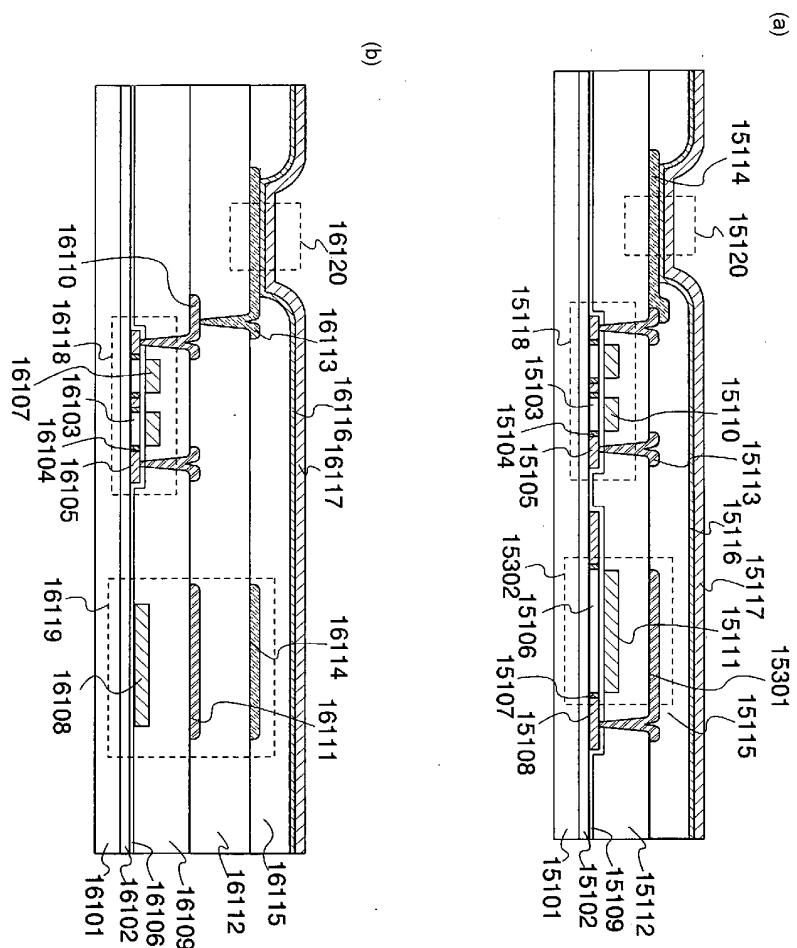
도면14



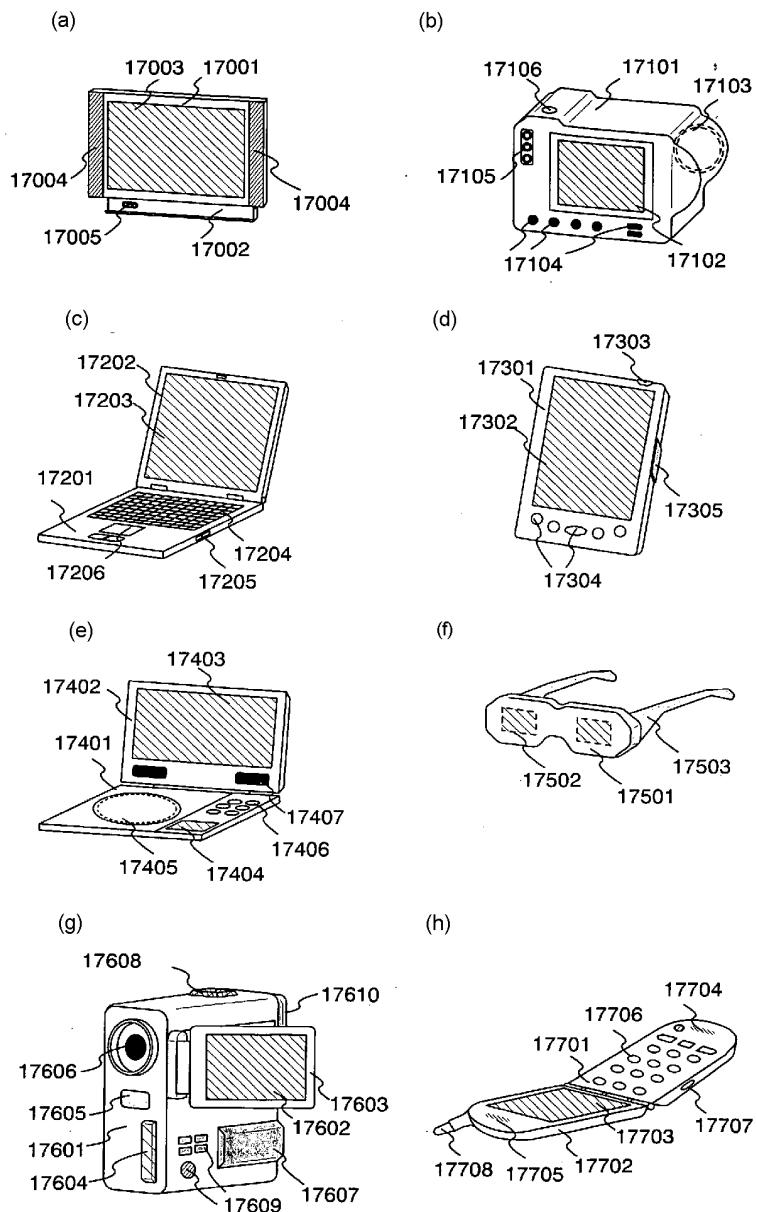
도면15



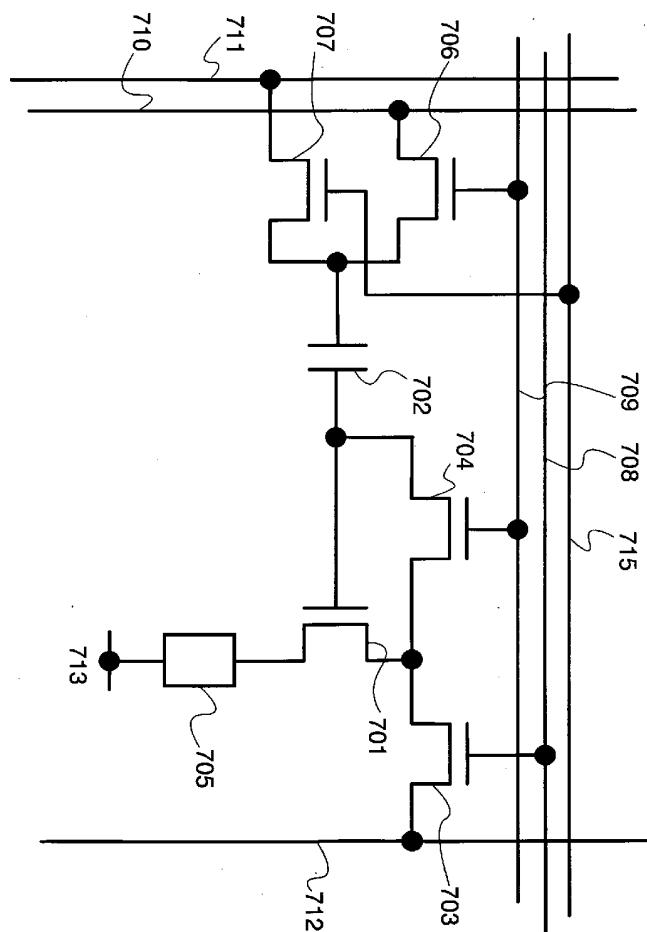
도면16



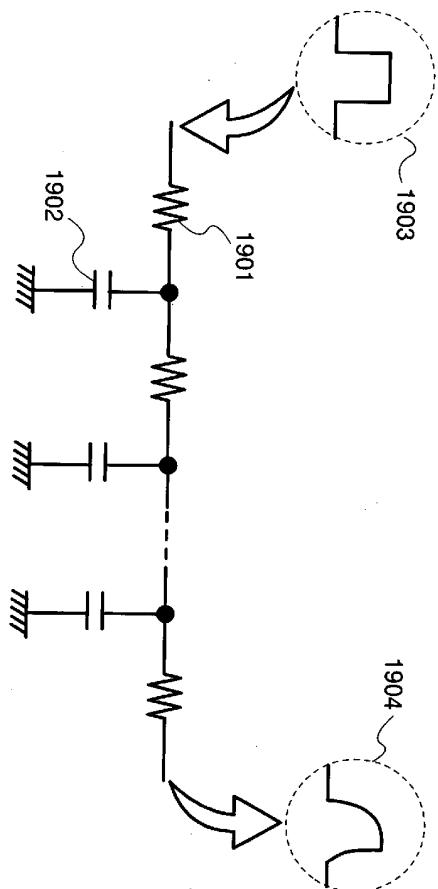
도면17



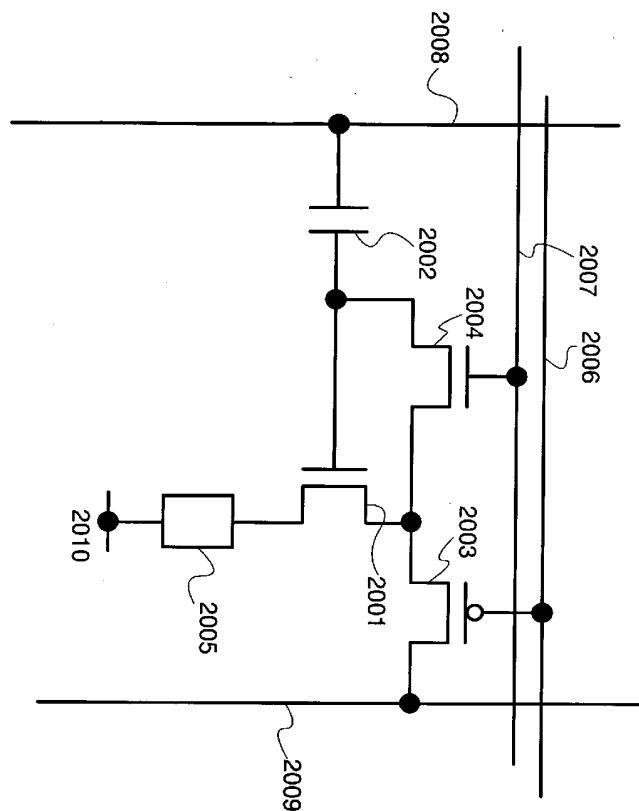
도면18



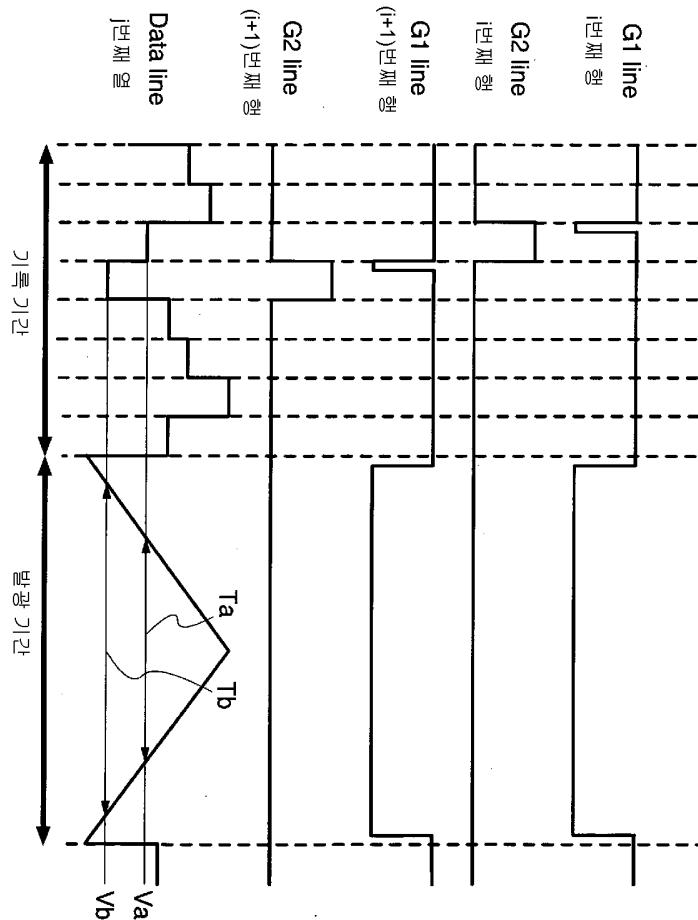
도면19



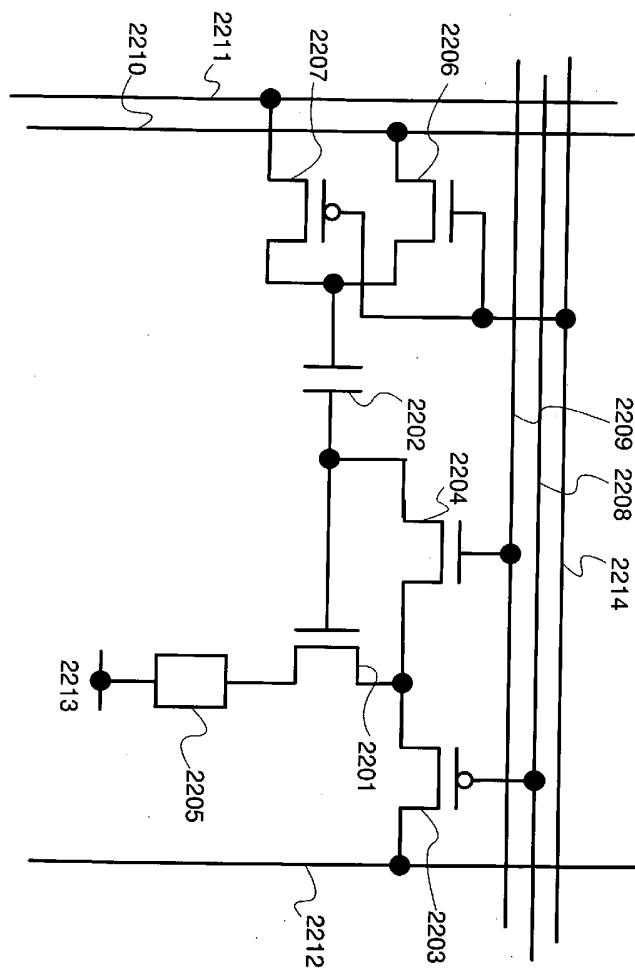
도면20



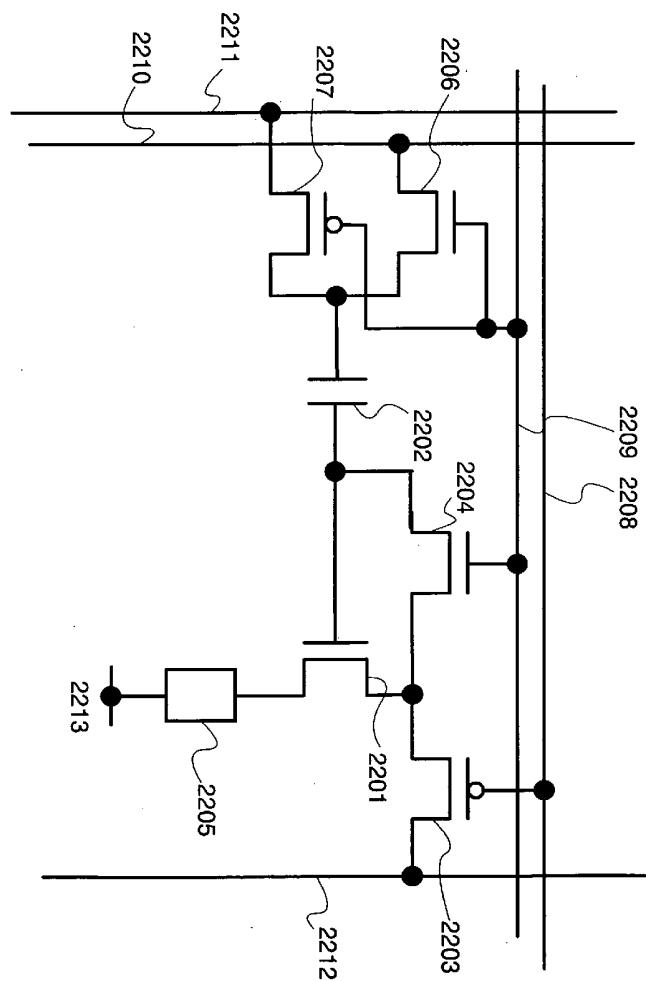
도면21



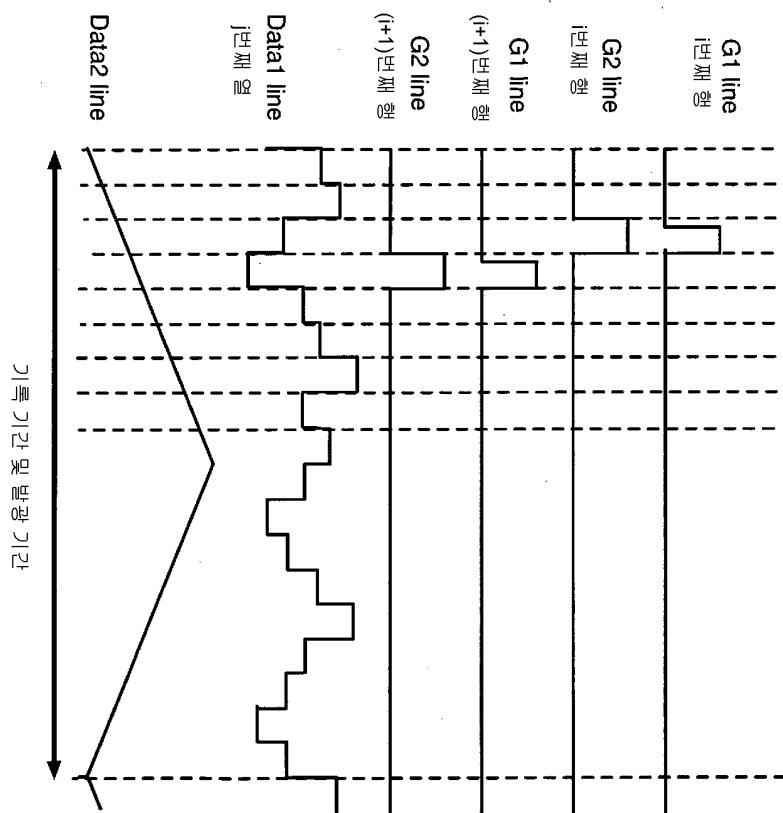
도면22



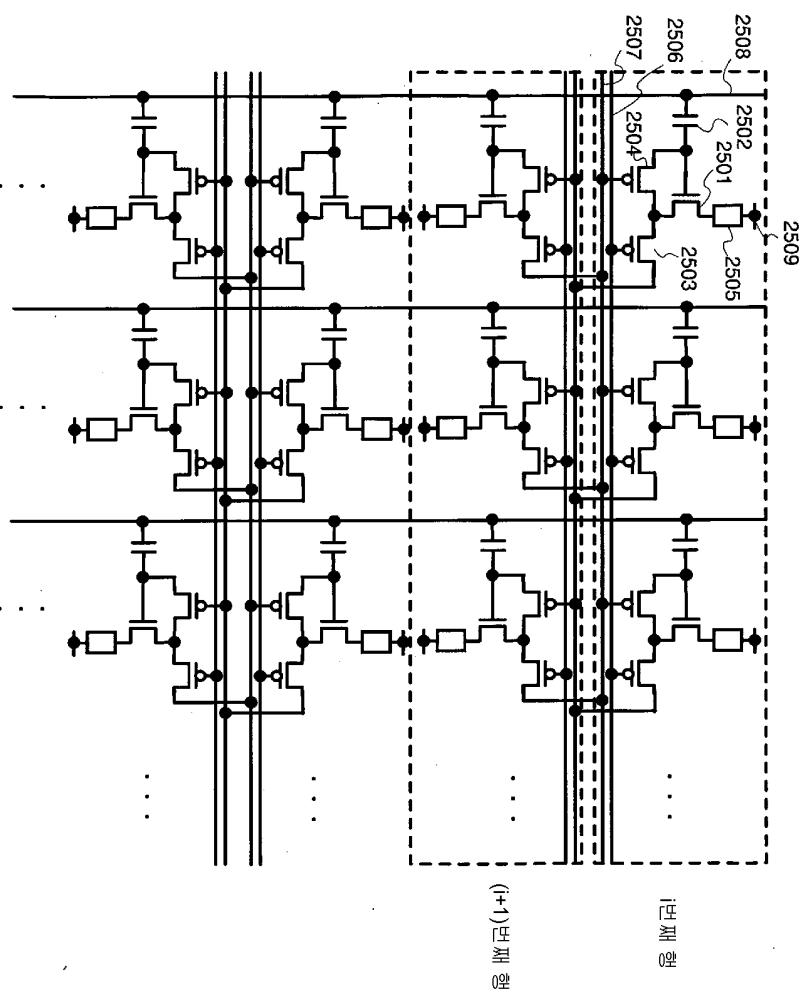
도면23



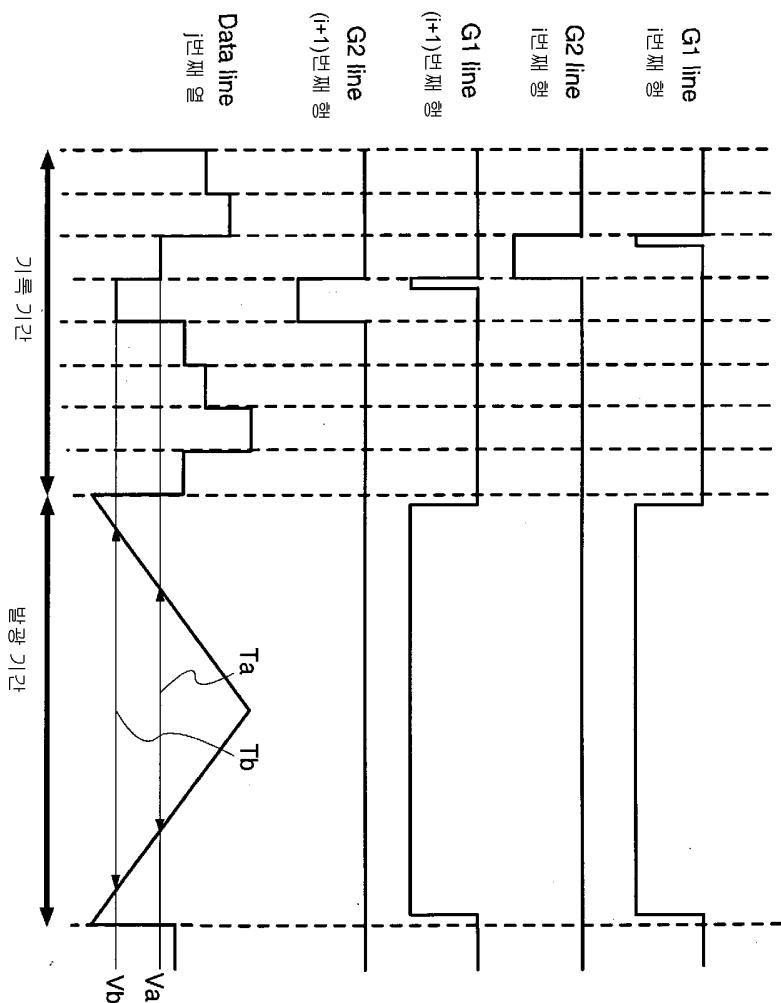
도면24



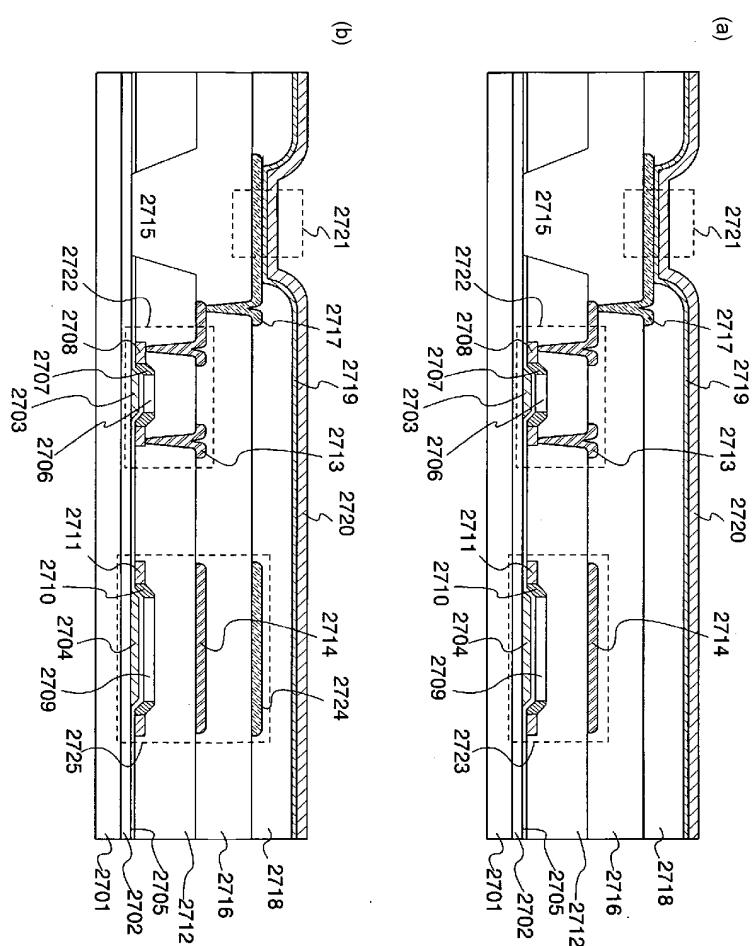
도면25



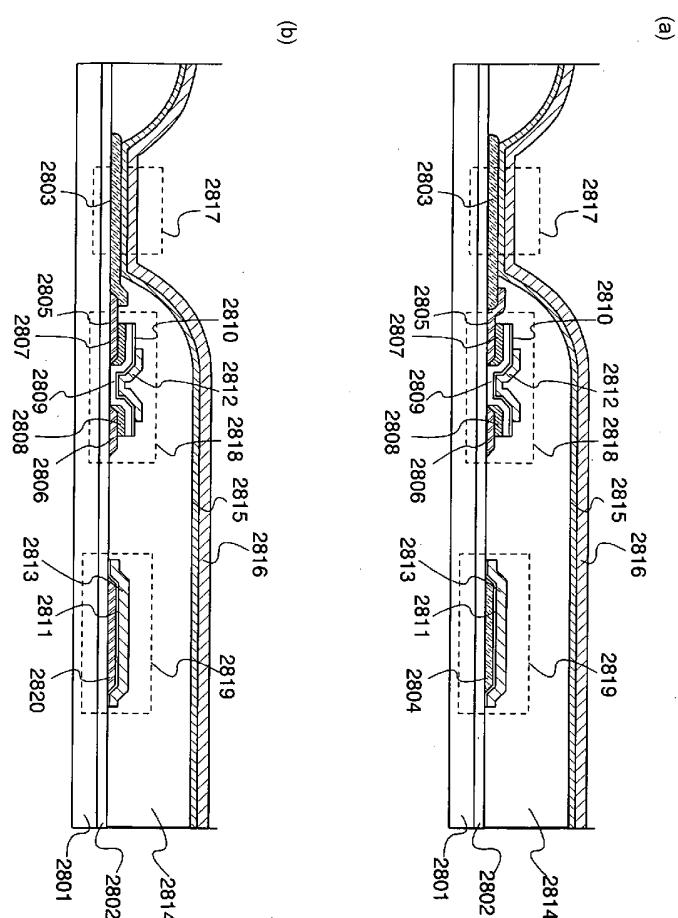
도면26



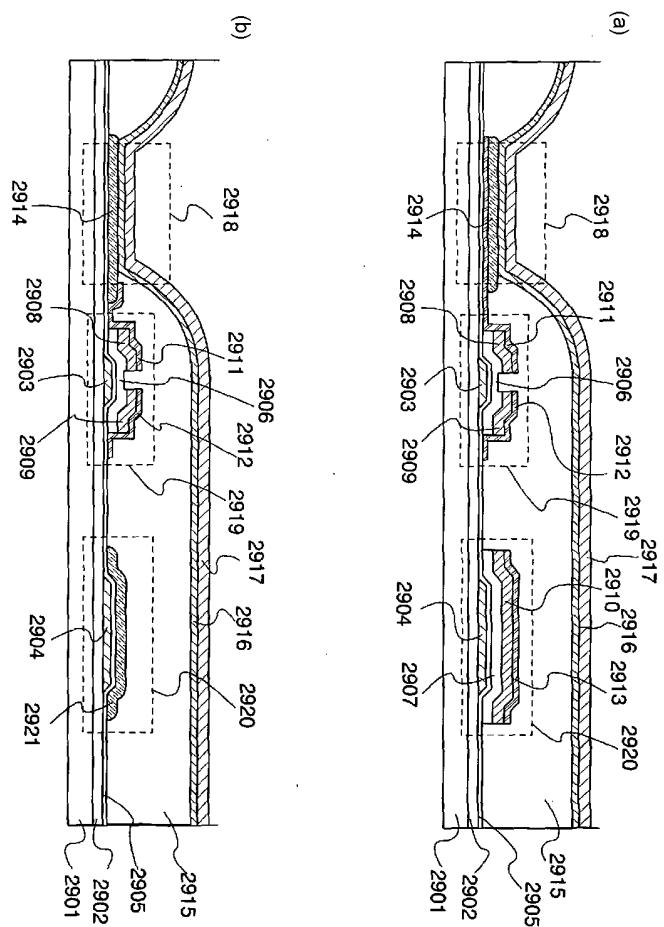
도면27



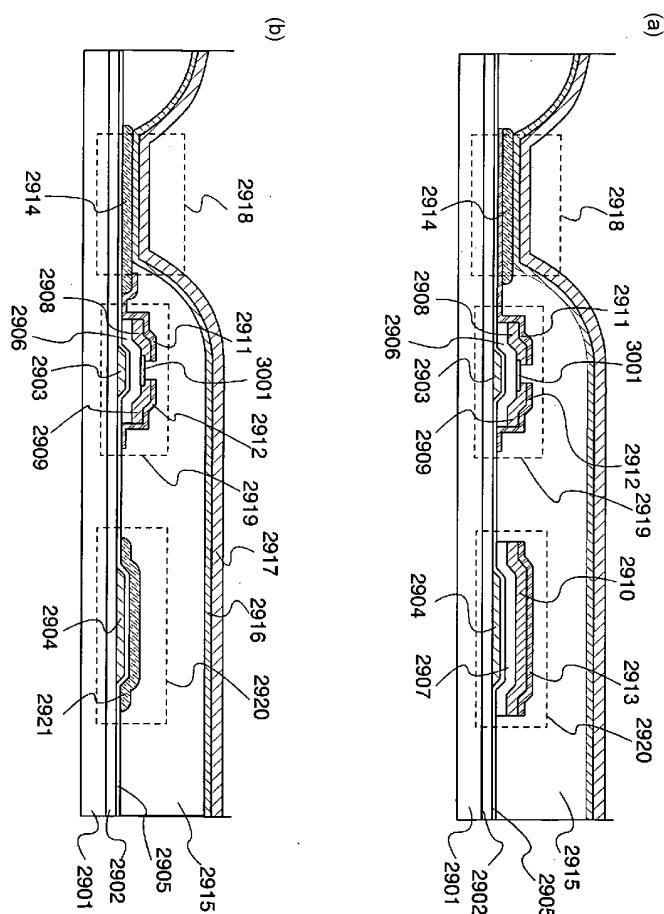
도면28



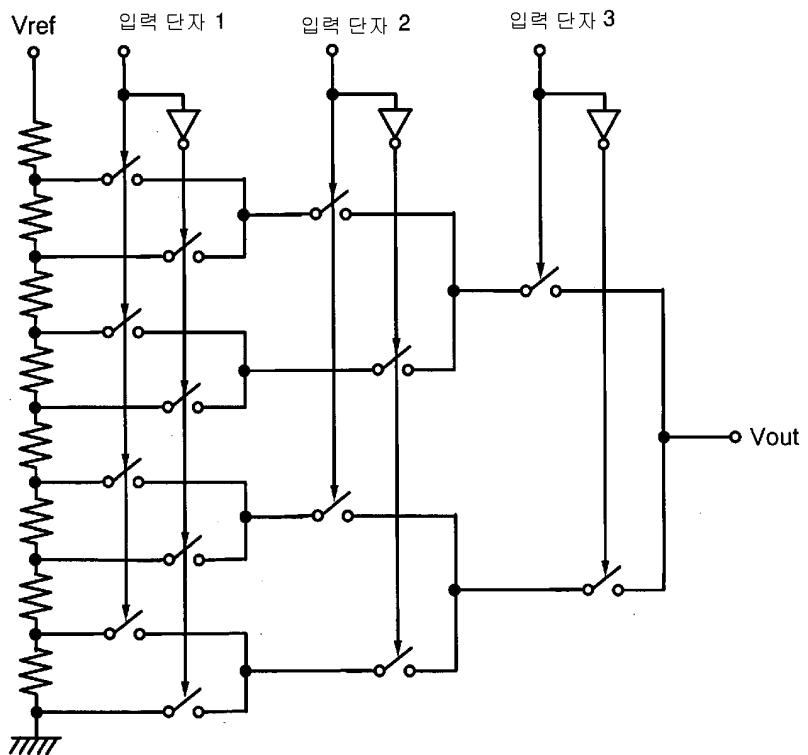
도면29



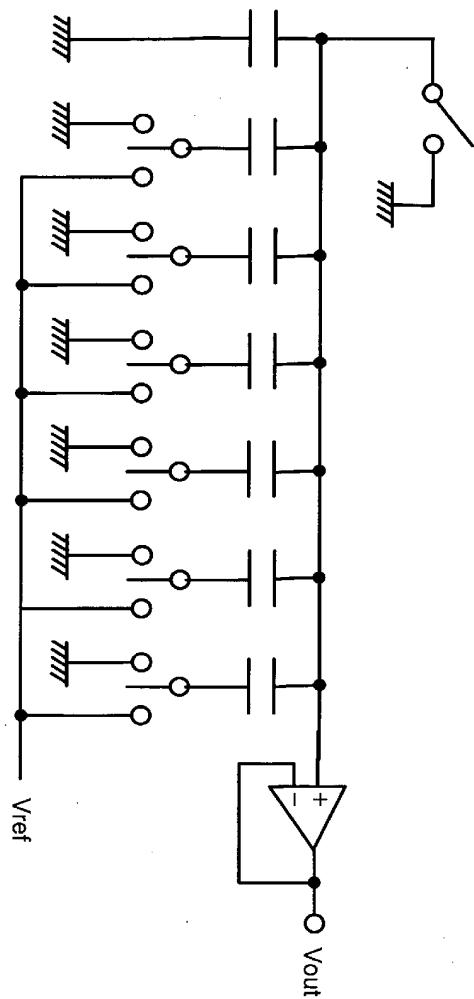
도면30



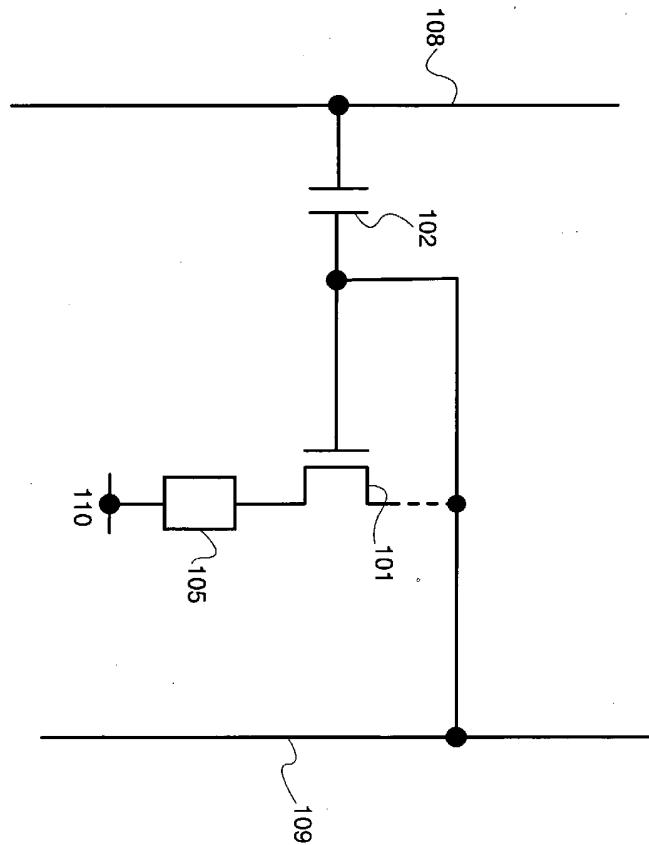
도면31



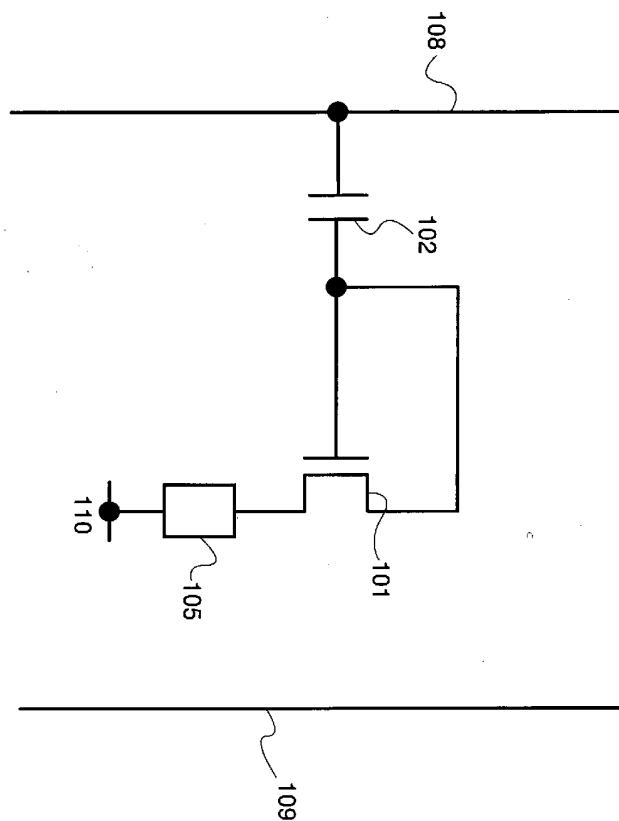
도면32



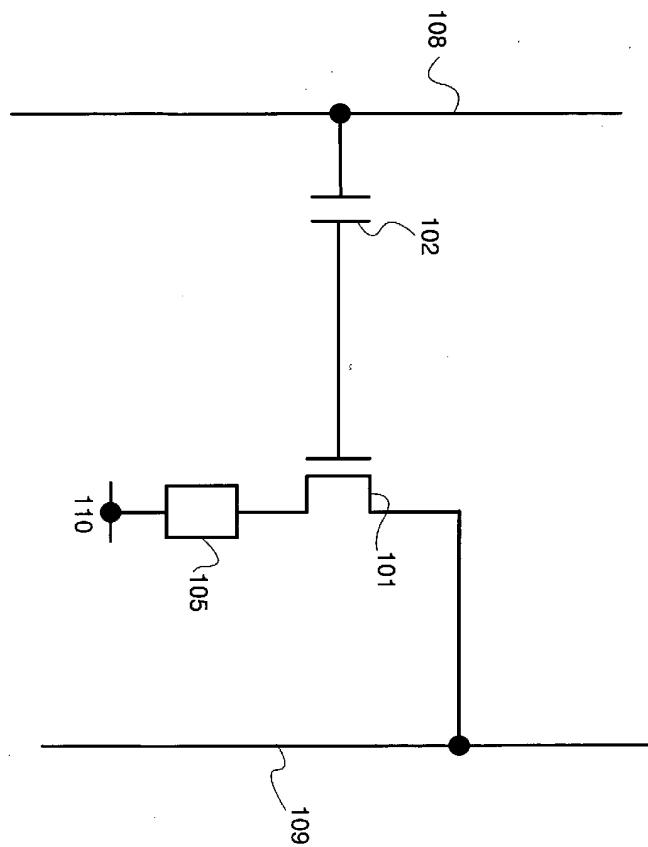
도면33



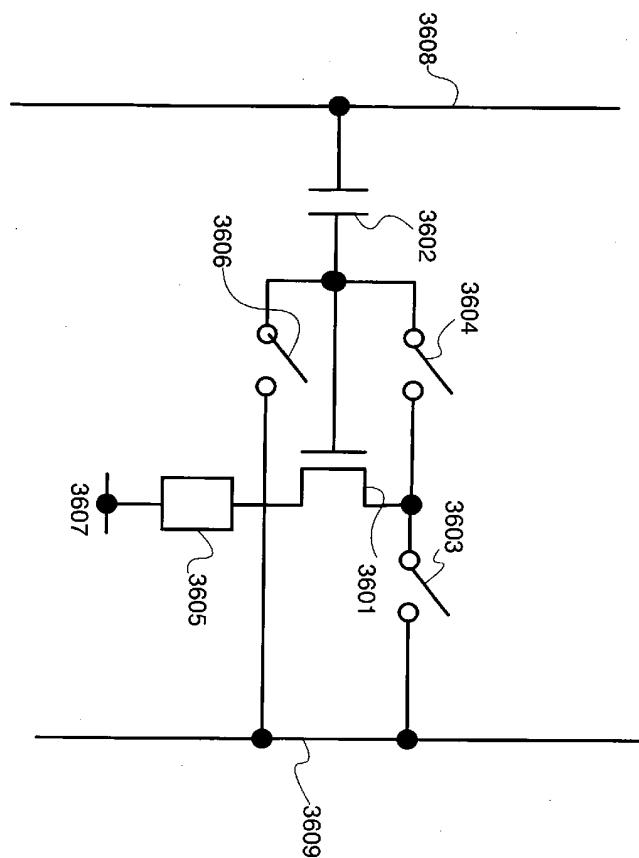
도면34



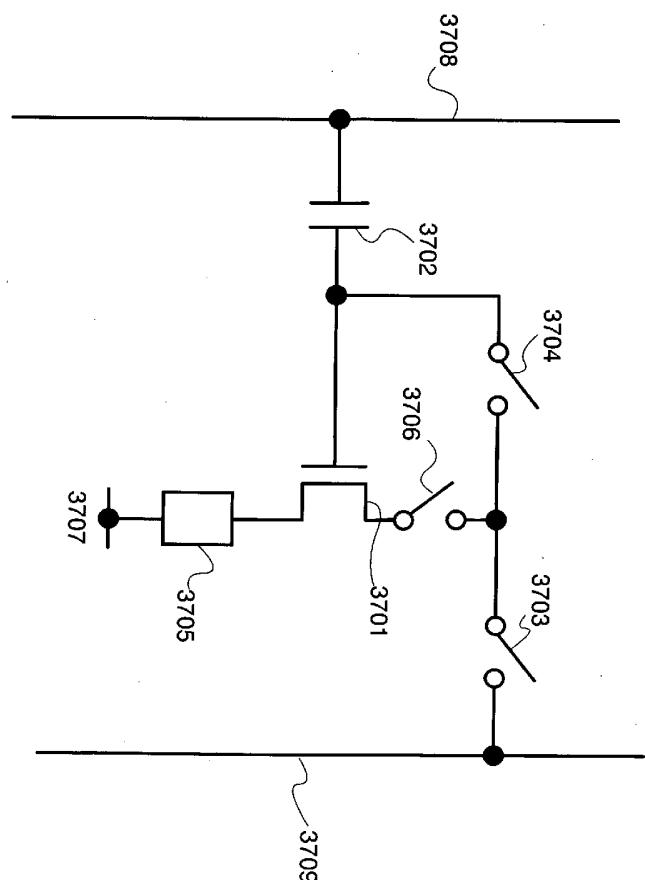
도면35



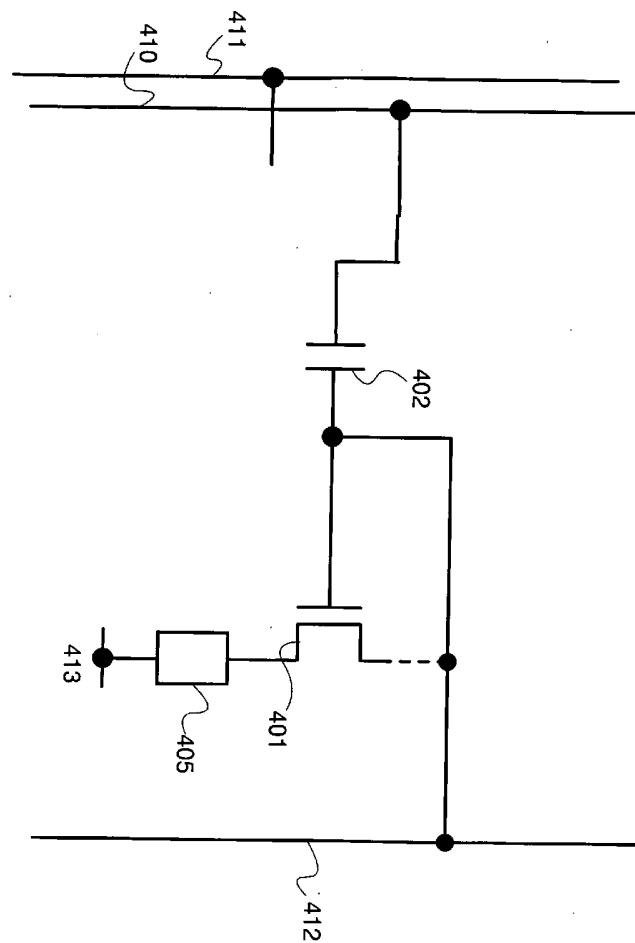
도면36



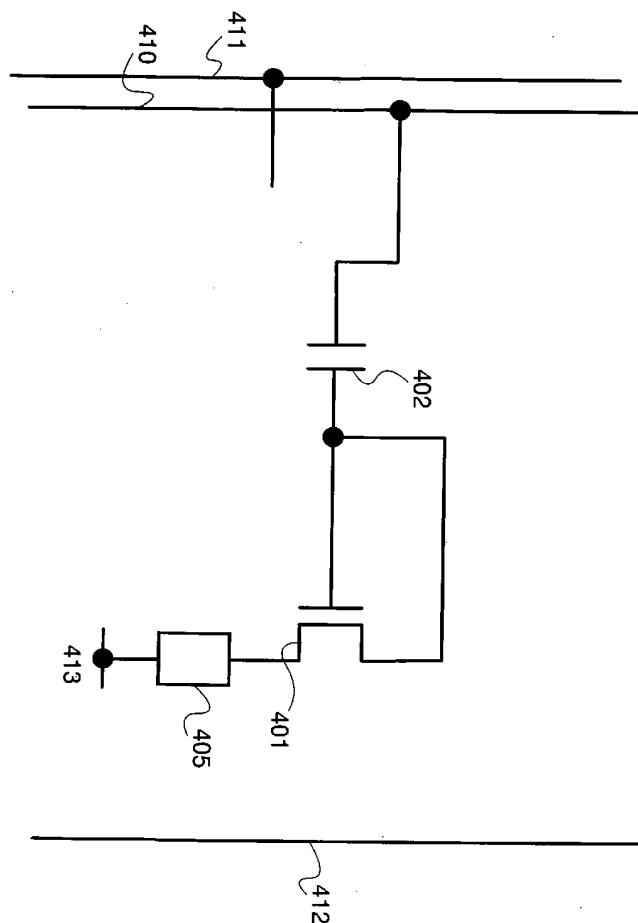
도면37



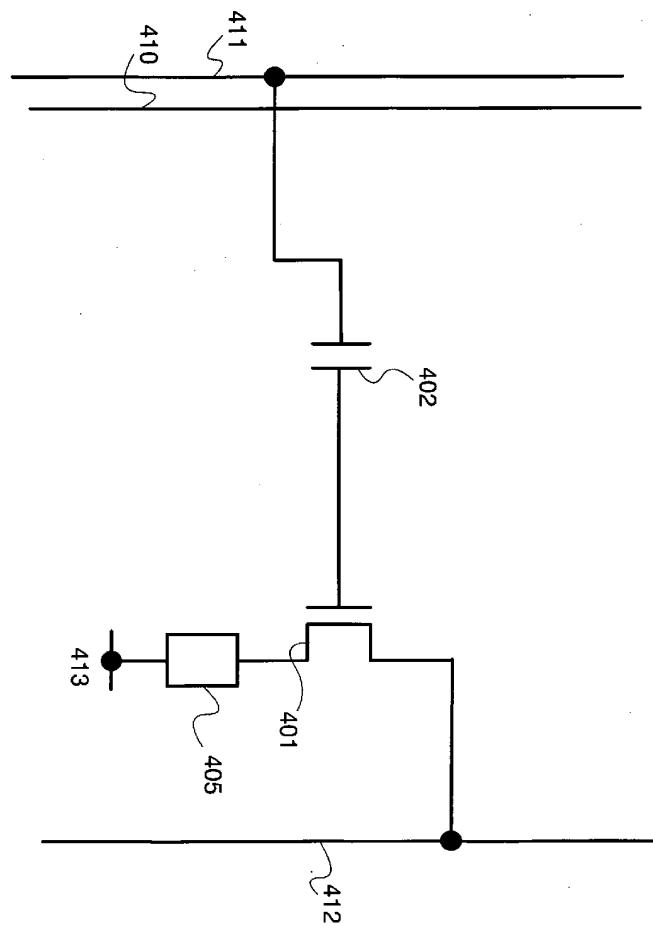
도면38



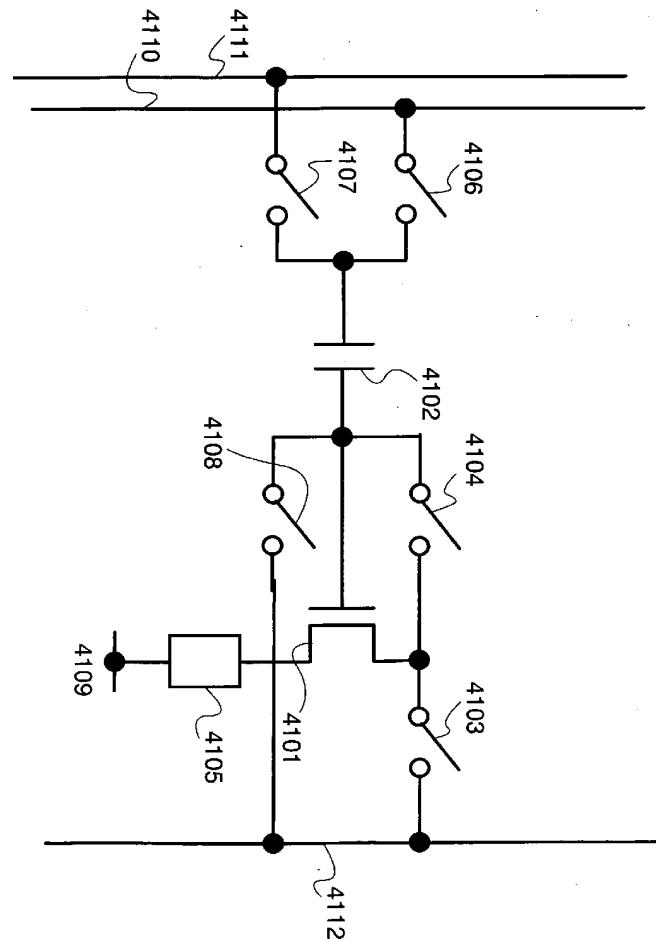
도면39



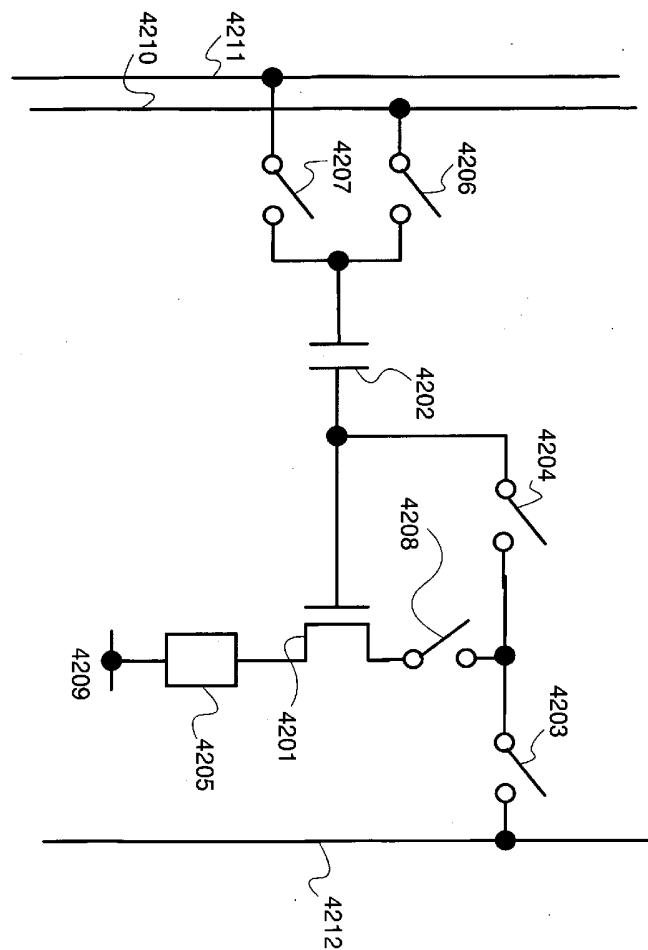
도면40



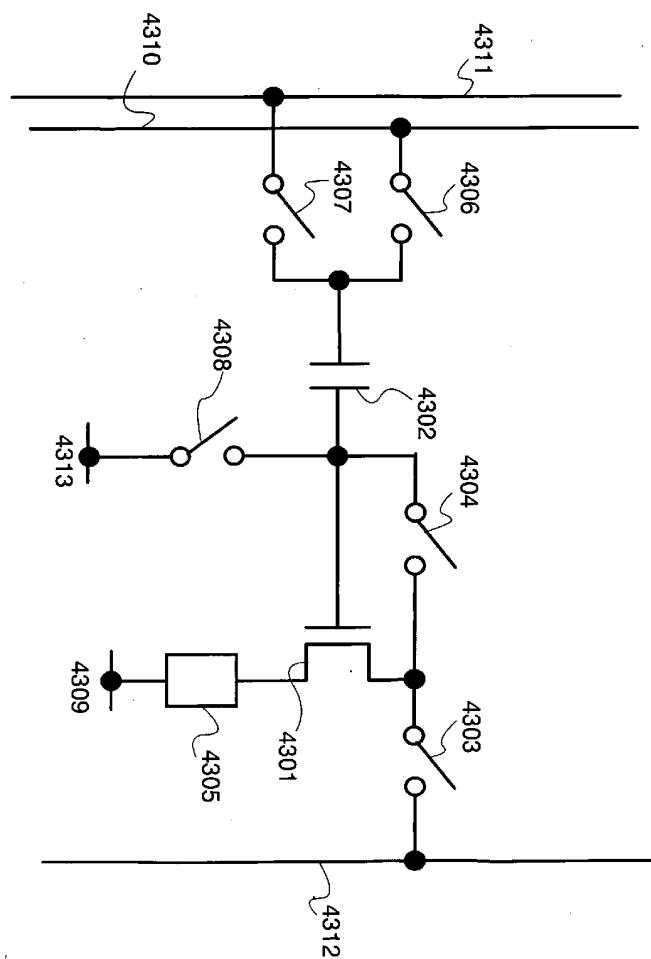
도면41



도면42

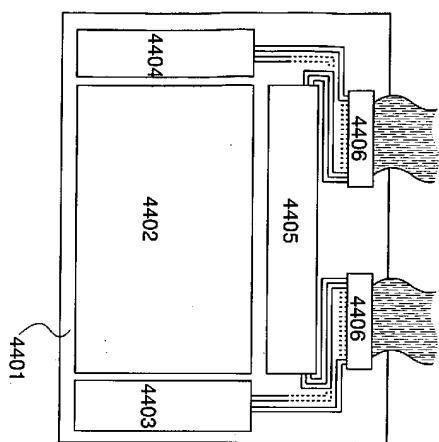


도면43

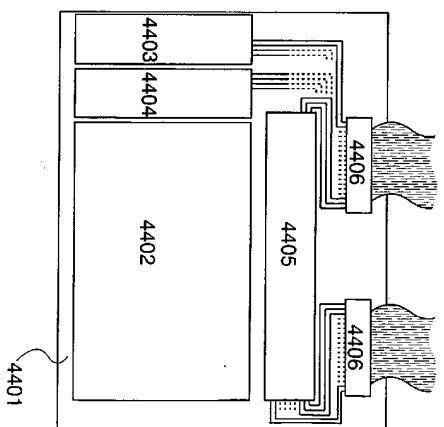


도면44

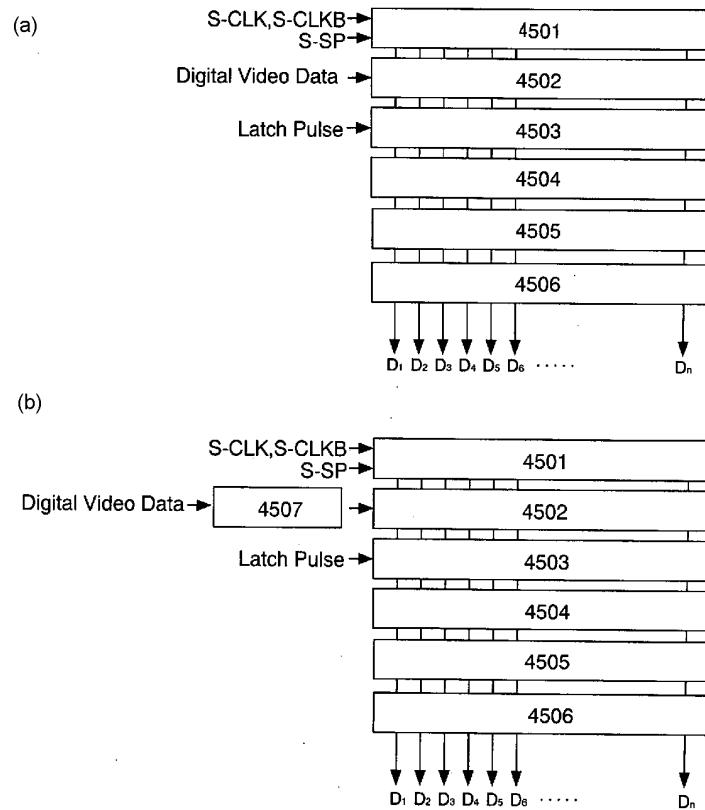
(a)



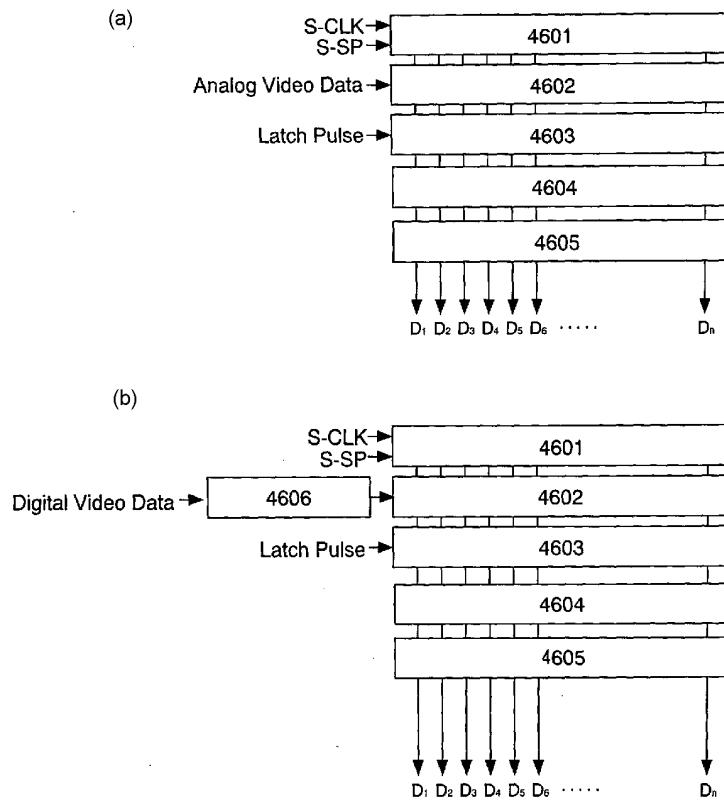
(b)



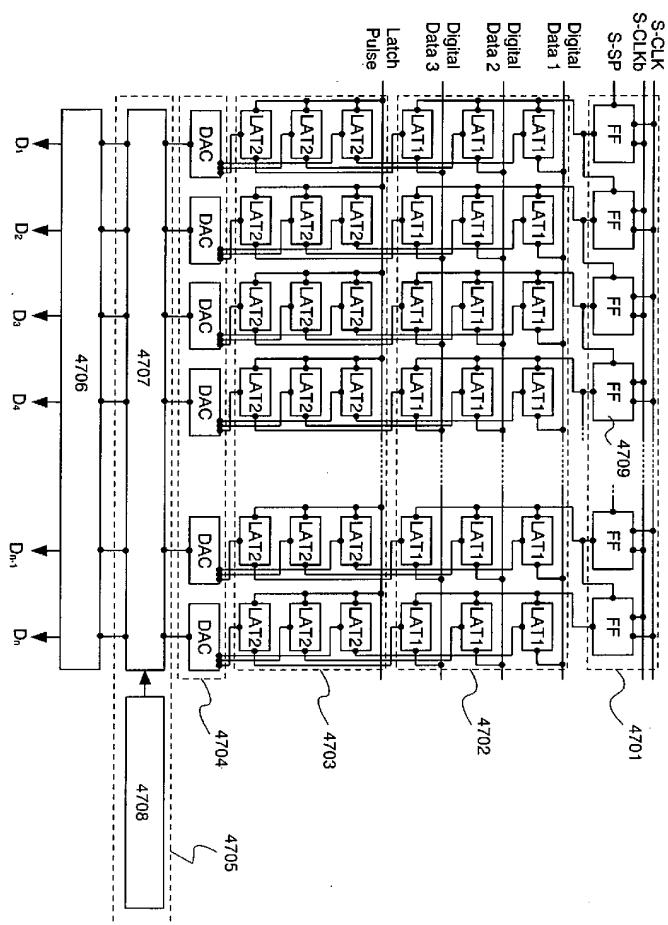
도면45



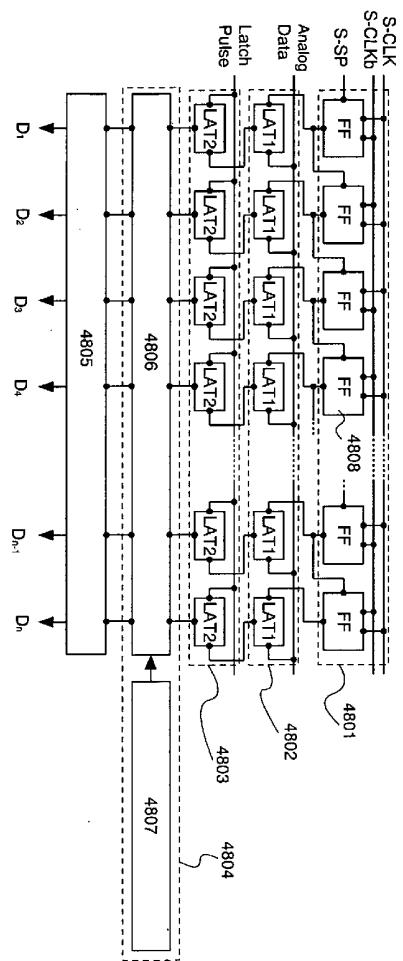
도면46



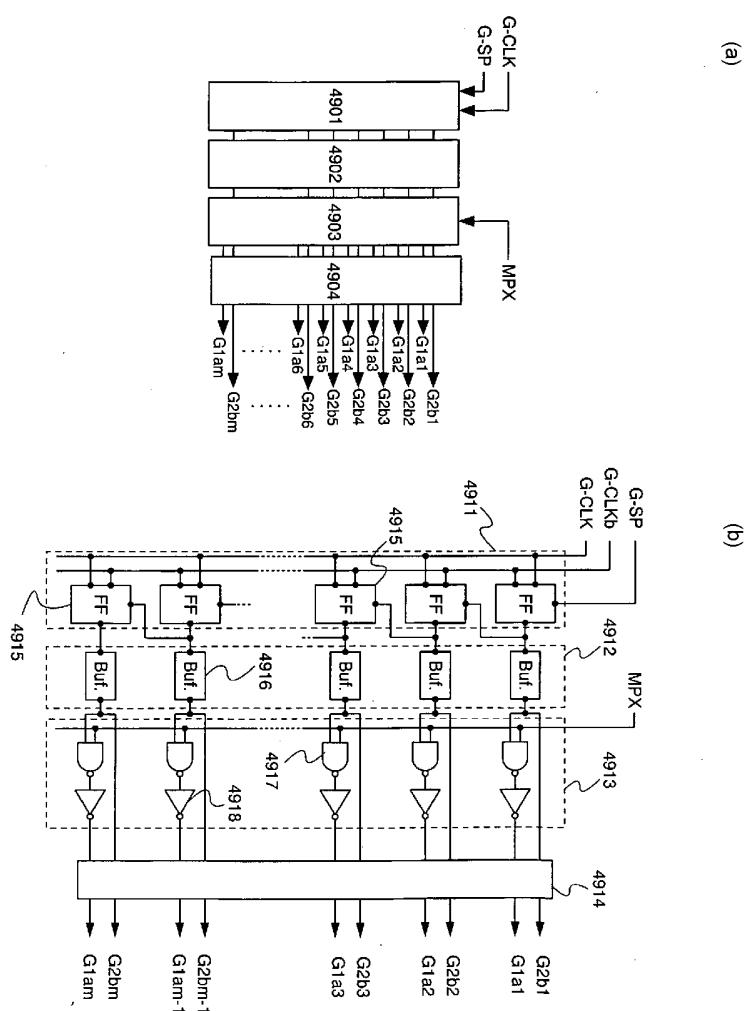
도면47



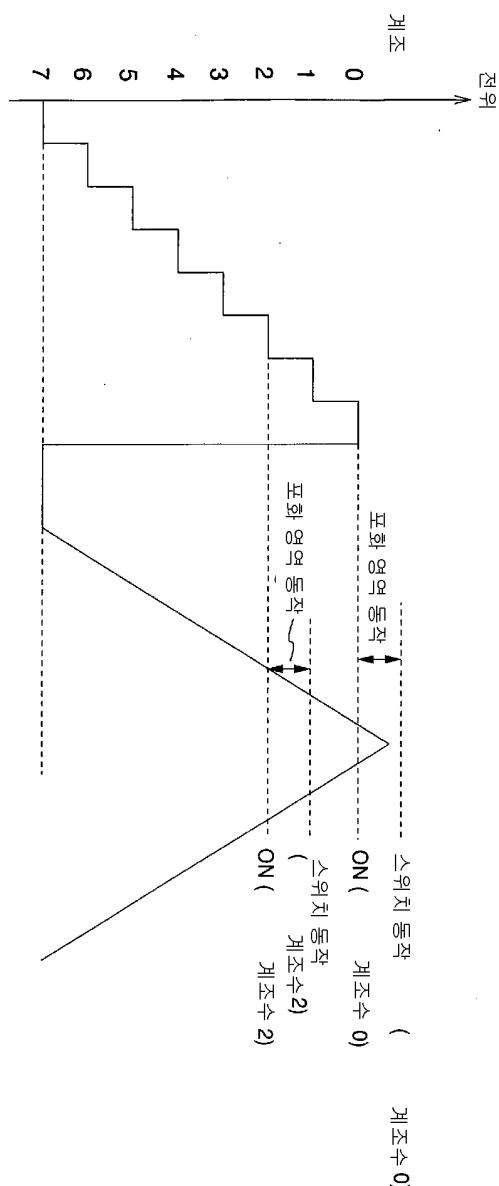
도면48



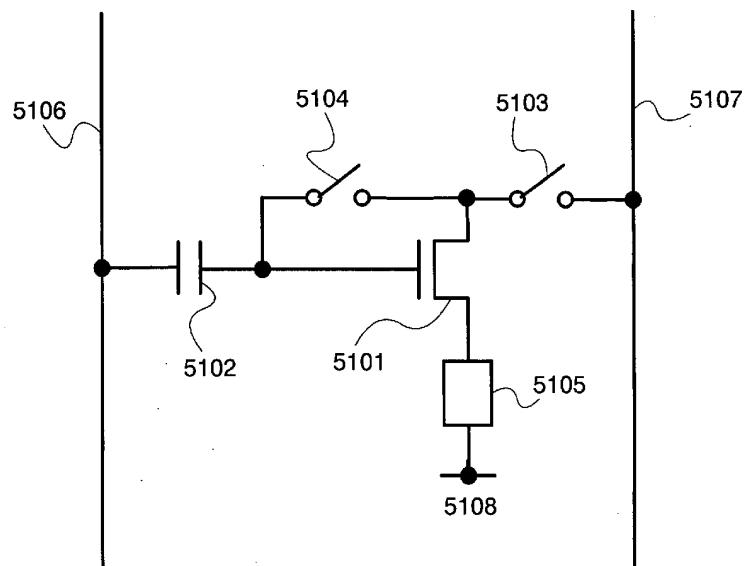
도면49



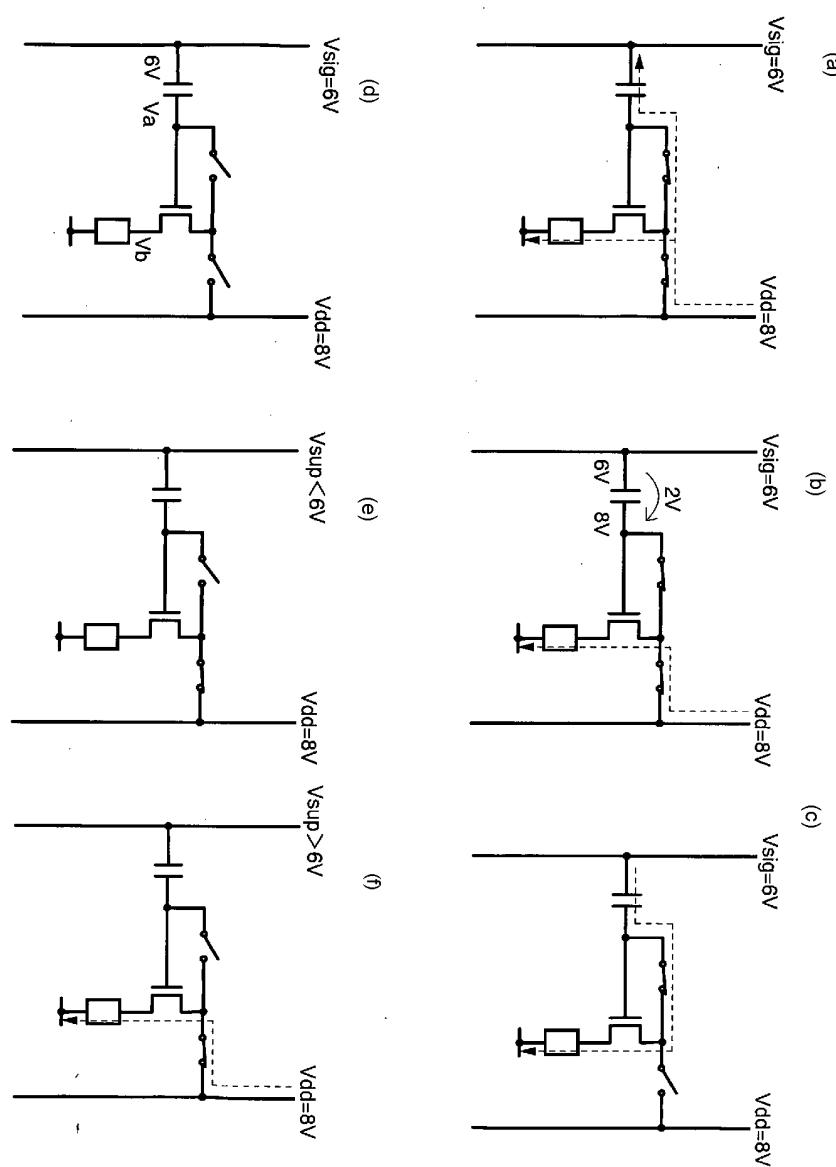
도면50



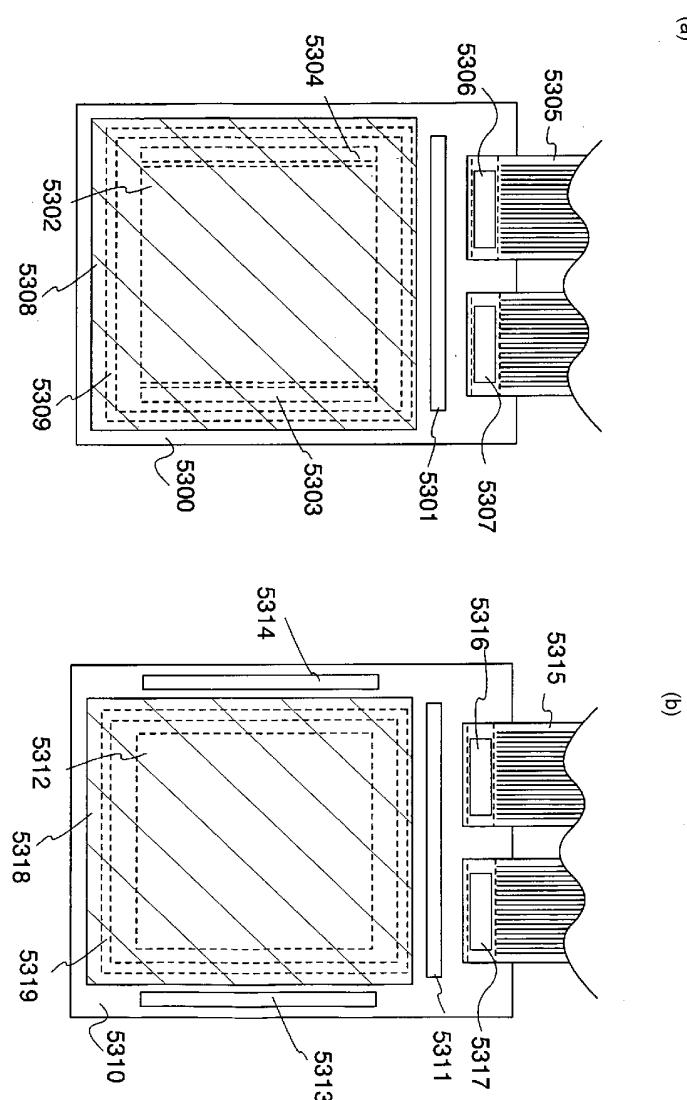
도면51



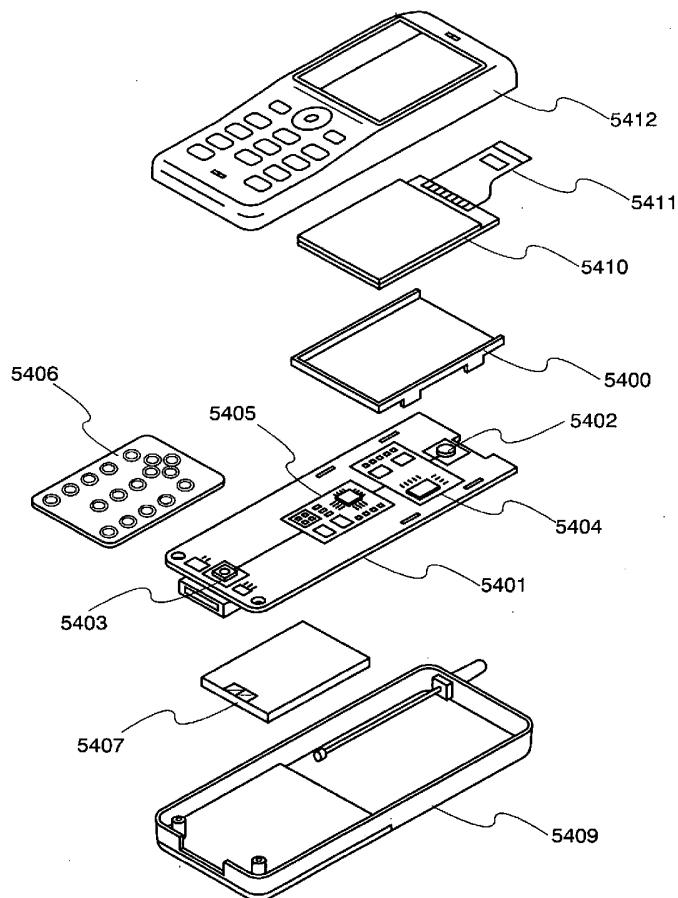
도면52



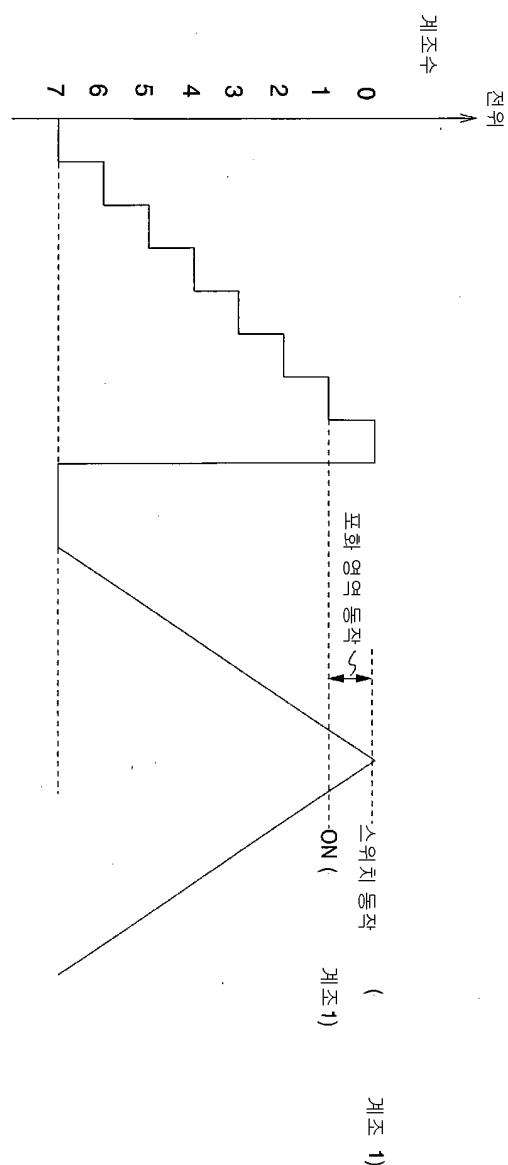
도면53



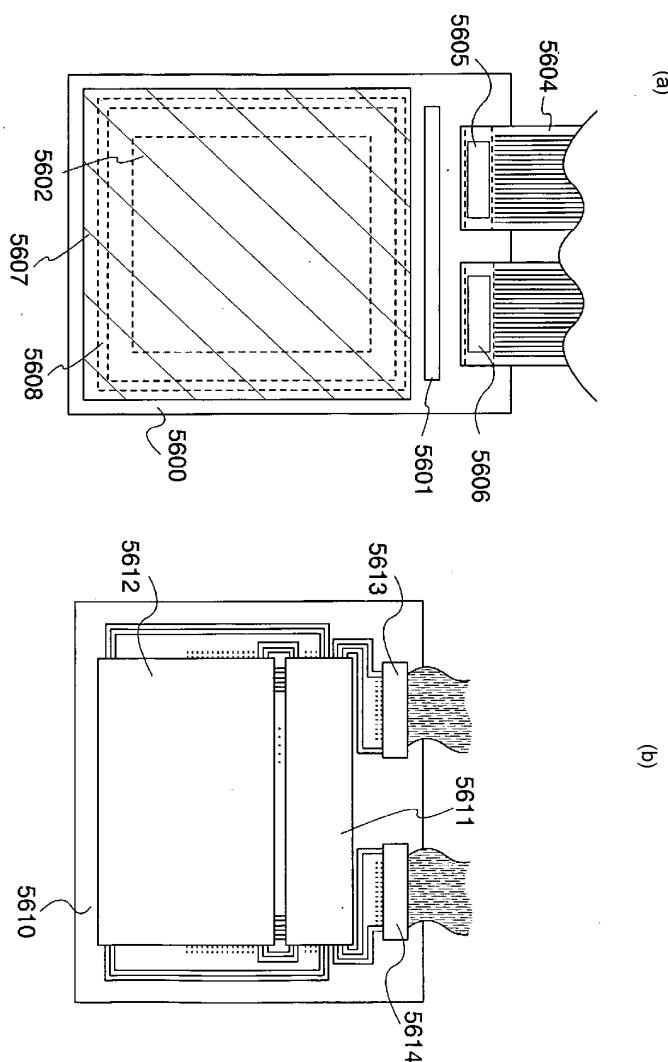
도면54



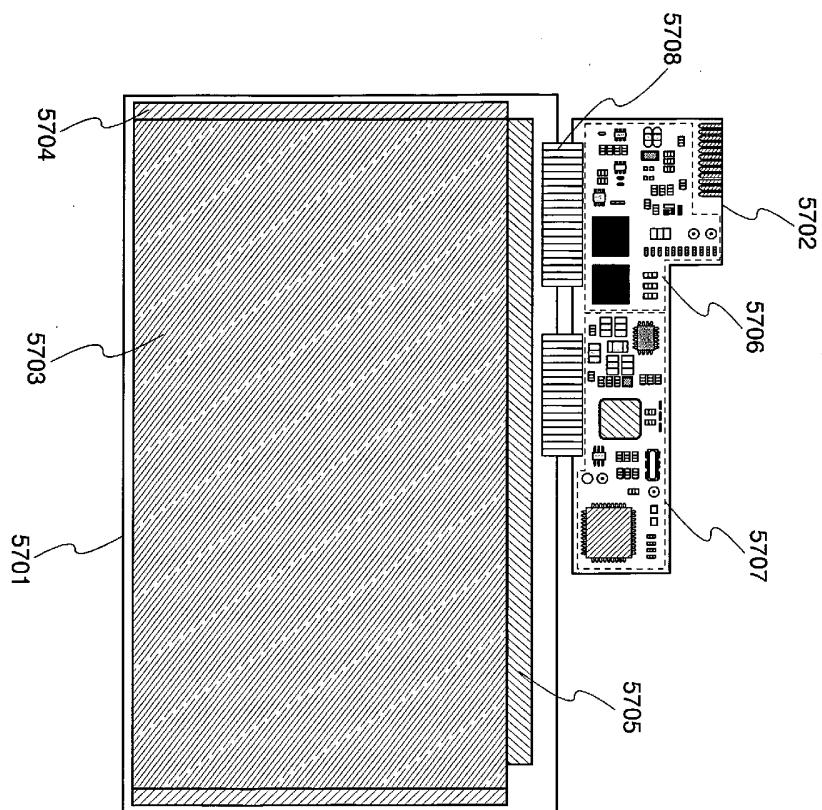
도면55



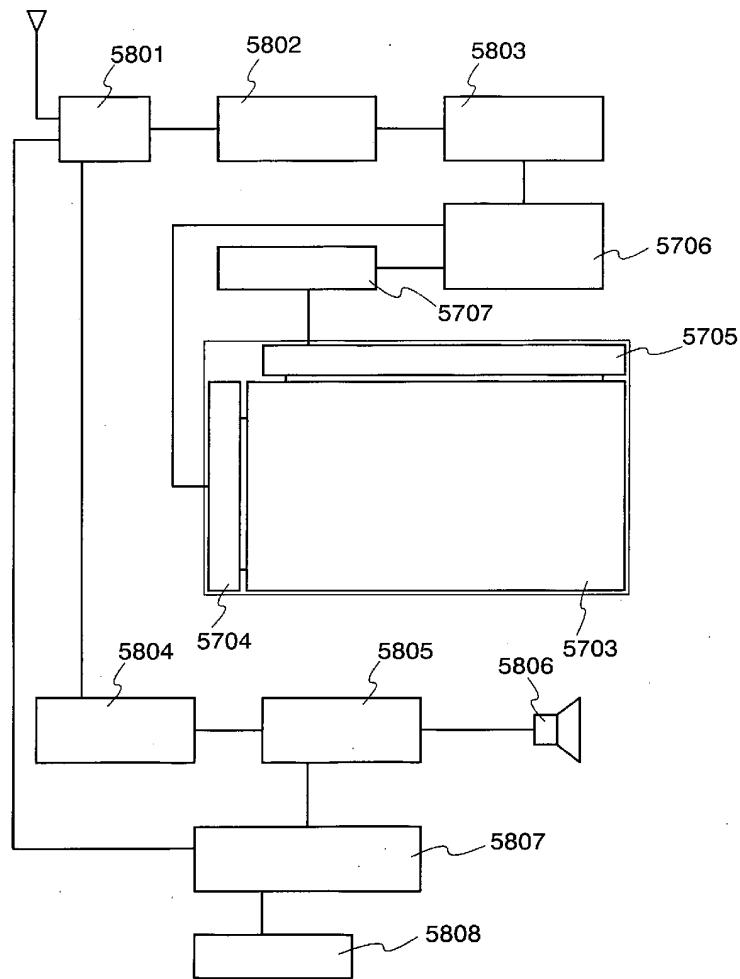
도면56



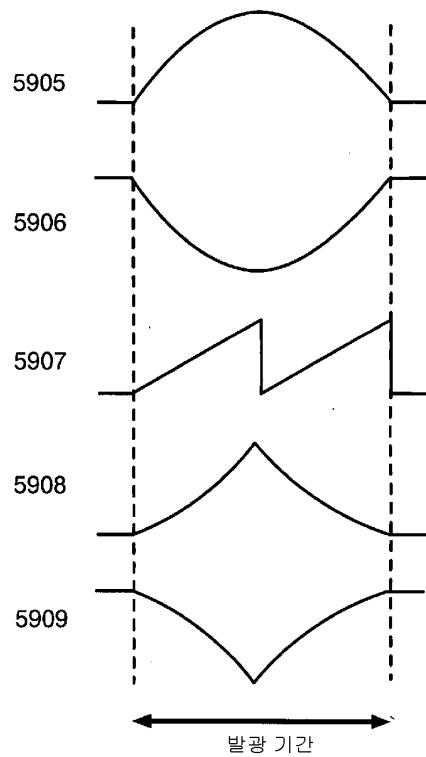
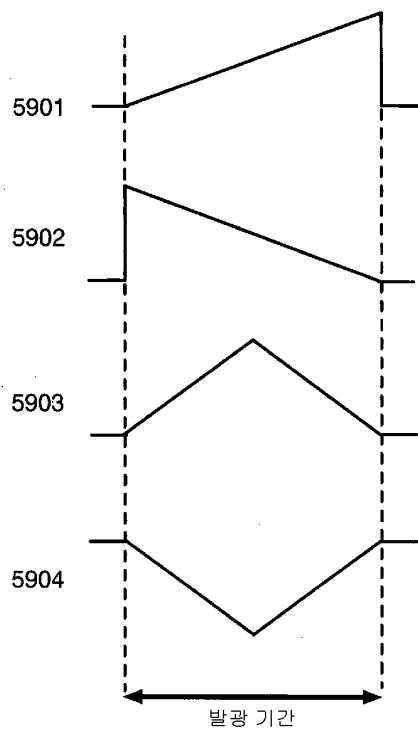
도면57



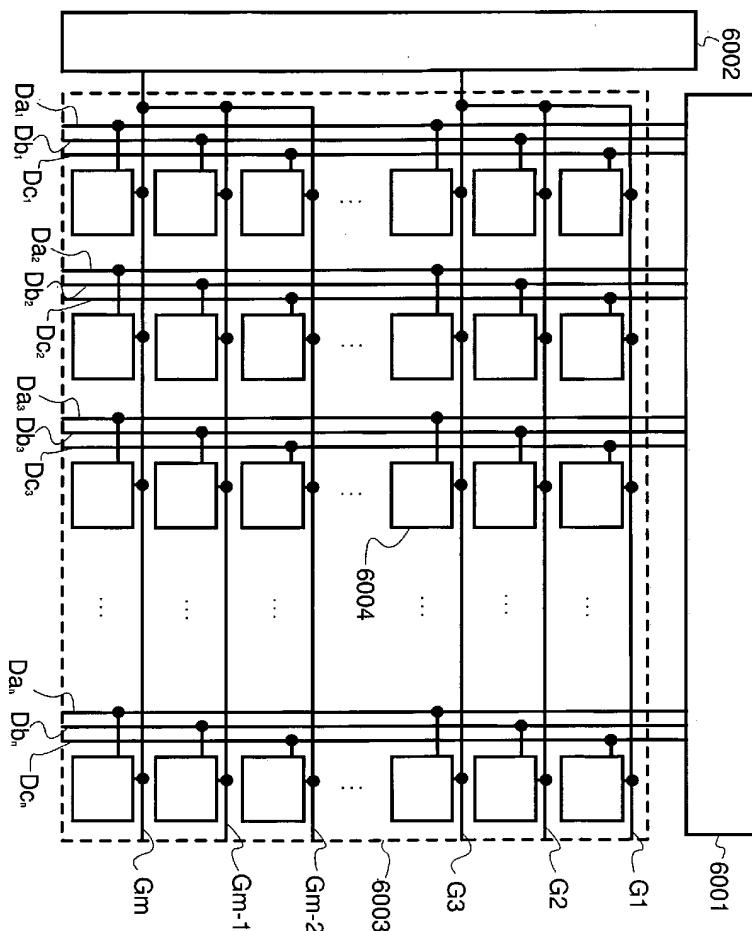
도면58



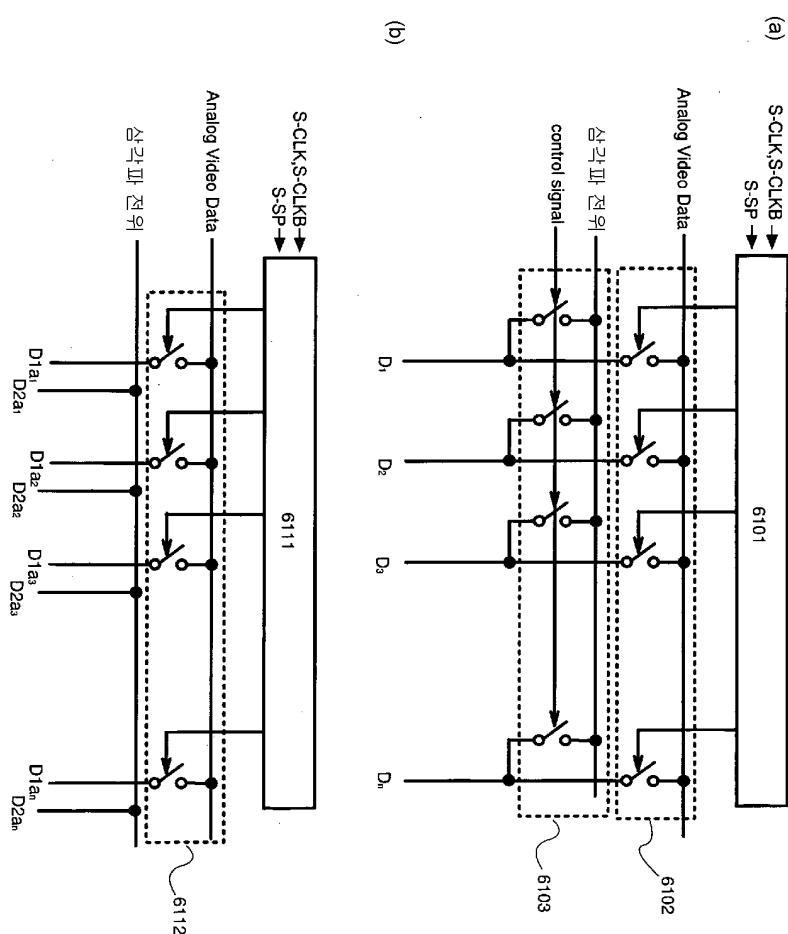
도면59



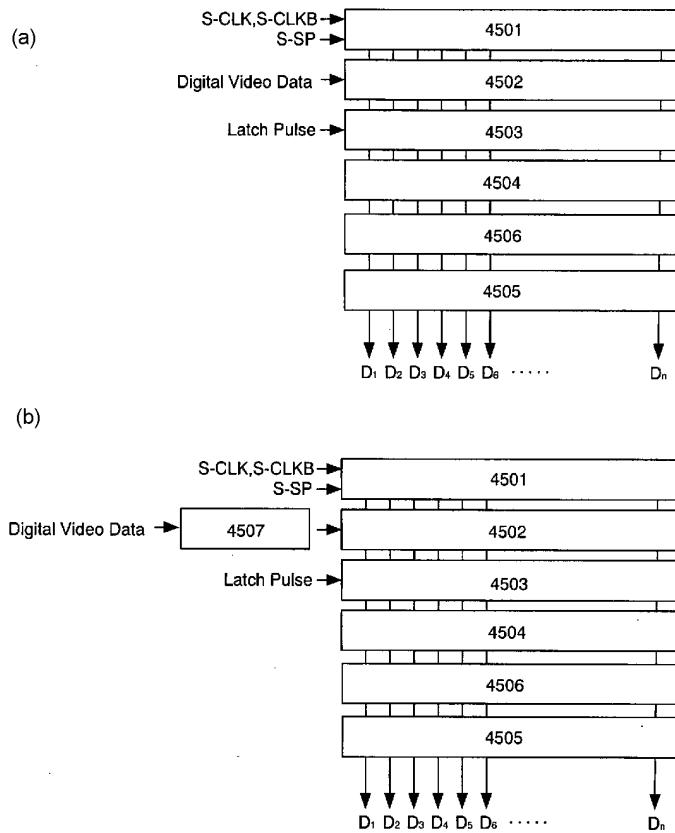
도면60



도면61

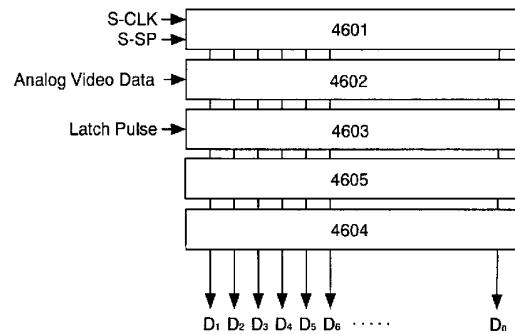


도면62

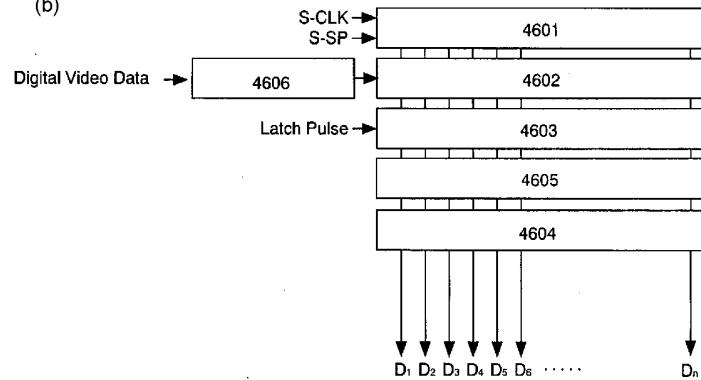


도면63

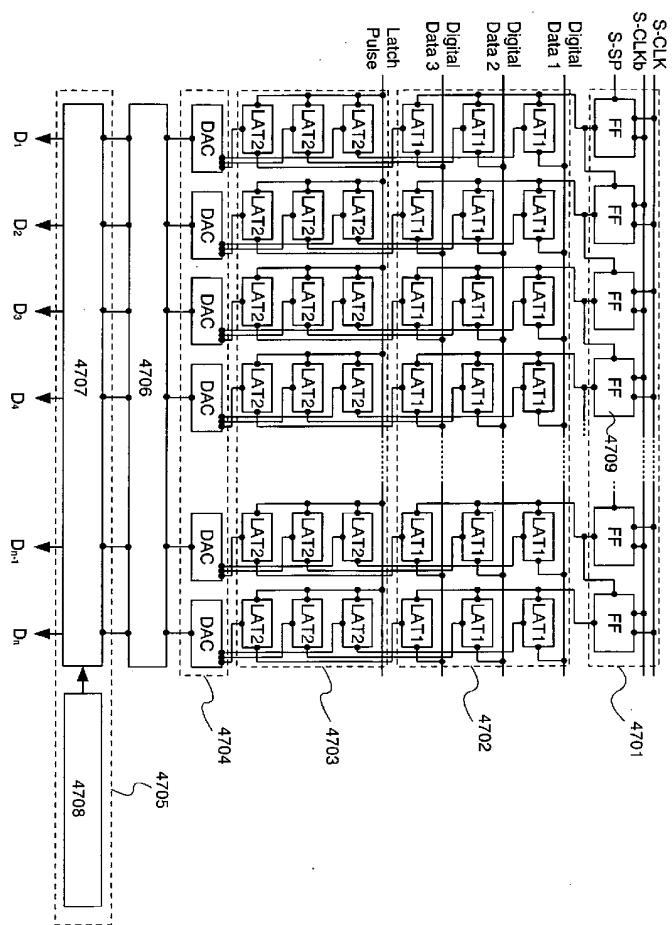
(a)



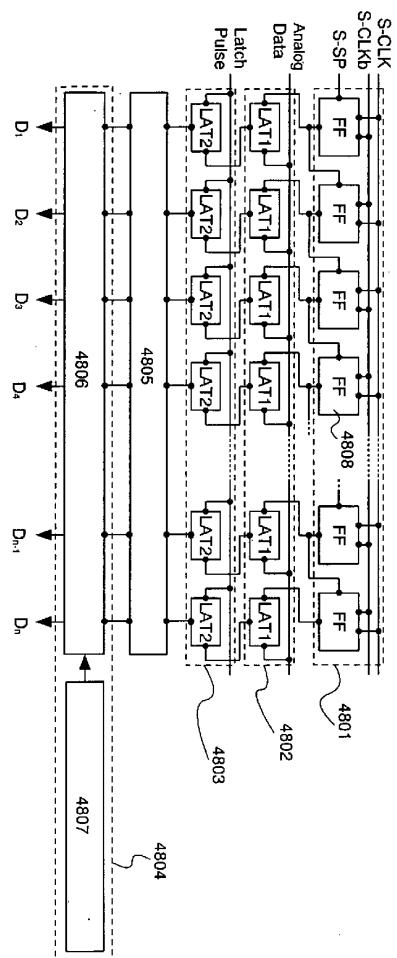
(b)



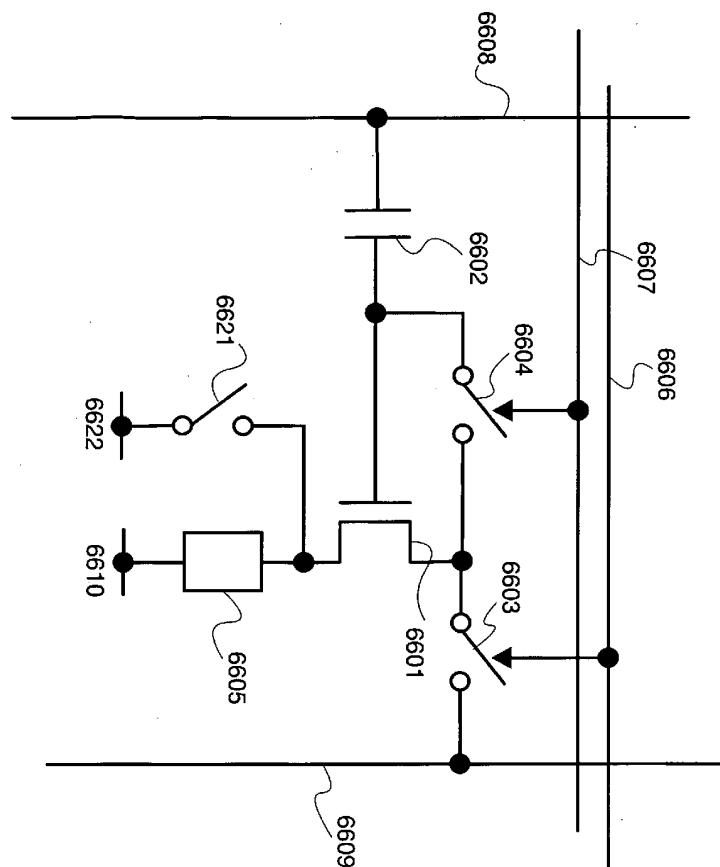
도면64



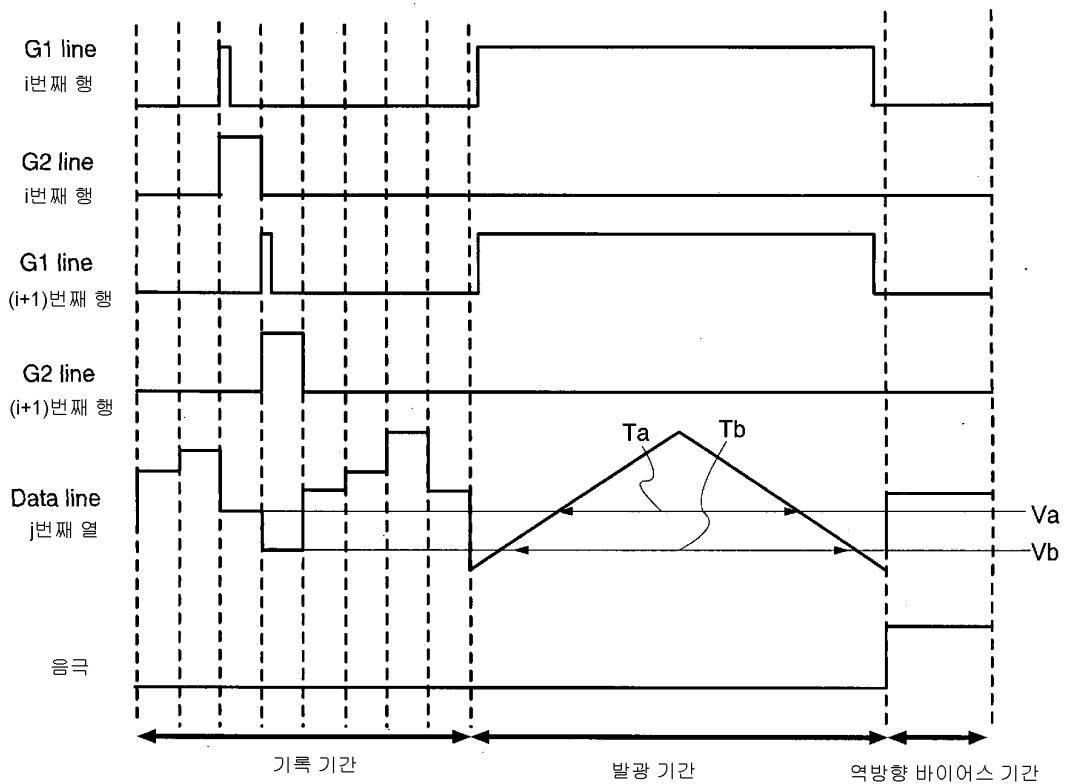
도면65



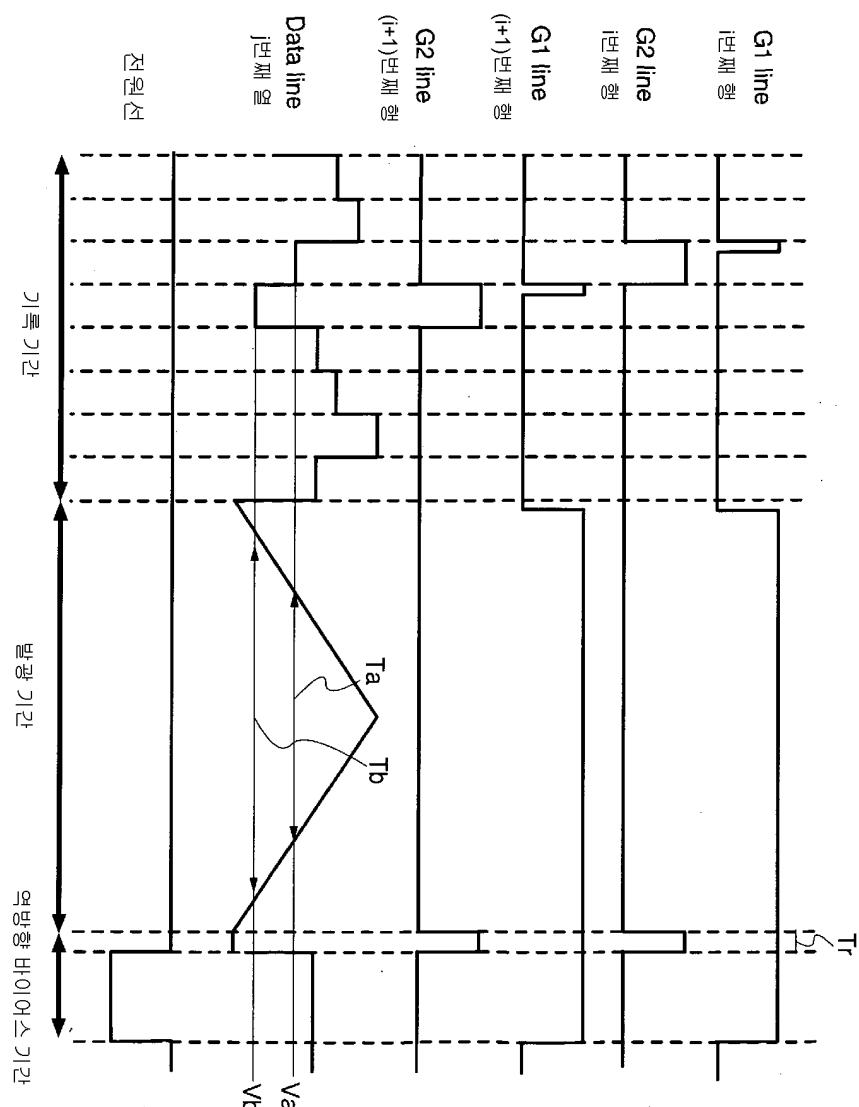
도면66



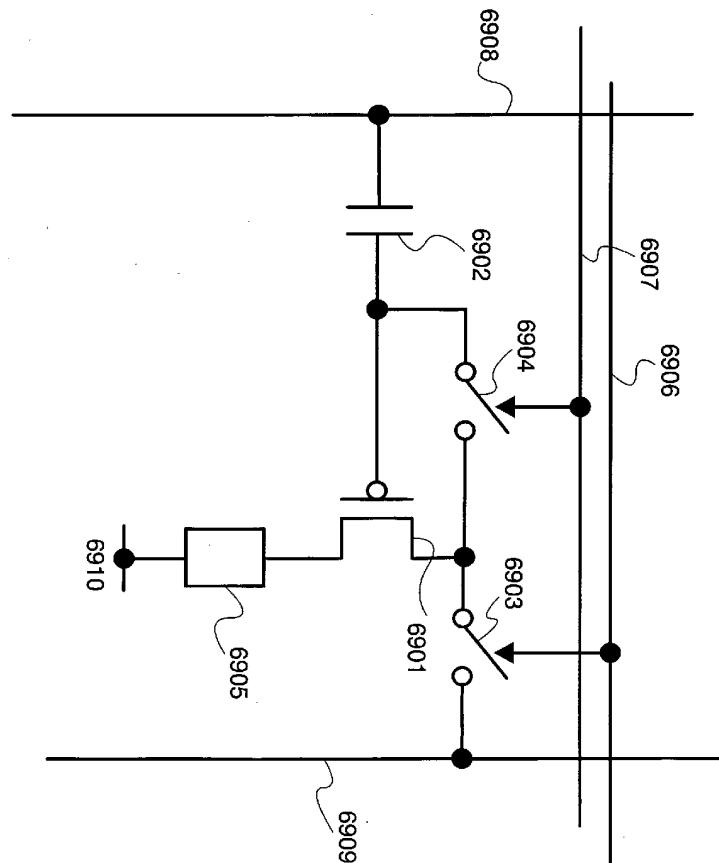
도면67



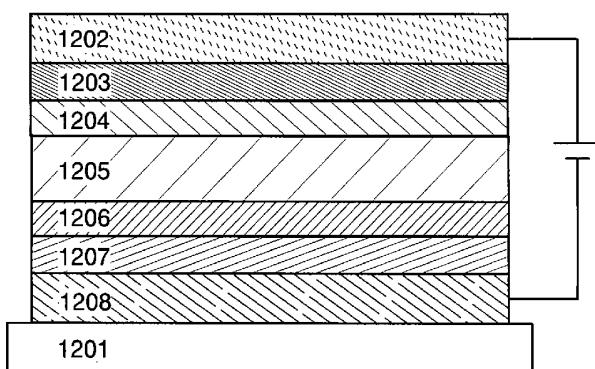
도면68



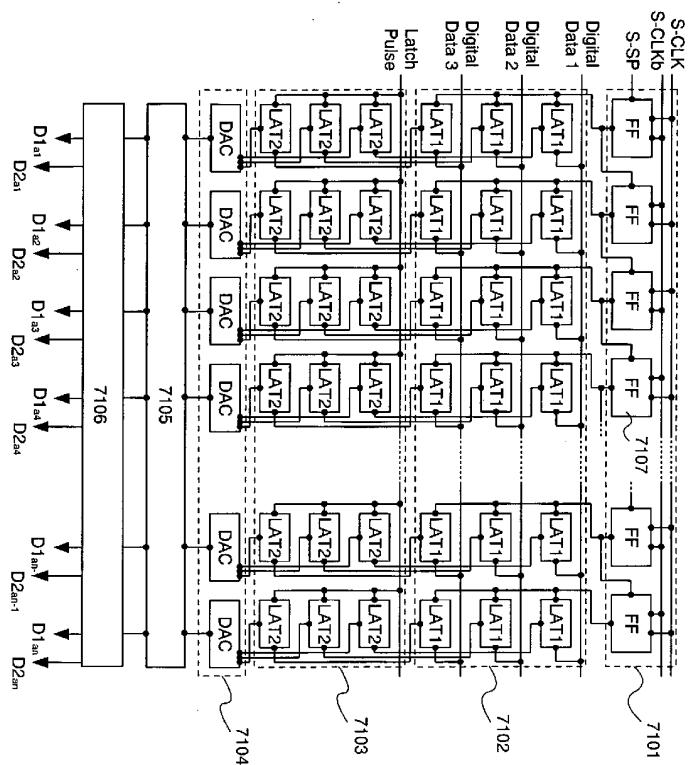
도면69



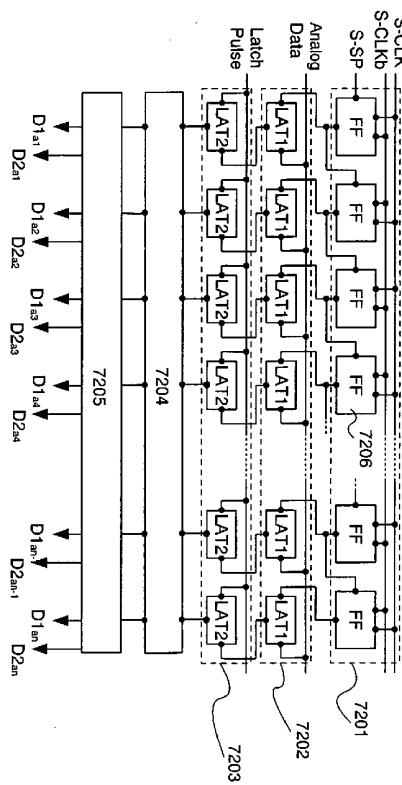
도면70



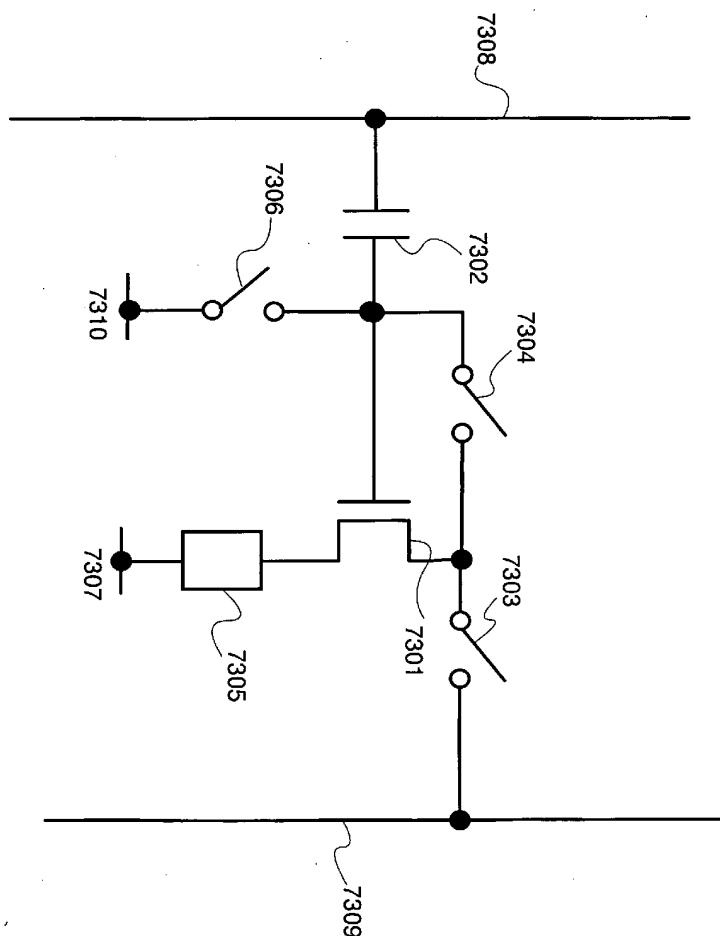
도면71



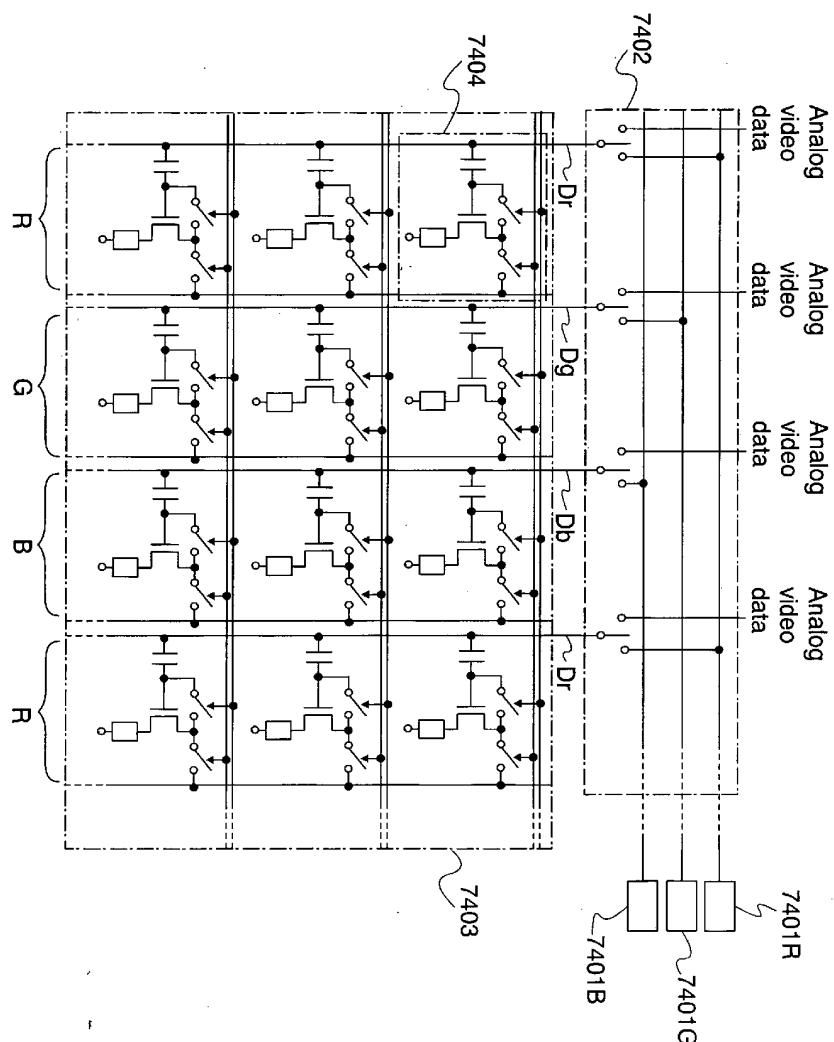
도면72



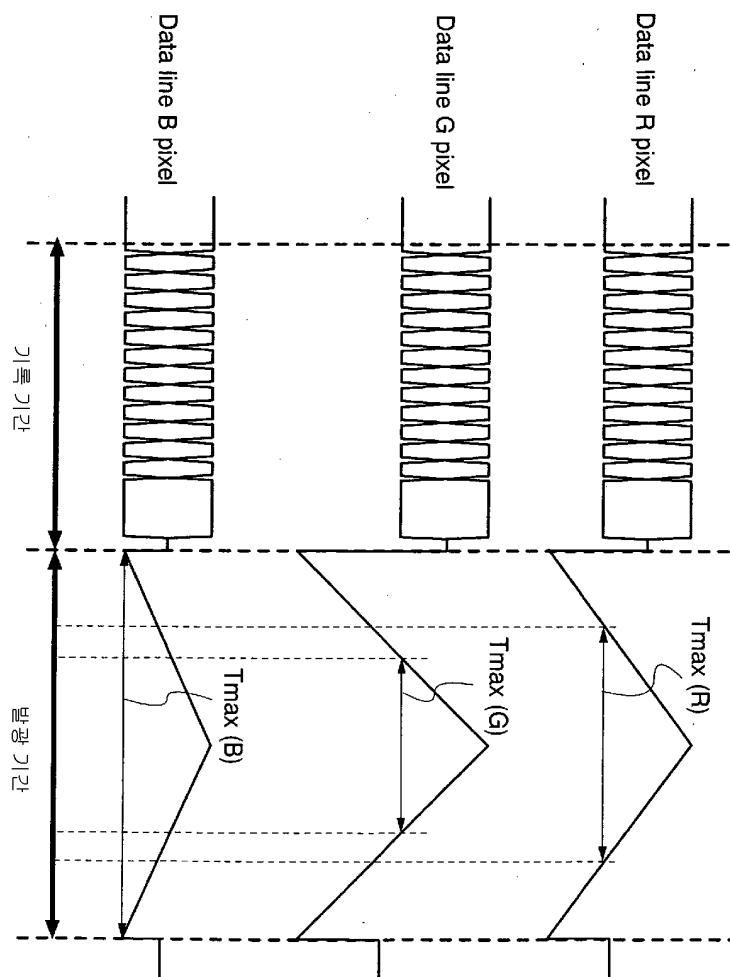
도면73



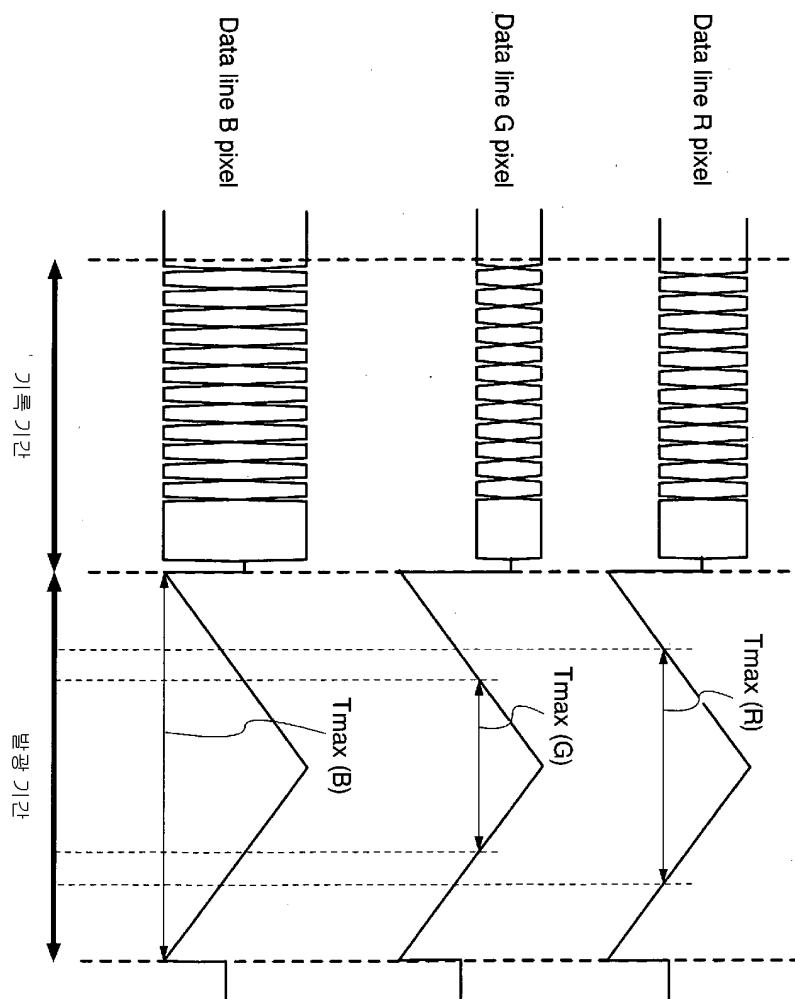
도면74



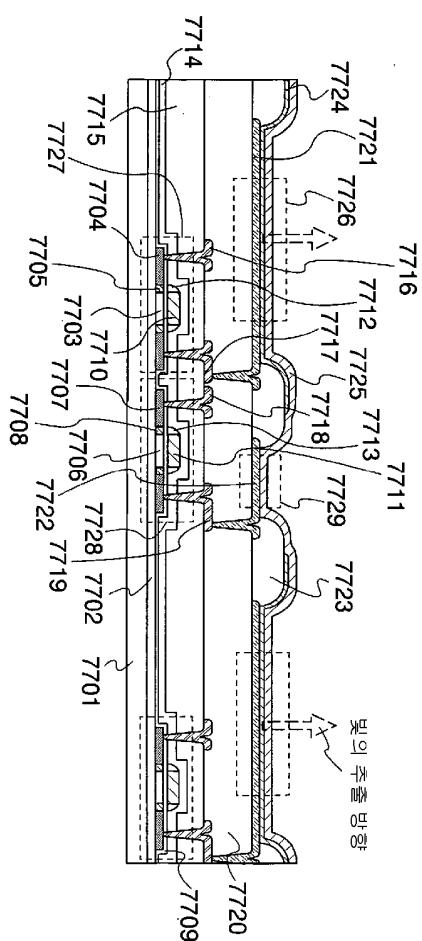
도면75



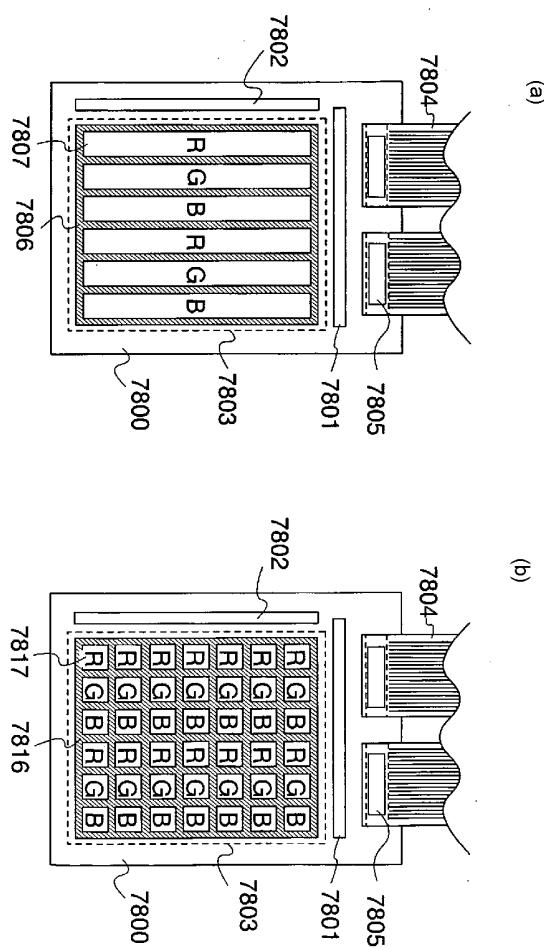
도면76



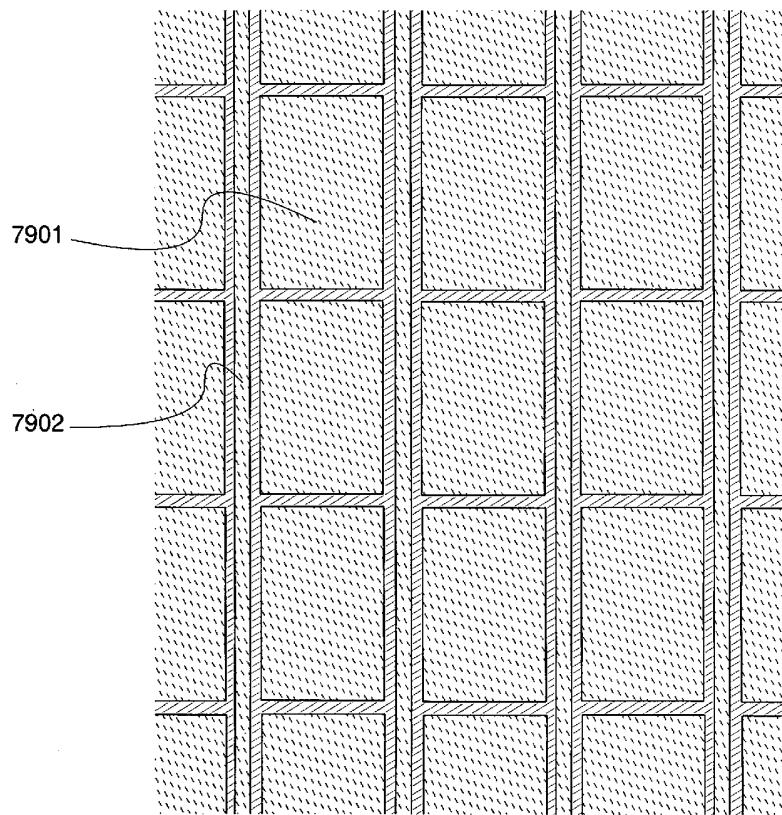
도면77



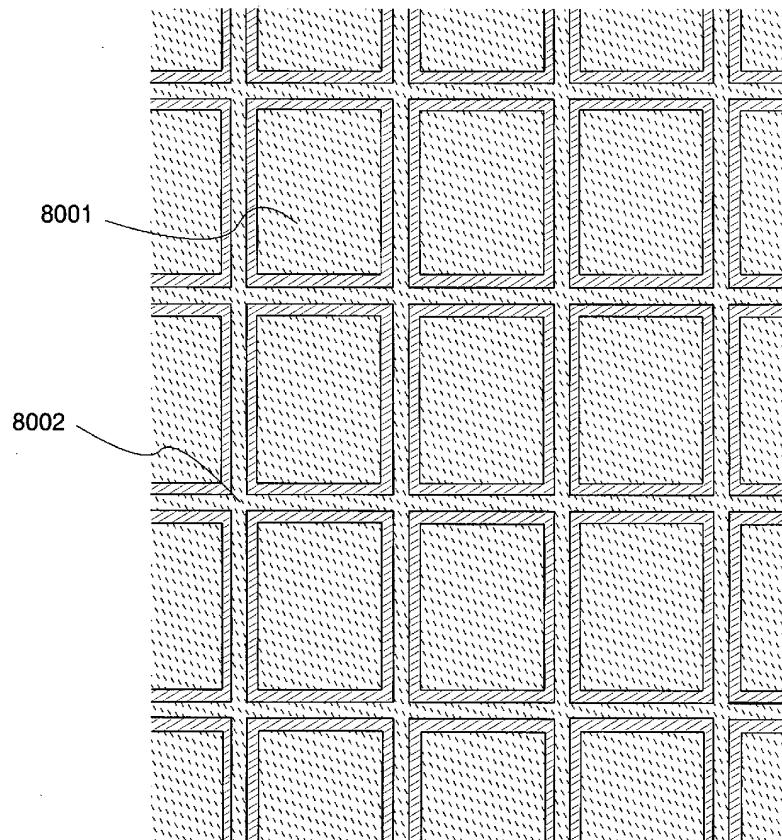
도면78



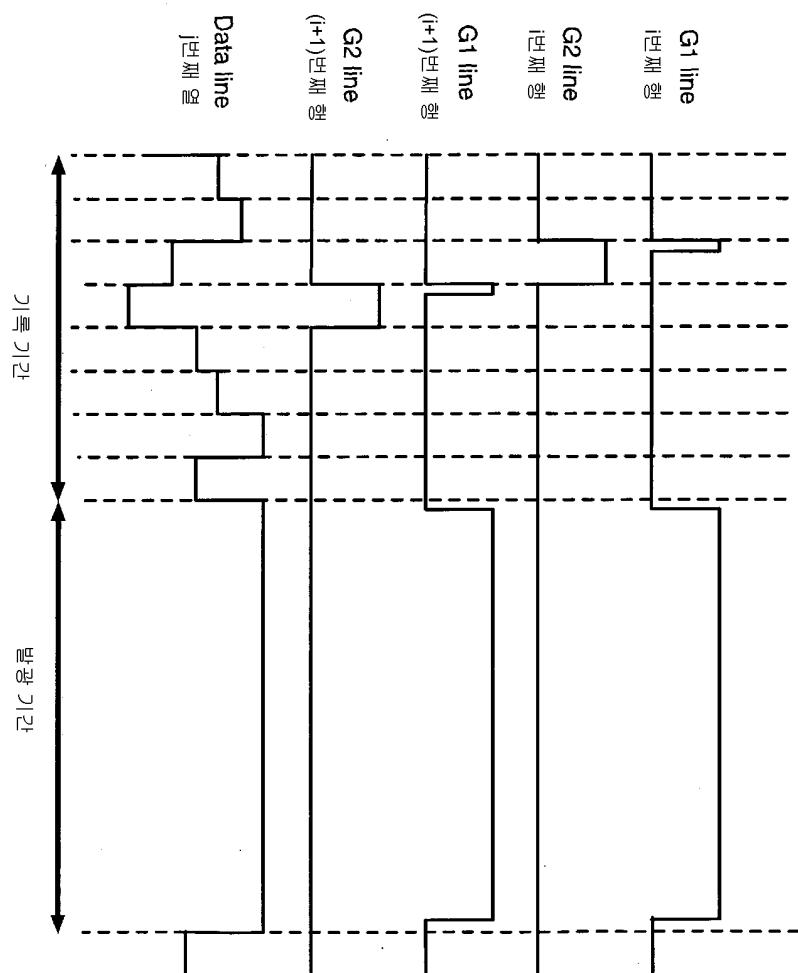
도면79



도면80



도면81



도면82

