

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 4 区分

【発行日】平成 26 年 5 月 15 日 (2014.5.15)

【公開番号】特開 2011-239664 (P2011-239664A)

【公開日】平成 23 年 11 月 24 日 (2011.11.24)

【年通号数】公開・登録公報 2011-047

【出願番号】特願 2011-87075 (P2011-87075)

【国際特許分類】

H 0 2 M 3/155 (2006.01)

H 0 1 L 29/786 (2006.01)

【F I】

H 0 2 M 3/155 P

H 0 1 L 29/78 6 1 8 B

【手続補正書】

【提出日】平成 26 年 3 月 27 日 (2014.3.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の電圧が入力される第 1 の端子と、  
第 2 の電圧が入力される第 2 の端子と、  
前記第 1 の端子及び第 2 の端子に接続され、前記第 1 の電圧と第 2 の電圧を比較するコンパレータと、  
前記コンパレータから出力されたデジタル信号を、平均化し、積分し、デジタルパルス幅変調処理するデジタル演算処理回路と、  
前記デジタル演算処理回路から出力されたデジタル信号を増幅するパルス幅変調出力ドライバと、  
前記増幅されたデジタル信号を平滑する平滑化回路と、  
を有することを特徴とする電源回路。

【請求項 2】

第 1 の電圧が入力される第 1 の端子と、  
第 2 の電圧が入力される第 2 の端子と、  
前記第 1 の端子及び第 2 の端子に接続され、前記第 1 の電圧と第 2 の電圧を比較するコンパレータと、  
前記コンパレータから出力されたデジタル信号を平均化する加算回路と、  
前記平均化されたデジタル信号を積分する加減算回路と、  
前記積分されたデジタル信号をデジタルパルス幅変調処理するカウント比較回路及びラッチ回路と、  
前記ラッチ回路から出力されたデジタル信号を増幅するパルス幅変調出力ドライバと、  
前記増幅されたデジタル信号を平滑する平滑化回路と、  
を有することを特徴とする電源回路。