

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年10月28日(28.10.2021)



(10) 国際公開番号

WO 2021/215105 A1

(51) 国際特許分類:
H04N 5/363 (2011.01) *H04N 5/3745* (2011.01)
H04N 5/369 (2011.01) *H04N 5/378* (2011.01)

(21) 国際出願番号: PCT/JP2021/006785

(22) 国際出願日: 2021年2月24日(24.02.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-075184 2020年4月21日(21.04.2020) JP
特願 2020-193108 2020年11月20日(20.11.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

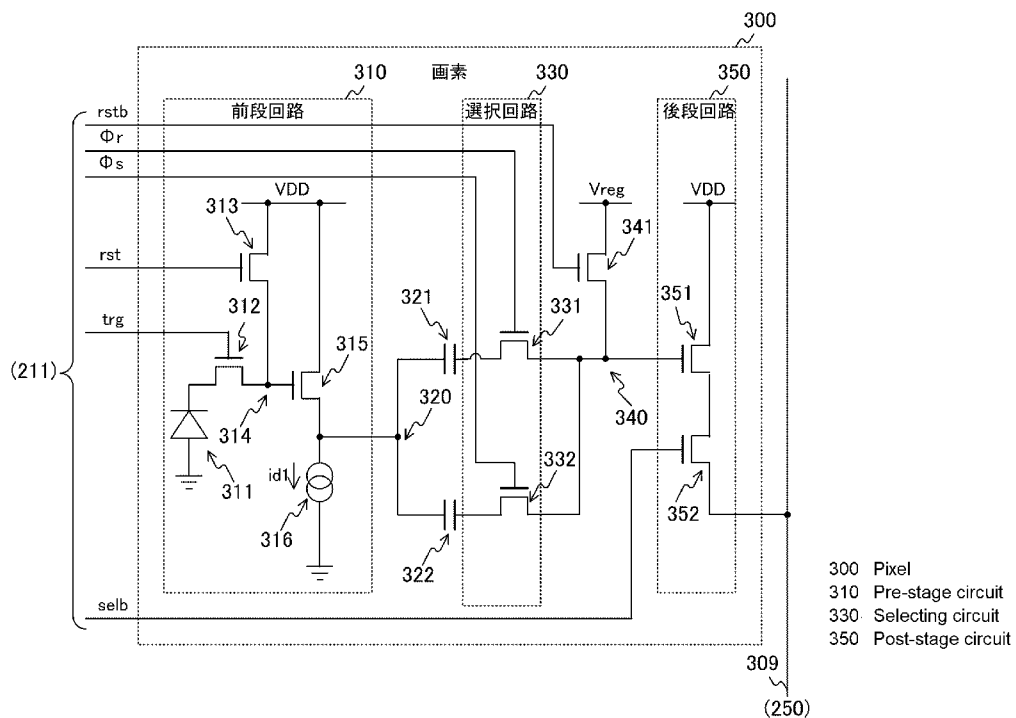
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 朝倉 ルオンフォン (ASAKURA, Luonghung); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 稲田 喜昭 (INADA, Yoshiaki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 丸島 敏一 (MARUSHIMA, Toshikazu); 〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル 5F クラフト国際特許事務所 Tokyo (JP).

(54) Title: SOLID-STATE IMAGE CAPTURING ELEMENT

(54) 発明の名称: 固体撮像素子



(57) Abstract: The objective of the present invention is to improve image quality in a solid-state image capturing element which performs exposure simultaneously for all pixels. A pre-stage circuit sequentially generates a prescribed reset level and a signal level corresponding to an exposure amount, and holds the same respectively in first and second capacitive elements. A selecting unit sequentially performs: control to connect one of the first and second capacitive elements to a prescribed post-stage node; control to disconnect both the first and second capacitive elements from the post-stage

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

node; and control to connect the other of the first and second capacitive elements to the post-stage node. A post-stage reset transistor initializes the level of the post-stage node when both the first and second capacitive elements have been disconnected from the post-stage node. A post-stage circuit sequentially reads the reset level and the signal level from the first and second capacitive elements by way of the post-stage node.

(57) 要約: 全画素で同時に露光を行う固体撮像素子において、画質を向上させる。前段回路は、所定のリセットレベルと露光量に応じた信号レベルとを順に生成して第1および第2の容量素子のそれぞれに保持させる。選択回路は、第1および第2の容量素子の一方を所定の後段ノードに接続する制御と第1および第2の容量素子の両方を後段ノードから切り離す制御と第1および第2の容量素子の他方を後段ノードに接続する制御とを順に行う。後段リセットトランジスタは、第1および第2の容量素子の両方が後段ノードから切り離されたときに後段ノードのレベルを初期化する。後段回路は、後段ノードを介してリセットレベルおよび信号レベルを第1および第2の容量素子から順に読み出して出力する。

明 細 書

発明の名称： 固体撮像素子

技術分野

[0001] 本技術は、固体撮像素子に関する。詳しくは、カラム毎に A D (Analog to Digital) 変換を行う固体撮像素子の制御方法に関する。

背景技術

[0002] 従来より、固体撮像素子においては、画素を微細化する目的で、画素アレイ部の外部にカラムごとに A D C を配置し、1 行ずつ順に画素信号を読み出すカラム A D C (Analog to Digital Converter) 方式が用いられている。このカラム A D C 方式において、1 行ずつ順に露光を開始するローリングシャッター方式により露光を行うと、ローリングシャッター歪みが生じるおそれがある。そこで、全画素で同時に露光を開始するグローバルシャッター方式を実現するために、画素毎に一对の容量を設け、それらの容量にリセットレベルおよび信号レベルを保持させる固体撮像素子が提案されている（例えば、非特許文献 1 参照。）。これらの一对の容量は、ノードを介してソースフォロワー回路に直列に接続され、そのソースフォロワー回路により、リセットレベルおよび信号レベルが順に読み出される。

先行技術文献

非特許文献

[0003] 非特許文献 1 : Jae-kyu Lee, et al., A 2.1e-Temporal Noise and -105dB Parasitic Light Sensitivity Backside-Illuminated 2.3 μm -Pixel Voltage-Domain Global Shutter CMOS Image Sensor Using High-Capacity DRAM Capacitor Technology, ISSCC 2020.

発明の概要

発明が解決しようとする課題

[0004] 上述の従来技術では、リセットレベルおよび信号レベルを画素ごとに一对の容量に保持させることにより、カラム A D C 方式において、グローバルシ

ャッター方式の実現を図っている。しかしながら、ソースフォロワー回路内のトランジスタが、容量に接続されたノードを初期化する際に、その容量に応じたレベルの kTC ノイズ（言い換えれば、リセットノイズ）が生じ、そのノイズにより画像データの画質が低下してしまうという問題がある。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、全画素で同時に露光を行う固体撮像素子において、画質を向上させることを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、第1および第2の容量素子と、所定のリセットレベルと露光量に応じた信号レベルとを順に生成して上記第1および第2の容量素子のそれぞれに保持させる前段回路と、上記第1および第2の容量素子の一方を所定の後段ノードに接続する制御と上記第1および第2の容量素子の両方を上記後段ノードから切り離す制御と上記第1および第2の容量素子の他方を上記後段ノードに接続する制御とを順に行う選択回路と、上記第1および第2の容量素子の両方が上記後段ノードから切り離されたときに上記後段ノードのレベルを初期化する後段リセットトランジスタと、上記後段ノードを介して上記リセットレベルおよび上記信号レベルを上記第1および第2の容量素子から順に読み出して出力する後段回路とを具備する固体撮像素子、および、その制御方法である。これにより、 kTC ノイズが低減するという作用をもたらす。

[0007] また、この第1の側面において、上記前段回路と所定の前段ノードとの間の経路を開閉する前段選択トランジスタと、上記前段ノードのレベルを初期化する前段リセットトランジスタとをさらに具備し、上記第1および第2の容量素子のそれぞれの一端は上記前段ノードに共通に接続され、それぞれの他端は上記選択回路に接続されてもよい。これにより、前段回路からのノイズが遮断されるという作用をもたらす。

[0008] また、この第1の側面において、上記前段選択トランジスタは、上記前段回路が上記リセットレベルおよび上記信号レベルを上記第1および第2の容量

素子のそれぞれに保持させる期間に亘って閉状態に移行し、上記前段リセットトランジスタは、上記後段回路が上記リセットレベルおよび上記信号レベルを上記第1および第2の容量素子から順に読み出す期間内に上記前段ノードのレベルを初期化してもよい。これにより、読出しの際に前段ノードの電位が固定されるという作用をもたらす。

[0009] また、この第1の側面において、上記前段回路は、光電変換素子と、上記光電変換素子から浮遊拡散層へ電荷を転送する前段転送トランジスタと、上記浮遊拡散層を初期化する第1のリセットトランジスタと、上記浮遊拡散層の電圧を増幅して所定の前段ノードへ出力する前段増幅トランジスタとを備え、上記第1および第2の容量素子のそれぞれの一端は上記前段ノードに共通に接続され、それぞれの他端は上記選択回路に接続されてもよい。これにより、浮遊拡散層の電位に応じた信号が前段ノードへ供給されるという作用をもたらす。

[0010] また、この第1の側面において、上記前段増幅トランジスタのソースに供給するソース電圧を調整する切り替え部をさらに具備し、上記前段回路は、上記前段増幅トランジスタのドレインに接続された電流源トランジスタをさらに備え、上記電流源トランジスタは、露光期間の終了後にオン状態からオフ状態に移行してもよい。これにより、前段のソースフォロフが読出しの際にオフ状態になるという作用をもたらす。

[0011] また、この第1の側面において、上記切り替え部は、上記露光期間内に所定の電源電圧を上記ソース電圧として供給し、上記露光期間の終了後に上記電源電圧と異なる生成電圧を上記ソース電圧として供給してもよい。これにより、前段のソースフォロフのソース電圧が調整されるという作用をもたらす。

[0012] また、この第1の側面において、上記電源電圧と上記生成電圧との差分は、上記第1のリセットトランジスタのリセットフィードスルーによる変動量と上記前段増幅トランジスタのゲートソース間電圧の和に略一致してもよい。これにより、露光時と読出し時との前段ノードの電位が揃うという作用

をもたらす。

[0013] また、この第1の側面において、所定の露光開始タイミングにおいて上記前段転送トランジスタが上記浮遊拡散層へ上記電荷を転送するとともに上記第1のリセットトランジスタが上記浮遊拡散層とともに上記光電変換素子を初期化し、所定の露光終了タイミングにおいて上記前段転送トランジスタが上記浮遊拡散層へ上記電荷を転送してもよい。これにより、露光量に応じた画素信号が生成されるという作用をもたらす。

[0014] また、この第1の側面において、上記前段回路は、上記光電変換素子から上記電荷を排出する排出トランジスタをさらに備えてもよい。これにより、光電変換素子が初期化されるという作用をもたらす。

[0015] また、この第1の側面において、所定の露光開始タイミングの前に上記第1のリセットトランジスタが上記浮遊拡散層を初期化するとともに上記排出トランジスタが上記光電変換素子から上記電荷を排出し、所定の露光終了タイミングにおいて上記前段転送トランジスタが上記浮遊拡散層へ上記電荷を転送してもよい。これにより、非常に短い露光期間が実現されるという作用をもたらす。

[0016] また、この第1の側面において、上記前段回路のリセット電源電圧を制御する制御回路をさらに具備し、上記第1のリセットトランジスタは、浮遊拡散層の電圧を上記リセット電源電圧に初期化し、上記制御回路は、上記リセットレベルおよび上記信号レベルを読み出す読出し期間内に上記リセット電源電圧を露光期間と異なる電圧にしてもよい。これにより、感度不均一性が改善するという作用をもたらす。

[0017] また、この第1の側面において、上記読出し期間内の上記リセット電源電圧と上記露光期間内の上記リセット電源電圧との差分は、上記第1のリセットトランジスタのリセットフィードスルーによる変動量に略一致するものであってもよい。これにより、感度不均一性が改善するという作用をもたらす。

[0018] また、この第1の側面において、上記第1のリセットトランジスタのゲー

トには、第1のリセット信号が入力され、上記第1のリセット信号の振幅は、ダイナミックレンジに対応する値に所定のマージンを加えた値であってもよい。これにより、黒点現象が抑制されるという作用をもたらす。

[0019] また、この第1の側面において、連続する一対のフレームを加算するデジタル信号処理部をさらに具備し、上記前段回路は、上記一対のフレームの一方の露光期間内に上記第1および第2の容量素子の一方に上記リセットレベルを保持させた後に上記第1および第2の容量素子の他方に上記信号レベルを保持させ、上記一対のフレームの他方の露光期間内に上記第1および第2の容量素子の上記他方に上記リセットレベルを保持させた後に上記第1および第2の容量素子の上記一方に上記信号レベルを保持させてもよい。これにより、感度不均一性が改善するという作用をもたらす。

[0020] また、この第1の側面において、上記出力された上記リセットレベルおよび上記信号レベルを順にデジタル信号に変換するアナログデジタル変換器をさらに具備してもよい。これにより、デジタルの画像データが生成されるという作用をもたらす。

[0021] また、この第1の側面において、上記アナログデジタル変換器は、上記リセットレベルおよび上記信号レベルを伝送する垂直信号線のレベルと所定のランプ信号とを比較して比較結果を出力するコンパレータと、上記比較結果が反転するまでの期間に亘って計数値を計数して当該計数値を示す上記デジタル信号を出力するカウンタとを備えてもよい。これにより、簡易な高背によってアナログデジタル変換が実現されるという作用をもたらす。

[0022] また、この第1の側面において、上記コンパレータは、一対の入力端子のそれぞれのレベルを比較して比較結果を出力する比較器と、上記垂直信号線と所定の参照電圧のノードとのいずれかを選択して上記一対の入力端子の一方に接続する入力側セクタとを備え、上記一対の入力端子の一方には、上記ランプ信号が入力されてもよい。これにより、黒点現象が抑制されるという作用をもたらす。

[0023] また、この第1の側面において、上記比較結果に基づいて照度が所定値よ

り高いか否かを判定して判定結果を出力する制御部と、上記デジタル信号に対して相関二重サンプリング処理を実行するCDS（Correlated Double Sampling）処理部と、上記相関二重サンプリング処理が実行された上記デジタル信号と所定値のデジタル信号とのいずれかを上記判定結果に基づいて出力する出力側セレクトとをさらに具備してもよい。これにより、黒点現象が抑制されるという作用をもたらす。

[0024] また、この第1の側面において、それぞれに所定数の画素が配列された複数の行を制御して同時に露光を開始させる制御を行う垂直走査回路をさらに具備し、上記第1および第2の容量素子と上記前段回路と上記選択回路と上記後段リセットトランジスタと上記後段回路とは、上記画素のそれぞれに配置されてもよい。これにより、画素の微細化が容易になるという作用をもたらす。

[0025] また、この第1の側面において、上記垂直走査回路は、上記複数の行を制御して順に露光を開始させる制御をさらに行ってもよい。これにより、画素の微細化が容易になるという作用をもたらす。

[0026] また、この第1の側面において、上記前段回路は、第1のチップに設けられ、上記第1および第2の容量素子と上記選択回路と上記後段リセットトランジスタと上記後段回路とは、第2のチップに設けられてもよい。これにより、画素の微細化が容易になるという作用をもたらす。

[0027] また、この第1の側面において、上記出力された上記リセットレベルおよび上記信号レベルを順にデジタル信号に変換するアナログデジタル変換器をさらに具備し、上記アナログデジタル変換器は、上記第2のチップに設けられてもよい。これにより、画素の微細化が容易になるという作用をもたらす。

[0028] また、この第1の側面において、上記出力された上記リセットレベルおよび上記信号レベルを順にデジタル信号に変換するアナログデジタル変換器をさらに具備し、上記アナログデジタル変換器は、第3のチップに設けられてもよい。これにより、画素の微細化が容易になるという作用をもたらす。

[0029] また、本技術の第2の側面は、入射した光を電荷へと変換する光電変換部と、前記電荷を電圧へと変換する第1の増幅トランジスタと、画素信号を出力する信号線と、前記第1の増幅トランジスタの出力先の第1ノードと一端が接続された第1の容量素子と、前記第1の増幅トランジスタと前記信号線との間において、前記第1の容量素子と並列して設けられ、前記第1ノードと一端が接続された第2の容量素子と、前記第1の容量素子の他端において、前記第1の容量素子と接続された第1の選択トランジスタと、前記第2の容量素子の他端において、前記第2の容量素子と接続された第2の選択トランジスタと、前記第1及び第2の選択トランジスタが接続された第2ノードにソース若しくはドレインが接続されたりセットトランジスタと、前記第2ノードにゲートが接続され、前記画素信号を出力する第2の増幅トランジスタとを有する固体撮像素子である。これにより、kTCノイズが低減された画像データが生成されるという作用をもたらす。

図面の簡単な説明

[0030] [図1]本技術の第1の実施の形態における撮像装置の一構成例を示すブロック図である。

[図2]本技術の第1の実施の形態における固体撮像素子の一構成例を示すブロック図である。

[図3]本技術の第1の実施の形態における画素の一構成例を示す回路図である。

[図4]本技術の第1の実施の形態におけるカラム信号処理回路および負荷MOS回路ブロックの一構成例を示すブロック図である。

[図5]本技術の第1の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。

[図6]本技術の第1の実施の形態における読出し動作の一例を示すタイミングチャートである。

[図7]本技術の第1の実施の形態における読出し動作の別の例を示すタイミングチャートである。

[図8]比較例における画素の一構成例を示す回路図である。

[図9]本技術の第1の実施の形態におけるリセットレベルの読出しのときと、後段ノードの初期化のときとのそれぞれの画素の状態の一例を示す図である。

[図10]本技術の第1の実施の形態における信号レベルの読出しのときの画素の状態の一例を示す図である。

[図11]本技術の第1の実施の形態における固体撮像素子の動作の一例を示すフローチャートである。

[図12]本技術の第1の実施の形態の第1の変形例における画素の一構成例を示す回路図である。

[図13]本技術の第1の実施の形態の第1の変形例におけるグローバルシャッター動作の一例を示すタイミングチャートである。

[図14]本技術の第1の実施の形態の第1の変形例における読出し動作の一例を示すタイミングチャートである。

[図15]本技術の第1の実施の形態の第2の変形例における固体撮像素子の積層構造の一例を示す図である。

[図16]本技術の第1の実施の形態の第2の変形例における画素の一構成例を示す回路図である。

[図17]本技術の第1の実施の形態の第3の変形例における固体撮像素子の積層構造の一例を示す図である。

[図18]本技術の第2の実施の形態における画素の一構成例を示す回路図である。

[図19]本技術の第2の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。

[図20]本技術の第3の実施の形態における画素の一構成例を示す回路図である。

[図21]本技術の第3の実施の形態におけるリセットフィードスルーについて説明するための図である。

[図22]本技術の第3の実施の形態におけるリセットフィードスルーによるレベルのばらつきについて説明するための図である。

[図23]本技術の第3の実施の形態における電圧制御の一例を示すタイミングチャートである。

[図24]本技術の第4の実施の形態における奇数フレームのグローバルシャッター動作の一例を示すタイミングチャートである。

[図25]本技術の第4の実施の形態における奇数フレームの読出し動作の一例を示すタイミングチャートである。

[図26]本技術の第4の実施の形態における偶数フレームのグローバルシャッター動作の一例を示すタイミングチャートである。

[図27]本技術の第4の実施の形態における偶数フレームの読出し動作の一例を示すタイミングチャートである。

[図28]本技術の第5の実施の形態におけるカラム信号処理回路の一構成例を示す回路図である。

[図29]本技術の第5の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。

[図30]本技術の第5の実施の形態における読出し動作の一例を示すタイミングチャートである。

[図31]本技術の第6の実施の形態におけるローリングシャッター動作の一例を示すタイミングチャートである。

[図32]本技術の第7の実施の形態における固体撮像素子の一構成例を示すブロック図である。

[図33]本技術の第7の実施の形態におけるダミー画素、レギュレータ、および、切り替え部の一構成例を示す回路図である。

[図34]本技術の第7の実施の形態におけるダミー画素およびレギュレータの動作の一例を示すタイミングチャートである。

[図35]本技術の第7の実施の形態における有効画素の一構成例を示す回路図である。

[図36]本技術の第7の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。

[図37]本技術の第7の実施の形態における読出し動作の一例を示すタイミングチャートである。

[図38]本技術の第7の実施の形態における効果を説明するための図である。

[図39]車両制御システムの概略的な構成例を示すブロック図である。

[図40]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0031] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（第1および第2の容量素子に画素信号を保持させる例）

2. 第2の実施の形態（排出トランジスタを追加し、第1および第2の容量素子に画素信号を保持させる例）

3. 第3の実施の形態（第1および第2の容量素子に画素信号を保持させ、リセット電源電圧を制御する例）

4. 第4の実施の形態（第1および第2の容量素子に画素信号を保持させ、フレームごとに保持させるレベルを入れ替える例）

5. 第5の実施の形態（第1および第2の容量素子に画素信号を保持させ、黒点現象を抑制する例）

6. 第6の実施の形態（第1および第2の容量素子に画素信号を保持させ、ローリングシャッター動作を行う例）

7. 移動体への応用例

[0032] <1. 第1の実施の形態>

[撮像装置の構成例]

図1は、本技術の第1の実施の形態における撮像装置100の一構成例を示すブロック図である。この撮像装置100は、画像データを撮像する装置であり、撮像レンズ110、固体撮像素子200、記録部120および撮像

制御部 130 を備える。撮像装置 100 としては、デジタルカメラや、撮像機能を持つ電子装置（スマートフォンやパーソナルコンピュータなど）が想定される。

[0033] 固体撮像素子 200 は、撮像制御部 130 の制御に従って、画像データを撮像するものである。この固体撮像素子 200 は、画像データを信号線 209 を介して記録部 120 に供給する。

[0034] 撮像レンズ 110 は、光を集光して固体撮像素子 200 に導くものである。撮像制御部 130 は、固体撮像素子 200 を制御して画像データを撮像させるものである。この撮像制御部 130 は、例えば、垂直同期信号 VSYNC を含む撮像制御信号を固体撮像素子 200 に信号線 139 を介して供給する。記録部 120 は、画像データを記録するものである。

[0035] ここで、垂直同期信号 VSYNC は、撮像のタイミングを示す信号であり、一定の周波数（60ヘルツなど）の周期信号が垂直同期信号 VSYNC として用いられる。

[0036] なお、撮像装置 100 は、画像データを記録しているが、その画像データを撮像装置 100 の外部に送信してもよい。この場合には、画像データを送信するための外部インターフェースがさらに設けられる。もしくは、撮像装置 100 は、さらに画像データを表示してもよい。この場合には表示部がさらに設けられる。

[0037] [固体撮像素子の構成例]

図 2 は、本技術の第 1 の実施の形態における固体撮像素子 200 の一構成例を示すブロック図である。この固体撮像素子 200 は、垂直走査回路 211、画素アレイ部 220、タイミング制御回路 212、DAC (Digital to Analog Converter) 213、負荷 MOS 回路ブロック 250、カラム信号処理回路 260 を備える。画素アレイ部 220 には、二次元格子状に複数の画素 300 が配列される。また、固体撮像素子 200 内の各回路は、例えば、単一の半導体チップに設けられる。

[0038] 以下、水平方向に配列された画素 300 の集合を「行」と称し、行に垂直

な方向に配列された画素300の集合を「列」と称する。

[0039] タイミング制御回路212は、撮像制御部130からの垂直同期信号VSYNCに同期して垂直走査回路211、DAC213、カラム信号処理回路260のそれぞれの動作タイミングを制御するものである。

[0040] DAC213は、DA (Digital to Analog) 変換により、のこぎり波状のランプ信号を生成するものである。DAC213は、生成したランプ信号をカラム信号処理回路260に供給する。

[0041] 垂直走査回路211は、行を順に選択して駆動し、アナログの画素信号を出力させるものである。画素300は、入射光を光電変換してアナログの画素信号を生成するものである。この画素300は、負荷MOS回路ブロック250を介して、カラム信号処理回路260に画素信号を供給する。

[0042] 負荷MOS回路ブロック250には、定電流を供給するMOSトランジスタが列ごとに設けられる。

[0043] カラム信号処理回路260は、列ごとに、画素信号に対してAD変換処理やCDS処理などの信号処理を実行するものである。このカラム信号処理回路260は、処理後の信号からなる画像データを記録部120に供給する。なお、カラム信号処理回路260は、特許請求の範囲に記載の信号処理回路の一例である。

[0044] [画素の構成例]

図3は、本技術の第1の実施の形態における画素300の一構成例を示す回路図である。この画素300は、前段回路310と、容量素子321および322と、選択回路330と、後段リセットトランジスタ341と、後段回路350とを備える。

[0045] 前段回路310は、光電変換素子311、転送トランジスタ312、FD (Floating Diffusion) リセットトランジスタ313、FD314、前段増幅トランジスタ315および電流源トランジスタ316を備える。

[0046] 光電変換素子311は、光電変換により電荷を生成するものである。転送トランジスタ312は、垂直走査回路211からの転送信号trgに従って

、光電変換素子 311 から FD 314 へ電荷を転送するものである。

[0047] FDリセットトランジスタ 313 は、垂直走査回路 211 からの FD リセット信号 rst に従って、FD 314 から電荷を引き抜いて初期化するものである。FD 314 は、電荷を蓄積し、電荷量に応じた電圧を生成するものである。前段増幅トランジスタ 315 は、FD 314 の電圧のレベルを増幅して前段ノード 320 に出力するものである。なお、FD リセットトランジスタ 313 は、特許請求の範囲に記載の第 1 のリセットトランジスタの一例である。また、前段増幅トランジスタ 315 は、特許請求の範囲に記載の第 1 の増幅トランジスタの一例である。

[0048] また、FD リセットトランジスタ 313 および前段増幅トランジスタ 315 のソースは、電源電圧 VDD に接続される。電流源トランジスタ 316 は、前段増幅トランジスタ 315 のドレインに接続される。この電流源トランジスタ 316 は、垂直走査回路 211 の制御に従って、電流 $id1$ を供給する。

[0049] 容量素子 321 および 322 のそれぞれの一端は、前段ノード 320 に共通に接続され、それぞれ他端は、選択回路 330 に接続される。なお、容量素子 321 および 322 は、特許請求の範囲に記載の第 1 および第 2 の容量素子の一例である。

[0050] 選択回路 330 は、選択トランジスタ 331 および選択トランジスタ 332 を備える。選択トランジスタ 331 は、垂直走査回路 211 からの選択信号 ϕ_r に従って、容量素子 321 と後段ノード 340 との間の経路を開閉するものである。選択トランジスタ 332 は、垂直走査回路 211 からの選択信号 ϕ_s に従って、容量素子 322 と後段ノード 340 との間の経路を開閉するものである。

[0051] 後段リセットトランジスタ 341 は、垂直走査回路 211 からの後段リセット信号 $rstb$ に従って、後段ノード 340 のレベルを所定の電位 V_{reg} に初期化するものである。電位 V_{reg} には、電源電位 VDD と異なる電位（例えば、 VDD より低い電位）が設定される。

- [0052] 後段回路350は、後段増幅トランジスタ351および後段選択トランジスタ352を備える。後段増幅トランジスタ351は、後段ノード340のレベルを増幅するものである。後段選択トランジスタ352は、垂直走査回路211からの後段選択信号s e l bに従って、後段増幅トランジスタ351により増幅されたレベルの信号を画素信号として垂直信号線309に出力するものである。なお、後段増幅トランジスタは、特許請求の範囲に記載の第2の増幅トランジスタの一例である。
- [0053] なお、画素300内の各種のトランジスタ（転送トランジスタ312など）として、例えば、nMOS（n-channel Metal Oxide Semiconductor）トランジスタが用いられる。
- [0054] 垂直走査回路211は、露光開始時に全画素へハイレベルのFDリセット信号r s tおよび転送信号t r gを供給する。これにより、光電変換素子311が初期化される。以下、この制御を「PDリセット」と称する。
- [0055] そして、垂直走査回路211は、露光終了の直前に、全画素について後段リセット信号r s t bおよび選択信号φ rをハイレベルにしつつ、パルス期間に亘ってハイレベルのFDリセット信号r s tを供給する。これにより、FD314が初期化され、そのときのFD314のレベルに応じたレベルが容量素子321に保持される。この制御を以下、「FDリセット」と称する。
- [0056] FDリセットの際のFD314のレベルと、そのレベルに対応するレベル（容量素子321の保持レベルや、垂直信号線309のレベル）とをまとめて、以下、「P相」または「リセットレベル」と称する。
- [0057] 垂直走査回路211は、露光終了時に、全画素について後段リセット信号r s t bおよび選択信号φ sをハイレベルにしつつ、パルス期間に亘ってハイレベルの転送信号t r gを供給する。これにより、露光量に応じた信号電荷がFD314へ転送され、そのときのFD314のレベルに応じたレベルが容量素子322に保持される。
- [0058] 信号電荷の転送の際のFD314のレベルと、そのレベルに対応するレベ

ル（容量素子 322 の保持レベルや、垂直信号線 309 のレベル）とをまとめて、以下、「D 相」または「信号レベル」と称する。

[0059] このように全画素について同時に露光を開始し、終了する露光制御は、グローバルシャッター方式と呼ばれる。この露光制御により、全画素の前段回路 310 は、リセットレベルおよび信号レベルを順に生成する。リセットレベルは、容量素子 321 に保持され、信号レベルは、容量素子 322 に保持される。

[0060] 露光終了後に垂直走査回路 211 は、行を順に選択して、その行のリセットレベルおよび信号レベルを順に出力させる。リセットレベルを出力させる際に、垂直走査回路 211 は、選択した行の FD リセット信号 rst および後段選択信号 $selb$ をハイレベルにしつつ、ハイレベルの選択信号 ϕr を所定期間に亘って供給する。これにより、容量素子 321 が後段ノード 340 に接続され、リセットレベルが読み出される。

[0061] リセットレベルの読出し後に垂直走査回路 211 は、選択した行の FD リセット信号 rst および後段選択信号 $selb$ をハイレベルにしたままで、ハイレベルの後段リセット信号 $rstb$ をパルス期間に亘って供給する。これにより、後段ノード 340 のレベルが初期化される。このとき、選択トランジスタ 331 および選択トランジスタ 332 は両方とも開状態であり、容量素子 321 および 322 は、後段ノード 340 から切り離される。

[0062] 後段ノード 340 の初期化後に、垂直走査回路 211 は、選択した行の FD リセット信号 rst および後段選択信号 $selb$ をハイレベルにしたままで、ハイレベルの選択信号 ϕs を所定期間に亘って供給する。これにより、容量素子 322 が後段ノード 340 に接続され、信号レベルが読み出される。

[0063] 上述の読出し制御により、選択された行の選択回路 330 は、容量素子 321 を後段ノード 340 に接続する制御と、容量素子 321 および 322 を後段ノード 340 から切り離す制御と、容量素子 322 を後段ノード 340 に接続する制御とを順に行う。また、容量素子 321 および 322 が後段ノ

ード340から切り離されたときに、選択された行の後段リセットトランジスタ341は後段ノード340のレベルを初期化する。また、選択された行の後段回路350は、後段ノード340を介してリセットレベルおよび信号レベルを容量素子321および322から順に読み出して垂直信号線309へ出力する。

[0064] [カラム信号処理回路の構成例]

図4は、本技術の第1の実施の形態における負荷MOS回路ブロック250およびカラム信号処理回路260の一構成例を示すブロック図である。

[0065] 負荷MOS回路ブロック250には、列ごとに垂直信号線309が配線される。列数を I (I は、整数)とすると、 I 本の垂直信号線309が配線される。また、垂直信号線309のそれぞれには、一定の電流 i_{d2} を供給する負荷MOSトランジスタ251が接続される。

[0066] カラム信号処理回路260には、複数のADC261とデジタル信号処理部262とが配置される。ADC261は、列ごとに配置される。列数を I とすると、 I 個のADC261が配置される。

[0067] ADC261は、DAC213からのランプ信号 R_{mp} を用いて、対応する列からのアナログの画素信号をデジタル信号に変換するものである。このADC261は、デジタル信号をデジタル信号処理部262に供給する。例えば、ADC261として、コンパレータおよびカウンタを備えるシングルスロープ型のADCが配置される。

[0068] デジタル信号処理部262は、列ごとのデジタル信号のそれぞれに対して、CDS処理などの所定の信号処理を行うものである。デジタル信号処理部262は、処理後のデジタル信号からなる画像データを記録部120に供給する。

[0069] [固体撮像素子の動作例]

図5は、本技術の第1の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。垂直走査回路211は、露光開始の直前のタイミング T_0 から、パルス期間経過後のタイミング T_1 に亘って、

全ての行（言い換えれば、全画素）にハイレベルのFDリセット信号 rst および転送信号 trg を供給する。これにより、全画素がPDリセットされ、全行で同時に露光が開始される。

[0070] ここで、同図の $rst_ [n]$ および $trg_ [n]$ は、N行のうちn行目の画素への信号を示す。Nは全行数を示す整数であり、nは、1乃至Nの整数である。

[0071] そして、露光期間の終了直前のタイミングT2において、垂直走査回路211は、全画素において後段リセット信号 $rstb$ および選択信号 ϕr をハイレベルにしつつ、パルス期間に亘ってハイレベルのFDリセット信号 rst を供給する。これにより、全画素がFDリセットされ、リセットレベルがサンプルホールドされる。ここで、同図の $rstb_ [n]$ および $\phi r_ [n]$ は、n行目の画素への信号を示す。

[0072] タイミングT2の後のタイミングT3において、垂直走査回路211は、選択信号 ϕr をローレベルに戻す。

[0073] 露光終了のタイミングT4において、垂直走査回路211は、全画素において後段リセット信号 $rstb$ および選択信号 ϕs をハイレベルにしつつ、パルス期間に亘ってハイレベルの転送信号 trg を供給する。これにより、信号レベルがサンプルホールドされる。また、前段ノード320のレベルは、リセットレベル ($VDD - Vsig$) から、信号レベル ($VDD - Vgs - Vsig$) に低下する。ここで、VDDは、電源電圧であり、Vsigは、CDS処理により得られる正味の信号レベルである。Vgsは、前段増幅トランジスタ315のゲートソース間電圧である。また、同図の $\phi s_ [n]$ は、n行目の画素への信号を示す。

[0074] タイミングT4の後のタイミングT5において、垂直走査回路211は、選択信号 ϕs をローレベルに戻す。

[0075] また、垂直走査回路211は、全行（全画素）の電流源トランジスタ316を制御して電流 $id1$ を供給させる。ここで、同図の $id1_ [n]$ は、n行目の画素の電流を示す。電流 id が大電流となるとIRドロップが大き

くなるため、電流 i_{d1} は数ナノアンペア (nA) 乃至数十ナノアンペア (nA) のオーダーにする必要がある。一方、全列の負荷MOSトランジスタ251は、オフ状態であり、垂直信号線309に電流 i_{d2} は供給されない。

[0076] 図6は、本技術の第1の実施の形態における読出し動作の一例を示すタイミングチャートである。タイミングT10からタイミングT17までの第 n 行の読出し期間において、垂直走査回路211は、第 n 行のFDリセット信号 r_{st} および後段選択信号 $selb$ をハイレベルにする。また、読出し期間において、全行の後段リセット信号 r_{stb} は、ローレベルに制御される。ここで、同図の $selb_ [n]$ は、 n 行目の画素への信号を示す。

[0077] タイミングT10の直後のタイミングT11からタイミングT13までの期間に亘って垂直走査回路211は、第 n 行にハイレベルの選択信号 ϕ_r を供給する。後段ノード340の電位は、リセットレベル V_{rst} となる。

[0078] タイミングT11の後のタイミングT12からタイミングT13の期間に亘って、DAC213は、ランプ信号 R_{mp} を徐々に上昇させる。ADC261は、ランプ信号 R_{mp} と垂直信号線309のレベル V_{rst}' とを比較し、比較結果が反転するまでに亘って計数値を計数する。これにより、P相レベル（リセットレベル）が読み出される。

[0079] タイミングT13の直後のタイミングT14からパルス期間に亘って、垂直走査回路211は、第 n 行にハイレベルの後段リセット信号 r_{stb} を供給する。これにより、後段ノード340に寄生容量が存在する際に、その寄生容量に保持される前回の信号の履歴を消去することができる。

[0080] 後段ノード340の初期化直後のタイミングT15からタイミングT17までの期間に亘って垂直走査回路211は、第 n 行にハイレベルの選択信号 ϕ_s を供給する。後段ノード340の電位は、信号レベル V_{sig} となる。露光時においては、リセットレベルより信号レベルの方が低かったが、読出しの際においては、後段ノード340を基準とするため、リセットレベルより信号レベルの方が高くなる。リセットレベル V_{rst} と信号レベル V_{sig}

gとの差分が、FDのリセットノイズやオフセットノイズを除去した正味の信号レベルに該当する。

- [0081] タイミングT15の後のタイミングT16からタイミングT17の期間に亘って、DAC213は、ランプ信号Rmpを徐々に上昇させる。ADC261は、ランプ信号Rmpと垂直信号線309のレベルVrst'とを比較し、比較結果が反転するまでに亘って計数値を計数する。これにより、D相レベル（信号レベル）が読み出される。
- [0082] また、垂直走査回路211は、タイミングT10からタイミングT17の期間に亘って読み出す対象の第n行の電流源トランジスタ316を制御して電流id1を供給させる。また、タイミング制御回路212は、全行の読出し期間内において、全列の負荷MOSトランジスタ251を制御して電流id2を供給させる。
- [0083] なお、固体撮像素子200は、リセットレベルの後に、信号レベルを読み出しているが、この順番に限定されない。図7に例示するように、固体撮像素子200は、信号レベルの後に、リセットレベルを読み出すこともできる。この場合には、同図に例示するように、垂直走査回路211は、ハイレベルの選択信号Φsの後に、ハイレベルの選択信号Φrを供給する。また、この場合、ランプ信号のスロープの傾きを逆にする必要がある。
- [0084] 図8は、比較例における画素の一構成例を示す回路図である。この比較例では、選択回路330が設けられず、前段ノード320と前段回路との間に転送トランジスタが挿入される。また、容量素子321および322の代わりに、容量C1およびC2が挿入される。容量C1は、前段ノード320と接地端子との間に挿入され、容量C2は、前段ノード320と後段ノード340との間に挿入される。
- [0085] この比較例の画素の露光制御および読出し制御は、例えば、非特許文献1のFigure 5.5.2に記載されている。この比較例において、容量C1およびC2のそれぞれの容量値をCと仮定すると、露光および読出しの際のkTCノイズのレベルVnは、次の式により表される。

$$V_n = (3 * k T / C)^{1/2} \quad \dots \text{式 1}$$

上式において、 k は、ボルツマン定数であり、単位は、例えば、ジュール毎ケルビン（ J/K ）である。 T は絶対温度であり、単位は、例えば、ケルビン（ K ）である。また、 V_n の単位は、例えば、ボルト（ V ）であり、 C の単位は、例えば、ファラッド（ F ）である。

[0086] 図9は、本技術の第1の実施の形態におけるリセットレベルの読出しのときと、後段ノードの初期化のときとのそれぞれの画素の状態の一例を示す図である。同図におけるaは、リセットレベルの読出しのときの画素300の状態を示し、同図におけるbは、後段ノード340の初期化のときの画素300の状態を示す。また、同図において、選択トランジスタ331、選択トランジスタ332および後段リセットトランジスタ341は、説明の便宜上、スイッチの図記号により表される。

[0087] 同図におけるaに例示するように、垂直走査回路211は、選択トランジスタ331を閉状態にし、選択トランジスタ332および後段リセットトランジスタ341を開状態にする。これにより、後段回路350を介してリセットレベルが読み出される。

[0088] リセットレベルの読出し後に同図におけるbに例示するように、垂直走査回路211は、選択トランジスタ331および選択トランジスタ332を開状態にし、後段リセットトランジスタ341を閉状態にする。これにより、容量素子321および322が後段ノード340から切り離され、後段ノード340のレベルが初期化される。

[0089] このように容量素子321および322から切り離した状態の後段ノード340の寄生容量 C_p の容量値は、容量素子321および322と比べて非常に小さいものとする。例えば、寄生容量 C_p を数フェムトファラッド（ fF ）とすると、容量素子321および322は、数十フェムトファラッドのオーダーである。

[0090] 図10は、本技術の第1の実施の形態における信号レベルの読出しのときの画素300の状態の一例を示す図である。

[0091] 後段ノード340の初期化後において、垂直走査回路211は、選択トランジスタ332を閉状態にし、選択トランジスタ331および後段リセットトランジスタ341を開状態にする。これにより、後段回路350を介して信号レベルが読み出される。

[0092] ここで、画素300の露光時のkTCノイズについて考える。露光時において、露光終了の直前のリセットレベルのサンプリングと信号レベルのサンプリングとのそれぞれにおいてkTCノイズが発生する。容量素子321および322のそれぞれの容量値をCと仮定すると、露光時のkTCノイズのレベル V_n は、次の式により表される。

$$V_n = (2 * k T / C)^{1/2} \quad \dots \text{式2}$$

[0093] また、図9および図10に例示したように、読出しの際に後段リセットトランジスタ341が駆動しているため、そのときにkTCノイズが発生する。しかし、後段リセットトランジスタ341の駆動時に容量素子321および322が切り離されており、そのときの寄生容量 C_p が小さい。このため、読出しの際のkTCノイズは、露光時のkTCノイズと比べて無視することができる。したがって、露光および読出しの際のkTCノイズは、式2により表される。

[0094] 式1および式2より、読出しの際に容量を切り離す画素300では、読出しの際に容量を切り離すことができない比較例よりもkTCノイズが小さくなる。これにより、画像データの画質を向上させることができる。

[0095] 図11は、本技術の第1の実施の形態における固体撮像素子200の動作の一例を示すフローチャートである。この動作は、例えば、画像データを撮像するための所定のアプリケーションが実行されたときに開始される。

[0096] 垂直走査回路211は、全画素の露光を行う（ステップS901）。そして、垂直走査回路211は、読み出す行を選択する（ステップS902）。カラム信号処理回路260は、その行のリセットレベルの読出しを行い（ステップS903）、次に信号レベルの読出しを行う（ステップS904）。

[0097] 固体撮像素子200は、全行の読出しが完了したか否かを判断する（ステ

ップS905)。全行の読出しが完了していない場合に（ステップS905：No）、固体撮像素子200は、ステップS902以降を繰り返す。一方、全行の読出しが完了した場合に（ステップS905：Yes）、固体撮像素子200は、CDS処理などを実行し、撮像のための動作を終了する。複数枚の画像データを連続して撮像する場合には、垂直同期信号に同期して、ステップS901乃至S905が繰り返し実行される。

[0098] このように、本技術の第1の実施の形態では、選択回路330が容量素子321および322を後段ノード340から切り離したときに後段リセットトランジスタ341が後段ノード340を初期化する。容量素子321および322が切り離されているため、その駆動によるリセットノイズのレベルは、それらの容量より小さな寄生容量に応じたレベルとなる。このノイズの低減により、画像データの画質を向上させることができる。

[0099] [第1の変形例]

上述の第1の実施の形態では、前段回路310が前段ノード320に接続されたままで信号を読み出していたが、この構成では、読出しの際に前段ノード320からのノイズを遮断することができない。この第1の実施の形態の第1の変形例の画素300は、前段回路310と前段ノード320との間にトランジスタを挿入した点において第1の実施の形態と異なる。

[0100] 図12は、本技術の第1の実施の形態の第1の変形例における画素300の一構成例を示す回路図である。この第1の実施の形態の第1の変形例の画素300は、前段リセットトランジスタ323および前段選択トランジスタ324をさらに備える点において第1の実施の形態と異なる。また、第1の実施の形態の第1の変形例の前段回路310および後段回路350の電源電圧をVDD1とする。

[0101] 前段リセットトランジスタ323は、前段ノード320のレベルを電源電圧VDD2により初期化するものである。この電源電圧VDD2は、次の式を満たす値に設定することが望ましい。

$$VDD2 = VDD1 - V_{gs} \quad \dots \text{式3}$$

上式において、 V_{gs} は、前段増幅トランジスタ315のゲートソース間電圧である。

[0102] 式3を満たす値に設定することにより、暗いときの前段ノード320と後段ノード340との間の電位変動を少なくすることができる。これにより、感度不均一性 (PRNU: Photo Response Non-Uniformity)を改善することができる。

[0103] 前段選択トランジスタ324は、垂直走査回路211からの前段選択信号 sel に従って、前段回路310と前段ノード320との間の経路を開閉するものである。

[0104] 図13は、本技術の第1の実施の形態の第1の変形例におけるグローバルシャッター動作の一例を示すタイミングチャートである。第1の実施の形態の第1の変形例のタイミングチャートは、垂直走査回路211が前段リセット信号 $rsta$ および前段選択信号 sel をさらに供給する点において第1の実施の形態と異なる。同図において、 $rsta_ [n]$ および $sel_ [n]$ は、第 n 行の画素への信号を示す。

[0105] 垂直走査回路211は、露光終了の直前のタイミング $T2$ からタイミング $T5$ に亘って全画素へハイレベルの前段選択信号 sel を供給する。前段リセット信号 $rsta$ は、ローレベルに制御される。

[0106] 図14は、本技術の第1の実施の形態の第1の変形例における読出し動作の一例を示すタイミングチャートである。各行の読出しの際に前段選択信号 sel はローレベルに制御される。この制御より、前段選択トランジスタ324が開状態に移行して、前段ノード320が前段回路310から切り離される。これにより、読出しの際に前段ノード320からのノイズを遮断することができる。

[0107] また、タイミング $T10$ からタイミング $T17$ までの第 n 行の読出し期間において、垂直走査回路211は、第 n 行にハイレベルの前段リセット信号 $rsta$ を供給する。

[0108] また、読出しの際に、垂直走査回路211は、全画素の電流源トランジス

タ 3 1 6 を制御して電流 i_{d1} の供給を停止させる。電流 i_{d2} は、第 1 の実施の形態と同様に供給される。このように、第 1 の実施の形態と比較して、電流 i_{d1} の制御がシンプルとなる。

[0109] このように、本技術の第 1 の実施の形態の第 1 の変形例によれば、読出しの際に前段選択トランジスタ 3 2 4 が開状態に移行し、前段回路 3 1 0 を前段ノード 3 2 0 から切り離すため、前段回路 3 1 0 からのノイズを遮断することができる。

[0110] [第 2 の変形例]

上述の第 1 の実施の形態では、固体撮像素子 2 0 0 内の回路を単一の半導体チップに設けていたが、この構成では、画素 3 0 0 を微細化した際に半導体チップ内に素子が収まらなくなるおそれがある。この第 1 の実施の形態の第 2 の変形例の固体撮像素子 2 0 0 は、固体撮像素子 2 0 0 内の回路を 2 つの半導体チップに分散して配置した点において第 1 の実施の形態と異なる。

[0111] 図 1 5 は、本技術の第 1 の実施の形態の第 2 の変形例における固体撮像素子 2 0 0 の積層構造の一例を示す図である。第 1 の実施の形態の第 2 の変形例の固体撮像素子 2 0 0 は、下側画素チップ 2 0 2 と、その下側画素チップ 2 0 2 に積層された上側画素チップ 2 0 1 とを備える。これらのチップは、例えば、Cu-Cu 接合により電氣的に接続される。なお、Cu-Cu 接合の他、ビアやバンプにより接続することもできる。

[0112] 上側画素チップ 2 0 1 には、上側画素アレイ部 2 2 1 が配置される。下側画素チップ 2 0 2 には、下側画素アレイ部 2 2 2 とカラム信号処理回路 2 6 0 とが配置される。画素アレイ部 2 2 0 内の画素ごとに、その一部が、上側画素アレイ部 2 2 1 に配置され、残りが下側画素アレイ部 2 2 2 に配置される。

[0113] また、下側画素チップ 2 0 2 には、垂直走査回路 2 1 1、タイミング制御回路 2 1 2、DAC 2 1 3 および負荷 MOS 回路ブロック 2 5 0 も配置される。これらの回路は、同図において省略されている。

[0114] また、上側画素チップ 2 0 1 は、例えば、画素専用のプロセスで製造され

、下側画素チップ202は、例えば、CMOS（Complementary MOS）プロセスで製造される。なお、上側画素チップ201は、特許請求の範囲に記載の第1のチップの一例であり、下側画素チップ202は、特許請求の範囲に記載の第2のチップの一例である。

[0115] 図16は、本技術の第1の実施の形態の第2の変形例における画素300の一構成例を示す回路図である。画素300のうち、前段回路310は、上側画素チップ201に配置され、それ以外の回路や素子（容量素子321および322など）は、下側画素チップ202に配置される。なお、電流源トランジスタ316をさらに下側画素チップ202に配置することもできる。同図に例示するように、画素300内の素子を、積層した上側画素チップ201および下側画素チップ202に分散して配置することにより、画素の面積を小さくすることができ、画素の微細化が容易になる。

[0116] このように、本技術の第1の実施の形態の第2の変形例によれば、画素300内の回路や素子を2つの半導体チップに分散して配置するため、画素の微細化が容易になる。

[0117] [第3の変形例]

上述の第1の実施の形態の第2の変形例では、画素300の一部と周辺回路（カラム信号処理回路260など）とを下側の下側画素チップ202に設けていた。しかし、この構成では、周辺回路の分、下側画素チップ202側の回路や素子の配置面積が上側画素チップ201より大きくなり、上側画素チップ201に、回路や素子の無い無駄なスペースが生じるおそれがある。この第1の実施の形態の第3の変形例の固体撮像素子200は、固体撮像素子200内の回路を3つの半導体チップに分散して配置した点において第1の実施の形態の第2の変形例と異なる。

[0118] 図17は、本技術の第1の実施の形態の第3の変形例における固体撮像素子200の積層構造の一例を示す図である。第1の実施の形態の第3の変形例の固体撮像素子200は、上側画素チップ201、下側画素チップ202および回路チップ203を備える。これらのチップは積層され、例えば、C

u-Cu接合により電氣的に接続される。なお、Cu-Cu接合の他、ビアやバンプにより接続することもできる。

[0119] 上側画素チップ201には、上側画素アレイ部221が配置される。下側画素チップ202には、下側画素アレイ部222が配置される。画素アレイ部220内の画素ごとに、その一部が、上側画素アレイ部221に配置され、残りが下側画素アレイ部222に配置される。

[0120] また、回路チップ203には、カラム信号処理回路260、垂直走査回路211、タイミング制御回路212、DAC213および負荷MOS回路ブロック250が配置される。カラム信号処理回路260以外の回路は、同図において省略されている。

[0121] なお、上側画素チップ201は、特許請求の範囲に記載の第1のチップの一例であり、下側画素チップ202は、特許請求の範囲に記載の第2のチップの一例である。回路チップ203は、特許請求の範囲に記載の第3のチップの一例である。

[0122] 同図に例示したように3層構成にすることにより、2層構成と比較して無駄なスペースを削減し、さらに画素を微細化することができる。また、2層目の下側画素チップ204を、容量やスイッチのための専用のプロセスで製造することができる。

[0123] このように、本技術の第1の実施の形態の第3の変形例では、固体撮像素子200内の回路を3つの半導体チップに分散して配置するため、2つの半導体チップに分散して配置する場合と比較してさらに画素を微細化することができる。

[0124] <2. 第2の実施の形態>

上述の第1の実施の形態では、露光期間内にリセットレベルをサンプルホールドしていたが、この構成では、リセットレベルのサンプルホールド期間よりも露光期間を短くすることができない。この第2の実施の形態の固体撮像素子200は、光電変換素子から電荷を排出するトランジスタを追加することにより、露光期間をより短くした点において第1の実施の形態と異なる

。

[0125] 図18は、本技術の第2の実施の形態における画素300の一構成例を示す回路図である。この第2の実施の形態の画素300は、前段回路310内に排出トランジスタ317をさらに備える点において第1の実施の形態と異なる。

[0126] 排出トランジスタ317は、垂直走査回路211からの排出信号ofgに従って光電変換素子311から電荷を排出するオーバーフロードレインとして機能するものである。排出トランジスタ317として、例えば、nMOSトランジスタが用いられる。

[0127] 第1の実施の形態のように、排出トランジスタ317を設けない構成では、全画素について光電変換素子311からFD314へ電荷を転送した際に、ブルーミングが生じることがある。そして、FDリセットの際にFD314と前段ノード320の電位が降下する。この電位降下に追従して、容量素子321および322の充放電の電流が発生し続け、電源やグラウンドのIRドロップが、ブルーミングの無い定常状態から変化してしまう。

[0128] その一方で、全画素の信号レベルのサンプルホールドの際には、信号電荷の転送後、光電変換素子311内の電荷が空の状態になるため、ブルーミングが発生しなくなり、電源やグラウンドのIRドロップが、ブルーミングの無い定常状態となる。これらのリセットレベル、信号レベルをサンプルホールドの際のIRドロップの違いに起因して、ストリーキングノイズが生じる。

[0129] これに対して、排出トランジスタ317を設けた第2の実施の形態では、光電変換素子311の電荷がオーバーフロードレイン側に排出される。このため、リセットレベル、信号レベルをサンプルホールドの際のIRドロップが同程度となり、ストリーキングノイズを抑制することができる。

[0130] 図19は、本技術の第2の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。露光開始のタイミング前のタイミングT0において、垂直走査回路211は、全画素の排出信号ofgをハイレベルにしつつ、全画素にハイレベルのFDリセット信号rstをパルス期

間に亘って供給する。これにより、全画素についてPDリセットおよびFDリセットが行われる。また、リセットレベルがサンプルホールドされる。ここで、同図のofg_[n]は、N行のうちn行目の画素への信号を示す。

[0131] そして、露光開始のタイミングT₁において、垂直走査回路211は、全画素の排出信号ofgをローレベルに戻す。そして、露光終了の直前のタイミングT₂から露光終了のT₃までの期間に亘って、垂直走査回路211は、全画素にハイレベルの転送信号trgを供給する。これにより、信号レベルがサンプルホールドされる。

[0132] 第1の実施の形態のように、排出トランジスタ317を設けない構成では、露光開始時（すなわち、PDリセット時）に転送トランジスタ312およびFDリセットトランジスタ313の両方をオン状態にしなければならない。この制御では、PDリセットの際に、同時にFD314もリセットしなければならない。このため、露光期間内に再度FDリセットを行い、リセットレベルをサンプルホールドする必要がある、リセットレベルのサンプルホールド期間よりも露光期間を短くすることができない。全画素のリセットレベルをサンプルホールドする際には、電圧や電流が静定するまでにある程度の待ち時間が必要になり、例えば、数マイクロ秒（μs）から数十マイクロ秒（μs）のサンプルホールド期間が必要となる。

[0133] これに対して、排出トランジスタ317を設ける第2の実施の形態では、PDリセットとFDリセットとを個別に行うことができる。このため、同図に例示するように、PDリセットの解除（露光開始）前にFDリセットを行って、リセットレベルをサンプルホールドすることができる。これにより、リセットレベルのサンプルホールド期間よりも露光期間を短くすることができる。

[0134] なお、第2の実施の形態に、第1の実施の形態の第1乃至第3の変形例を適応することもできる。

[0135] このように、本技術の第2の実施の形態によれば、光電変換素子311から電荷を排出する排出トランジスタ317を設けたため、露光開始前にFD

リセットを行ってリセットレベルをサンプルホールドすることができる。これにより、リセットレベルのサンプルホールド期間よりも露光期間を短くすることができる。

[0136] <3. 第3の実施の形態>

上述の第1の実施の形態では、電源電圧 V_{DD} によりFD314を初期化していたが、この構成では容量素子321および322のばらつきや、寄生容量により、感度不均一性（PRNU）が悪化するおそれがある。この第3の実施の形態の固体撮像素子200は、FDリセットトランジスタ313の電源を読出しの際に低下させることにより、PRNUを改善する点において第1の実施の形態と異なる。

[0137] 図20は、本技術の第3の実施の形態における画素300の一構成例を示す回路図である。この第3の実施の形態の画素300は、FDリセットトランジスタ313の電源が、画素300の電源電圧 V_{DD} と分離されている点において第1の実施の形態と異なる。

[0138] 第3の実施の形態のFDリセットトランジスタ313のドレインは、リセット電源電圧 V_{RST} に接続される。このリセット電源電圧 V_{RST} は、例えば、タイミング制御回路212により制御される。なお、タイミング制御回路212は、特許請求の範囲に記載の制御回路の一例である。

[0139] ここで、図21および図22を参照して、第1の実施の形態の画素300におけるPRNUの悪化について考える。第1の実施の形態では、図21に例示するように露光開始時直前のタイミング T_0 において、FD314の電位は、FDリセットトランジスタ313のリセットフィードスルーにより低下する。この変動量を V_{ft} とする。

[0140] 第1の実施の形態では、FDリセットトランジスタ313の電源電圧は V_{DD} であるため、タイミング T_0 において、FD314の電位は、 V_{DD} から、 $V_{DD} - V_{ft}$ に変動する。また、露光時の前段ノード320の電位は、 $V_{DD} - V_{ft} - V_{sig}$ となる。

[0141] また、第1の実施の形態では、図22に例示するように読出しの際にFD

リセットトランジスタ 313 がオン状態に移行し、FD 314 が、電源電圧 VDD に固定される。その FD 314 の変動量 V_{ft} により、読出しの際の前段ノード 320 および後段ノード 340 の電位を、 V_{ft} 程度高くシフトする。ただし、容量素子 321 および 322 の容量値のばらつきや、寄生容量により、シフトする電圧量が画素ごとにばらつき、PRNU 悪化の元になる。

[0142] 前段ノード 320 が V_{ft} だけ遷移した場合の後段ノード 340 の遷移量は、例えば、次の式により表される。

$$\{ (C_s + \delta C_s) / (C_s + \delta C_s + C_p) \} * V_{ft} \quad \dots \text{式4}$$

上式において、 C_s は、信号レベル側の容量素子 322 の容量値であり、 δC_s は、 C_s のばらつきである。 C_p は、後段ノード 340 の寄生容量の容量値である。

[0143] 式 4 は、次の式に近似することができる。

$$\{ 1 - (\delta C_s / C_s) * (C_p / C_s) \} * V_{ft} \quad \dots \text{式5}$$

[0144] 式 5 より、後段ノード 340 のばらつきは、次の式により表すことができる。

$$\{ (\delta C_s / C_s) * (C_p / C_s) \} * V_{ft} \quad \dots \text{式6}$$

[0145] $(\delta C_s / C_s)$ を 10^{-2} とし、 (C_p / C_s) を 10^{-1} とし、 V_{ft} を 400 ミリボルト (mV) とすると、式 6 より PRNU は、 $400 \mu V_{rms}$ となり、比較的大きな値となる。

[0146] 特に、入力換算の容量のサンプリングホールド時の kTC ノイズを小さくする際には、FD 314 の電荷電圧変換効率を大きくする必要がある。電荷電圧変換効率を大きくするには FD 314 の容量を小さくしなければならないが、FD 314 の容量が小さいほど変動量 V_{ft} が大きくなり、数百ミリボルト (mV) になりうる。この場合、式 6 より PRNU の影響が無視できないレベルになりうる。

[0147] 図 23 は、本技術の第 3 の実施の形態における電圧制御の一例を示すタイミングチャートである。

[0148] タイミング制御回路212は、タイミングT9以降の行単位の読出し期間において、リセット電源電圧V_{RST}を露光期間と異なる値に制御する。

[0149] 例えば、露光期間において、タイミング制御回路212は、リセット電源電圧V_{RST}を電源電圧V_{DD}と同じ値にする。一方、読出し期間においてタイミング制御回路212は、リセット電源電圧V_{RST}を、 $V_{DD} - V_{ft}$ に低下させる。すなわち、読出し期間において、タイミング制御回路212は、リセットフィードスルーによる変動量V_{ft}に略一致する分だけ、リセット電源電圧V_{RST}を低下させる。この制御により、露光時と、読出しの際とにおいて、FD314のリセットレベルを揃えることができる。

[0150] リセット電源電圧V_{RST}の制御により、同図に例示するように、FD314と、前段ノード320との電圧変動量を低減することができる。これにより、容量素子321および322のばらつきや、寄生容量に起因するPRNUの悪化を抑制することができる。

[0151] なお、第3の実施の形態に、第1の実施の形態の第1乃至第3の変形例や、第2の実施の形態を適用することもできる。

[0152] このように、本技術の第3の実施の形態によれば、読出しの際にタイミング制御回路212が、リセットフィードスルーによる変動量V_{ft}だけリセット電源電圧V_{RST}を低下させるため、露光と読出しとでリセットレベルを揃えることができる。これにより、感度不均一性（PRNU）の悪化を抑制することができる。

[0153] <4. 第4の実施の形態>

上述の第1の実施の形態では、フレーム毎にリセットレベルの次に信号レベルを読み出していたが、この構成では容量素子321および322のばらつきや、寄生容量により、感度不均一性（PRNU）が悪化するおそれがある。この第4の実施の形態の固体撮像素子200は、フレームごとに、容量素子321に保持するレベルと容量素子322に保持するレベルとを入れ替えることにより、PRNUを改善する点において第1の実施の形態と異なる。

[0154] 第4の実施の形態の固体撮像素子200は、複数のフレームを垂直同期信号に同期して連続して撮像する。奇数番目のフレームを「奇数フレーム」と称し、偶数番目のフレームを「偶数フレーム」と称する。なお、奇数フレームおよび偶数フレームは、特許請求の範囲に記載の一对のフレームの一例である。

[0155] 図24は、第4の実施の形態における奇数フレームのグローバルシャッター動作の一例を示すタイミングチャートである。奇数フレームの露光期間内に固体撮像素子200内の前段回路310は、選択信号 Φ_r の次に選択信号 Φ_s をハイレベルにすることにより、リセットレベルを容量素子321に保持させ、次に信号レベルを容量素子322に保持させる。

[0156] 図25は、本技術の第4の実施の形態における奇数フレームの読出し動作の一例を示すタイミングチャートである。奇数フレームの読出し期間内に固体撮像素子200内の後段回路350は、選択信号 Φ_r の次に選択信号 Φ_s をハイレベルにしてリセットレベルの次に信号レベルを読み出す。

[0157] 図26は、第4の実施の形態における偶数フレームのグローバルシャッター動作の一例を示すタイミングチャートである。偶数フレームの露光期間内に固体撮像素子200内の前段回路310は、選択信号 Φ_s の次に選択信号 Φ_r をハイレベルにすることにより、リセットレベルを容量素子322に保持させ、次に信号レベルを容量素子321に保持させる。

[0158] 図27は、本技術の第4の実施の形態における偶数フレームの読出し動作の一例を示すタイミングチャートである。偶数フレームの読出し期間内に固体撮像素子200内の後段回路350は、選択信号 Φ_s の次に選択信号 Φ_r をハイレベルにしてリセットレベルの次に信号レベルを読み出す。

[0159] 図24および図26に例示したように、偶数フレームと奇数フレームとで、容量素子321および322のそれぞれに保持されるレベルが逆になる。これにより、偶数フレームと奇数フレームとで、PRNUの極性も逆になる。後段のカラム信号処理回路260は、奇数フレームと偶数フレームとの加算平均を求める。これにより、極性が逆のPRNU同士を相殺することがで

きる。

[0160] この制御は、動画の撮像や、フレーム同士の加算において有効な制御である。また、画素300に素子を追加する必要はなく、駆動方式の変更のみにより実現することができる。

[0161] なお、第4の実施の形態に、第1の実施の形態の第1乃至第3の変形例や、第2、第3の実施の形態を適用することもできる。

[0162] このように、本技術の第4の実施の形態では、奇数フレームと偶数フレームとで容量素子321に保持されるレベルと容量素子322に保持されるレベルとが逆になるため、奇数フレームと偶数フレームとでPRNUの極性を逆にすることができる。これらの奇数フレームおよび偶数フレームをカラム信号処理回路260が加算することにより、PRNUの悪化を抑制することができる。

[0163] <5. 第5の実施の形態>

上述の第1の実施の形態では、カラム信号処理回路260は、カラム毎にリセットレベルと信号レベルとの差分を求めていた。しかし、この構成では、非常に高照度の光が画素に入射した際に、光電変換素子311から電荷が溢れることにより輝度が低下し、黒く沈んでしまう黒点現象が生じるおそれがある。この第5の実施の形態の固体撮像素子200は、黒点現象が生じたか否かを画素ごとに判定する点において第1の実施の形態と異なる。

[0164] 図28は、本技術の第5の実施の形態におけるカラム信号処理回路260の一構成例を示す回路図である。この第5の実施の形態のカラム信号処理回路260には、複数のADC270とデジタル信号処理部290とが配置される。また、デジタル信号処理部290には、複数のCDS処理部291と複数のセクタ292とが配置される。ADC270、CDS処理部291およびセクタ292は、列ごとに設けられる。

[0165] また、ADC270は、コンパレータ280およびカウンタ271を備える。コンパレータ280は、垂直信号線309のレベルと、DAC213からのランプ信号Rmpとを比較し、比較結果VCOを出力するものである。

比較結果VCOは、カウンタ271とタイミング制御回路212とに供給される。コンパレータ280は、セクタ281と、容量素子282および283と、オートゼロスイッチ284および286と、比較器285とを備える。

[0166] セクタ281は、入力側選択信号selinに従って、対応する列の垂直信号線309と、所定の参照電圧VREFのノードとのいずれかを比較器285の非反転入力端子(+)に、容量素子282を介して接続するものである。入力側選択信号selinは、タイミング制御回路212から供給される。なお、セクタ281は、特許請求の範囲に記載の入力側セクタの一例である。

[0167] 比較器285は、非反転入力端子(+)と反転入力端子(-)とのそれぞれのレベルを比較して、比較結果VCOをカウンタ271へ出力するものである。反転入力端子(-)には、容量素子283を介してランプ信号Rmpが入力される。

[0168] オートゼロスイッチ284は、タイミング制御回路212からのオートゼロ信号Azに従って、比較結果VCOの非反転入力端子(+)と出力端子とを短絡するものである。オートゼロスイッチ286は、オートゼロ信号Azに従って、比較結果VCOの反転入力端子(-)と出力端子とを短絡するものである。

[0169] カウンタ271は、比較結果VCOが反転するまでに亘って計数値を計数し、その計数値を示すデジタル信号CNT_outをCDS処理部291へ出力するものである。

[0170] CDS処理部291は、デジタル信号CNT_outに対してCDS処理を行うものである。このCDS処理部291は、リセットレベルに対応するデジタル信号CNT_outと、信号レベルに対応するデジタル信号CNT_outとの差分を演算し、CDS_outとしてセクタ292に出力する。

[0171] セクタ292は、タイミング制御回路212からの出力側選択信号se

l o u t に従って、C D S 処理後のデジタル信号C D S _ o u t と、フルコードのデジタル信号F U L L とのいずれかを対応する列の画素データとして出力するものである。なお、セクタ 2 9 2 は、特許請求の範囲に記載の出力側セクタの一例である。

[0172] 図 2 9 は、本技術の第 5 の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。第 5 の実施の形態のグローバルシャッター時のトランジスタの制御方法は、第 1 の実施の形態と同様である。

[0173] ここで、画素 3 0 0 に非常に高照度の光が入射したものとする。この場合、光電変換素子 3 1 1 の電荷が満杯になり、光電変換素子 3 1 1 から F D 3 1 4 へと電荷があふれ出し、F D リセット後の F D 3 1 4 の電位が低下する。同図における一点鎖線は、溢れた電荷量が比較的少なくなる程度の弱い太陽光が入射した際の F D 3 1 4 の電位変動を示す。同図における点線は、溢れた電荷量が比較的多くなるような強い太陽光が入射した際の F D 3 1 4 の電位変動を示す。

[0174] 弱い太陽光が入射した際は、F D リセットの完了したタイミング T 3 においてリセットレベルが低下しているが、この時点ではレベルが下がりきっていない。

[0175] 一方、強い太陽光が入射した際は、タイミング T 3 の時点でリセットレベルが下がりきってしまう。この場合、信号レベルがリセットレベルと同じになり、それらの電位差が「0」であるため、C D S 処理後のデジタル信号が、暗状態の場合と同じになって黒く沈んでしまう。このように、太陽光などの非常に高照度の光が入射したにも関わらず、その画素が黒くなる現象は、黒点現象あるいはブルーミングと呼ばれる。

[0176] また、黒点現象の生じた画素の F D 3 1 4 のレベルが下がりすぎると、前段回路 3 1 0 の動作点が確保できなくなって、電流源トランジスタ 3 1 6 の電流 i d 1 が変動する。各画素の電流源トランジスタ 3 1 6 は、共通の電源やグラウンドに接続されているため、ある画素で電流が変動した際に、その画素の I R ドロップの変動が、他の画素のサンプルレベルに影響を及ぼしてし

まう。黒点現象の生じた画素がアグレッサーとなり、その画素によりサンプルレベルが変動した画素がビクティムとなる。この結果、ストリーキングノイズが生じる。

[0177] なお、第2の実施の形態のように排出トランジスタ317を設けた場合、黒点（ブルーミング）のある画素では、溢れた電荷が排出トランジスタ317側に捨てられるため、黒点現象が生じにくい。ただし、排出トランジスタ317を設けても、一部の電荷がFD314に流れる可能性があり、黒点現象の根治にはならない可能性がある。さらに、排出トランジスタ317の追加により、画素毎の有効面積／電荷量の比率が低下してしまうというデメリットもある。このため、排出トランジスタ317を用いずに、黒点現象を抑制することが望ましい。

[0178] 排出トランジスタ317を用いずに黒点現象を抑制する方法として2つの方法が考えられる。1つ目は、FD314のクリップレベルの調整である。2つ目は、読出しの際に黒点現象が生じたか否かを判断して、黒点現象の生じた際に、出力をフルコードに置き換える方法である。

[0179] 1つ目の方法に関して、同図のFDリセット信号rst（言い換えれば、FDリセットトランジスタ313のゲート）のハイレベルは電源電圧VDDであり、ローレベルが、FD314のクリップレベルに該当する。第1の実施の形態では、これらのハイレベルとローレベルとの差（すなわち、振幅）は、ダイナミックレンジに対応する値に設定される。これに対して、第5の実施の形態では、その値にさらにマージンを加えた値に調整される。ここで、ダイナミックレンジに対応する値は、電源電圧VDDと、デジタル信号がフルコードになるときのFD314の電位との差分に該当する。

[0180] FDリセットトランジスタ313のオフ時のゲート電圧（FDリセット信号rstのローレベル）を下げることにより、ブルーミングによりFD314が低下しすぎて、前段増幅トランジスタ315の動作点をつぶすことを防止することができる。

[0181] なお、ダイナミックレンジは、ADCのアナログゲインによって変わる。

アナログゲインが低いときは、大きなダイナミックレンジが必要となり、逆にアナログゲインが高い時は、ダイナミックレンジは少なくても済む。このため、FDリセットトランジスタ313のオフ時のゲート電圧を、アナログゲインに応じて変更することもできる。

[0182] 図30は、本技術の第5の実施の形態における読出し動作の一例を示すタイミングチャートである。読出しの開始のタイミングT10の直後のタイミングT11において選択信号Φrがハイレベルになると、太陽光が入射した画素では、垂直信号線309の電位が変動する。同図における一点鎖線は、弱い太陽光が入射した際の垂直信号線309の電位変動を示す。同図における点線は、強い太陽光が入射した際の垂直信号線309の電位変動を示す。

[0183] タイミングT10からタイミングT12までのオートゼロ期間において、タイミング制御回路212は、例えば、「0」の入力側選択信号selinを供給し、比較器285を垂直信号線309に接続させる。このオートゼロ期間内にタイミング制御回路212は、オートゼロ信号Azによりオートゼロを行う。

[0184] 2つ目の方法に関して、タイミングT12からタイミングT13までの判定期間内にタイミング制御回路212は、例えば、「1」の入力側選択信号selinを供給する。この入力側選択信号selinにより、比較器285が垂直信号線309から切り離され、参照電圧VREFのノードと接続される。この参照電圧VREFは、ブルーミングが生じなかったときの、垂直信号線309のレベルの期待値に設定される。Vrstは、例えば、後段増幅トランジスタ351のゲートソース間電圧をVgs2とすると、Vreg-Vgs2に該当する。また、DAC213は、判定期間内にランプ信号RmpのレベルをVrmp_azからVrmp_sunに低下させる。

[0185] また、判定期間内において、ブルーミングが発生しなかった場合、垂直信号線309のリセットレベルのVrstは、参照電圧VREFとほぼ同じであり、比較器285の反転入力端子(+)の電位がオートゼロのときとあまり変わらない。一方、非反転入力端子(-)は、Vrmp_azからVrm

p__sunに下がったため、比較結果VCOはハイレベルとなる。

[0186] 逆に、ブルーミングが発生した場合、リセットレベルVrstは、参照電圧VREFよりも十分に高くなり、次の式が成立した際に、比較結果VCOがローレベルになる。

$$V_{rst} - V_{REF} > V_{rmp_az} - V_{rmp_sun} \dots \text{式7}$$

[0187] つまり、タイミング制御回路212は、判定期間内に比較結果VCOがローレベルとなるか否かにより、ブルーミングが発生したか否かを判断することができる。

[0188] なお、後段増幅トランジスタ351の閾値電圧のバラツキや、面内のVregのIRドロップ差等による誤判定が発生しないように、太陽判定のためのマージン（式7の右辺）をある程度大きく確保する必要がある。

[0189] 判定期間経過後のタイミングT13以降において、タイミング制御回路212は、比較器285を垂直信号線309に接続させる。また、タイミングT13乃至T14のP相セトリング期間が経過すると、タイミングT14乃至T15の期間内にP相が読み出される。タイミングT15乃至T19のD相セトリング期間が経過すると、タイミングT19乃至T20の期間内にD相が読み出される。

[0190] 判定期間においてブルーミングが発生していないと判断した場合、タイミング制御回路212は、出力側選択信号seloutによりセクタ292を制御してCDS処理後のデジタル信号CDS__outをそのまま出力させる。

[0191] 一方、判定期間においてブルーミングが発生したと判断した場合、タイミング制御回路212は、出力側選択信号seloutによりセクタ292を制御してCDS処理後のデジタル信号CDS__outの代わりにフルコードFULLを出力させる。これにより、黒点現象を抑制することができる。

[0192] なお、第5の実施の形態に、第1の実施の形態の第1乃至第3の変形例や、第2乃至第4の実施の形態を適用することもできる。

[0193] このように、本技術の第5の実施の形態によれば、タイミング制御回路2

12は、比較結果VCOに基づいて黒点現象が生じたか否かを判断し、黒点現象が生じた際にフルコードを出力させるため、黒点現象を抑制することができる。

[0194] <6. 第6の実施の形態>

上述の第1の実施の形態では、垂直走査回路211は、全行（全画素）を同時に露光させる制御（すなわち、グローバルシャッター動作）を行っていた。しかし、テストのときや、解析を行うときなど、露光の同時性が不要で低ノイズが要求される場合には、ローリングシャッター動作を行うことが望ましい。この第6の実施の形態の固体撮像素子200は、テスト時などにおいて、ローリングシャッター動作を行う点において第1の実施の形態と異なる。

[0195] 図31は、本技術の第6の実施の形態におけるローリングシャッター動作の一例を示すタイミングチャートである。垂直走査回路211は、複数の行を順に選択して露光を開始させる制御を行う。同図は、第n行の露光制御を示す。

[0196] タイミングT0乃至T2の期間において、垂直走査回路211は、第n行にハイレベルの後段選択信号selb、選択信号Φrおよび選択信号Φsを供給する。また、露光開始のタイミングT0において、垂直走査回路211は、第n行にハイレベルのFDリセット信号rstおよび後段リセット信号rstbをパルス期間に亘って供給する。露光終了のタイミングT1において垂直走査回路211は、第n行に転送信号trgを供給する。同図のローリングシャッター動作により、固体撮像素子200は、低ノイズの画像データを生成することができる。

[0197] なお、通常の撮像時において第6の実施の形態の固体撮像素子200は、第1の実施の形態と同様にグローバルシャッター動作を行う。

[0198] また、第6の実施の形態に、第1の実施の形態の第1乃至第3の変形例や、第2乃至第5の実施の形態を適用することもできる。

[0199] このように本技術の第6の実施の形態によれば、垂直走査回路211は、

複数の行を順に選択して露光を開始させる制御（すなわち、ローリングシャッター動作）を行うため、低ノイズの画像データを生成することができる。

[0200] < 7. 第7の実施の形態 >

上述の第1の実施の形態では、前段のソースフォロフ（前段増幅トランジスタ315および電流源トランジスタ316）のソースを電源電圧VDDに接続し、そのソースフォロフがオンの状態で行単位で読出しを行っていた。しかし、この駆動方法では、行単位の読出しの際の前段のソースフォロフの回路ノイズが後段に伝搬し、ランダムノイズが増大するおそれがある。この第7の実施の形態の固体撮像素子200は、読出しの際に前段のソースフォロフをオフ状態にすることにより、ノイズを低減する点において第1の実施の形態と異なる。

[0201] 図32は、本技術の第7の実施の形態における固体撮像素子200の一構成例を示すブロック図である。この第7の実施の形態の固体撮像素子200は、レギュレータ420および切り替え部440をさらに備える点において第1の実施の形態と異なる。また、第7の実施の形態の画素アレイ部220には、複数の有効画素301と、所定数のダミー画素430とが配列される。ダミー画素430は、有効画素301が配列された領域の周囲に配列される。

[0202] また、ダミー画素430のそれぞれには、電源電圧VDDが供給され、有効画素440のそれぞれには、電源電圧VDDと、ソース電圧Vsとが供給される。有効画素301へ電源電圧VDDを供給する信号線は、同図において省略されている。また、電源電圧VDDは、固体撮像素子200の外部のパッド410から供給される。

[0203] レギュレータ420は、ダミー画素430からの入力電位Viに基づいて、一定の生成電圧 V_{gen} を生成し、切り替え部440に供給するものである。切り替え部440は、パッド410からの電源電圧VDDと、レギュレータ420からの生成電圧 V_{gen} とのいずれかを選択し、ソース電圧Vsとして有効画素301のカラムのそれぞれに供給するものである。

[0204] 図33は、本技術の第7の実施の形態におけるダミー画素430、レギュレータ420、および、切り替え部440の一構成例を示す回路図である。同図におけるaは、ダミー画素430およびレギュレータ420の回路図であり、同図におけるbは、切り替え部440の回路図である。

[0205] 同図におけるaに例示するように、ダミー画素430は、リセットトランジスタ431、FD432、増幅トランジスタ433および電流源トランジスタ434を備える。リセットトランジスタ431は、垂直走査回路211からのリセット信号RSTに従って、FD432を初期化するものである。FD432は、電荷を蓄積し、電荷量に応じた電圧を生成するものである。増幅トランジスタ433は、FD432の電圧のレベルを増幅し、入力電圧 V_i としてレギュレータ420に供給するものである。

[0206] また、リセットトランジスタ431および増幅トランジスタ433のソースは、電源電圧VDDに接続される。電流源トランジスタ434は、増幅トランジスタ433のドレインに接続される。この電流源トランジスタ434は、垂直走査回路211の制御に従って、電流 i_{d1} を供給する。

[0207] レギュレータ420は、ローパスフィルタ421、バッファアンプ422および容量素子423を備える。ローパスフィルタ421は、入力電圧 V_i の信号のうち、所定周波数未満の低周波数帯域の成分を出力電圧 V_j として通過させるものである。

[0208] バッファアンプ422の非反転入力端子(+)には、出力電圧 V_j が入力される。バッファアンプ422の反転入力端子(-)は、その出力端子と接続される。容量素子423は、バッファアンプ422の出力端子の電圧を $V_{g_{en}}$ として保持するものである。この $V_{g_{en}}$ は、切り替え部440に供給される。

[0209] 同図におけるaに例示するように、切り替え部440は、インバータ441と、複数の切り替え回路442とを備える。切り替え回路442は、有効画素301の列ごとに配置される。

[0210] インバータ441は、タイミング制御回路212からの切替信号SWを反

転させるものである。このインバータ442は、反転信号を切り替え回路442のそれぞれに供給する。

[0211] 切り替え回路442は、電源電圧 V_{DD} と、生成電圧 V_{gen} とのいずれかを選択し、ソース電圧 V_s として、画素アレイ部220内の対応する列に供給するものである。切り替え回路442は、スイッチ443および444を備える。スイッチ443は、切替信号 SW に従って、電源電圧 V_{DD} のノードと、対応する列との間の経路を開閉するものである。スイッチ444は、切替信号 SW の反転信号に従って、生成電圧 V_{gen} のノードと、対応する列との間の経路を開閉するものである。

[0212] 図34は、本技術の第7の実施の形態におけるダミー画素430およびレギュレータ420の動作の一例を示すタイミングチャートである。ある行の読出しの直前のタイミング T_{10} において、垂直走査回路211は、ダミー画素430のそれぞれに、ハイレベル（ここでは、電源電圧 V_{DD} ）のリセット信号 RST を供給する。ダミー画素430内の FD_{432} の電位 V_{fd} は、電源電圧 V_{DD} に初期化される。そして、リセット信号 RST がローレベルとなった際に、リセットフィードスルーにより、 $V_{DD}-V_{ft}$ に変動する。

[0213] また、入力電圧 V_i は、リセット後に $V_{DD}-V_{gs}-V_{sig}$ に低下する。ローパスフィルタ421の通過により、 V_j 、 V_{gen} は、略一定の電圧となる。

[0214] 次の行の読出しの直前のタイミング T_{20} 以降は、行ごとに、同様の制御が行われ、一定の生成電圧 V_{gen} が供給される。

[0215] 図35は、本技術の第7の実施の形態における有効画素301の一構成例を示す回路図である。有効画素301の回路構成は、前段増幅トランジスタ315のソースに、切り替え部440からのソース電圧 V_s が供給される点以外は、第1の実施の形態の画素300と同様である。

[0216] 図36は、本技術の第7の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。第7の実施の形態において、全画

素で同時に露光する際に、切り替え部440は、電源電圧 V_{DD} を選択し、ソース電圧 V_s として供給する。また、前段ノードの電圧は、タイミングT4において、 $V_{DD} - V_{gs} - V_{th}$ から $V_{DD} - V_{gs} - V_{sig}$ に低下する。ここで、 V_{th} は、転送トランジスタ312の閾値電圧である。

[0217] 図37は、本技術の第7の実施の形態における読出し動作の一例を示すタイミングチャートである。この第7の実施の形態では、読出しの際に切り替え部440は、生成電圧 V_{gen} を選択し、ソース電圧 V_s として供給する。この生成電圧 V_{gen} は、 $V_{DD} - V_{gs} - V_{ft}$ に調整される。また、第7の実施の形態では、垂直走査回路211が、全行（全画素）の電流源トランジスタ316を制御して電流 i_{d1} の供給を停止させる。

[0218] 図38は、本技術の第7の実施の形態における効果を説明するための図である。第1の実施の形態では、行ごとの読出しにおいて、読出し対象の画素300のソースフォロワ（前段増幅トランジスタ315および電流源トランジスタ316）をオンにしていた。しかし、この駆動方法では、前段のソースフォロワの回路ノイズが、後段（容量素子、後段のソースフォロワやADC）に伝搬し、読出しノイズが増大するおそれがある。

[0219] 例えば、第1の実施の形態では、同図に例示するようにグローバルシャッター動作時の画素で生じる kTC ノイズは、 $450 (\mu V_{rms})$ である。また、行ごとの読出しにおける、前段のソースフォロワ（前段増幅トランジスタ315および電流源トランジスタ316）で生じるノイズは、 $380 (\mu V_{rms})$ となる。後段のソースフォロワ以降で生じるノイズは、 $160 (\mu V_{rms})$ である。このため、合計のノイズは、 $610 (\mu V_{rms})$ である。このように、第1の実施の形態では、ノイズの合計値における、前段のソースフォロワのノイズの寄与分は、比較的大きくなる。

[0220] この前段のソースフォロワのノイズを低減するために、第7の実施の形態では、前述したように前段のソースフォロワのソースに、電圧調整の可能な電圧（ V_s ）を供給している。グローバルシャッター（露光）動作時に、切り替え部440は、電源電圧 V_{DD} を選択してソース電圧 V_s として供給す

る。そして、露光の終了後に切り替え部440は、ソース電圧 V_s を $V_{DD} - V_{gs} - V_{ft}$ に切り替える。また、タイミング制御回路212は、グローバルシャッター（露光）動作時に、前段の電流源トランジスタ316をオンにし、露光の終了後にオフにする。

[0221] 上述の制御により、図36および図37に例示したように、グローバルシャッター動作時と、行ごとの読出し時とのそれぞれの前段ノードの電位が揃い、PRNUを改善することができる。また、行ごとに読み出す際に前段のソースフォロワがオフ状態になるため、図38に例示するように、ソースフォロワの回路ノイズが生じず、0 (μV_{rms}) となる。なお、前段のソースフォロワのうち前段増幅トランジスタ315はオン状態である。

[0222] このように、本技術の第7の実施の形態によれば、読出しの際に前段のソースフォロワをオフ状態にするため、そのソースフォロワで生じるノイズを低減することができる。

[0223] <8. 移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0224] 図39は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0225] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図39に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)120

５３が図示されている。

- [0226] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。
- [0227] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。
- [0228] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。
- [0229] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

- [0230] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。
- [0231] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。
- [0232] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。
- [0233] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。
- [0234] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少

なくとも一方の出力信号を送信する。図39の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0235] 図40は、撮像部12031の設置位置の例を示す図である。

[0236] 図40では、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

[0237] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0238] なお、図40には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0239] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得

する機能を有していてもよい。例えば、撮像部 12101 ないし 12104 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよい、位相差検出用の画素を有する撮像素子であってもよい。

[0240] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的変化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0241] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 12051 は、車両 12100 の周辺の障害物を、車両 12100 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 12051 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0242] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するか

否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0243] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 12031 に適用され得る。具体的には、例えば、図 1 の撮像装置 100 は、撮像部 12031 に適用することができる。撮像部 12031 に本開示に係る技術を適用することにより、k T C ノイズを低減し、より見やすい撮影画像を得ることができるため、ドライバの疲労を軽減することが可能になる。

[0244] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0245] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0246] なお、本技術は以下のような構成もとることができる。

(1) 第 1 および第 2 の容量素子と、

所定のリセットレベルと露光量に応じた信号レベルとを順に生成して前記

第1および第2の容量素子のそれぞれに保持させる前段回路と、

前記第1および第2の容量素子の一方を所定の後段ノードに接続する制御と前記第1および第2の容量素子の両方を前記後段ノードから切り離す制御と前記第1および第2の容量素子の他方を前記後段ノードに接続する制御とを順に行う選択回路と、

前記第1および第2の容量素子の両方が前記後段ノードから切り離されたときに前記後段ノードのレベルを初期化する後段リセットトランジスタと、

前記後段ノードを介して前記リセットレベルおよび前記信号レベルを前記第1および第2の容量素子から順に読み出して出力する後段回路とを具備する固体撮像素子。

(2) 前記前段回路と所定の前段ノードとの間の経路を開閉する前段選択トランジスタと、

前記前段ノードのレベルを初期化する前段リセットトランジスタとをさらに具備し、

前記第1および第2の容量素子のそれぞれの一端は前記前段ノードに共通に接続され、それぞれの他端は前記選択回路に接続される前記(1)記載の固体撮像素子。

(3) 前記前段選択トランジスタは、前記前段回路が前記リセットレベルおよび前記信号レベルを前記第1および第2の容量素子のそれぞれに保持させる期間に亘って閉状態に移行し、

前記前段リセットトランジスタは、前記後段回路が前記リセットレベルおよび前記信号レベルを前記第1および第2の容量素子から順に読み出す期間内に前記前段ノードのレベルを初期化する前記(2)記載の固体撮像素子。

(4) 前記前段回路は、

光電変換素子と、

前記光電変換素子から浮遊拡散層へ電荷を転送する前段転送トランジスタと、

前記浮遊拡散層を初期化する第1のリセットトランジスタと、
前記浮遊拡散層の電圧を増幅して所定の前段ノードへ出力する前段増幅トランジスタと
を備え、
前記第1および第2の容量素子のそれぞれの一端は前記前段ノードに共通に接続され、それぞれの他端は前記選択回路に接続される
前記(1)から(3)のいずれかに記載の固体撮像素子。
(5) 前記前段増幅トランジスタのソースに供給するソース電圧を調整する切り替え部をさらに具備し、
前記前段回路は、前記前段増幅トランジスタのドレインに接続された電流源トランジスタをさらに備え、
前記電流源トランジスタは、露光期間の終了後にオン状態からオフ状態に移行する
前記(4)記載の固体撮像素子。
(6) 前記切り替え部は、前記露光期間内に所定の電源電圧を前記ソース電圧として供給し、前記露光期間の終了後に前記電源電圧と異なる生成電圧を前記ソース電圧として供給する
前記(5)記載の固体撮像素子。
(7) 前記電源電圧と前記生成電圧との差分は、前記第1のリセットトランジスタのリセットフィードスルーによる変動量と前記前段増幅トランジスタのゲートーソース間電圧の和に略一致する
前記(6)記載の固体撮像素子。
(8) 所定の露光開始タイミングにおいて前記前段転送トランジスタが前記浮遊拡散層へ前記電荷を転送するとともに前記第1のリセットトランジスタが前記浮遊拡散層とともに前記光電変換素子を初期化し、
所定の露光終了タイミングにおいて前記前段転送トランジスタが前記浮遊拡散層へ前記電荷を転送する
前記(4)から(7)のいずれかに記載の固体撮像素子。

(9) 前記前段回路は、前記光電変換素子から前記電荷を排出する排出トランジスタをさらに備える

前記(4)から(7)のいずれかに記載の固体撮像素子。

(10) 所定の露光開始タイミングの前に前記第1のリセットトランジスタが前記浮遊拡散層を初期化するとともに前記排出トランジスタが前記光電変換素子から前記電荷を排出し、

所定の露光終了タイミングにおいて前記前段転送トランジスタが前記浮遊拡散層へ前記電荷を転送する

前記(9)記載の固体撮像素子。

(11) 前記前段回路のリセット電源電圧を制御する制御回路をさらに具備し、

前記第1のリセットトランジスタは、浮遊拡散層の電圧を前記リセット電源電圧に初期化し、

前記制御回路は、前記リセットレベルおよび前記信号レベルを読み出す読出し期間内に前記リセット電源電圧を露光期間と異なる電圧にする

前記(4)から(10)のいずれかに記載の固体撮像素子。

(12) 前記読出し期間内の前記リセット電源電圧と前記露光期間内の前記リセット電源電圧との差分は、前記第1のリセットトランジスタのリセットフィードスルーによる変動量に略一致する

前記(11)記載の固体撮像素子。

(13) 前記第1のリセットトランジスタのゲートには、第1のリセット信号が入力され、

前記第1のリセット信号の振幅は、ダイナミックレンジに対応する値に所定のマージンを加えた値である

前記(4)から(12)のいずれかに記載の固体撮像素子。

(14) 連続する一対のフレームを加算するデジタル信号処理部をさらに具備し、

前記前段回路は、前記一対のフレームの一方の露光期間内に前記第1およ

び第2の容量素子の一方に前記リセットレベルを保持させた後に前記第1および第2の容量素子の他方に前記信号レベルを保持させ、前記一对のフレームの他方の露光期間内に前記第1および第2の容量素子の前記他方に前記リセットレベルを保持させた後に前記第1および第2の容量素子の前記一方に前記信号レベルを保持させる

前記(1)から(13)のいずれかに記載の固体撮像素子。

(15) 前記出力された前記リセットレベルおよび前記信号レベルを順にデジタル信号に変換するアナログデジタル変換器をさらに具備する

前記(1)から(14)のいずれかに記載の固体撮像素子。

(16) 前記アナログデジタル変換器は、

前記リセットレベルおよび前記信号レベルを伝送する垂直信号線のレベルと所定のランプ信号とを比較して比較結果を出力するコンパレータと、

前記比較結果が反転するまでの期間に亘って計数値を計数して当該計数値を示す前記デジタル信号を出力するカウンタと
を備える

前記(15)記載の固体撮像素子。

(17) 前記コンパレータは、

一对の入力端子のそれぞれのレベルを比較して比較結果を出力する比較器と、

前記垂直信号線と所定の参照電圧のノードとのいずれかを選択して前記一对の入力端子の一方に接続する入力側セクタと
を備え、

前記一对の入力端子の一方には、前記ランプ信号が入力される

前記(16)記載の固体撮像素子。

(18) 前記比較結果に基づいて照度が所定値より高いか否かを判定して判定結果を出力する制御部と、

前記デジタル信号に対して相関二重サンプリング処理を実行するCDS (Correlated Double Sampling) 処理部と、

前記相関二重サンプリング処理が実行された前記デジタル信号と所定値のデジタル信号とのいずれかを前記判定結果に基づいて出力する出力側セクタと

をさらに具備する前記（１７）記載の固体撮像素子。

（１９）それぞれに所定数の画素が配列された複数の行を制御して同時に露光を開始させる制御を行う垂直走査回路をさらに具備し、

前記第１および第２の容量素子と前記前段回路と前記選択回路と前記後段リセットトランジスタと前記後段回路とは、前記画素のそれぞれに配置される

前記（１）から（１８）のいずれかに記載の固体撮像素子。

（２０）前記垂直走査回路は、前記複数の行を制御して順に露光を開始させる制御をさらに行う

前記（１９）記載の固体撮像素子。

（２１）前記前段回路は、第１のチップに設けられ、

前記第１および第２の容量素子と前記選択回路と前記後段リセットトランジスタと前記後段回路とは、第２のチップに設けられる

前記（１）から（２０）のいずれかに記載の固体撮像素子。

（２２）前記出力された前記リセットレベルおよび前記信号レベルを順にデジタル信号に変換するアナログデジタル変換器をさらに具備し、

前記アナログデジタル変換器は、前記第２のチップに設けられる

前記（２１）記載の固体撮像素子。

（２３）前記出力された前記リセットレベルおよび前記信号レベルを順にデジタル信号に変換するアナログデジタル変換器をさらに具備し、

前記アナログデジタル変換器は、第３のチップに設けられる

前記（２１）記載の固体撮像素子。

（２４）入射した光を電荷へと変換する光電変換部と、

前記電荷を電圧へと変換する第１の増幅トランジスタと、

画素信号を出力する信号線と、

前記第 1 の増幅トランジスタの出力先の第 1 ノードと一端が接続された第 1 の容量素子と、

前記第 1 の増幅トランジスタと前記信号線との間において、前記第 1 の容量素子と並列して設けられ、前記第 1 ノードと一端が接続された第 2 の容量素子と、

前記第 1 の容量素子の他端において、前記第 1 の容量素子と接続された第 1 の選択トランジスタと、

前記第 2 の容量素子の他端において、前記第 2 の容量素子と接続された第 2 の選択トランジスタと、

前記第 1 及び第 2 の選択トランジスタが接続された第 2 ノードにソース若しくはドレインが接続されたりセットトランジスタと、

前記第 2 ノードにゲートが接続され、前記画素信号を出力する第 2 の増幅トランジスタとを有する固体撮像素子。

符号の説明

- [0247] 1 0 0 撮像装置
 1 1 0 撮像レンズ
 1 2 0 記録部
 1 3 0 撮像制御部
 2 0 0 固体撮像素子
 2 0 1 上側画素チップ
 2 0 2 下側画素チップ
 2 0 3 回路チップ
 2 1 1 垂直走査回路
 2 1 2 タイミング制御回路
 2 1 3 D A C
 2 2 0 画素アレイ部
 2 2 1 上側画素アレイ部
 2 2 2 下側画素アレイ部

- 250 負荷MOS回路ブロック
- 251 負荷MOSトランジスタ
- 260 カラム信号処理回路
- 261、270 ADC
- 262、290 デジタル信号処理部
- 271 カウンタ
- 280 コンパレータ
- 281、292 セレクタ
- 282、283、321、322 容量素子
- 284、286 オートゼロスイッチ
- 285 比較器
- 291 CDS処理部
- 300 画素
- 301 有効画素
- 310 前段回路
- 311 光電変換素子
- 312 転送トランジスタ
- 313 FDリセットトランジスタ
- 314 FD
- 315 前段増幅トランジスタ
- 316 電流源トランジスタ
- 317 排出トランジスタ
- 323 前段リセットトランジスタ
- 324 前段選択トランジスタ
- 330 選択回路
- 331、332 選択トランジスタ
- 341 後段リセットトランジスタ
- 350 後段回路

- 3 5 1 後段増幅トランジスタ
- 3 5 2 後段選択トランジスタ
- 4 2 0 レギュレータ
- 4 2 1 ローパスフィルタ
- 4 2 2 バッファアンプ
- 4 2 3 容量素子
- 4 3 0 ダミー画素
- 4 3 1 リセットトランジスタ
- 4 3 2 F D
- 4 3 3 増幅トランジスタ
- 4 3 4 電流源トランジスタ
- 4 4 0 切り替え部
- 4 4 1 インバータ
- 4 4 2 切り替え回路
- 4 4 3、4 4 4 スイッチ
- 1 2 0 3 1 撮像部

請求の範囲

[請求項1]

第1および第2の容量素子と、

所定のリセットレベルと露光量に応じた信号レベルとを順に生成して前記第1および第2の容量素子のそれぞれに保持させる前段回路と、

前記第1および第2の容量素子の一方を所定の後段ノードに接続する制御と前記第1および第2の容量素子の両方を前記後段ノードから切り離す制御と前記第1および第2の容量素子の他方を前記後段ノードに接続する制御とを順に行う選択回路と、

前記第1および第2の容量素子の両方が前記後段ノードから切り離されたときに前記後段ノードのレベルを初期化する後段リセットトランジスタと、

前記後段ノードを介して前記リセットレベルおよび前記信号レベルを前記第1および第2の容量素子から順に読み出して出力する後段回路と

を具備する固体撮像素子。

[請求項2]

前記前段回路と所定の前段ノードとの間の経路を開閉する前段選択トランジスタと、

前記前段ノードのレベルを初期化する前段リセットトランジスタとをさらに具備し、

前記第1および第2の容量素子のそれぞれの一端は前記前段ノードに共通に接続され、それぞれの他端は前記選択回路に接続される請求項1記載の固体撮像素子。

[請求項3]

前記前段選択トランジスタは、前記前段回路が前記リセットレベルおよび前記信号レベルを前記第1および第2の容量素子のそれぞれに保持させる期間に亘って閉状態に移行し、

前記前段リセットトランジスタは、前記後段回路が前記リセットレベルおよび前記信号レベルを前記第1および第2の容量素子から順に

読み出す期間内に前記前段ノードのレベルを初期化する

請求項 2 記載の固体撮像素子。

[請求項4]

前記前段回路は、

光電変換素子と、

前記光電変換素子から浮遊拡散層へ電荷を転送する前段転送トランジスタと、

前記浮遊拡散層を初期化する第 1 のリセットトランジスタと、

前記浮遊拡散層の電圧を増幅して所定の前段ノードへ出力する前段増幅トランジスタと

を備え、

前記第 1 および第 2 の容量素子のそれぞれの一端は前記前段ノードに共通に接続され、それぞれの他端は前記選択回路に接続される

請求項 1 記載の固体撮像素子。

[請求項5]

前記前段増幅トランジスタのソースに供給するソース電圧を調整する切り替え部をさらに具備し、

前記前段回路は、前記前段増幅トランジスタのドレインに接続された電流源トランジスタをさらに備え、

前記電流源トランジスタは、露光期間の終了後にオン状態からオフ状態に移行する

請求項 4 記載の固体撮像素子。

[請求項6]

前記切り替え部は、前記露光期間内に所定の電源電圧を前記ソース電圧として供給し、前記露光期間の終了後に前記電源電圧と異なる生成電圧を前記ソース電圧として供給する

請求項 5 記載の固体撮像素子。

[請求項7]

前記電源電圧と前記生成電圧との差分は、前記第 1 のリセットトランジスタのリセットフィードスルーによる変動量と前記前段増幅トランジスタのゲートーソース間電圧の和に略一致する

請求項 6 記載の固体撮像素子。

- [請求項8] 所定の露光開始タイミングにおいて前記前段転送トランジスタが前記浮遊拡散層へ前記電荷を転送するとともに前記第1のリセットトランジスタが前記浮遊拡散層とともに前記光電変換素子を初期化し、
- 所定の露光終了タイミングにおいて前記前段転送トランジスタが前記浮遊拡散層へ前記電荷を転送する
- 請求項4記載の固体撮像素子。
- [請求項9] 前記前段回路は、前記光電変換素子から前記電荷を排出する排出トランジスタをさらに備える
- 請求項4記載の固体撮像素子。
- [請求項10] 所定の露光開始タイミングの前に前記第1のリセットトランジスタが前記浮遊拡散層を初期化するとともに前記排出トランジスタが前記光電変換素子から前記電荷を排出し、
- 所定の露光終了タイミングにおいて前記前段転送トランジスタが前記浮遊拡散層へ前記電荷を転送する
- 請求項9記載の固体撮像素子。
- [請求項11] 前記前段回路のリセット電源電圧を制御する制御回路をさらに具備し、
- 前記第1のリセットトランジスタは、浮遊拡散層の電圧を前記リセット電源電圧に初期化し、
- 前記制御回路は、前記リセットレベルおよび前記信号レベルを読み出す読出し期間内に前記リセット電源電圧を露光期間と異なる電圧にする
- 請求項4記載の固体撮像素子。
- [請求項12] 前記読出し期間内の前記リセット電源電圧と前記露光期間内の前記リセット電源電圧との差分は、前記第1のリセットトランジスタのリセットフィードスルーによる変動量に略一致する
- 請求項11記載の固体撮像素子。
- [請求項13] 前記第1のリセットトランジスタのゲートには、第1のリセット信

号が入力され、

前記第 1 のリセット信号の振幅は、ダイナミックレンジに対応する値に所定のマージンを加えた値である

請求項 4 記載の固体撮像素子。

[請求項 14] 連続する一对のフレームを加算するデジタル信号処理部をさらに具備し、

前記前段回路は、前記一对のフレームの一方の露光期間内に前記第 1 および第 2 の容量素子の一方に前記リセットレベルを保持させた後に前記第 1 および第 2 の容量素子の他方に前記信号レベルを保持させ、前記一对のフレームの他方の露光期間内に前記第 1 および第 2 の容量素子の前記他方に前記リセットレベルを保持させた後に前記第 1 および第 2 の容量素子の前記一方に前記信号レベルを保持させる

請求項 1 記載の固体撮像素子。

[請求項 15] 前記出力された前記リセットレベルおよび前記信号レベルを順にデジタル信号に変換するアナログデジタル変換器をさらに具備する
請求項 1 記載の固体撮像素子。

[請求項 16] 前記アナログデジタル変換器は、
前記リセットレベルおよび前記信号レベルを伝送する垂直信号線のレベルと所定のランプ信号とを比較して比較結果を出力するコンパレータと、

前記比較結果が反転するまでの期間に亘って計数値を計数して当該計数値を示す前記デジタル信号を出力するカウンタと
を備える

請求項 15 記載の固体撮像素子。

[請求項 17] 前記コンパレータは、
一对の入力端子のそれぞれのレベルを比較して比較結果を出力する比較器と、

前記垂直信号線と所定の参照電圧のノードとのいずれかを選択して

前記一对の入力端子の一方に接続する入力側セクタと
を備え、

前記一对の入力端子の一方には、前記ランプ信号が入力される
請求項 1 6 記載の固体撮像素子。

[請求項18] 前記比較結果に基づいて照度が所定値より高いか否かを判定して判定結果を出力する制御部と、

前記デジタル信号に対して相関二重サンプリング処理を実行する CDS (Correlated Double Sampling) 処理部と、

前記相関二重サンプリング処理が実行された前記デジタル信号と所定値のデジタル信号とのいずれかを前記判定結果に基づいて出力する出力側セクタと

をさらに具備する請求項 1 7 記載の固体撮像素子。

[請求項19] それぞれに所定数の画素が配列された複数の行を制御して同時に露光を開始させる制御を行う垂直走査回路をさらに具備し、

前記第 1 および第 2 の容量素子と前記前段回路と前記選択回路と前記後段リセットトランジスタと前記後段回路とは、前記画素のそれぞれに配置される

請求項 1 記載の固体撮像素子。

[請求項20] 前記垂直走査回路は、前記複数の行を制御して順に露光を開始させる制御をさらに行う

請求項 1 9 記載の固体撮像素子。

[請求項21] 前記前段回路は、第 1 のチップに設けられ、

前記第 1 および第 2 の容量素子と前記選択回路と前記後段リセットトランジスタと前記後段回路とは、第 2 のチップに設けられる

請求項 1 記載の固体撮像素子。

[請求項22] 前記出力された前記リセットレベルおよび前記信号レベルを順にデジタル信号に変換するアナログデジタル変換器をさらに具備し、

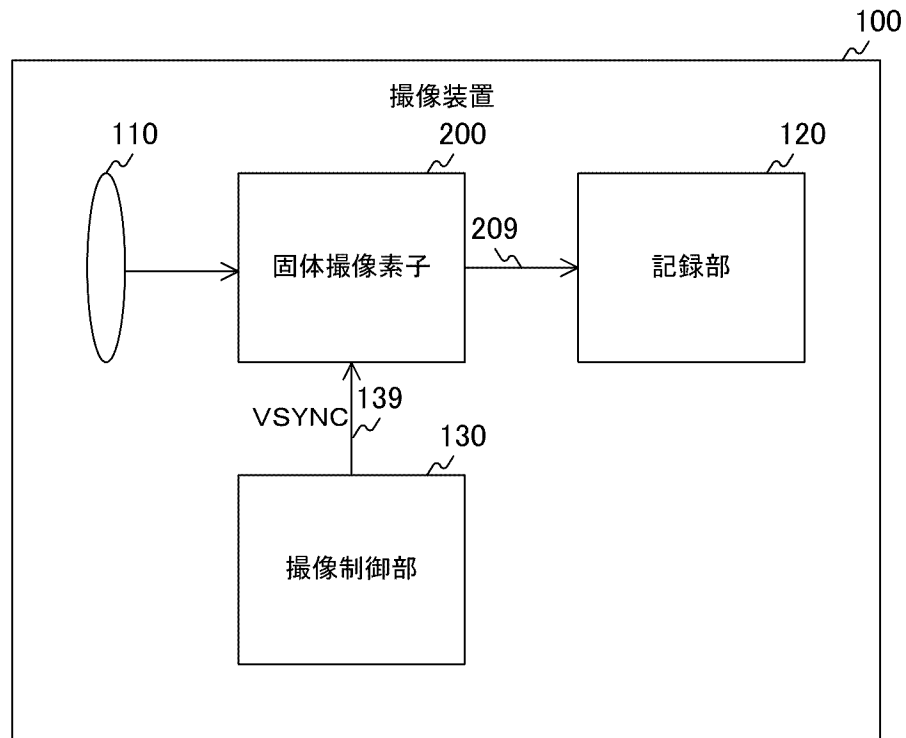
前記アナログデジタル変換器は、前記第 2 のチップに設けられる

請求項 2 1 記載の固体撮像素子。

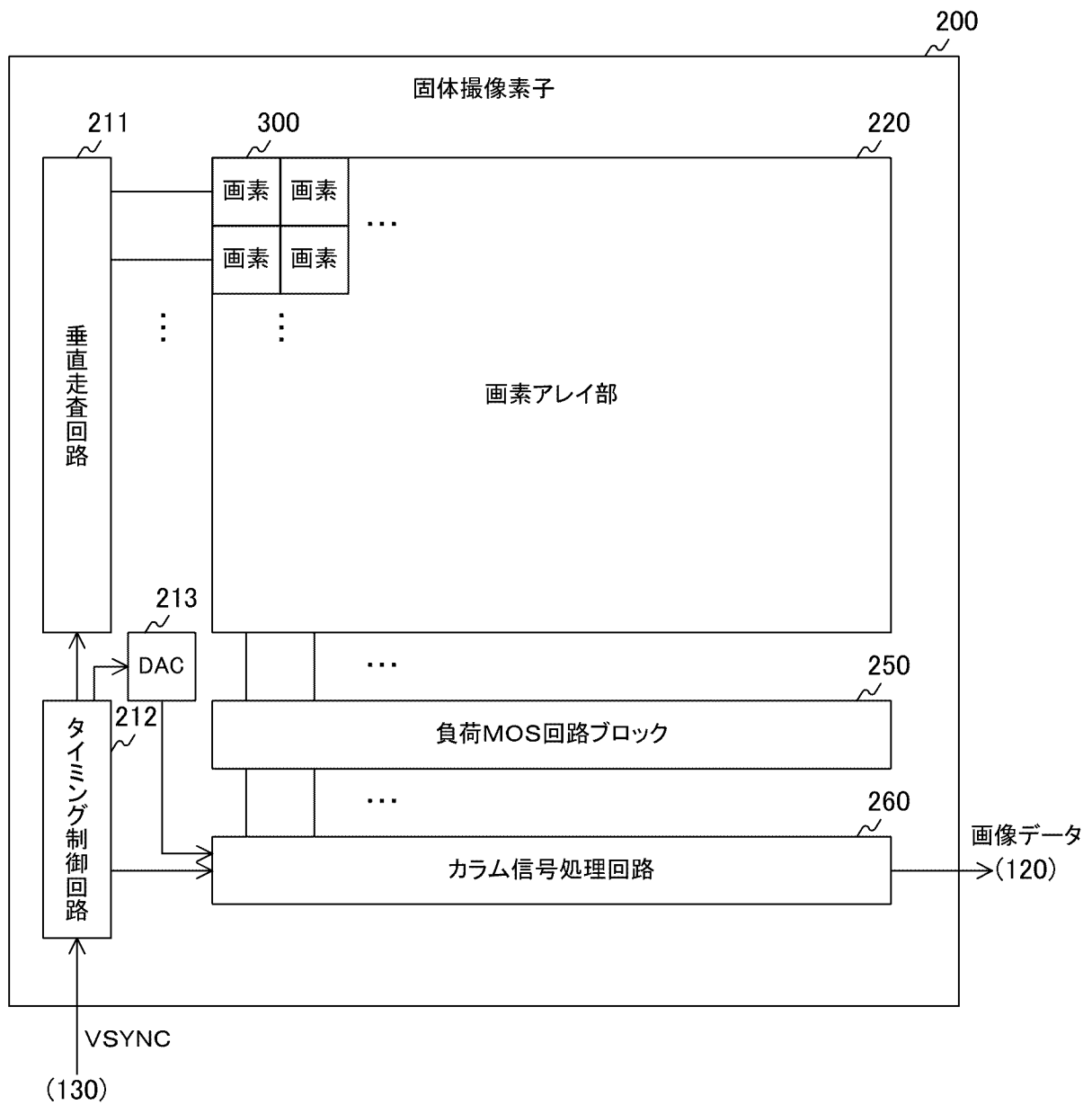
[請求項23] 前記出力された前記リセットレベルおよび前記信号レベルを順にデジタル信号に変換するアナログデジタル変換器をさらに具備し、
前記アナログデジタル変換器は、第 3 のチップに設けられる
請求項 2 1 記載の固体撮像素子。

[請求項24] 入射した光を電荷へと変換する光電変換部と、
前記電荷を電圧へと変換する第 1 の増幅トランジスタと、
画素信号を出力する信号線と、
前記第 1 の増幅トランジスタの出力先の第 1 ノードと一端が接続された第 1 の容量素子と、
前記第 1 の増幅トランジスタと前記信号線との間において、前記第 1 の容量素子と並列して設けられ、前記第 1 ノードと一端が接続された第 2 の容量素子と、
前記第 1 の容量素子の他端において、前記第 1 の容量素子と接続された第 1 の選択トランジスタと、
前記第 2 の容量素子の他端において、前記第 2 の容量素子と接続された第 2 の選択トランジスタと、
前記第 1 及び第 2 の選択トランジスタが接続された第 2 ノードにソース若しくはドレインが接続されたりセットトランジスタと、
前記第 2 ノードにゲートが接続され、前記画素信号を出力する第 2 の増幅トランジスタとを有する固体撮像素子。

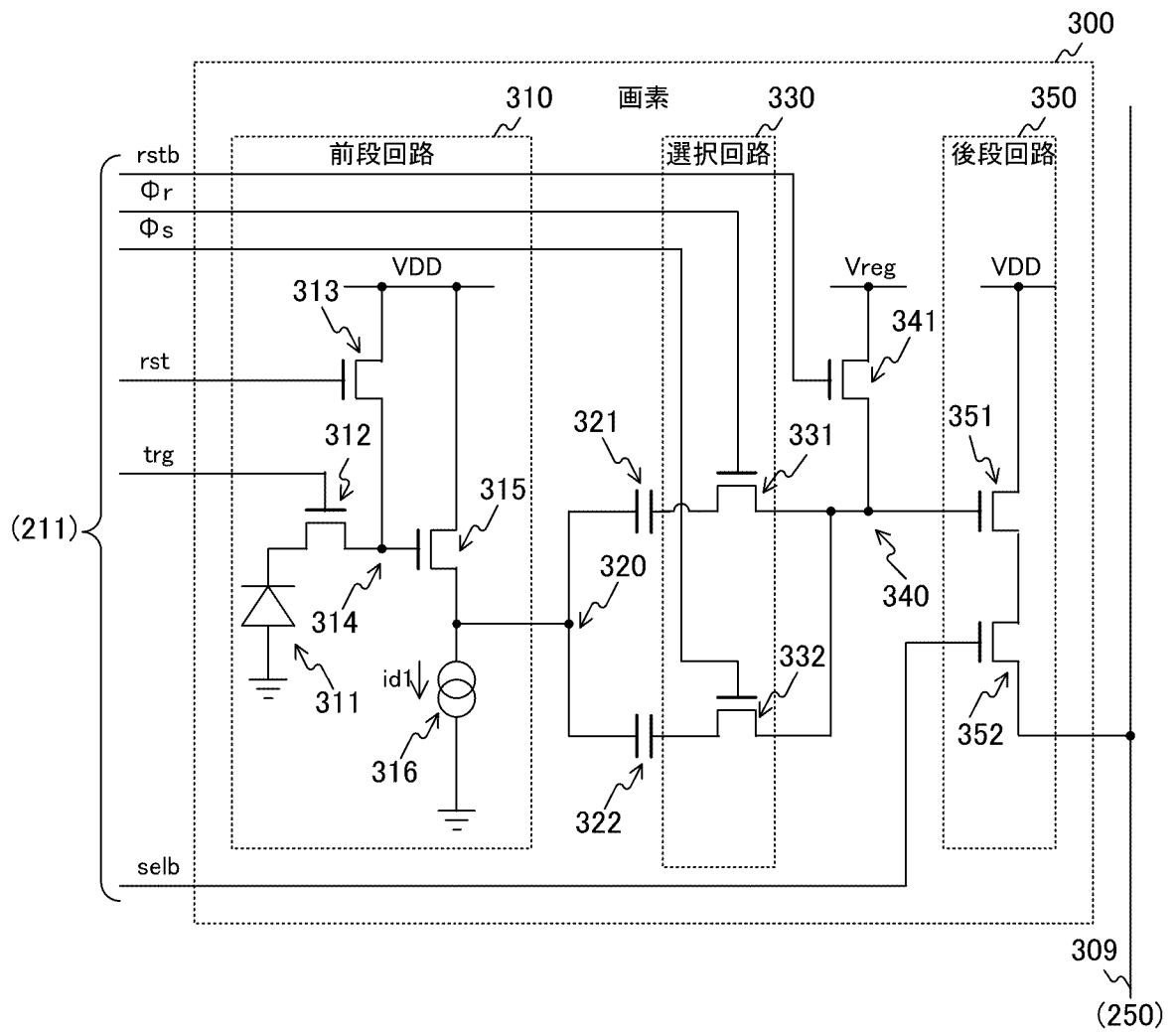
[図1]



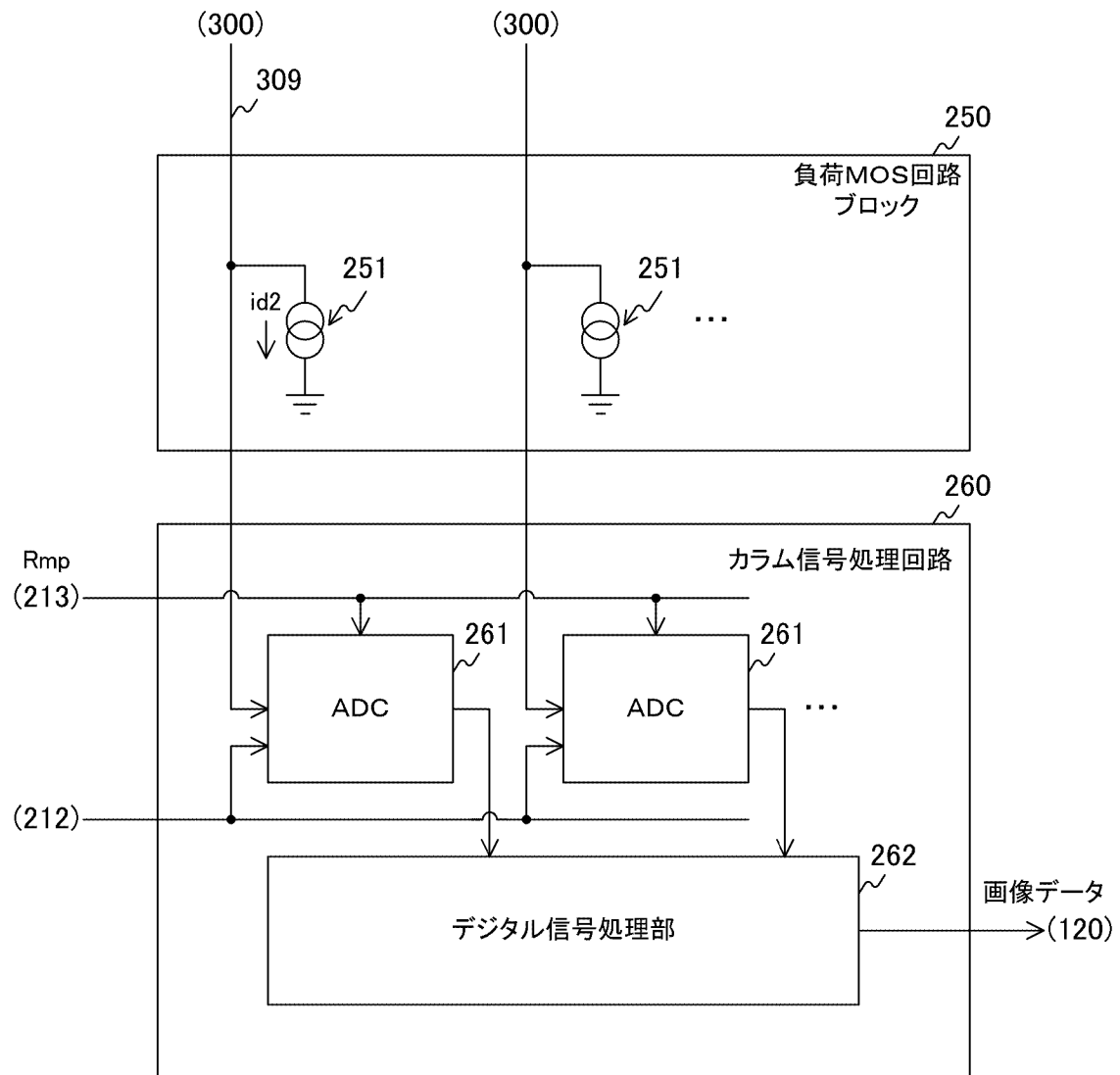
[図2]



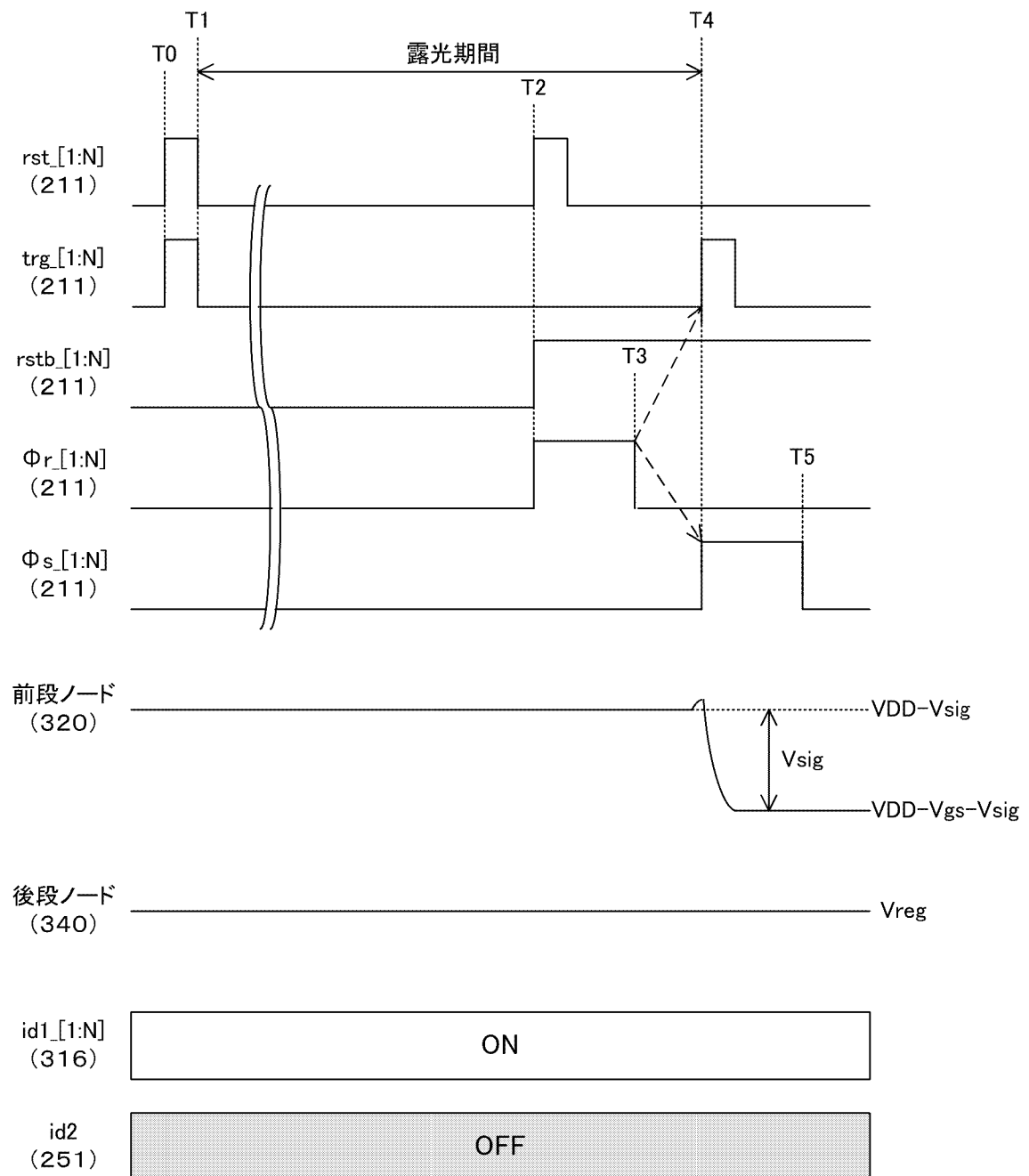
[図3]



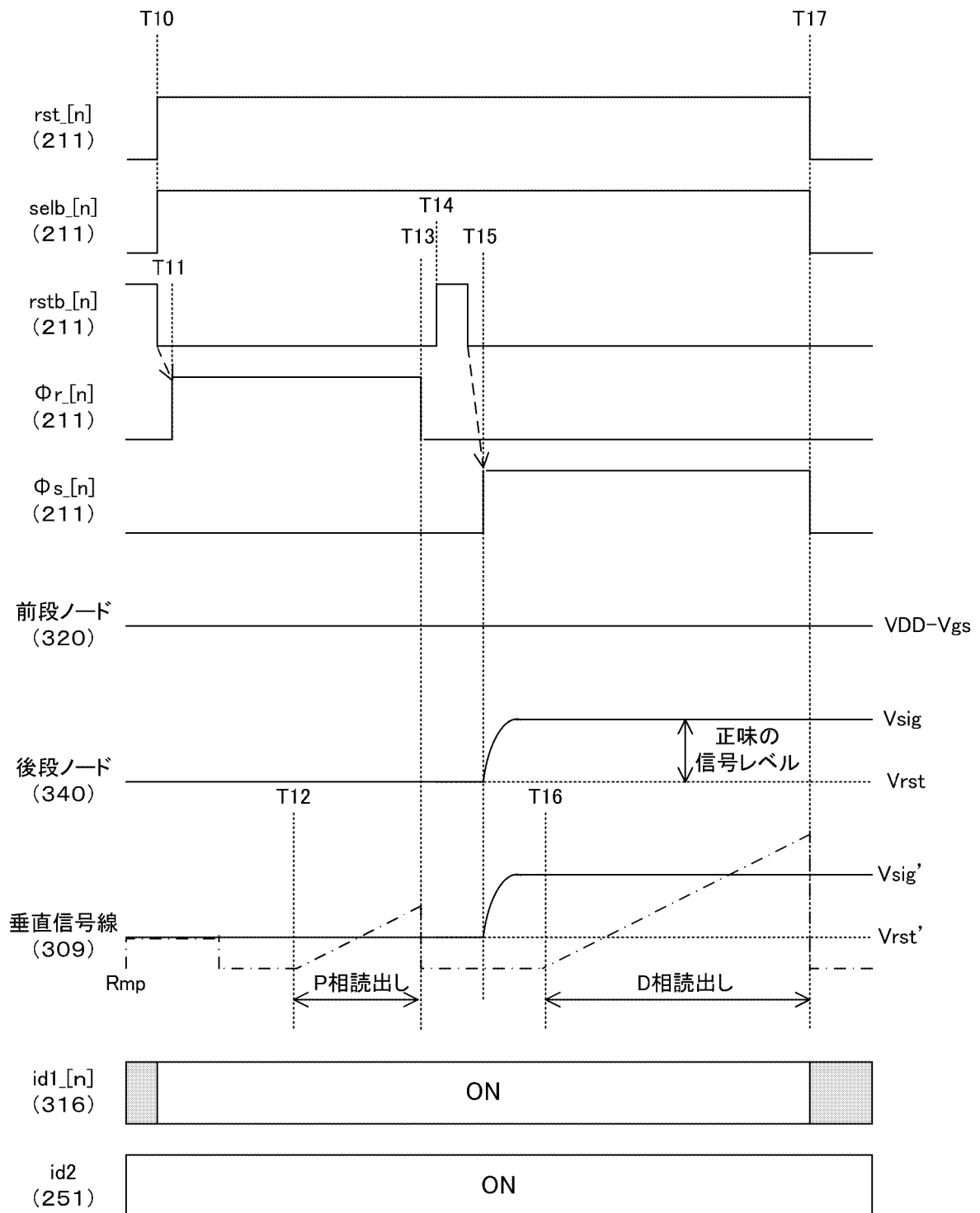
[図4]



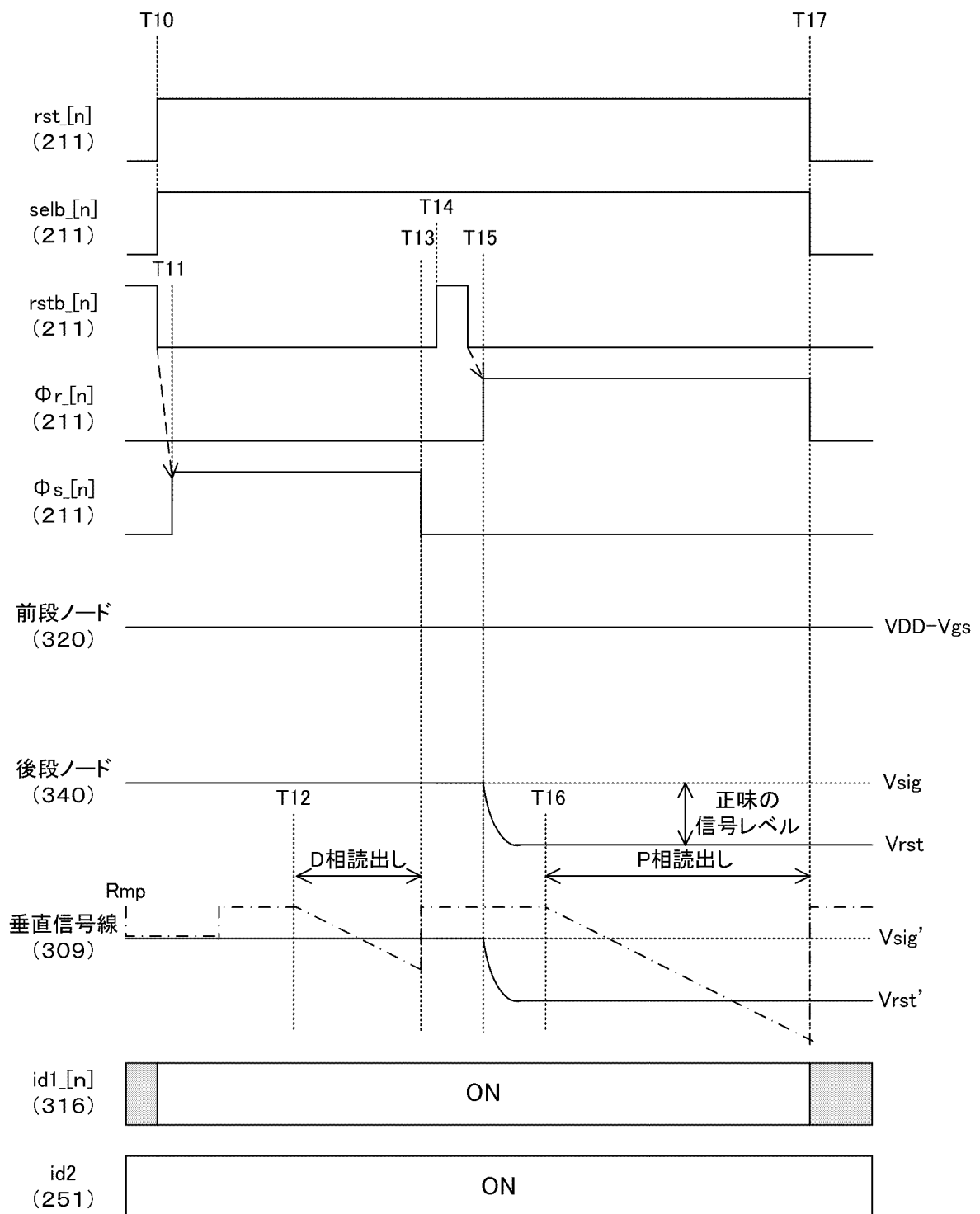
[図5]



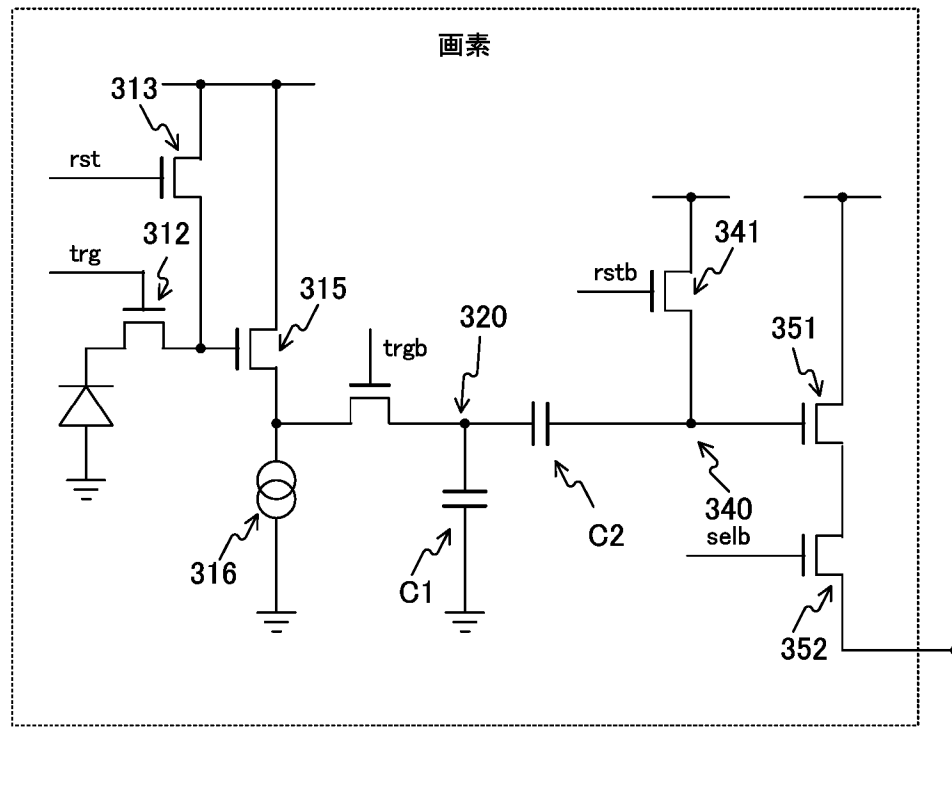
[図6]



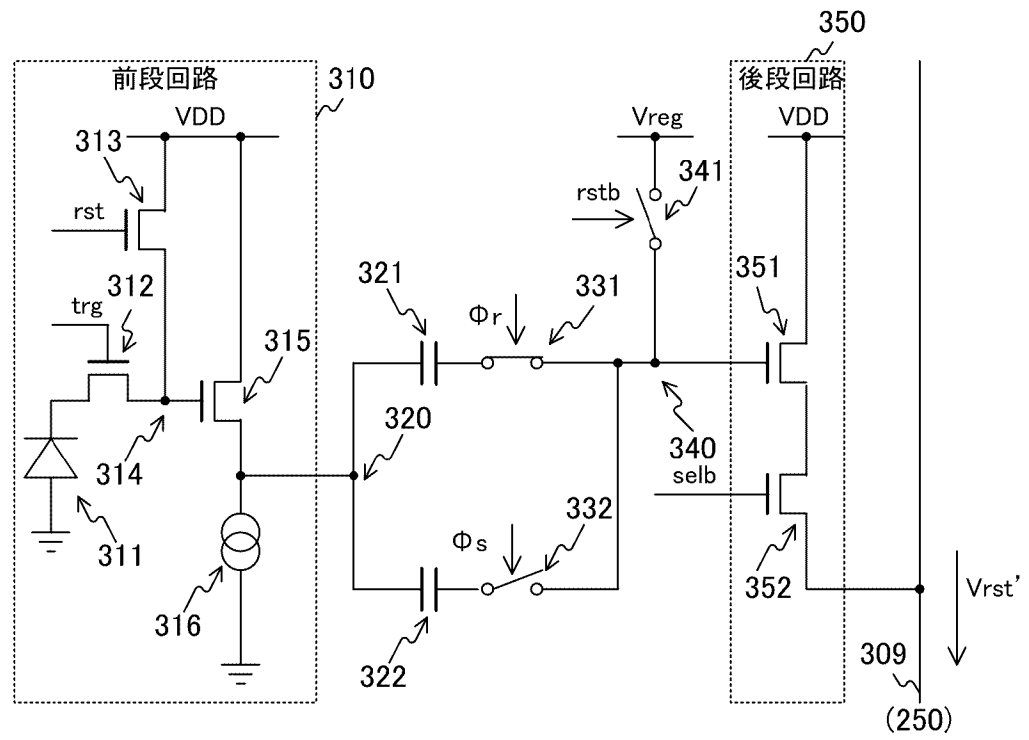
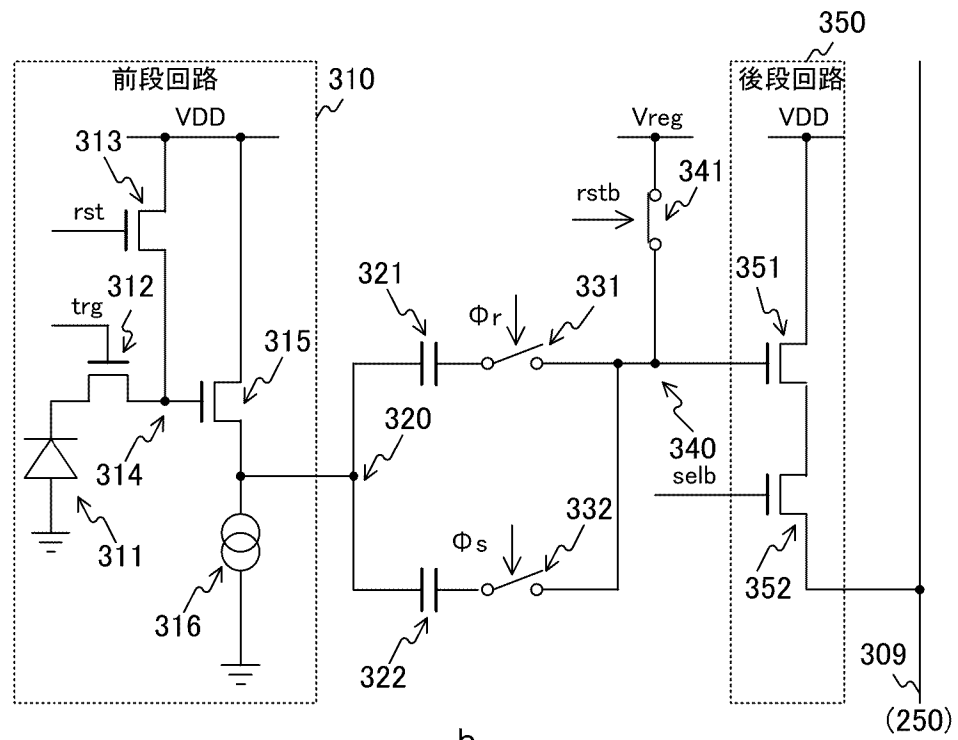
[図7]



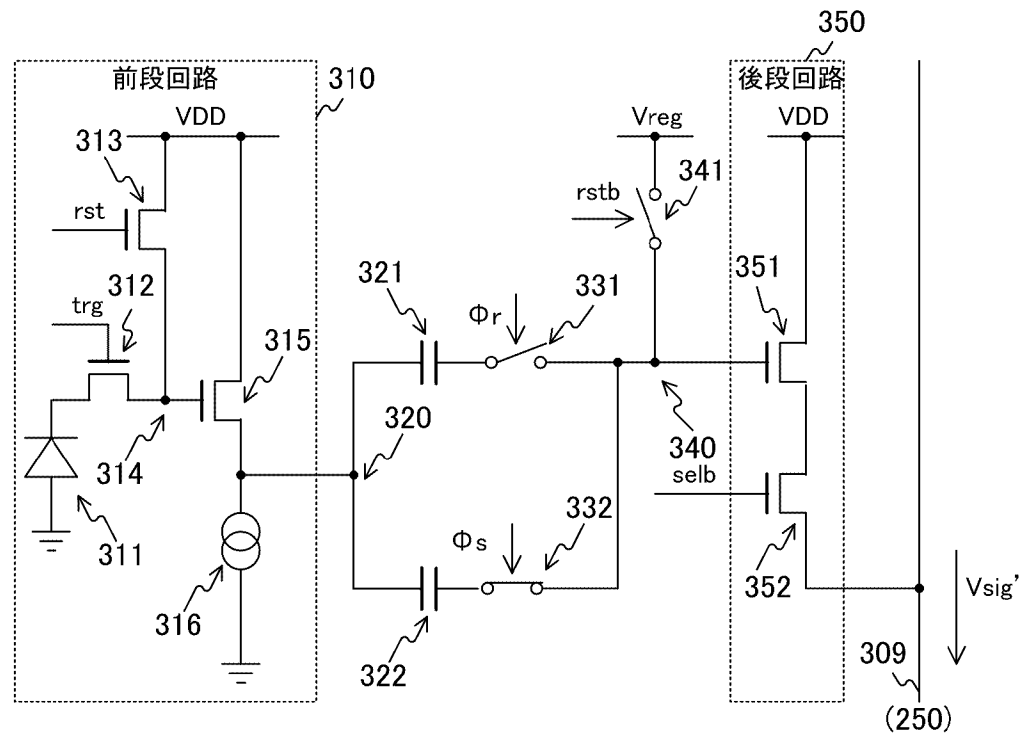
[図8]



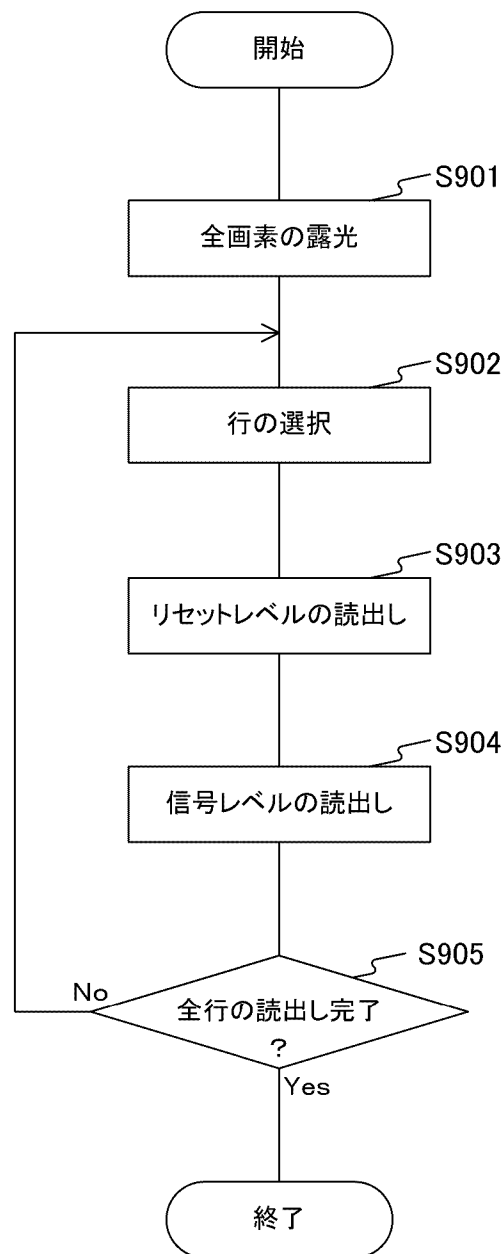
[図9]

ab

[図10]

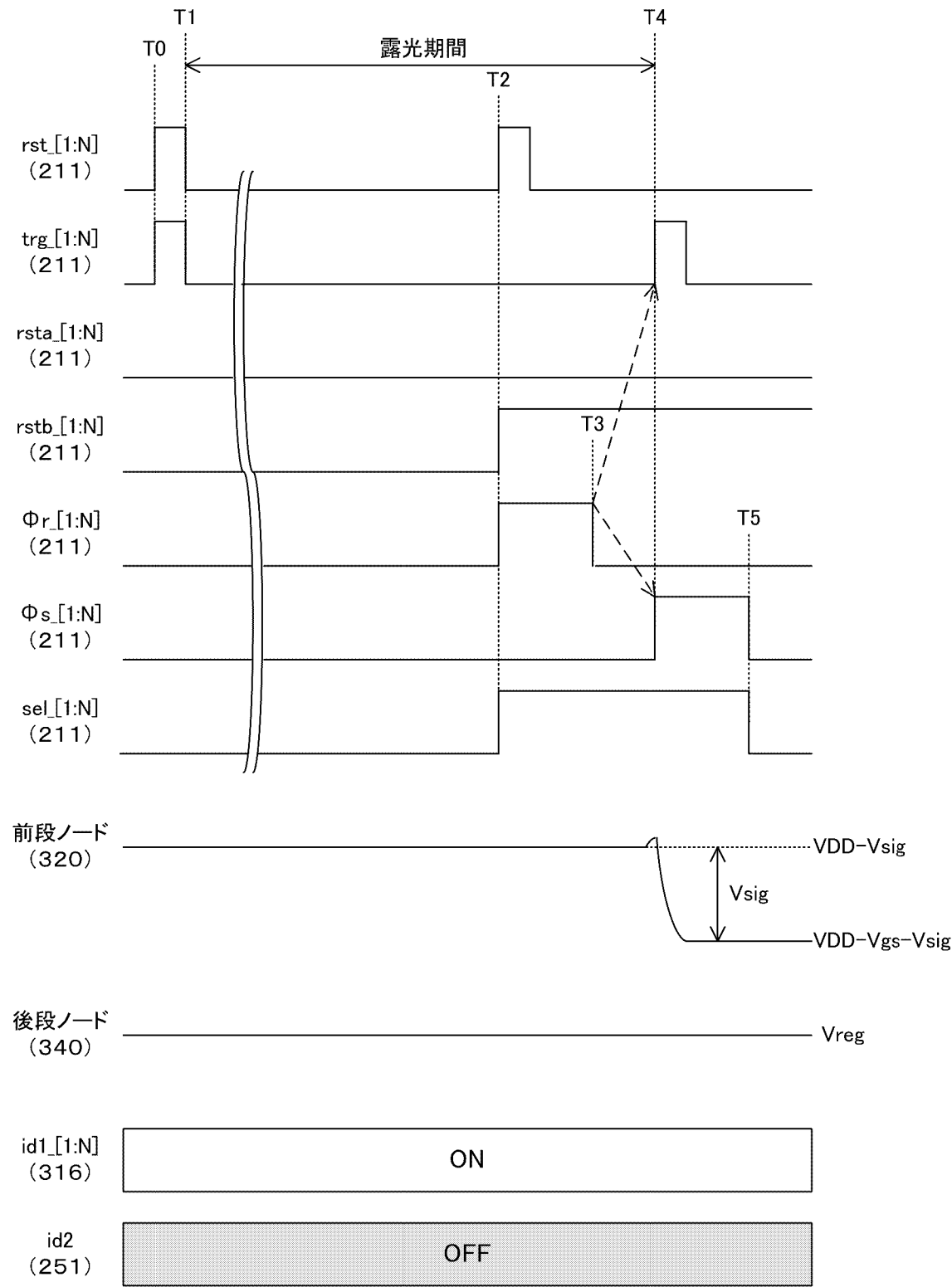


[図11]

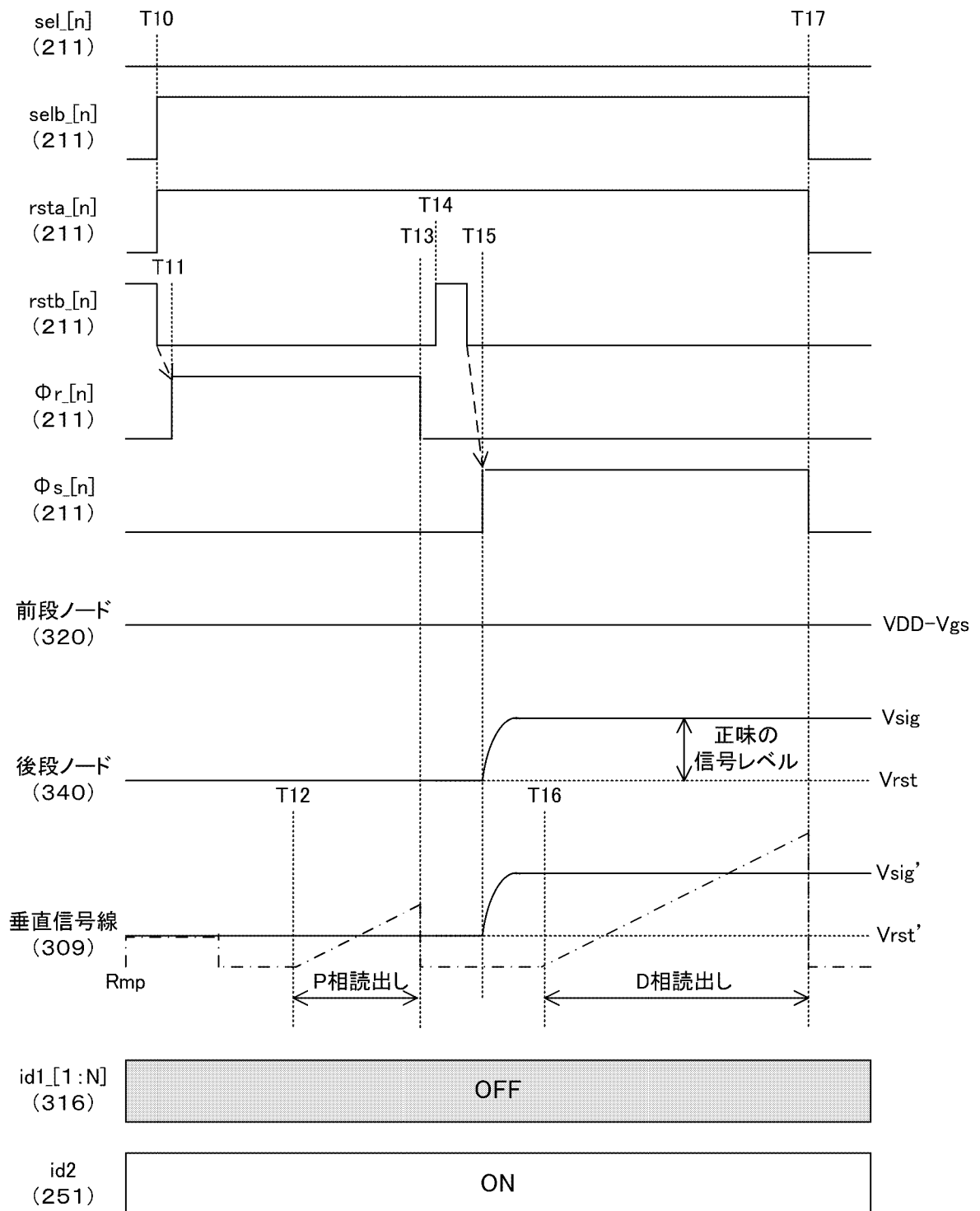


The diagram illustrates a pixel circuit 300, which is a type of semiconductor device. It is divided into three main functional blocks: a first stage circuit 310, a selection circuit 330, and a second stage circuit 350. The circuit is controlled by several signals: rstb , Φ_r , Φ_s , rst , trg , selb , and Vreg . The first stage circuit 310 includes a current source 311, a transistor 312, a transistor 313, a transistor 314, a transistor 315, and a current source 316. The selection circuit 330 includes a transistor 320, a transistor 321, a transistor 322, a transistor 323, and a transistor 324. The second stage circuit 350 includes a transistor 340, a transistor 341, a transistor 351, and a transistor 352. The circuit is powered by VDD1 and VDD2 . The output of the circuit is labeled 309.

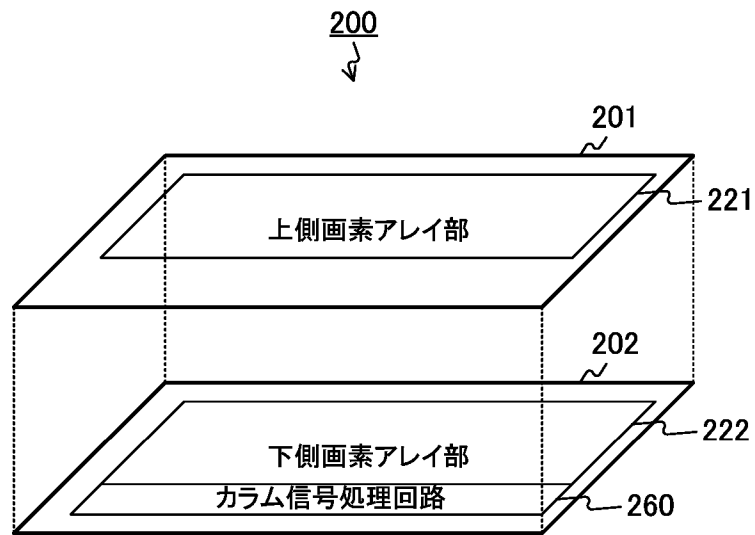
[図13]



[図14]



[図15]



201 202

画素チップ 回路チップ

300

310 画素 330 350

前段回路 選択回路 後段回路

rstb Φ_r Φ_s

VDD

rst

trg

(211)

313 312 315 314 311 id1 316

321 320 322

331 332

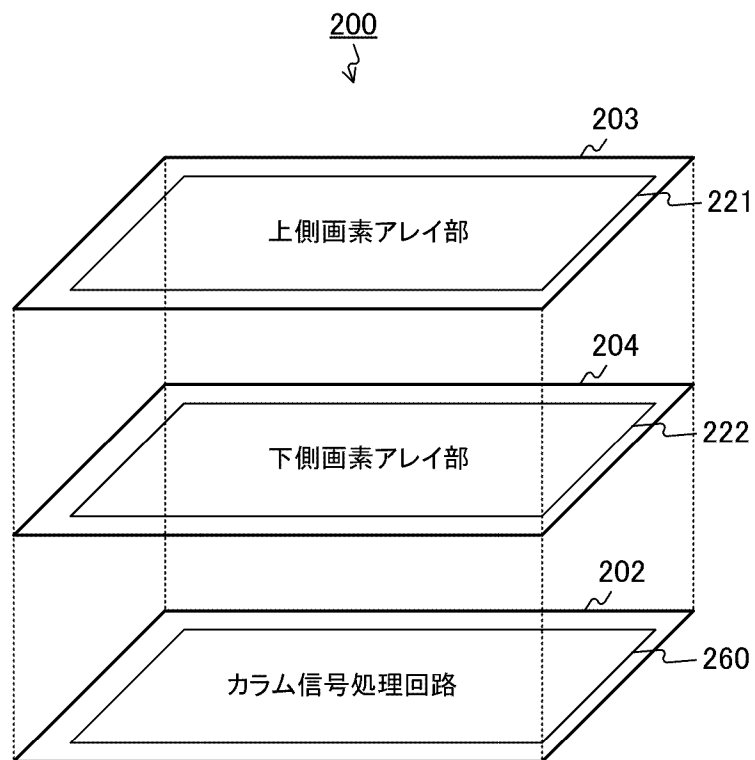
Vreg 341 340 351 352

VDD

selb

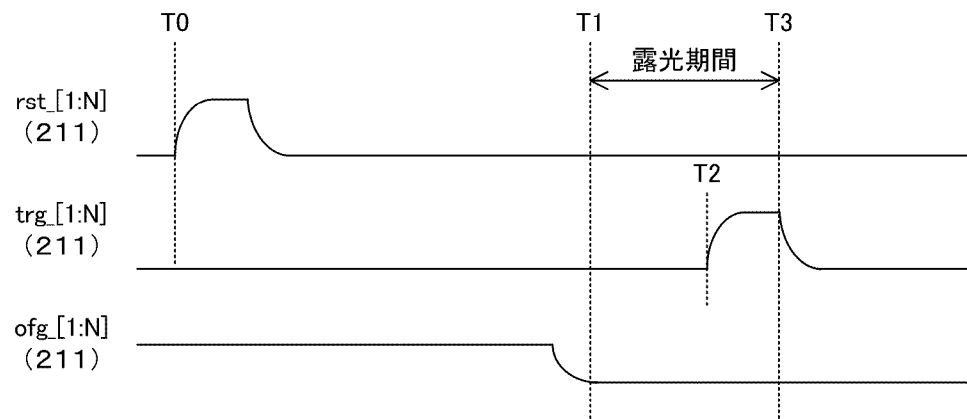
309 (250)

[図17]

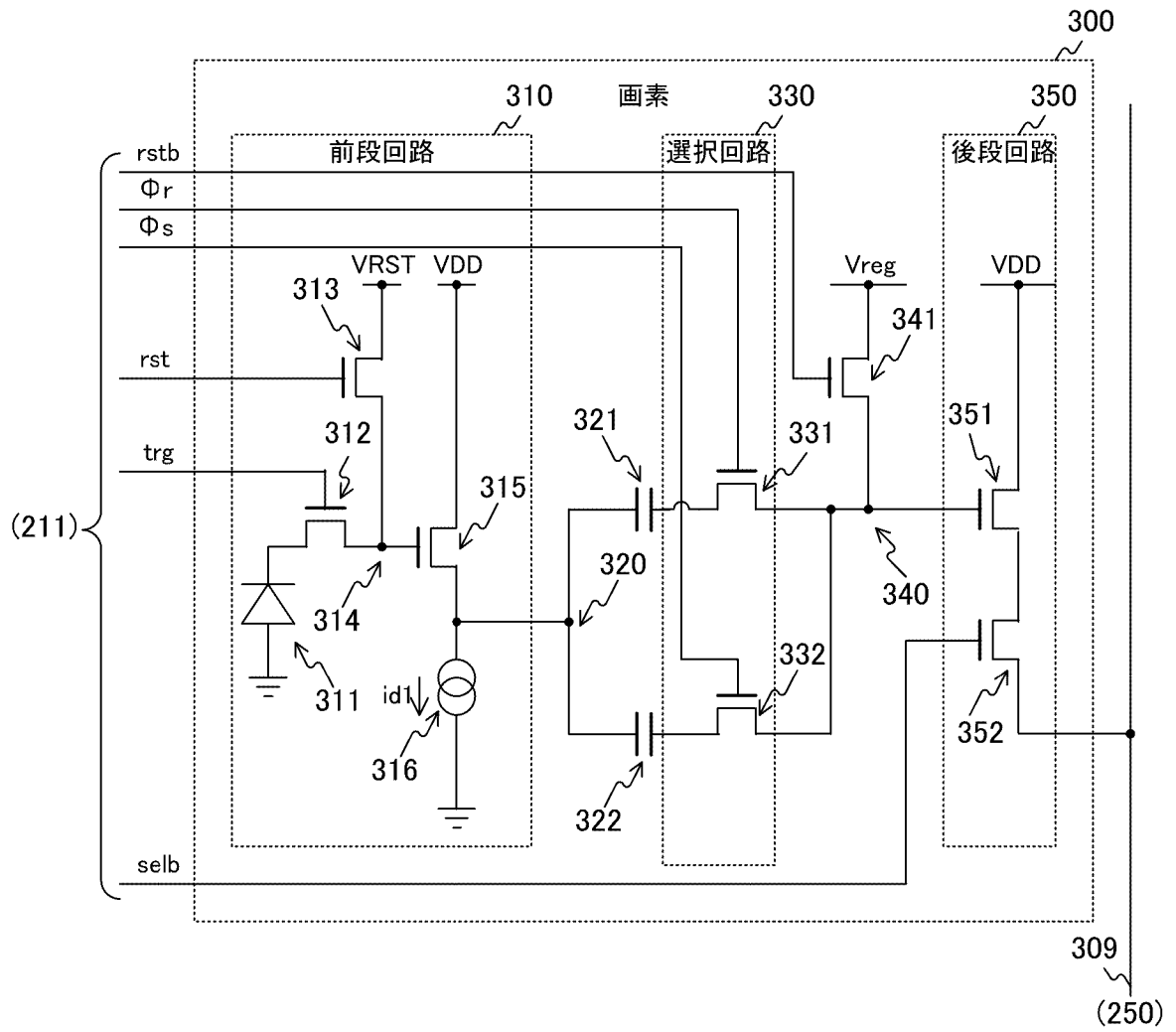


The diagram illustrates a pixel circuit 300, which is a type of semiconductor device. It is divided into three main functional blocks: 310 (前段回路), 330 (選択回路), and 350 (後段回路). The circuit is controlled by several input signals: rstb , Φ_r , Φ_s , rst , trg , ofg , and selb . The circuit includes various transistors (311, 312, 313, 314, 315, 320, 321, 322, 331, 332, 341, 351, 352), capacitors (317, 316), and a current source (311). The output of the circuit is connected to a vertical line 309. The circuit is labeled (211) on the left and (250) at the bottom right.

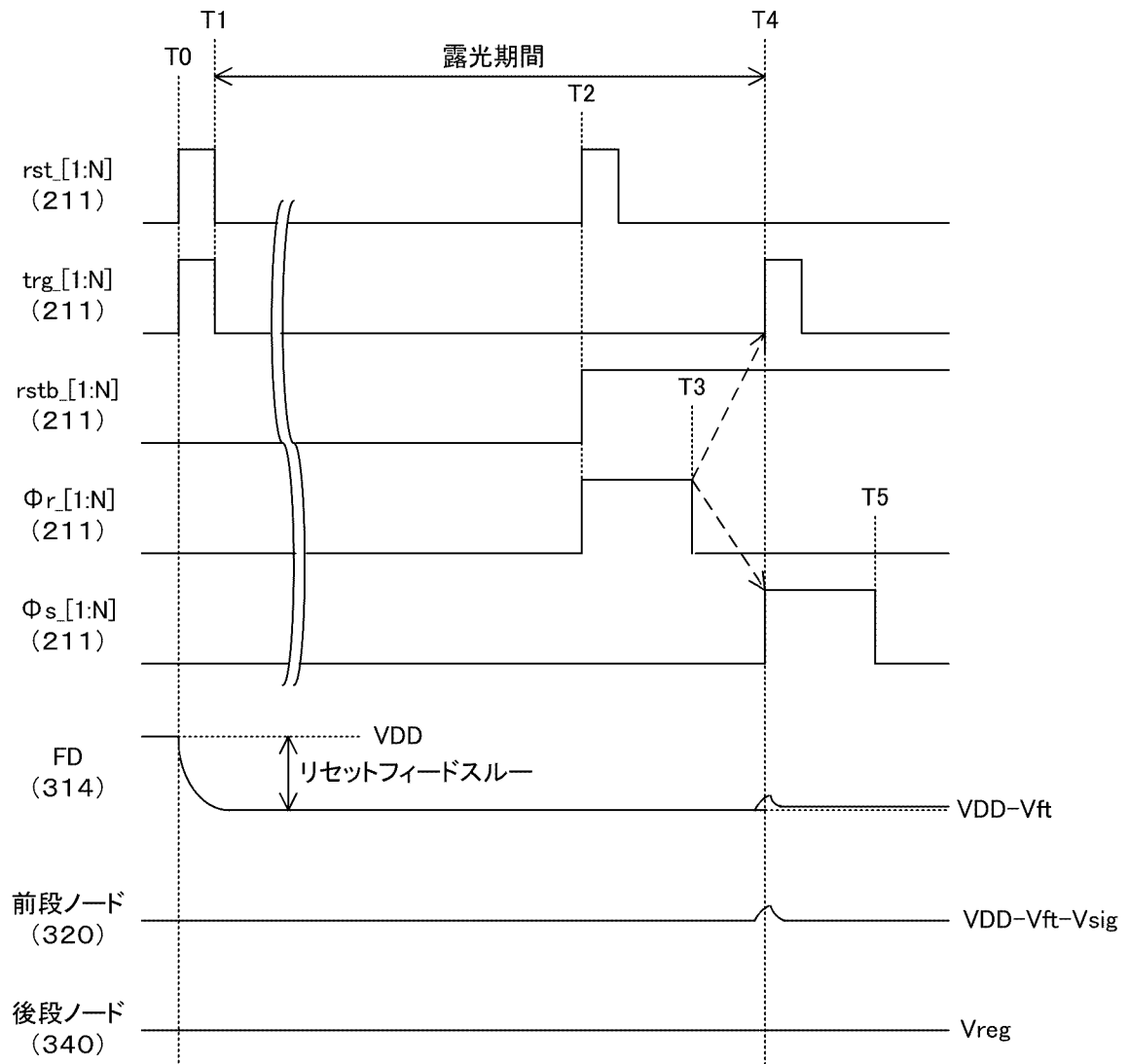
[図19]



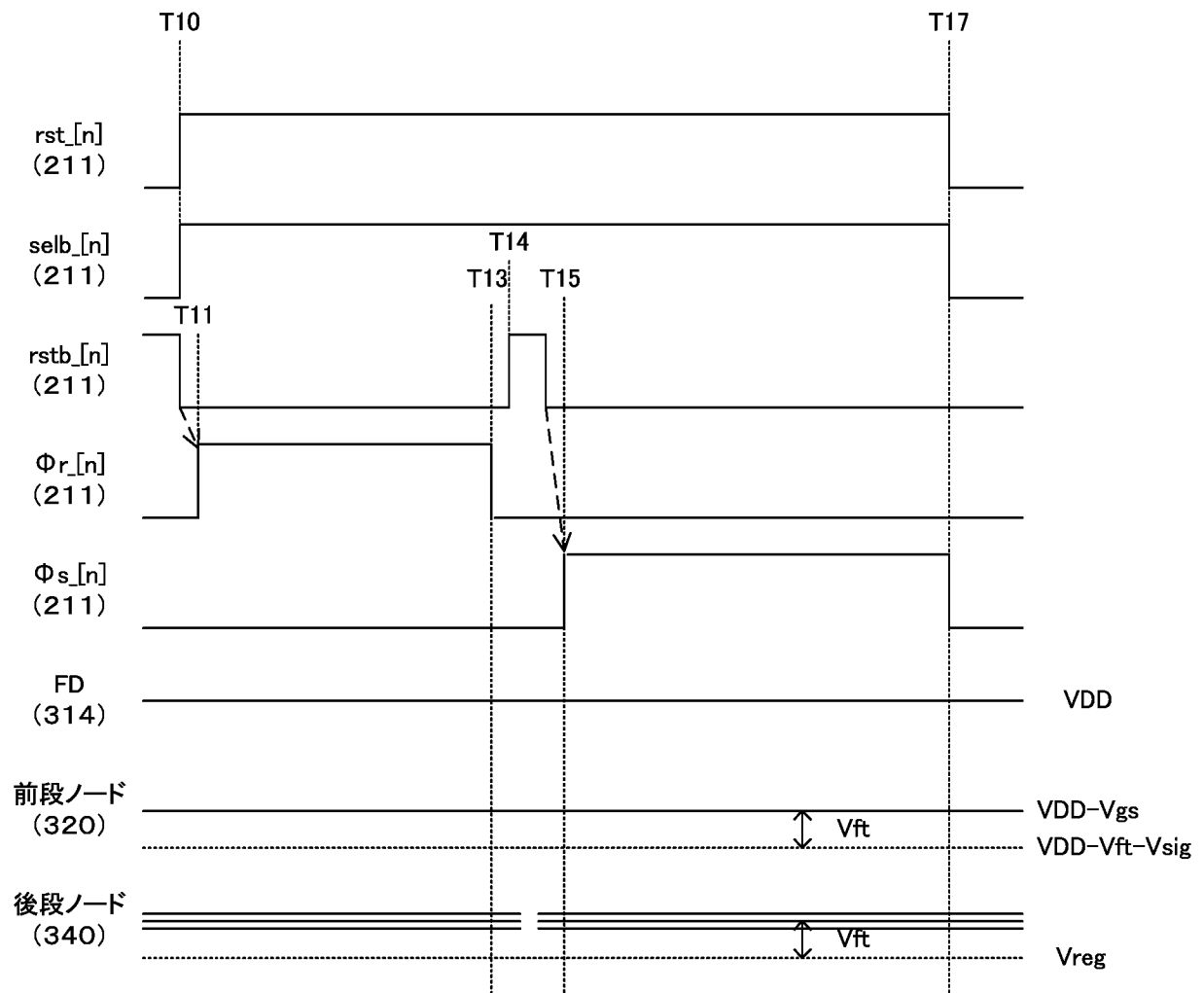
[図20]



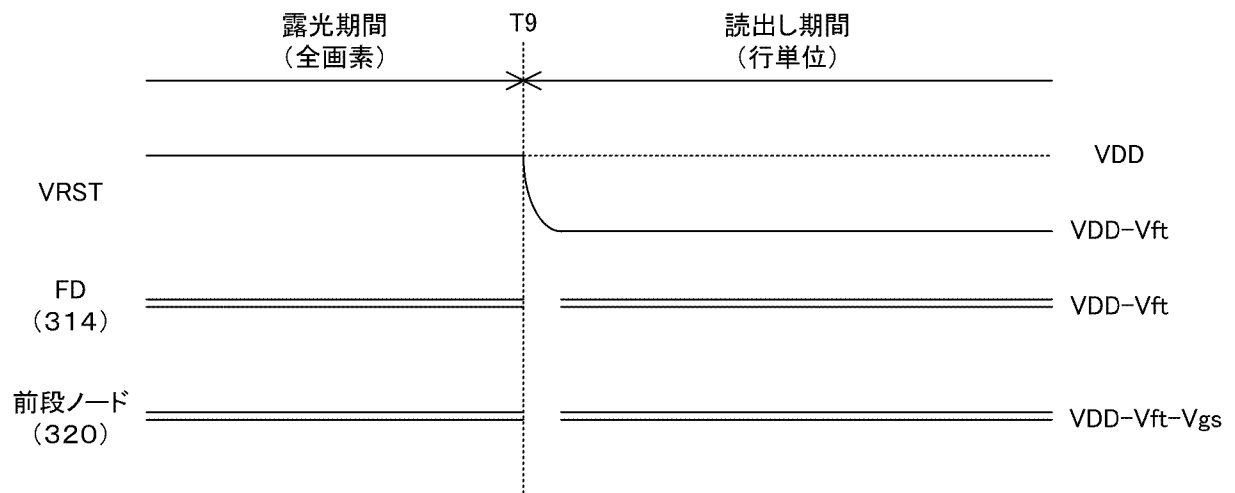
[図21]



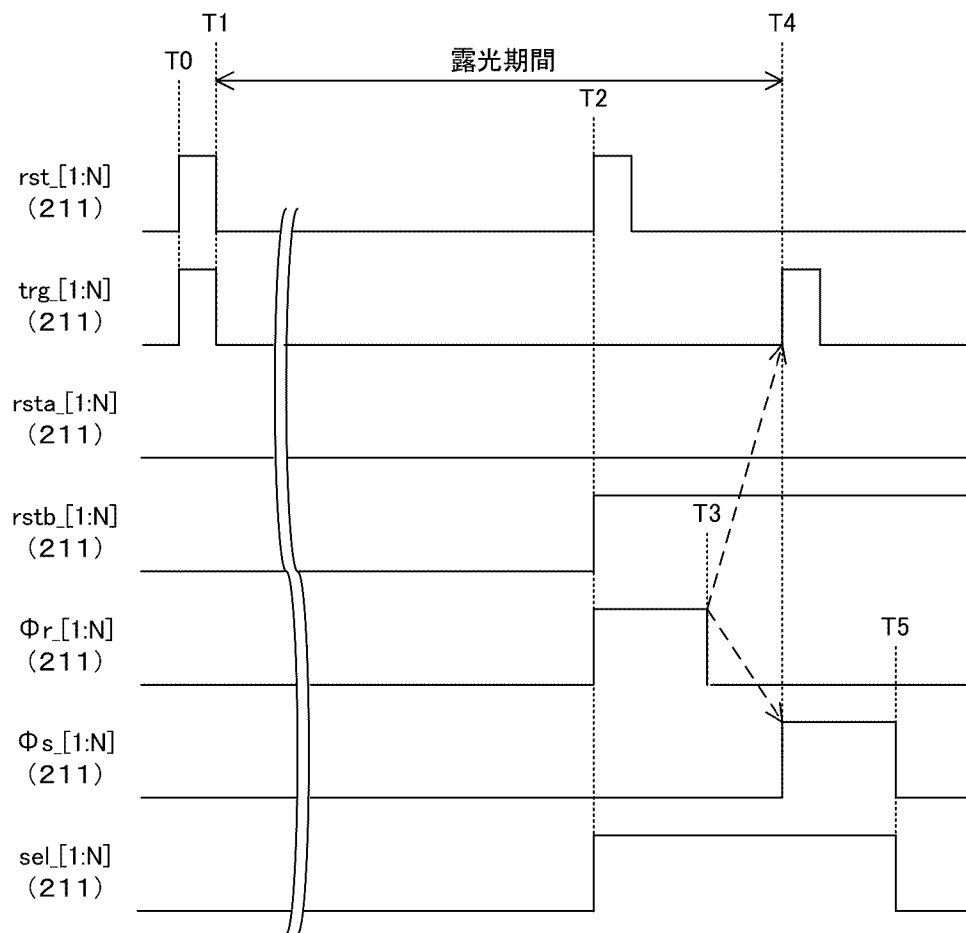
[図22]



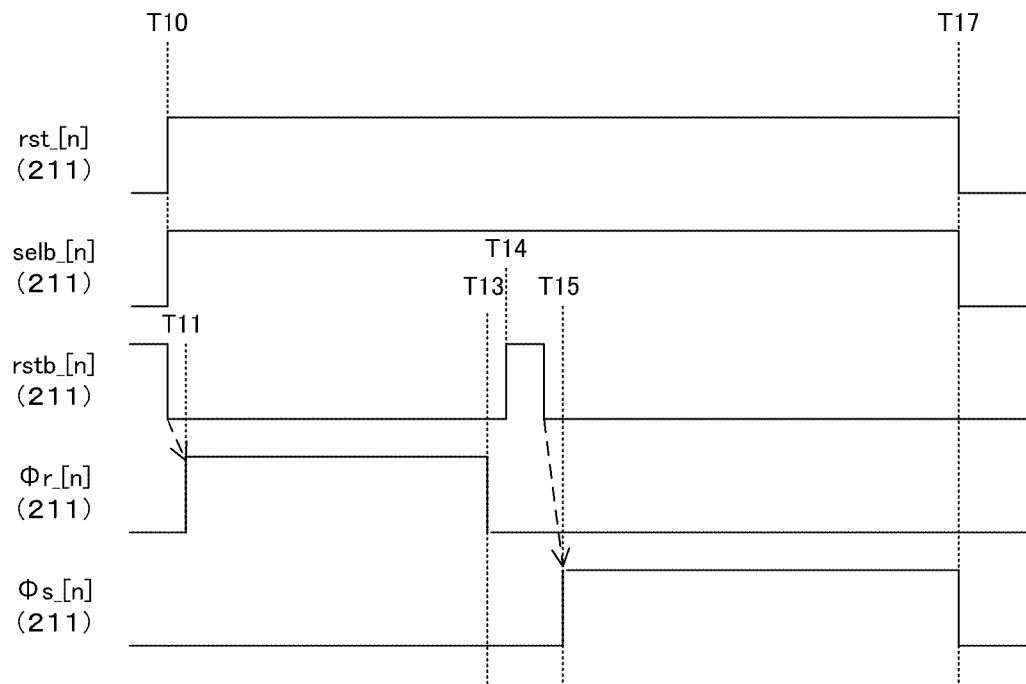
[図23]



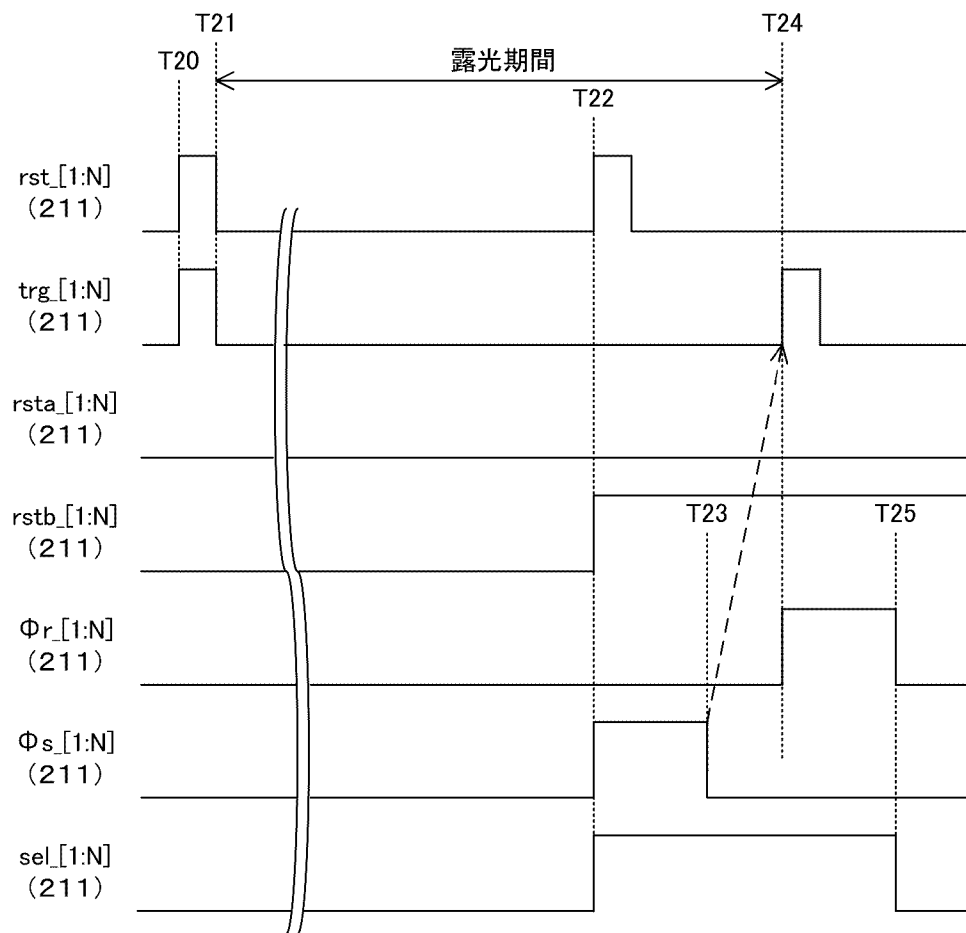
[図24]



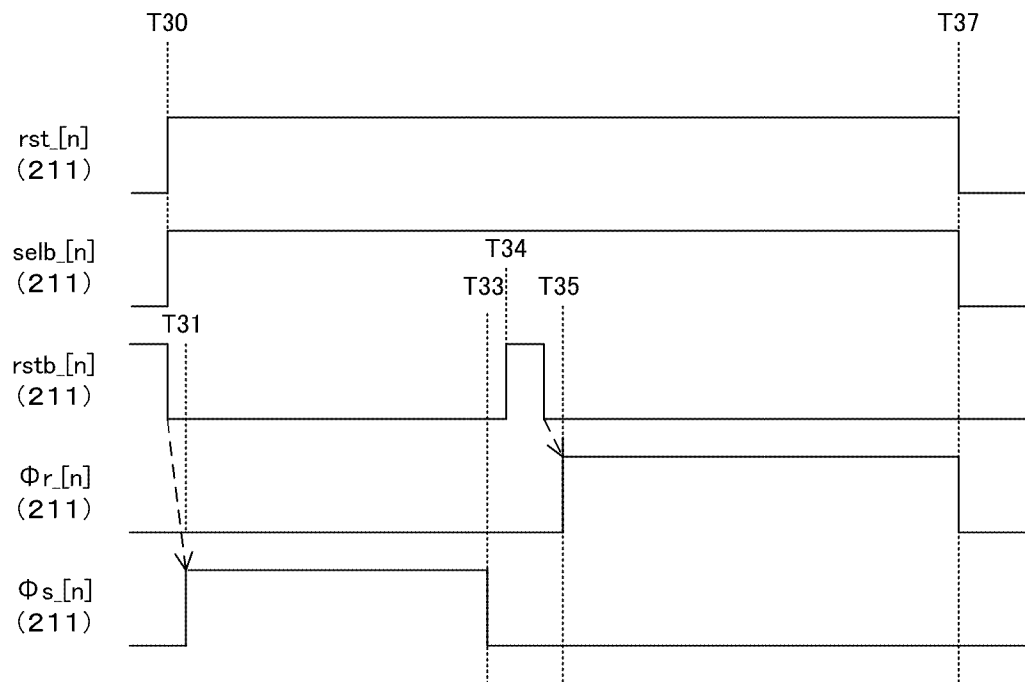
[図25]



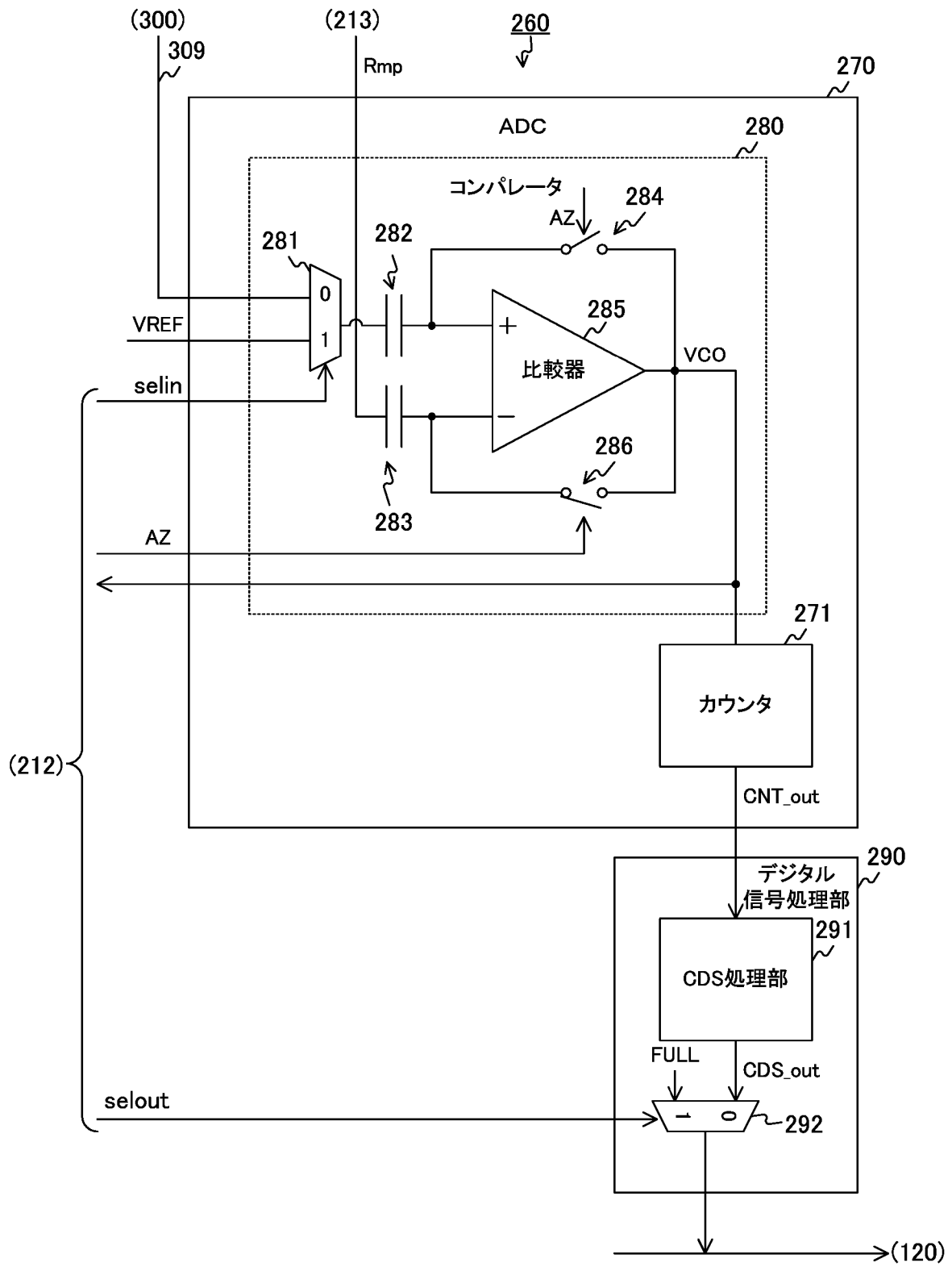
[図26]



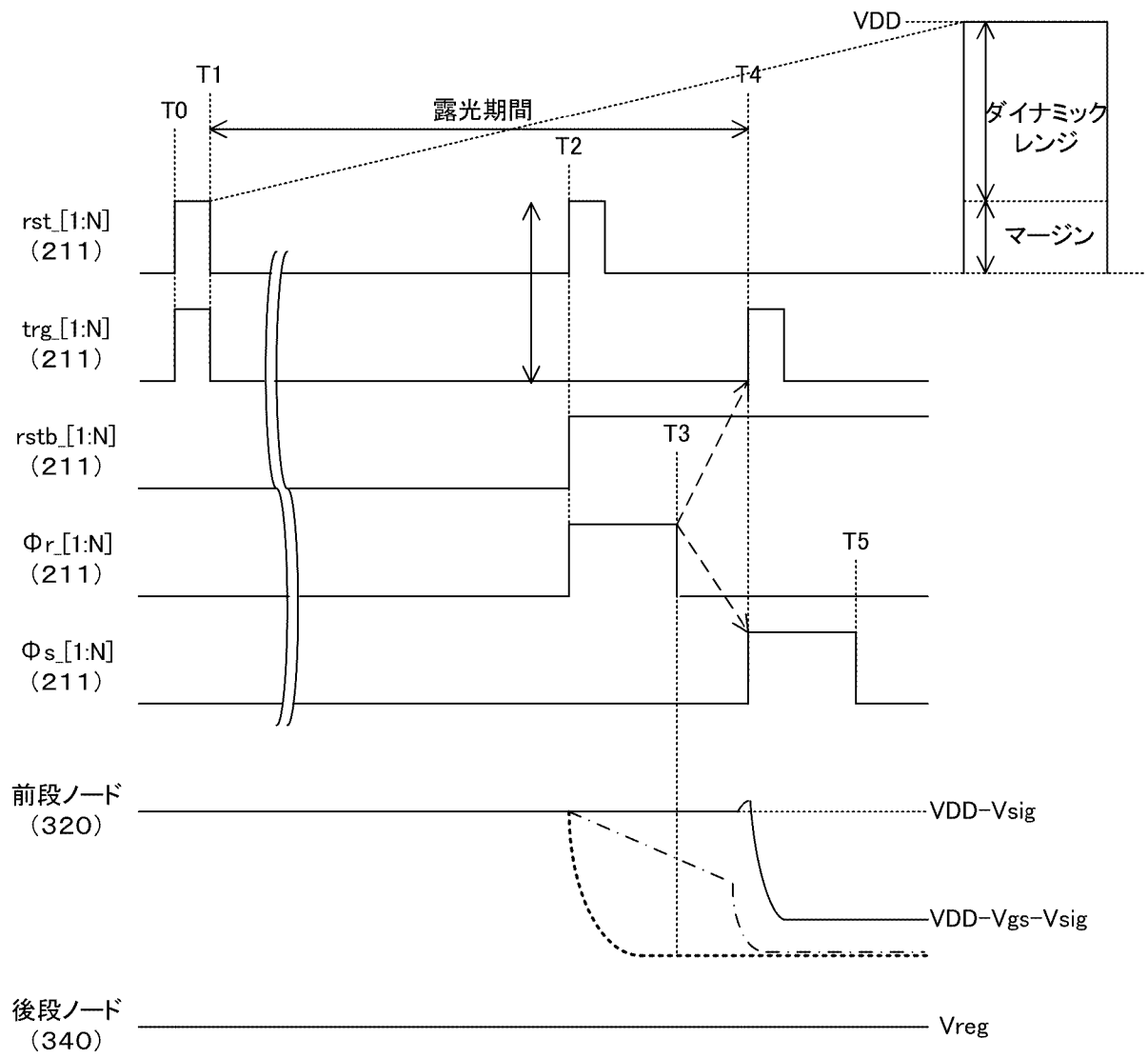
[図27]



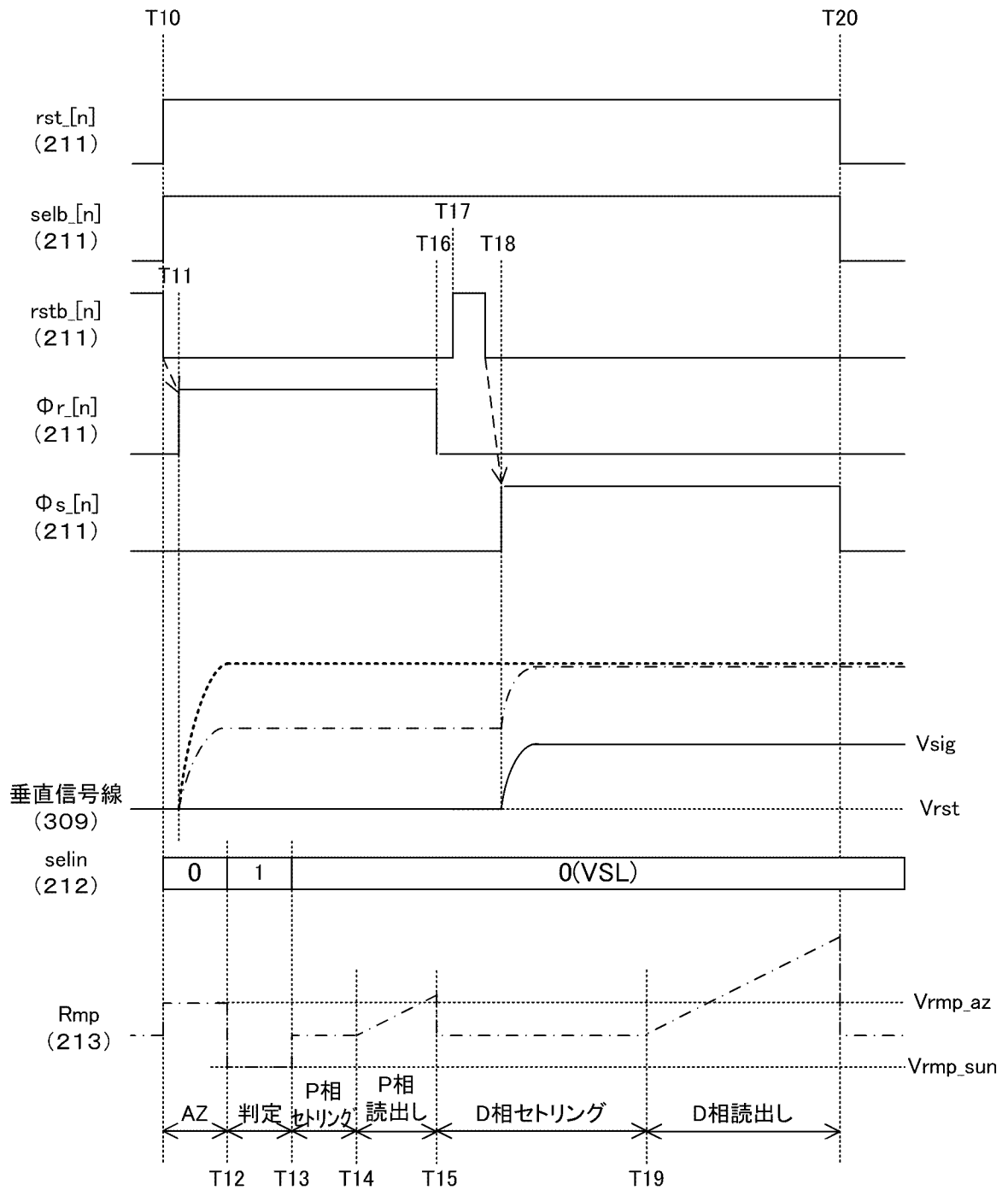
[図28]



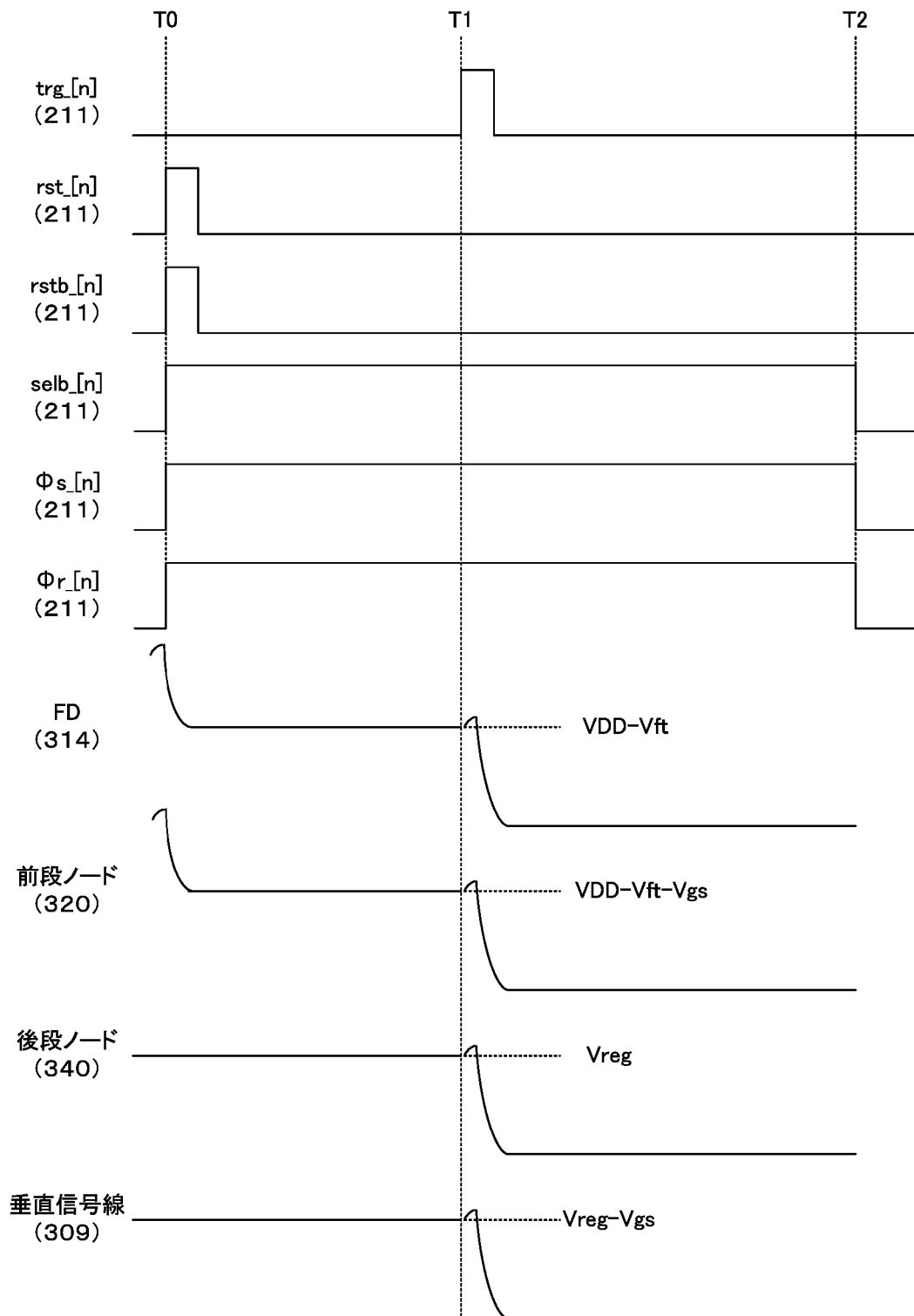
[図29]



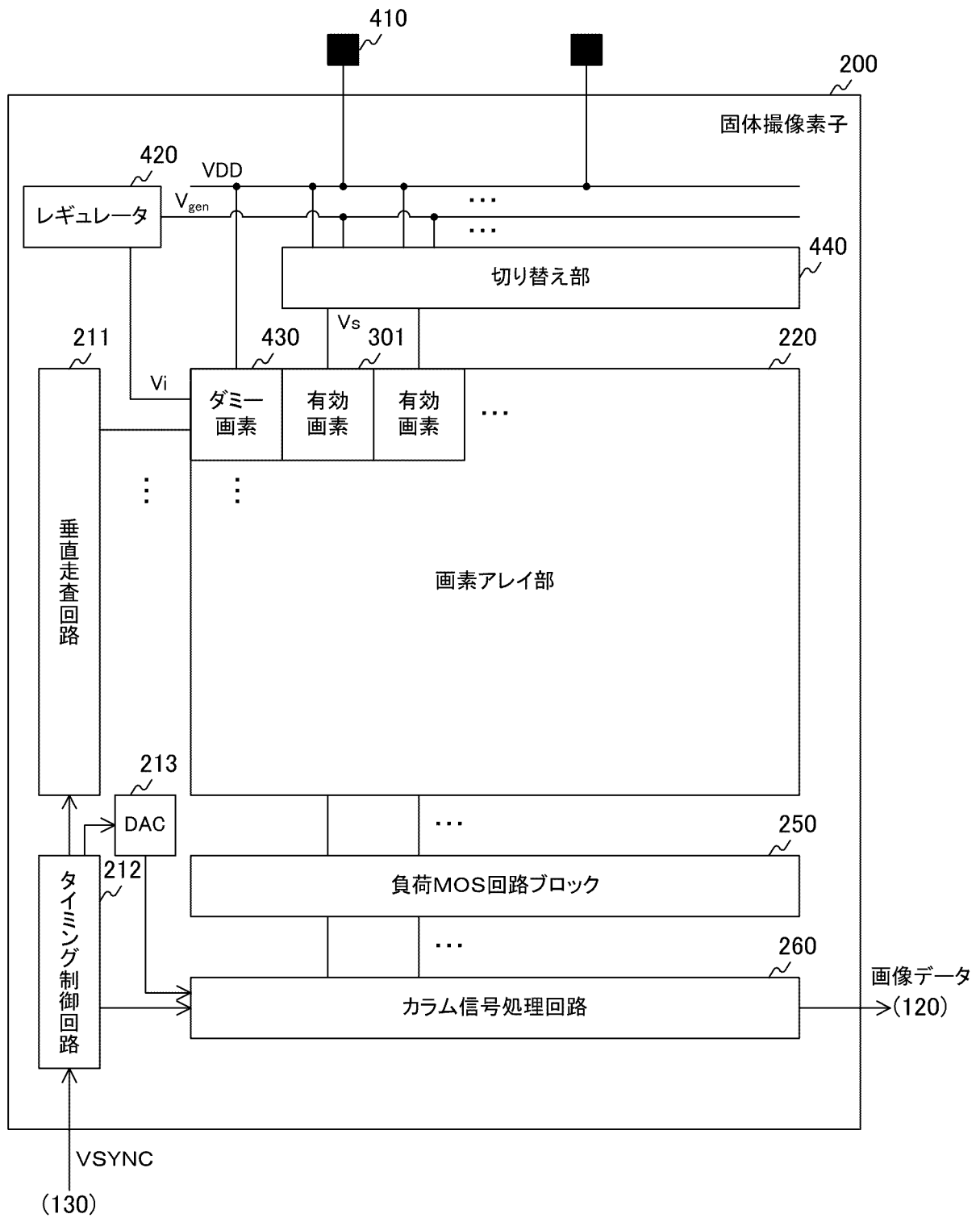
[図30]



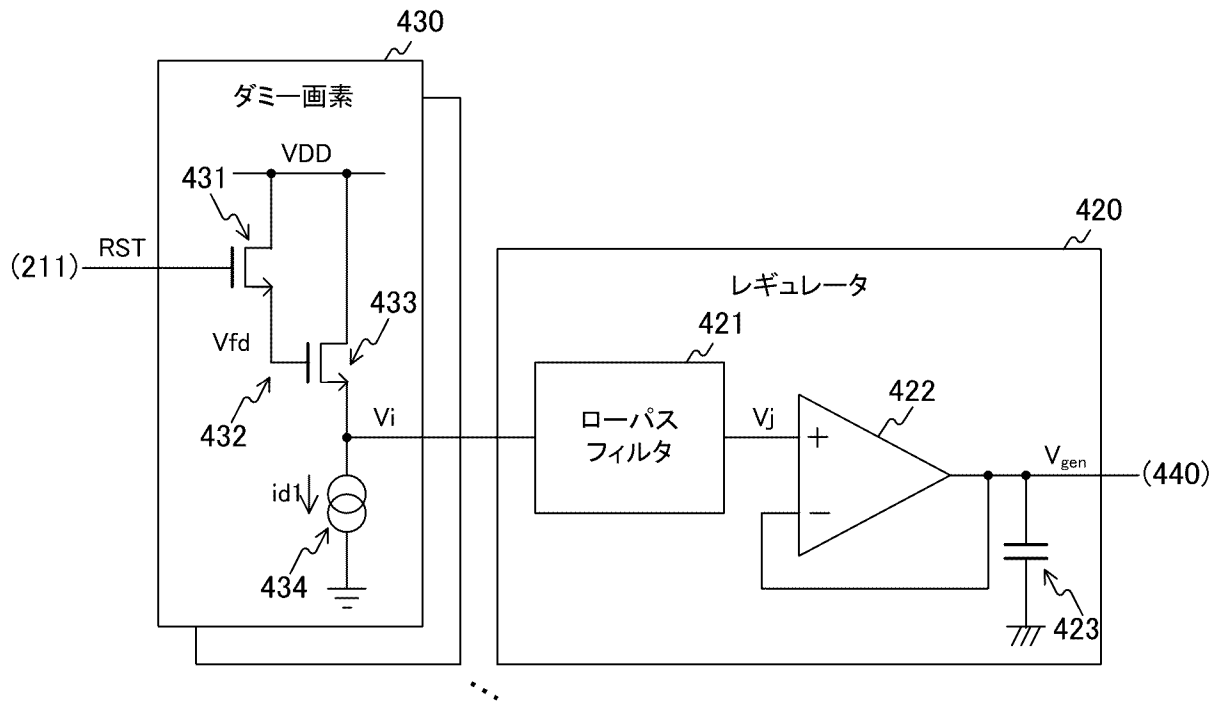
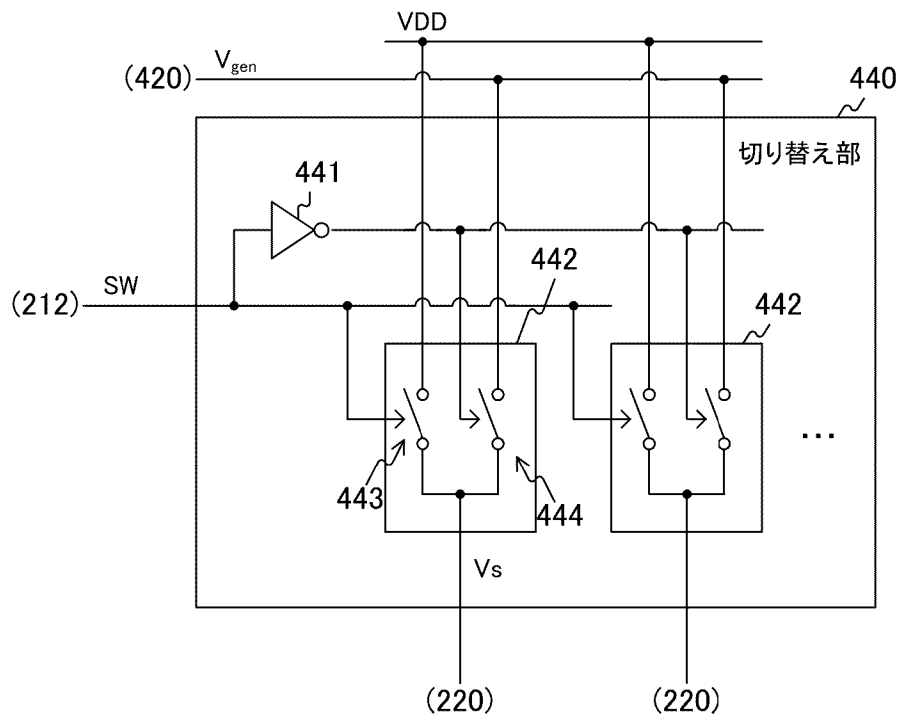
[図31]



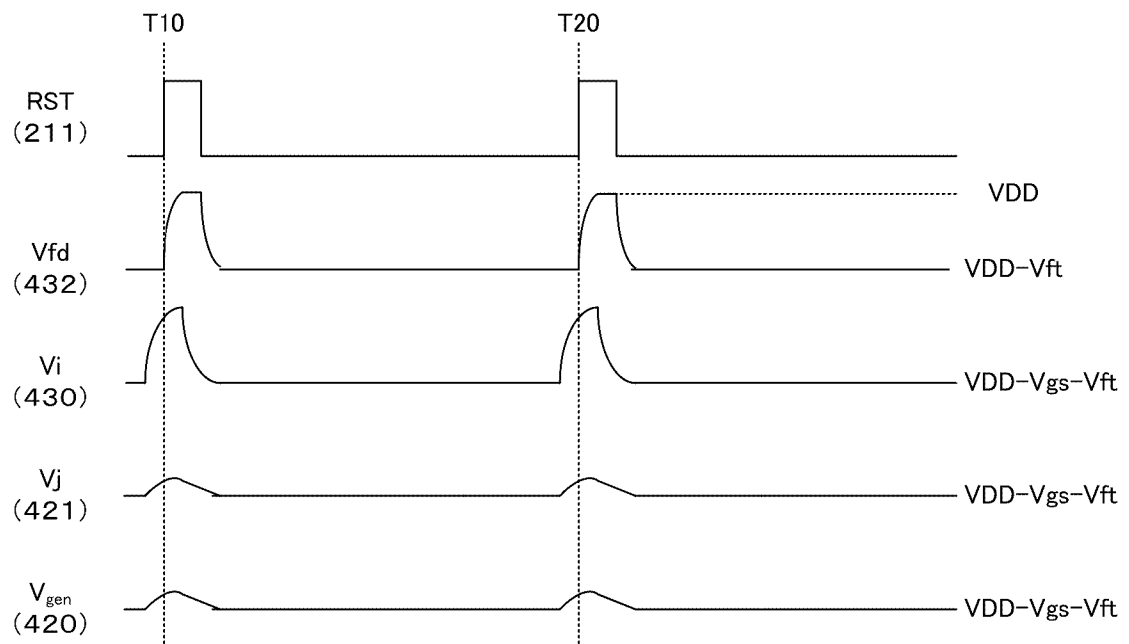
[図32]



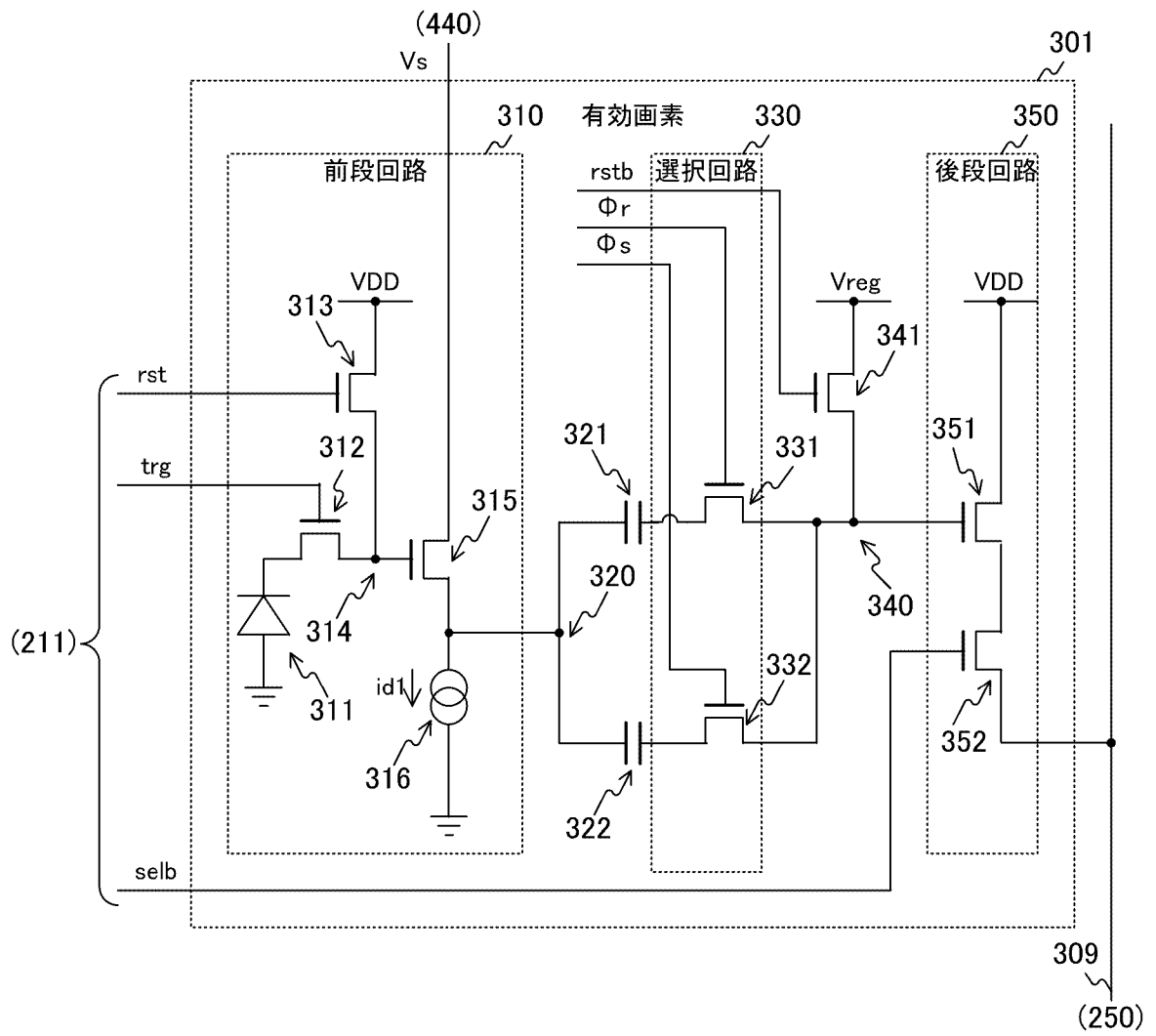
[図33]

ab

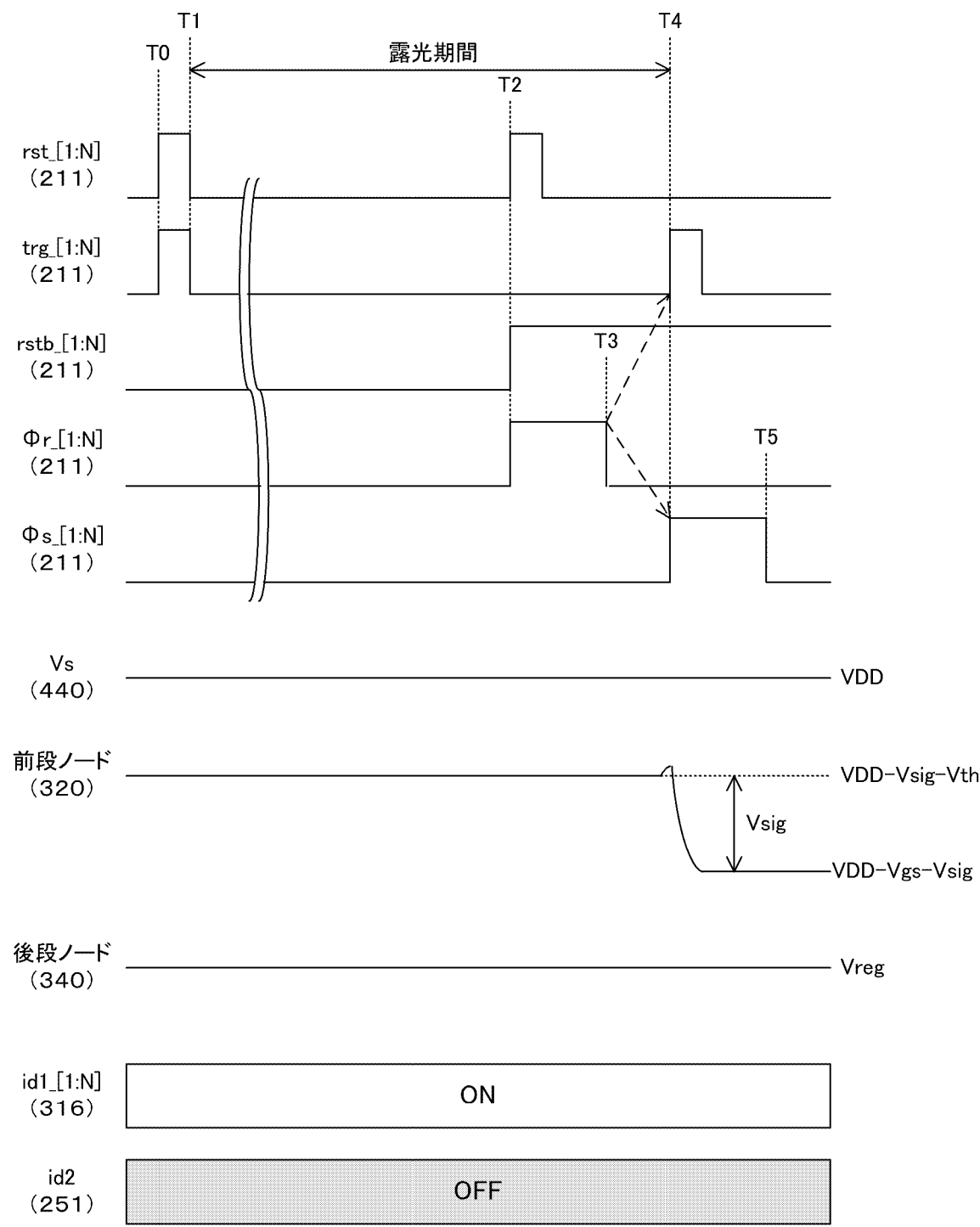
[図34]



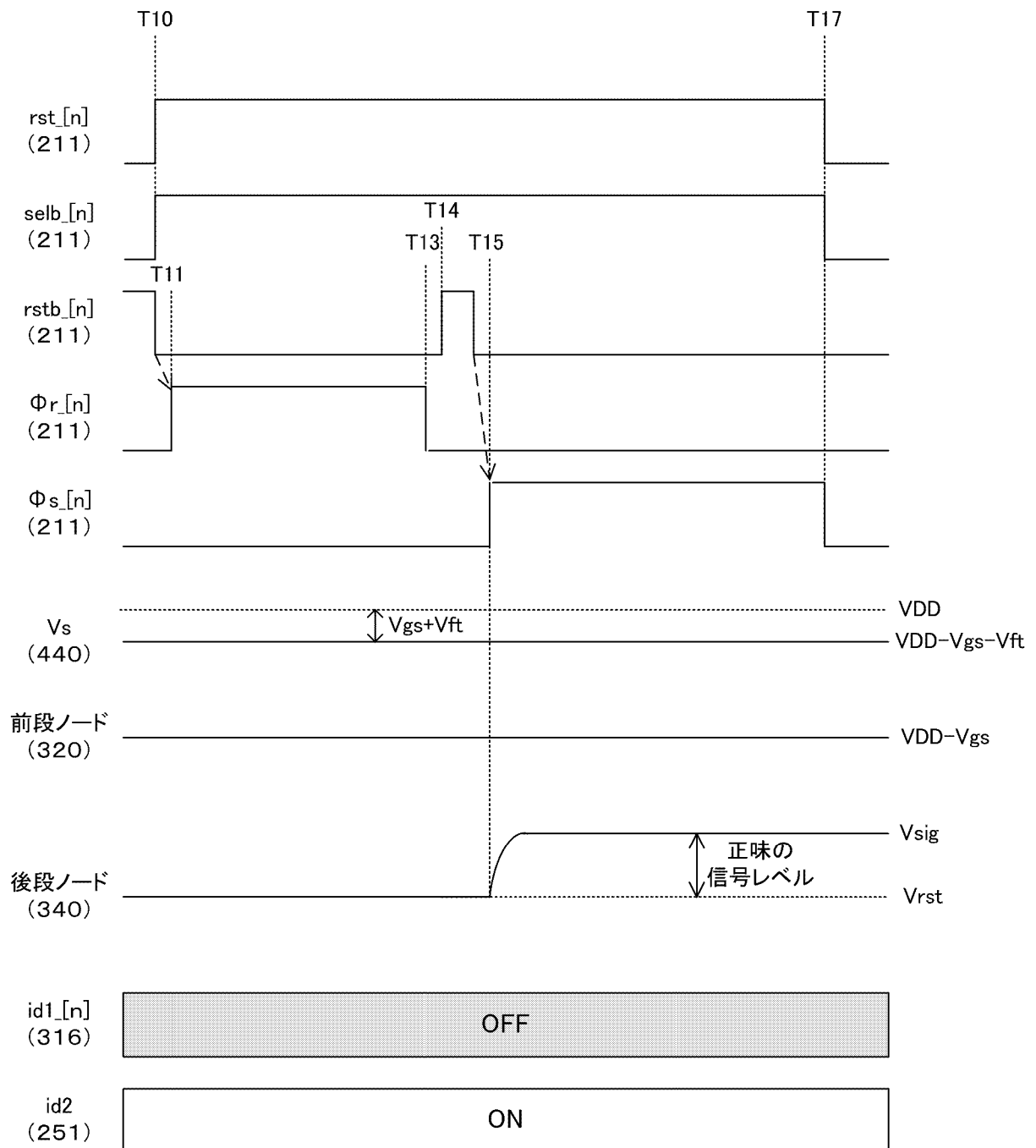
[図35]



[図36]



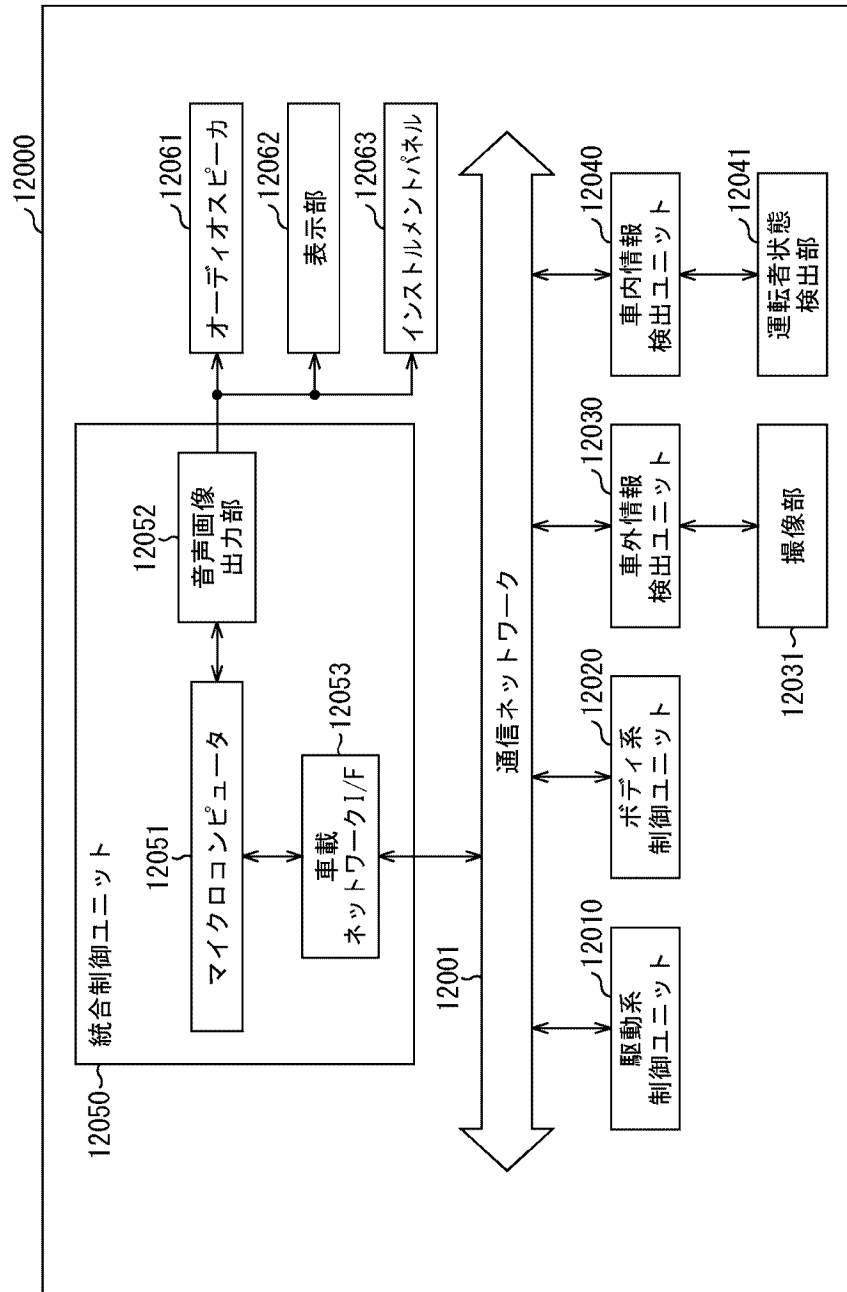
[図37]



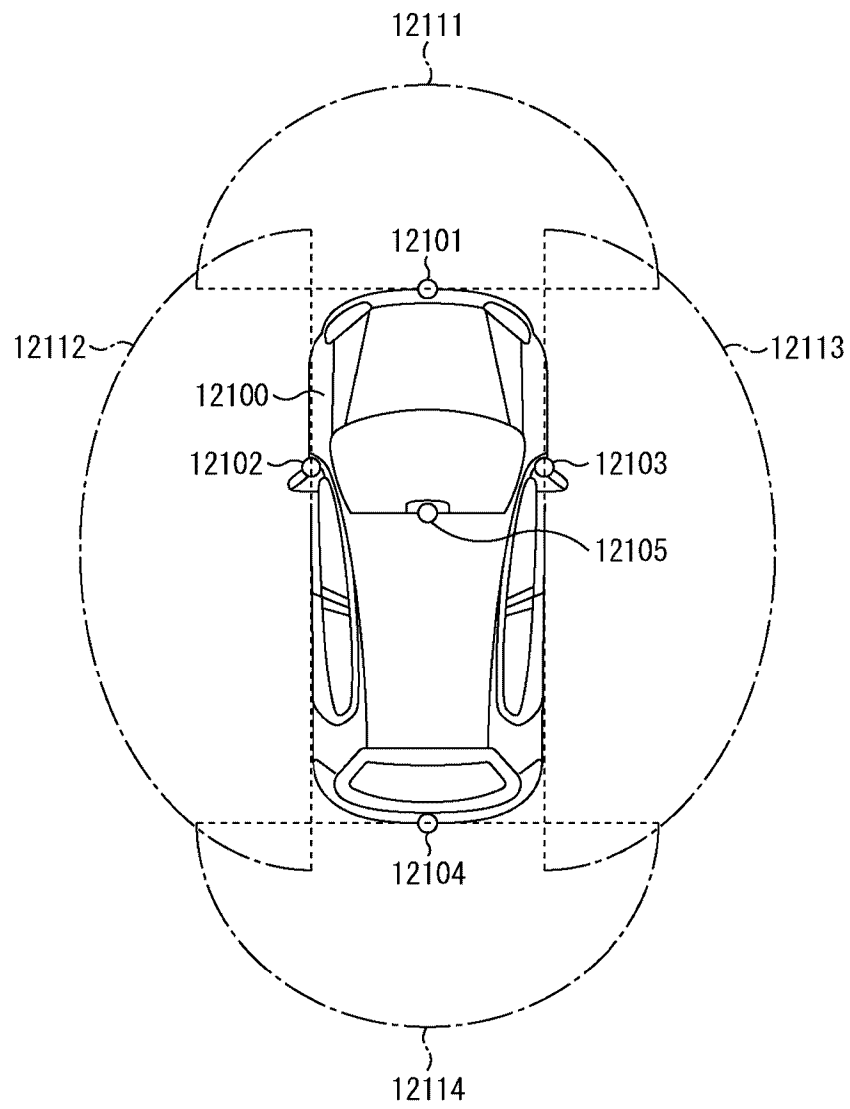
[図38]

動作	ノイズ	RN (μ Vrms)		備考
		第1の実施形態	第7の実施形態	
グローバルシャッター	画素kTCノイズ	450	450	SH容量50fF
順次読出し	前段のSFのノイズ	380	0	—
	後段のSF以降のノイズ	160	160	ADCノイズを含む
合計		610	478	—

[図39]



[図40]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/006785

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H04N5/363 (2011.01) i, H04N5/369 (2011.01) i, H04N5/3745 (2011.01) i, H04N5/378 (2011.01) i

FI: H04N5/369, H04N5/3745 200, H04N5/378, H04N5/363

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H04N5/363, H04N5/369, H04N5/3745, H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2014-96669 A (CANON INC.) 22 May 2014, paragraphs [0039]-[0054], fig. 3	1-4, 8-10, 15-17, 19-23 5-7, 11-14, 18, 24
Y A	US 2018/0063459 A1 (STMICROELECTRONICS LIMITED) 01 March 2018, paragraphs [0024]-[0061], fig. 2	1-4, 8-10, 15-17, 19-23 5-7, 11-14, 18, 24
Y A	JP 2009-296423 A (SONY CORP.) 17 December 2009, paragraphs [0085]-[0105], fig. 3	15-17 5-7, 11-14, 18, 24

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17.05.2021

Date of mailing of the international search report
25.05.2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/006785

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2014-96669 A	22.05.2014	(Family: none)	
US 2018/0063459 A1	01.03.2018	CN 107786821 A paragraphs [0024]- [0061], fig. 2	
JP 2009-296423 A	17.12.2009	US 2011/0074994 A1 paragraphs [0122]- [0143], fig. 3 EP 2290823 A1 KR 10-2011-0014609 A CN 102047563 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/363(2011.01)i; H04N 5/369(2011.01)i; H04N 5/3745(2011.01)i; H04N 5/378(2011.01)i FI: H04N5/369; H04N5/3745 200; H04N5/378; H04N5/363														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H04N5/363; H04N5/369; H04N5/3745; H04N5/378 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2021年													
日本国実用新案登録公報	1996-2021年													
日本国登録実用新案公報	1994-2021年													
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y A</td> <td>JP 2014-96669 A（キヤノン株式会社）22.05.2014（2014-05-22） 段落[0039]-[0054], 図3</td> <td>1-4, 8-10, 15-17, 19-23 5-7, 11-14, 18, 24</td> </tr> <tr> <td>Y A</td> <td>US 2018/0063459 A1（STMICROELECTRONICS LIMITED）01.03.2018（2018-03-01） 段落[0024]-[0061], 図2</td> <td>1-4, 8-10, 15-17, 19-23 5-7, 11-14, 18, 24</td> </tr> <tr> <td>Y A</td> <td>JP 2009-296423 A（ソニー株式会社）17.12.2009（2009-12-17） 段落[0085]-[0105], 図3</td> <td>15-17 5-7, 11-14, 18, 24</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y A	JP 2014-96669 A（キヤノン株式会社）22.05.2014（2014-05-22） 段落[0039]-[0054], 図3	1-4, 8-10, 15-17, 19-23 5-7, 11-14, 18, 24	Y A	US 2018/0063459 A1（STMICROELECTRONICS LIMITED）01.03.2018（2018-03-01） 段落[0024]-[0061], 図2	1-4, 8-10, 15-17, 19-23 5-7, 11-14, 18, 24	Y A	JP 2009-296423 A（ソニー株式会社）17.12.2009（2009-12-17） 段落[0085]-[0105], 図3	15-17 5-7, 11-14, 18, 24
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y A	JP 2014-96669 A（キヤノン株式会社）22.05.2014（2014-05-22） 段落[0039]-[0054], 図3	1-4, 8-10, 15-17, 19-23 5-7, 11-14, 18, 24												
Y A	US 2018/0063459 A1（STMICROELECTRONICS LIMITED）01.03.2018（2018-03-01） 段落[0024]-[0061], 図2	1-4, 8-10, 15-17, 19-23 5-7, 11-14, 18, 24												
Y A	JP 2009-296423 A（ソニー株式会社）17.12.2009（2009-12-17） 段落[0085]-[0105], 図3	15-17 5-7, 11-14, 18, 24												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献														
国際調査を完了した日 17.05.2021		国際調査報告の発送日 25.05.2021												
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 橘 高志 5V 8391 電話番号 03-3581-1101 内線 3571												

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/006785

引用文献			公表日	パテントファミリー文献	公表日
JP	2014-96669	A	22.05.2014	(ファミリーなし)	
US	2018/0063459	A1	01.03.2018	CN 107786821 A	
				段落[0024]-[0061], 図2	
JP	2009-296423	A	17.12.2009	US 2011/0074994 A1	
				段落[0122]-[0143], 図3	
				EP 2290823 A1	
				KR 10-2011-0014609 A	
				CN 102047563 A	