



Patent dodatkowy
do patentu nr _____

Zgłoszono: 21.11.75 (P. 184926)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 23.05.77

Opis patentowy opublikowano: 10.04.1980

Int. Cl.²

G01R 19/26

H03K 13/02

G01K 17/00

Twórca wynalazku: Henryk Gawroński

Uprawniony z patentu: Zjednoczone Zakłady Produkcji Aparatury Naukowej, Warszawa (Polska)

Przetwornik napięcia na częstotliwość

1

Przedmiotem wynalazku jest przetwornik napięcia na częstotliwość przeznaczony do układów automatyki i pomiarów, w tym wymagających stosowania stabilnych i liniowo działających układów sterowania urządzeń kalorymetrycznych.

Znana jest grupa układów przetwarzania sygnałów napięciowych na częstotliwościowe pracujących na zasadzie całkowania przebiegu napięciowego. Układy te realizują przetwarzanie napięć w oddzielnych dla każdego znaku torach lub też są wyposażone w zespoły prostujące na wejściu przetwornika.

Wadą dwutorowych układów przetwarzania jest konieczność stosowania dużej ilości obwodów i elementów oraz często spotykana możliwość otrzymania różnych wyników, w zależności od znaku napięcia wejściowego.

Zastosowanie układów prostujących na wejściu przetwornika jest źródłem wystąpienia nieliniowości przetwarzania zwłaszcza w zakresie małych napięć wejściowych.

Znane są przetworniki napięcia na częstotliwość, w których odwrócone w fazie sygnały napięciowe są zwykle przetwarzane na sygnały prostokątne w pierwszym zespole przełączającym, włączonym między wyjściem układu wzmacniającego o wyjściach z odwróconą fazą, a wejściem układu całkującego, połączonego z jednym wejściem komparatora, sterowanego na drugim wejściu z kluczkowanym źródła odniesienia. Elementy

2

przełączające tego źródła są sterowane z wyjść komparatora.

Zgodnie z wynalazkiem obwód wejściowy przetwornika napięcia na częstotliwość stanowi układ o przełączanym wzmacnieniu zawierający układy wzmacniające o różniącym się n -krotnie wzmacnieniu. Obwód wejściowy jest połączony poprzez znany tor przetwarzania napięcia na częstotliwość z drugim zespołem przełączającym włączonym pomiędzy wyjściami komparatora i dwustabilnego detektora znaku a wejściami naprzemiennie przełączanych elementów przełączających pierwszego zespołu przełączającego.

Drugi zespół przełączający oddziałuje na pierwszy zespół przełączający za pośrednictwem sygnałów odpowiadających dodatnim i ujemnym napięciom wejściowym przetwornika, doprowadzanych z wyjść komparatora oraz dwustabilnego detektora znaku sterowanego bezpośrednio z wyjścia obwodu wejściowego.

Jedno z wyjść komparatora jest połączone z torem przełączania wzmacnienia obwodu wejściowego w zależności od zmian poziomu sygnału wejściowego przetwornika. Tor ten, zgodnie z wynalazkiem, zawiera układ formowania impulsów, połączony poprzez dzielnik częstotliwości o stałej podziału odpowiadającej n -krotności wzmacnienia w obwodzie wejściowym i układ wyróżniania stanu początkowego dzielnika połączonego z jednym wejściem układu przełączania

wzmocnienia obwodu wejściowego. Układ ten zmienia swój stan na wyjściu w chwili jednoczesnego doprowadzenia do jego dwu wejść odpowiednio: impulsu odpowiadającego zakończeniu pełnego cyklu podziału częstotliwości i do drugiego wejścia sygnału odpowiadającego zmianie poziomu sygnału wejściowego przetwornika z wyjścia dwustanowego detektora poziomu, połączonego z wyjściem wzmacniacza o mniejszym wzmocnieniu obwodu wejściowego.

Wyjście układu przełączania wzmocnienia jest połączone z naprzemian przełączanymi elementami przełączającymi obwodu wejściowego.

Obwód wyjściowy przetwornika wyposażony w zespół elementów logicznych jest sterowany z wyjścia: układu formowania impulsów dla sygnałów wejściowych przetwornika o dużym poziomie oraz z wyjścia dzielnika częstotliwości — dla sygnałów o poziomie n -krotnie niższym od maksymalnego.

Stan elementów logicznych tego zespołu zmieniają: sygnały wyjściowe z układu przełączania wzmocnienia w zależności od poziomu sygnałów wejściowych przetwornika oraz sygnały wyjściowe z dwustabilnego detektora znaku w zależności od polaryzacji sygnałów wejściowych przetwornika.

Drugi zespół przełączający zawiera w jednym z wykonń elementy kluczujące, których wejścia są połączone parami tak, że wejście klucza zwanego jest zawsze połączone z wejściem klucza rozwartego, które to wejścia są połączone z wyjściami komparatora, a stan ich jest ustalony sygnałem wyjściowym dwustabilnego detektora znaku. Wyjścia tych kluczy są również połączone parami tak, że wyjście klucza zwanego jest połączone z wyjściem klucza rozwartego, ale w odwrotnej konfiguracji do wejścia. Wyjścia te sterują odpowiadającymi im elementami przełączającymi naprzemian przełączanych kluczy pierwszego zespołu przełączającego w torze przetwarzania napięcia na częstotliwość.

Zespół elementów logicznych obwodu wyjściowego stanowią w jednym z wykonń dwie pary bramek logicznych, których pierwsze wejścia bramek pierwszej pary są połączone odpowiednio dla każdej bramki: z wyjściem układu formowania impulsów oraz z wyjściem dzielnika częstotliwości, a pozostałe wejścia z wyjściem układu rozdzielania. Wspólne wyjście tych bramek stanowi pierwsze wyjście obwodu wyjściowego dla sygnałów wyjściowych o częstotliwości proporcjonalnej do poziomu sygnału wejściowego przetwornika dla napięć ujemnych i dodatnich i jest połączone ze wspólnym wejściem drugiej pary bramek. Pozostałe wejścia tej pary bramek są połączone z wyjściem dwustabilnego detektora znaku, a ich wyjścia tworzą niezależne wyjścia obwodu wyjściowego dla sygnałów o dodatniej i ujemnej polaryzacji sygnału wejściowego przetwornika.

Obwód wyjściowy w przetworniku według wynalazku odznacza się dużą opornością wyjściową, układ przetwornika jest mało rozbudowany i zapewnia powtarzalność wyniku przetwarzania dla obydwu polaryzacji napięć wejściowych przy wy-

sokiej liniowości przetwarzania i stabilności pracy nawet przy szybkich zmianach poziomu sygnału wejściowego.

Przykład wykonania przetwornika według wynalazku ilustruje rysunek, na którym fig. 1 przedstawia schemat blokowy układu połączeń, fig. 3 — przebiegi sygnałów napięciowych w charakterystycznych punktach układu przy zmianie poziomu sygnału wejściowego oraz fig. 2 — przebiegi przy zmianie polaryzacji tego sygnału.

Jak to zobrazowano na fig. 1 — obwód wejściowy I stanowi zespół o przełączanym wzmocnieniu: zawierający dwa układy wzmacniające, z których każdy jest utworzony ze wzmacniacza z dołączonym do jego wyjścia kluczem. Wzmocnienie jednego ze wzmacniaczy 1 tego zespołu jest n -krotnie mniejsze od wzmocnienia k drugiego wzmacniacza 2. Klucze K_1 , K_2 są naprzemian przełączane w zależności od poziomu sygnału wejściowego E , realizując przełączanie wzmocnienia obwodu wejściowego I, którego wyjście — utworzone przez połączone ze sobą wyjścia obydwu kluczy, jest połączone z układem wzmacniającym 3: o dwu wyjściach z odwróconą fazą.

Odwrócone w fazie sygnały U_2 , U_3 pokazane na fig. 2, o poziomach $+k_1 E$ i $-k_1 E$, gdzie k_1 — odpowiada wypadkowemu wzmocnieniu obwodu wejściowego I i układu wzmacniającego 3 są przekazywane poprzez odpowiadające im, naprzemian przełączane klucze K_3 , K_4 pierwszego zespołu przełączającego 4 i tworzą sygnał U_4 o przebiegu prostokątnym podawany na wejście układu całkującego 5.

Nachylenie zboczy scałkowanego sygnału wyjściowego U_5 układu całkującego jest liniową funkcją sygnału wejściowego E . Sygnał U_5 jest porównywany na wejściu komparatora 6 z sygnałem wyjściowym U_6 kluczowanego źródła odniesienia 7. Tym samym amplituda sygnału U_5 na wyjściu układu całkującego 5 jest stała, a jej wielkość jest określona stałym poziomem napięcia odniesienia U_6 .

W wyniku porównania sygnałów wyjściowych U_5 , U_6 na wyjściach komparatora 6 otrzymuje się dwa sygnały U_7 , U_8 o fazach przeciwnych. Każdy z tych sygnałów jest przekazywany do połączonych z każdym z wyjść komparatora, odpowiadających im — naprzemian przełączanych kluczy K_5 , K_6 kluczowanego źródła odniesienia 7 oraz poprzez klucze K_7 , K_8 , K_9 , K_{10} drugiego zespołu przełączającego 8 do kluczy K_3 , K_4 pierwszego zespołu przełączającego 4, w postaci sygnałów U_{11} , U_{12} .

Drugi zespół przełączający 8 zawiera elementy przełączające K_7 , K_8 , K_9 , K_{10} , których wyjścia są połączone parami tak, że wejście klucza zwanego jest zawsze połączone z wejściem klucza rozwartego. Do utworzonych w ten sposób dwu wejść są doprowadzane sygnały wyjściowe U_7 , U_8 z komparatora 6. Wyjścia tych kluczy są również połączone parami tak, że wyjście klucza zwanego jest połączone z wyjściem klucza rozwartego, ale w przeciwnej konfiguracji do wejścia. W tak zrealizowanym układzie, gdy wejście klucza K_7 jest zwarte z wejściem klucza K_{10} , wejście klucza

K_8 jest zwarte z wejściem klucza K_9 , a wówczas wyjście klucza K_7 jest zwarte z wyjściem klucza K_9 , oraz klucza K_8 z wyjściem klucza K_{10} . Wyjścia te są połączone z odpowiadającymi im elementami przełączającymi naprzemian przełączających kluczy K_3 , K_4 pierwszego zespołu przełączającego 4.

Każda z dwu par kluczy K_7 , K_8 , oraz K_9 , K_{10} jest sterowana dodatkowo sygnałami U_9 , U_{10} z dwu wyjść dwustabilnego detektora znaku 9. Wejście detektora znaku 9 jest połączone z wyjściem wzmacniacza o małym wzmocnieniu obwodu wejściowego I. Fazy dwu sygnałów wyjściowych U_9 , U_{10} detektora znaku 9 są zawsze przeciwne i zależne od polaryzacji napięcia wejściowego E doprowadzanego do wejścia przetwornika. Każda zmiana fazy sygnału wejściowego E powoduje zatem zmianę faz sygnałów wyjściowych U_9 , U_{10} detektora znaku 9, a tym samym zmianę stanu kluczy K_7 , K_8 , K_9 , K_{10} drugiego zespołu przełączającego.

Opisane wyżej rozwiązanie umożliwia zatem przetwarzanie sygnałów wejściowych E niezależnie od ich polaryzacji, bowiem: dla dodatnich napięć wejściowych E jeden sygnał wyjściowy U_7 z komparatora 6 poprzez zwarty jeden klucze K_3 drugiej pary drugiego zespołu przełączającego 8 steruje elementem przełączającym jednego z kluczy K_3 pierwszego zespołu przełączającego 4, natomiast drugi sygnał wyjściowy U_9 komparatora 6 poprzez zwarty drugi klucze K_{10} drugiej pary steruje elementem przełączającym drugiego klucza K_4 pierwszego zespołu przełączającego. Pierwsza para kluczy K_7 , K_8 jest wówczas rozwarta.

Dla doprowadzonego ujemnego sygnału wejściowego E drugi sygnał wyjściowy U_7 komparatora steruje poprzez zwarty jeden z kluczy K_3 pierwszej pary kluczy elementem przełączającym drugiego klucza K_4 pierwszego zespołu przełączającego, a pierwszy sygnał wyjściowy U_9 komparatora 6 poprzez zwarty drugi klucze K_7 pierwszej pary steruje elementem przełączającym pierwszego klucza K_3 pierwszego zespołu przełączającego 4. Druga para kluczy K_8 , K_{10} jest wówczas rozwarta.

Jedno z wyjść komparatora 6 jest również połączone z układem formowania impulsów 10, sterującym na wyjściu jedno z wejść pierwszej bramki 15 obwodu wyjściowego II oraz wejście dzielnika częstotliwości 11, którego stała podziału odpowiada dokładnie n -krotności wzmocnienia wzmacniacza 2 o dużym wzmocnieniu w obwodzie wyjściowym I. Wyjście dzielnika częstotliwości jest połączone z jednym z wejść drugiej bramki 16 obwodu wyjściowego II oraz z układem wyróżniania 12 stanu początkowego podziału częstotliwości dzielnika 11, generującym impuls po zakończeniu każdego cyklu n -krotnego podziału częstotliwości i steruje jedno wejście układu przełączania wzmocnienia 13, którego drugie wejście jest sterowane z dwustanowego detektora poziomu 14 połączonego z wyjściem wzmacniacza 1 o małym wzmocnieniu w obwodzie wejściowym I.

Dwa wyjścia układu przełączania wzmocnienia 13 sterują naprzemian elementy przełączające kluczy K_1 , K_2 w obwodzie wejściowym I oraz

drugie wejścia pierwszej i drugiej bramki 15, 16 obwodu wyjściowego II.

Układy detektora poziomu 14 i układu przełączania wzmocnienia 13 są układami dwustanowymi.

Na wyjściu detektora poziomu 14 przy dużym poziomie sygnału wejściowego E powstaje dodatni sygnał napięciowy U_{16} , natomiast przy sygnale $E_{\max}$

—, gdzie $E_{\max}$ jest maksymalnym sygnałem n wejściowym, na wyjściu detektora sygnał napięciowy jest równy zeru.

Sygnały wyjściowe U_{17} i U_{18} na wyjściu układu przełączania wzmocnienia 13 mają fazy przeciwne, zależne od poziomu sygnału wejściowego E przetwornika. Duże sygnały wejściowe E powodują, że sygnały wyjściowe U_{17} i U_{18} układu przełączania wzmocnienia 13 zawierają klucze K_1 i rozwierają klucze K_2 , natomiast sygnały wejściowe E o poziomie n -krotnie niższym od maksymalnego rozwierają klucze K_1 i zwierają klucze K_2 .

Zmiana stanu na wyjściu układu przełączania wzmocnienia 13 następuje w wyniku jednoczesnego oddziaływania na ten układ dwu sygnałów U_{16} z wyjścia detektora poziomu 14 oraz U_{15} z wyjścia układu 12 wyróżniania stanu początkowego dzielnika 11. Przykładowo: w momencie n -krotnego spadku poziomu napięcia wejściowego E w stosunku do poziomu maksymalnego $E_{\max}$, na wyjściu detektora poziomu 14 następuje zmiana jego stanu. Zmiana ta nie wywołuje zmiany stanu na wyjściu układu przełączania wzmocnienia 13 do chwili zakończenia cyklu podziału częstotliwości w dzielniku częstotliwości 11, to jest do chwili pojawienia się najbliższego impulsu na wyjściu układu wyróżniania 12 stanu początkowego. W momencie tym następuje zmiana stanu układu przełączania wzmocnienia 13, a sygnały wyjściowe U_{17} i U_{18} z tego układu zmieniają stan połączonych z nim kluczy K_1 , K_2 i stan bramek pierwszej i drugiej 15 i 16. Zmiana stanu kluczy K_1 , K_2 powoduje zmianę napięcia V_1 z wartości $k \cdot E_{\max}$

— do $k \cdot E_{\max}$

n

Następne impulsy U_{15} pojawiające się na wyjściu układu wyróżniania 12 stanu początkowego nie zmieniają stanu wyjścia układu przełączania wzmocnienia 13. Przy odwrotnym kierunku zmiany poziomu napięcia wejściowego E przetwornika następuje zmiana stanu detektora poziomu 14, a w chwili pojawienia się pierwszego sygnału na wyjściu układu wyróżniania 12, oznaczającego zakończenie cyklu podziału, zmienia się również stan na wyjściu układu przełączania wzmocnienia 13.

Sygnały wyjściowe układu przełączania wzmocnienia 13 zmieniają również stan pierwszej i drugiej bramki 15 i 16 obwodu wyjściowego II, przez co na wspólnym wyjściu tych bramek otrzymuje się sygnały wyjściowe U_{wy1} dla dużych poziomów sygnału wejściowego E przetwornika doprowadzanych do tych bramek bezpośrednio z wyjścia układu formowania impulsów 10, a dla poziomów

niższych sygnału wejściowego E , bezpośrednio z wyjścia dzielnika częstotliwości 11. W ten sposób na wyjściu pierwszej i drugiej bramki 15, 16 obwodu wyjściowego II uzyskuje się sygnały wyjściowe o częstotliwości proporcjonalnej do poziomu sygnału wejściowego E , przy czym dla sygnału wejściowego $E_{\max}$ okres sygnałów wyjściowych

równy jest T , natomiast dla $\frac{E_{\max}}{n}$ okres ten wynosi $T \cdot n$.

Ma to na celu uniknięcie błędu przetwarzania przy często zmieniającym się poziomie napięcia wejściowego E wskutek czasu niezbędnego do przeprowadzenia podziału częstotliwości.

Obwód wyjściowy II ma również przewidziane dwa oddzielne wyjścia U_{wy2} i U_{wy3} stanowiące wyjścia trzeciej i czwartej bramki 17 i 18 tego obwodu dla selekcji sygnałów wyjściowych przetwornika w zależności od polaryzacji sygnałów wejściowych, co realizuje się przy zmianie stanu tych bramek sygnałami doprowadzanymi do ich wejść z wyjścia dwustabilnego detektora znaku 9.

Rozwiązanie przetwornika według wynalazku umożliwia uzyskanie liniowości w szerokim obszarze zmian napięcia wejściowego dla pełnego zakresu przetwarzania.

Układ zapewnia uzyskanie przetwarzania napięcia wejściowego E przetwornika niezależnie od jego polaryzacji i bez konieczności rozbudowywania jego układów, bowiem przetwarzanie następuje w tych samych obwodach przetwornika.

Poza tym uzyskuje się pełną powtarzalność wyników dla obu znaków napięcia wejściowego, gdyż przełączanie przy ich zmianie odbywa się w drugim zespole przełączającym, nie mającym większego wpływu na pracę układu nawet przy dużych wymaganiach dotyczących liniowości przetwarzania oraz stabilności pracy.

Opracowany układ według wynalazku, ze względu na uzyskane parametry znajduje szerokie zastosowanie w dziedzinie automatyki i pomiarów, w urządzeniach laboratoryjnych, na przykład w kalorymetrii, gdzie badane reakcje mają często charakter egzotermiczny lub endotermiczny i wymagają stosowania stabilnych i liniowo działających układów sterowania.

Zastrzeżenia patentowe

1. Przetwornik napięcia na częstotliwość wyposażony w obwód wejściowy połączony z torem przetwarzania sygnału napięciowego na sygnał częstotliwości, w którym odwrócone w fazie sygnały napięciowe są przetwarzane na sygnały prostokątne w pierwszym zespole przełączającym, włączonym między wyjściem układu wzmacniającego o wyjściach z odwróconą fazą a wejściem układu całkującego, połączonym z jednym wejściem komparatora, sterowanego na drugim wejściu z kluczowanego źródła odniesienia, którego elementy przełączające są sterowane z wyjść komparatora oddziaływującego pośrednio na obwód wyjściowy, znamienny tym, że obwód wejściowy (I) stanowi układ o przełączanym wzmoc-

nieniu zawierający układy wzmacniające o różniącym się n -krotnie wzmocnieniu, połączony poprzez tor przetwarzania napięcia na częstotliwość z drugim zespolem przełączającym (8), oddziaływującym na połączone z jego wyjściem naprzemian przełączane elementy przełączające (K_7 , K_8) pierwszego zespołu przełączającego (4) za pośrednictwem sygnałów (U_7 , U_8), (U_9 , U_{10}) zależnych od polaryzacji napięcia wejściowego (E) przetwornika, doprowadzanych do wejść drugiego zespołu przełączającego (8) z połączonych z nimi wyjść komparatora (6) oraz dwustabilnego detektora znaku (9), sterowanego bezpośrednio z wyjścia jednego ze wzmacniaczy obwodu wejściowego (I), przy czym jedno wyjście komparatora (6) jest połączone z torem przełączania obwodu wejściowego (I) przy zmianach poziomu sygnału wejściowego (E) przetwornika, który to tor zawiera układ formowania impulsów (10), połączony poprzez dzielnik częstotliwości (11) o stałej podziału odpowiadającej n -krotności wzmocnienia w obwodzie wejściowym (I) oraz układ wyróżniania (12) stanu początkowego dzielnika z jednym wejściem układu przełączania wzmocnienia (13), zmieniającego swój stan na wyjściu w chwili jednoczesnego doprowadzenia do niego impulsu odpowiadającego zakończeniu pełnego cyklu podziału częstotliwości oraz do jego drugiego wejścia sygnału wejściowego odpowiadającego sygnałowi wejściowemu (E) przetwornika przy zmianie poziomu tego sygnału, z wyjścia dwustanowego detektora poziomu (14), połączonego z wyjściem wzmacniacza o mniejszym wzmocnieniu obwodu wejściowego (I), a wyjście układu przełączania wzmocnienia (13) jest połączone z naprzemian przełączanymi elementami przełączającymi (K_1 , K_2) obwodu wejściowego (I) w zależności od kierunku zmiany poziomu sygnału wejściowego (E) przetwornika, przy czym wejście obwodu wyjściowego (II) jest połączone i sterowane z wyjścia układu formowania impulsów (10) dla sygnałów wejściowych o dużym poziomie lub z wyjścia dzielnika częstotliwości (11) dla sygnałów o poziomie n -krotnie niższym od maksymalnego, a stan elementów logicznych tego obwodu zmieniają sygnały wyjściowe z układu przełączania wzmocnienia (13) w zależności od poziomu sygnałów wejściowych (E) przetwornika oraz sygnały wyjściowe (U_9 , U_{10}) z dwustabilnego detektora znaku (9) w zależności od polaryzacji sygnałów wejściowych (E) przetwornika.

2. Przetwornik napięcia na częstotliwość według zastrz. 1, znamienny tym, że drugi zespół przełączający (8) zawiera elementy kluczujące (K_7 , K_8 , K_9 , K_{10}), których wejścia są połączone parami tak, że wejście klucza zwartego jest zawsze połączone z wejściem klucza rozwartego, które to wejścia są połączone z wyjściami komparatora (6) a stan ich jest ustalany z wyjścia dwustabilnego detektora znaku (9), a wyjścia tych kluczy są również połączone parami tak, że wyjście klucza zwartego jest połączone z wyjściem klucza rozwartego, ale w odwrotnej konfiguracji do wejścia, przy czym wyjścia te są połączone z odpowiadającymi im elementami przełączającymi naprzemian prze-

łączanych kluczy (K_3 , K_4) pierwszego zespołu przełączającego (4).

3. Przetwornik napięcia na częstotliwość według zastrz. 1, **znamienny tym**, że obwód wyjściowy **(II)** stanowią dwie pary bramek logicznych **(15, 16)**, **(17, 18)**, z których pierwsze wejścia pierwszej i drugiej bramki **(15, 16)** są połączone odpowiednio z wyjściem układu formowania impulsów **(10)** oraz z wyjściem dzielnika częstotliwości **(11)**, a pozostałe wejścia są połączone z wyjściem układu rozdzielania **(13)**, wspólne wyjście tych bra-

mek stanowi pierwsze wyjście (U_{wy1}) obwodu wyjściowego (II) dla sygnałów wyjściowych o częstotliwości proporcjonalnej do poziomowi sygnału wejściowego (E) przetwornika i jest połączone ze wspólnym wejściem pary bramek (17, 18), której pozostałe wejścia są połączone z wyjściem dwustabilnego detektora znaku (9), a ich wyjścia tworzą niezależne wyjścia (U_{wy2}) i (U_{wy3}) obwodu wyjściowego (II) dla sygnałów o dodatniej i ujemnej polaryzacji sygnału wejściowego (E) przetwornika.

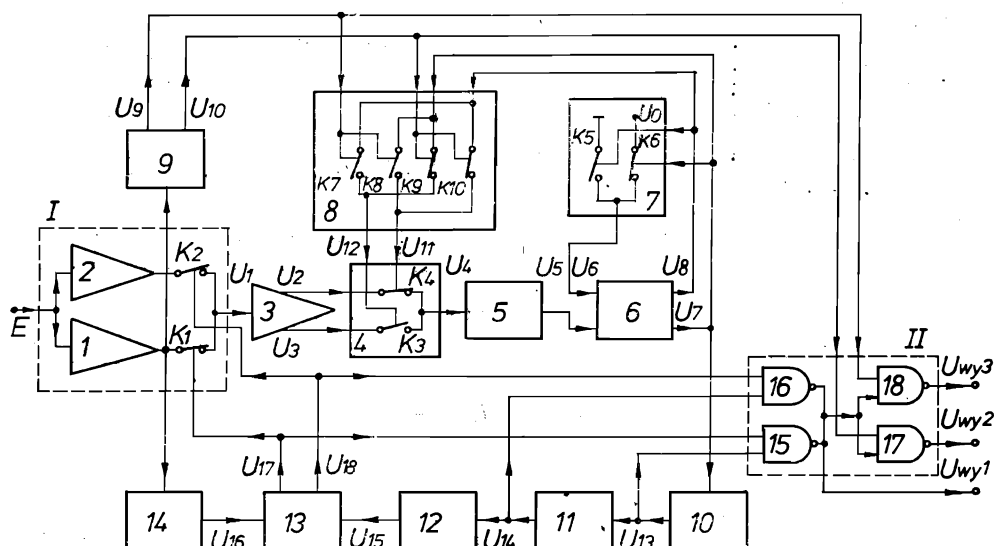


Fig.1

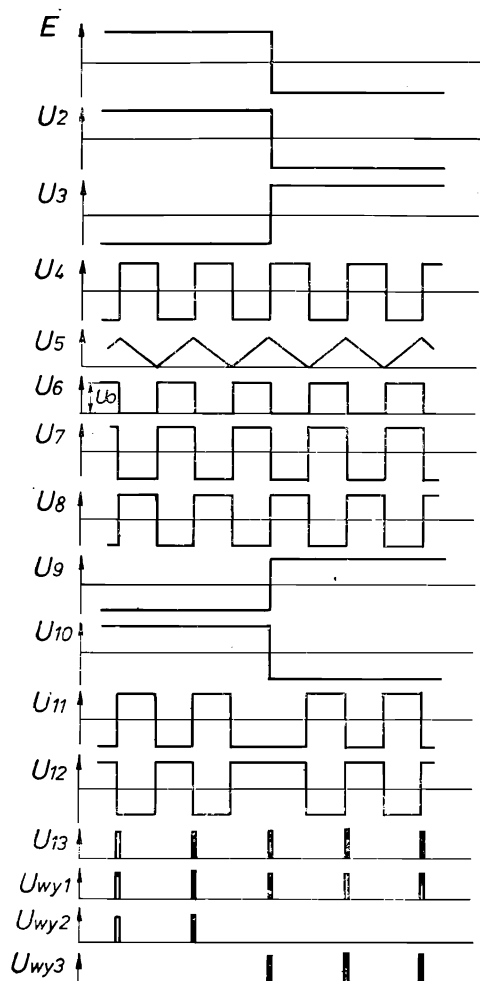


Fig. 2

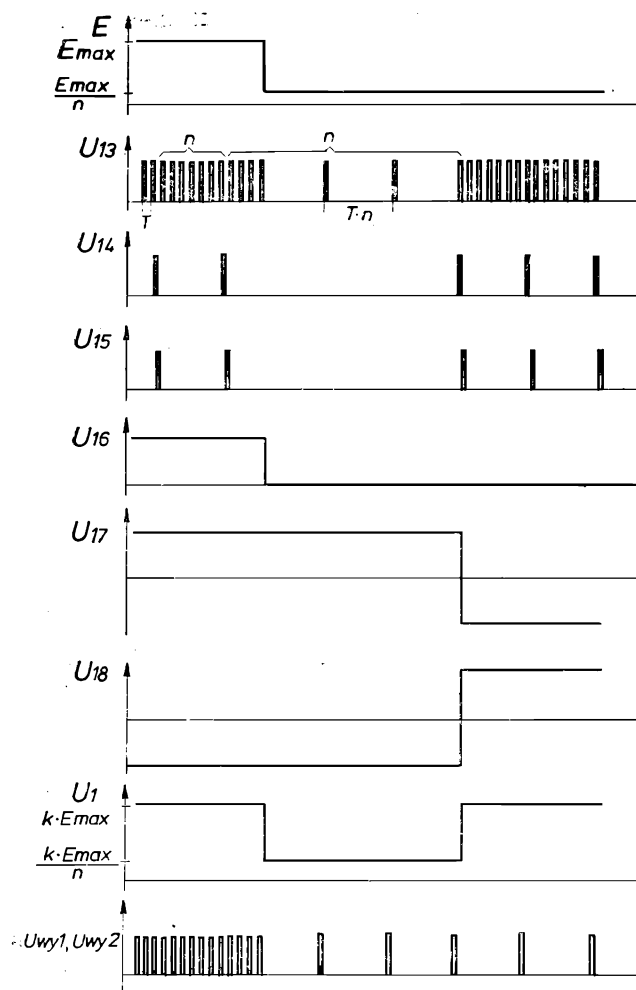


Fig. 3