

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-103642

(P2007-103642A)

(43) 公開日 平成19年4月19日(2007.4.19)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 E	4 M 1 0 4
HO 1 L 27/092 (2006.01)	HO 1 L 29/78 3 0 1 P	5 F 0 4 8
HO 1 L 21/336 (2006.01)	HO 1 L 21/28 3 0 1 S	5 F 1 4 0
HO 1 L 29/78 (2006.01)	HO 1 L 21/28 A	
HO 1 L 21/28 (2006.01)	HO 1 L 21/265 W	

審査請求 未請求 請求項の数 10 O L (全 17 頁) 最終頁に続く

(21) 出願番号	特願2005-291097 (P2005-291097)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成17年10月4日 (2005.10.4)	(74) 代理人	100089233 弁理士 吉田 茂明
		(74) 代理人	100088672 弁理士 吉竹 英俊
		(74) 代理人	100088845 弁理士 有田 貴弘
		(72) 発明者	山口 直 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
		(72) 発明者	柏原 慶一朗 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

最終頁に続く

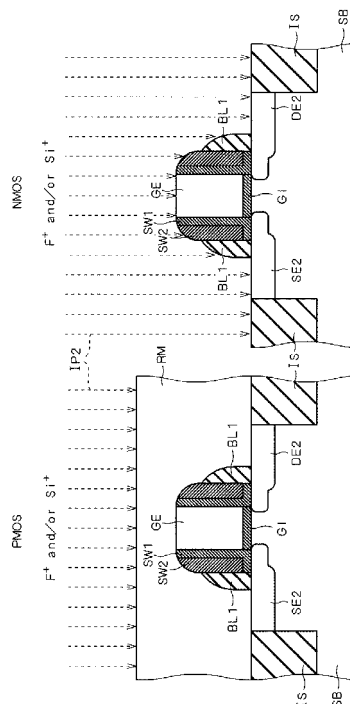
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 シリサイドプロセス前にイオン注入を行う半導体装置およびその製造方法であって、より確実にMISFETにおけるリーク電流の抑制が図れるものを実現する。

【解決手段】 マスク層RMによりPチャネル型MISFETを覆いつつ、Nチャネル型MISFETのN型ソース領域およびN型ドレイン領域に、イオン(F, Si, C, Ge, Ne, Ar, Krのうち少なくとも一種類を含む)を注入する。その後、Nチャネル型MISFETおよびPチャネル型MISFETの各ゲート電極、ソース領域およびドレイン領域にシリサイド化(Ni, Ti, Co, Pd, Pt, Erのうち少なくとも一種類を含む)を行う。これにより、Pチャネル型MISFETにおいてドレイン - ボディ間オフリーク電流を劣化させることなく、Nチャネル型MISFETにおいてドレイン - ボディ間オフリーク電流(基板リーク電流)の抑制が図れる。

【選択図】 図7



## 【特許請求の範囲】

## 【請求項 1】

(a) 半導体基板上に、ゲート絶縁膜およびゲート電極の積層構造、並びに、N型ソース領域、N型ドレイン領域を含むNチャネル型MISFET (Metal Insulator Semiconductor Field Effect Transistor) と、ゲート絶縁膜およびゲート電極の積層構造、並びに、P型ソース領域、P型ドレイン領域を含むPチャネル型MISFETとを形成する工程と、

(b) 前記Nチャネル型MISFETは覆わずに、前記Pチャネル型MISFETを選択的に覆うマスク層を形成する工程と、

(c) 前記マスク層により前記Pチャネル型MISFETを覆いつつ、前記Nチャネル型MISFETの少なくとも前記N型ソース領域および前記N型ドレイン領域にイオンを注入する工程と、 10

(d) 前記Nチャネル型MISFETの前記ゲート電極、前記イオンが注入された前記N型ソース領域および前記N型ドレイン領域、並びに、前記Pチャネル型MISFETの前記ゲート電極、P型ソース領域およびP型ドレイン領域に、シリサイド化を行う工程とを備える半導体装置の製造方法。

## 【請求項 2】

請求項 1 に記載の半導体装置の製造方法であって、

(e) 前記工程 (d) に先立って、前記半導体基板のうち前記シリサイド化を防止すべき部分を覆うためのシリサイド化防止膜を、前記Pチャネル型MISFET、前記Nチャネル型MISFETおよび前記半導体基板の表面を覆うように形成する工程と、 20

(f) 前記シリサイド化防止膜に対して選択的に異方性エッチングを行って、シリサイド化を防止すべき部分、前記Pチャネル型MISFETの前記積層構造の側方、および、前記Nチャネル型MISFETの前記積層構造の側方に、前記シリサイド化防止膜を残置する工程と、

(g) 前記工程 (d) に先立って、残置した前記シリサイド化防止膜と前記シリサイド化を行う部分とに対して、洗浄を行う工程と

をさらに備える

半導体装置の製造方法。 30

## 【請求項 3】

請求項 1 に記載の半導体装置の製造方法であって、

前記Nチャネル型MISFETは、

前記ゲート絶縁膜およびゲート電極の前記積層構造の側面、および、前記N型ソース領域または前記N型ドレイン領域の表面の一部に面して形成された第1サイドウォール絶縁膜と、

前記第1サイドウォール絶縁膜を介しつつ、前記積層構造の側面、および、前記N型ソース領域または前記N型ドレイン領域の表面の一部に対向して形成された第2サイドウォール絶縁膜と

を含み、 40

前記工程 (c) において、前記第1サイドウォール絶縁膜の前記ゲート電極の側面に接触する部分の頂部にも、前記イオンを注入する

半導体装置の製造方法。

## 【請求項 4】

請求項 1 に記載の半導体装置の製造方法であって、

前記工程 (c) における前記イオンの注入は、フッ素、シリコン、炭素、ゲルマニウム、ネオン、アルゴン、クリプトンのうち少なくとも一種類を含むイオンの注入である半導体装置の製造方法。

## 【請求項 5】

請求項 1 に記載の半導体装置の製造方法であって、 50

前記工程(d)における前記シリサイド化は、ニッケル、チタン、コバルト、パラジウム、白金、エルビウムのうち少なくとも一種類を含む金属膜を用いて行われる半導体装置の製造方法。

【請求項6】

半導体基板と、

前記半導体基板上に形成されたNチャネル型MISFETと

を備え、

前記Nチャネル型MISFETは、

前記半導体基板上に形成されたゲート絶縁膜およびゲート電極の積層構造と、

前記半導体基板の表面に形成されたN型ソース領域と、

前記半導体基板の表面に形成されたN型ドレイン領域と、

前記積層構造の側面、および、前記N型ソース領域または前記N型ドレイン領域の表面の一部に面して形成された第1サイドウォール絶縁膜と、

前記第1サイドウォール絶縁膜を介しつつ、前記積層構造の側面、および、前記N型ソース領域または前記N型ドレイン領域の表面の一部に対向して形成された第2サイドウォール絶縁膜と

を含み、

少なくとも前記N型ソース領域および前記N型ドレイン領域には、イオンが注入されており、

前記半導体基板の前記表面からの前記第1サイドウォール絶縁膜の高さは、前記半導体基板の前記表面からの前記第2サイドウォール絶縁膜の高さよりも小さく、

前記積層構造の側面からの前記第1サイドウォール絶縁膜の最大距離は、前記積層構造の側面からの前記第2サイドウォール絶縁膜の最大距離よりも小さく、

前記第2サイドウォール絶縁膜の前記最大距離と前記第1サイドウォール絶縁膜の前記最大距離との差は、前記第1サイドウォール絶縁膜の前記高さと同様に前記第2サイドウォール絶縁膜の前記高さとの差よりも小さい

半導体装置。

【請求項7】

請求項6に記載の半導体装置であって、

前記半導体基板上に形成されたPチャネル型MISFET

をさらに備え、

前記Pチャネル型MISFETは、

前記半導体基板上に形成されたゲート絶縁膜およびゲート電極の積層構造と、

前記半導体基板の表面に形成されたP型ソース領域と、

前記半導体基板の表面に形成されたP型ドレイン領域と、

前記積層構造の側面、および、前記P型ソース領域または前記P型ドレイン領域の表面の一部に面して形成された第1サイドウォール絶縁膜と、

前記第1サイドウォール絶縁膜を介しつつ、前記積層構造の側面、および、前記P型ソース領域または前記P型ドレイン領域の表面の一部に対向して形成された第2サイドウォール絶縁膜と

を含み、

前記Pチャネル型MISFETにおいて、前記積層構造の側面からの前記第1サイドウォール絶縁膜の最大距離は、前記積層構造の側面からの前記第2サイドウォール絶縁膜の最大距離よりも小さく、

前記Pチャネル型MISFETにおける前記第2サイドウォール絶縁膜の前記最大距離と前記第1サイドウォール絶縁膜の前記最大距離との差は、前記Nチャネル型MISFETの前記第2サイドウォール絶縁膜の前記最大距離と前記第1サイドウォール絶縁膜の前記最大距離との差に、略等しい

半導体装置。

【請求項8】

10

20

30

40

50

請求項 6 に記載の半導体装置であって、  
 前記半導体基板上に形成された P チャネル型 M I S F E T  
 をさらに備え、  
 前記 P チャネル型 M I S F E T は、  
 前記半導体基板上に形成されたゲート絶縁膜およびゲート電極の積層構造と、  
 前記半導体基板の表面に形成された P 型ソース領域と、  
 前記半導体基板の表面に形成された P 型ドレイン領域と、  
 前記積層構造の側面、および、前記 P 型ソース領域または前記 P 型ドレイン領域の表面  
 の一部に面して形成された第 1 サイドウォール絶縁膜と、  
 前記第 1 サイドウォール絶縁膜を介しつつ、前記積層構造の側面、および、前記 P 型ソ  
 ース領域または前記 P 型ドレイン領域の表面の一部に対向して形成された第 2 サイドウォ  
 ール絶縁膜と  
 を含み、  
 前記 P チャネル型 M I S F E T において、前記積層構造の側面からの前記第 1 サイドウ  
 ォール絶縁膜の最大距離は、前記積層構造の側面からの前記第 2 サイドウォール絶縁膜の  
 最大距離よりも小さく、  
 前記 P チャネル型 M I S F E T における前記第 2 サイドウォール絶縁膜の前記最大距離  
 と前記第 1 サイドウォール絶縁膜の前記最大距離との差は、前記 P チャネル型 M I S F E  
 T における前記半導体基板の前記表面からの前記第 1 サイドウォール絶縁膜の高さと前記  
 半導体基板の前記表面からの前記第 2 サイドウォール絶縁膜の高さととの差に、略等しい  
 半導体装置。

10

20

## 【請求項 9】

請求項 6 に記載の半導体装置であって、  
 前記半導体基板上に形成された P チャネル型 M I S F E T  
 をさらに備え、  
 前記 P チャネル型 M I S F E T は、  
 前記半導体基板上に形成されたゲート絶縁膜およびゲート電極の積層構造と、  
 前記半導体基板の表面に形成された P 型ソース領域と、  
 前記半導体基板の表面に形成された P 型ドレイン領域と、  
 前記積層構造の側面、および、前記 P 型ソース領域または前記 P 型ドレイン領域の表面  
 の一部に面して形成された第 1 サイドウォール絶縁膜と、  
 前記第 1 サイドウォール絶縁膜を介しつつ、前記積層構造の側面、および、前記 P 型ソ  
 ース領域または前記 P 型ドレイン領域の表面の一部に対向して形成された第 2 サイドウ  
 ォール絶縁膜と  
 を含み、  
 前記 N チャネル型 M I S F E T における前記第 1 サイドウォール絶縁膜の前記高さと同  
 前記第 2 サイドウォール絶縁膜の前記高さとの差は、前記 P チャネル型 M I S F E T におけ  
 る前記半導体基板の前記表面からの前記第 1 サイドウォール絶縁膜の高さと前記半導体基  
 板の前記表面からの前記第 2 サイドウォール絶縁膜の高さととの差よりも、大きい  
 半導体装置。

30

40

## 【請求項 10】

請求項 6 に記載の半導体装置であって、  
 注入されている前記イオンは、フッ素、シリコン、炭素、ゲルマニウム、ネオン、アル  
 ゴン、クリプトンのうち少なくとも一種類である  
 半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

この発明は、シリサイドプロセス前にイオン注入を行う半導体装置およびその製造方法  
 に関する。

50

## 【背景技術】

## 【0002】

半導体基板上に形成されるMISFET (Metal Insulator Semiconductor Field Effect Transistor) のゲート、ソース、ドレインの各電極や、その他の配線のコンタクト領域等には、抵抗低減のためにシリサイド化処理が一般的に行われる。シリサイド化に用いられる金属としては、CoやNi等が採用される。

## 【0003】

例えば下記非特許文献1においては、シリサイド化しようとする領域に予めフッ素をイオン注入すれば、リーク電流を抑制可能なことが報告されている。

## 【0004】

【非特許文献1】M.Tsuichiaki et al., 「Suppression of Thermally Induced Leakage of NiSi-Silicided Shallow Junctions by Pre-Silicide Fluorine Implantation」 Japanese Journal of Applied Physics Vol.44, No.4A, 2005, pp.1673-1681

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

上記非特許文献1においては、シリサイド化しようとする領域へのフッ素注入は、CMOS (Complementary MOS) 構造を形成する場合にも有効であり、リーク電流を抑制可能と報告されている。しかしながら、本願発明者らが実験を行ったところ、Nチャネル型MISFETにおいてはリーク電流抑制の効果が見られたものの、Pチャネル型MISFETにおいては、リーク電流が却って上昇することが確認された。

## 【0006】

この発明は上記の事情に鑑みてなされたもので、シリサイドプロセス前にイオン注入を行う半導体装置およびその製造方法であって、より確実にMISFETにおけるリーク電流の抑制が図れるものを実現する。

## 【課題を解決するための手段】

## 【0007】

請求項1に記載の発明は、(a)半導体基板上に、ゲート絶縁膜およびゲート電極の積層構造、並びに、N型ソース領域、N型ドレイン領域を含むNチャネル型MISFET (Metal Insulator Semiconductor Field Effect Transistor) と、ゲート絶縁膜およびゲート電極の積層構造、並びに、P型ソース領域、P型ドレイン領域を含むPチャネル型MISFETとを形成する工程と、(b)前記Nチャネル型MISFETは覆わずに、前記Pチャネル型MISFETを選択的に覆うマスク層を形成する工程と、(c)前記マスク層により前記Pチャネル型MISFETを覆いつつ、前記Nチャネル型MISFETの少なくとも前記N型ソース領域および前記N型ドレイン領域にイオンを注入する工程と、(d)前記Nチャネル型MISFETの前記ゲート電極、前記フッ素イオンまたはシリコンイオンが注入された前記N型ソース領域および前記N型ドレイン領域、並びに、前記Pチャネル型MISFETの前記ゲート電極、P型ソース領域およびP型ドレイン領域に、シリサイド化を行う工程とを備える半導体装置の製造方法である。

## 【0008】

請求項6に記載の発明は、半導体基板と、前記半導体基板上に形成されたNチャネル型MISFETとを備え、前記Nチャネル型MISFETは、前記半導体基板上に形成されたゲート絶縁膜およびゲート電極の積層構造と、前記半導体基板の表面に形成されたN型ソース領域と、前記半導体基板の表面に形成されたN型ドレイン領域と、前記積層構造の側面、および、前記N型ソース領域または前記N型ドレイン領域の表面の一部に面して形成された第1サイドウォール絶縁膜と、前記第1サイドウォール絶縁膜を介しつつ、前記積層構造の側面、および、前記N型ソース領域または前記N型ドレイン領域の表面の一部に対向して形成された第2サイドウォール絶縁膜とを含み、少なくとも前記N型ソース領域および前記N型ドレイン領域にはイオンが注入されており、前記半導体基板の前記表面からの前記第1サイドウォール絶縁膜の高さは、前記半導体基板の前記表面からの前記第

10

20

30

40

50

2 サイドウォール絶縁膜の高さよりも小さく、前記積層構造の側面からの前記第1サイドウォール絶縁膜の最大距離は、前記積層構造の側面からの前記第2サイドウォール絶縁膜の最大距離よりも小さく、前記第2サイドウォール絶縁膜の前記最大距離と前記第1サイドウォール絶縁膜の前記最大距離との差は、前記第1サイドウォール絶縁膜の前記高さと同前記第2サイドウォール絶縁膜の前記高さとの差よりも小さい半導体装置である。

【発明の効果】

【0009】

請求項1に記載の発明によれば、マスク層によりPチャンネル型MISFETを覆いつつ、Nチャンネル型MISFETのN型ソース領域およびN型ドレイン領域にイオンを注入する。その後、Nチャンネル型MISFETおよびPチャンネル型MISFETの各ゲート電極、ソース領域およびドレイン領域にシリサイド化を行う。すなわち、Pチャンネル型MISFETのP型ソース領域およびP型ドレイン領域にはイオンを注入することなく、かつ、Nチャンネル型MISFETのN型ソース領域およびN型ドレイン領域にはイオンを注入した後に、シリサイド化を行うことができる。これにより、Pチャンネル型MISFETにおいてドレイン-ボディ間オフリーク電流を劣化させることなく、Nチャンネル型MISFETにおいてドレイン-ボディ間オフリーク電流(基板リーク電流)の抑制が図れる。よって、より確実にMISFETにおけるリーク電流の抑制が図れる半導体装置の製造方法が実現できる。

10

【0010】

請求項6に記載の発明によれば、少なくともN型ソース領域およびN型ドレイン領域にはイオンが注入されている。よって、N型ソース領域およびN型ドレイン領域にシリサイド化を行うと、Nチャンネル型MISFETにおいてドレイン-ボディ間オフリーク電流(基板リーク電流)の抑制が図れる。また、第2サイドウォール絶縁膜の最大距離と第1サイドウォール絶縁膜の最大距離との差は、第1サイドウォール絶縁膜の高さと第2サイドウォール絶縁膜の高さとの差よりも小さい。よって、シリサイド化を行う際に、N型ソース領域およびN型ドレイン領域におけるシリサイド化領域が、チャンネル近くにまで入り込みにくく、より確実にMISFETにおけるリーク電流の抑制が図れる半導体装置が実現できる。また、第1サイドウォール絶縁膜の高さは、第2サイドウォール絶縁膜の高さよりも小さい。よって、ゲート電極にシリサイド化を行うと、第2サイドウォール絶縁膜の高さよりも低い部分にまで入り込んでゲート電極がシリサイド化され、ゲート電極の抵抗値をより低減できる。

20

30

【発明を実施するための最良の形態】

【0011】

図15は、フッ素注入を予め行った上でソース領域およびドレイン領域をNiシリサイド化した多数のPチャンネル型MISFETにつき、ドレイン-ボディ間オフリーク電流(基板リーク電流)  $I_{offb}$  の計測を行った結果を示すグラフである。

【0012】

図15において、縦軸は、全Pチャンネル型MISFETの正規分布計測結果における分位点(値“0”が最頻値)を示し、横軸は基板リーク電流値(任意単位)を示している。また、グラフ中の三本の計測結果のうち真中のものは5[k e V]および $1 \times 10^{15}$  [ $\text{cm}^{-2}$ ]の条件下でフッ素注入を行った上でソース領域およびドレイン領域をNiシリサイド化した結果を、グラフ中の最右側のものは5[k e V]および $6 \times 10^{14}$  [ $\text{cm}^{-2}$ ]の条件下でフッ素注入を行った上でソース領域およびドレイン領域をNiシリサイド化した結果を、グラフ中の最左側のものはフッ素注入を行わずにソース領域およびドレイン領域をNiシリサイド化した場合の参照値を、それぞれ示している。

40

【0013】

図15から分かるように、ドレイン-ボディ間オフリーク電流(基板リーク電流)  $I_{offb}$  の値は、フッ素注入を行わずにソース領域およびドレイン領域をNiシリサイド化した場合(グラフ中の最左側の計測結果)の方が低い。すなわち、Pチャンネル型MISFETの場合は、シリサイド化しようとする領域への予めのフッ素注入は、リーク電流抑制には

50

逆効果であると言える。

【0014】

また、Nチャネル型MISFETにおいて、シリサイド化しようとする領域への予めのフッ素注入を行う場合であっても、MISFETの構造によっては、ドレイン-ボディ間オフリーク電流 $I_{offb}$ が上昇してしまう場合がある。図16～図18は、ドレイン-ボディ間オフリーク電流(基板リーク電流) $I_{offb}$ が劣化する場合のMISFET製造工程を示す図である。

【0015】

図16に示すように、半導体基板SB上に形成されたサイドウォール絶縁膜SW1, SW2のうち、サイドウォール絶縁膜SW1はTEOS(テトラエトキシシラン)酸化膜で、サイドウォール絶縁膜SW2はシリコン窒化膜で、それぞれ形成されることが多い。この構造の場合、シリサイド化直前に、シリサイド化領域表面付近をフッ酸等で洗浄(軽いウェットエッチング)すると、TEOS酸化膜がエッチングされてしまい、サイドウォール絶縁膜SW1の露出部AR1, AR2に後退が見られやすい。

10

【0016】

この後、図17に示すように、全面にNi等の金属膜MTを形成し、シリサイド化を行って、第1アニール処理、未反応部分の金属膜MTの除去、および、第2アニール処理を行えば、図18に示すようにシリサイド化領域SCs, SCdが形成される。このとき、図17に示すように、後退した露出部AR2に金属膜MTが回り込んで形成されるため、シリサイド領域SCs, SCdはよりチャンネルの近くにまで形成されることとなる。

20

【0017】

これにより、ドレイン-ボディ間オフリーク電流 $I_{offb}$ は、露出部AR2の後退量が増えるほど大きな値になってしまう。よって、図18のような構造であれば、Nチャネル型MISFETにおいて、シリサイド化しようとする領域へ予めフッ素注入を行ったとしても、リーク電流抑制の効果が薄れてしまうこととなる。

【0018】

本発明に係る実施の形態は、マスク層によりPチャネル型MISFETを覆いつつ、Nチャネル型MISFETのN型ソース領域およびN型ドレイン領域にイオンを注入し、その後、Nチャネル型MISFETおよびPチャネル型MISFETの各ゲート電極、ソース領域およびドレイン領域にシリサイド化を行う、半導体装置およびその製造方法である。

30

【0019】

図1および図2は、本発明を適用可能な半導体装置の断面図および上面図である。なお図1は、図2中の切断線I-Iにおける断面図である。図2では、ゲート電極GE、ソース領域SEおよびドレイン領域DEを有する各MISFET(Metal Insulator Semiconductor Field Effect Transistor)が、シリコン酸化膜等の素子分離膜ISにより分離された半導体装置が示されている。

【0020】

図1に示されているように、この半導体装置は、シリコン基板等の半導体基板SBと、ゲート絶縁膜(例えばシリコン酸化膜)GIおよびゲート電極(例えばポリシリコン膜)GEの積層構造、ソース領域SE、ドレイン領域DEを含む、半導体基板SB上に形成されたMISFETとを備える。なお、ソース領域SEおよびドレイン領域DEの外側には素子分離膜ISが形成されている。

40

【0021】

ゲート電極GE、ソース領域SEおよびドレイン領域DEの各表面には、Ni(ニッケル)やCo(コバルト)等を含むシリサイド化領域SCg, SCs, SCdが、それぞれ形成されている。なお、ゲート絶縁膜GIおよびゲート電極GEの積層構造の側面、並びに、ソース領域SEおよびドレイン領域DEの表面の一部に面して、それぞれTEOS酸化膜等の第1サイドウォール絶縁膜SW1が形成されている。また、第1サイドウォール絶縁膜SW1を介しつつ、ゲート絶縁膜GIおよびゲート電極GEの積層構造の側面、並

50

びに、ソース領域SEおよびドレイン領域DEの表面の一部に対向して、それぞれシリコン窒化膜等の第2サイドウォール絶縁膜SW2が形成されている。

【0022】

なお、図2に示した半導体装置はCMOS構造を有しており、Nチャネル型MISFETおよびPチャネル型MISFETの両者を備える。そして、図1に示すMISFETの構造は、Nチャネル型MISFETおよびPチャネル型MISFETに共通しており、両チャネル型MISFETは、半導体基板SBに形成されたウェル(図示せず)、ソース領域SE、ドレイン領域DEの各領域における導電型が異なる以外は、同一構造を有する。また、図1においては、ドレイン-ボディ間オフリーク電流(基板リーク電流)を符号I<sub>offb</sub>として示している。

10

【0023】

図3~図9は、本発明の実施の形態に係る半導体装置の製造方法の各工程を示す図である。以下、各図を用いて本発明の実施の形態に係る半導体装置の製造方法を説明する。

【0024】

まず、図3に示すように、半導体基板SB上に、ゲート絶縁膜GIおよびゲート電極GEの積層構造、第1サイドウォール絶縁膜SW1、第2サイドウォール絶縁膜SW2、ソース領域のLDD(Lightly Doped Drain)領域SE1、並びに、ドレイン領域のLDD領域DE1を含むMISFETを、Pチャネル型およびNチャネル型のそれぞれにつき、フォトリソグラフィ技術およびエッチング技術、イオン注入技術等を用いて形成する。

【0025】

次に、図4に示すように、イオン注入IP1を行って、ソース領域SE2およびドレイン領域DE2の形成を行う。なお、N型ソース領域およびN型ドレイン領域の形成に当たっては、例えばAs(砒素)イオンを5~50[k e V]および $1 \times 10^{15} \sim 1 \times 10^{16}$  [cm<sup>-2</sup>]の条件下で半導体基板SBに注入することにより形成すればよい。また、P型ソース領域およびP型ドレイン領域の形成に当たっては、例えばB(ボロン)イオンを1~5[k e V]および $1 \times 10^{15} \sim 1 \times 10^{16}$  [cm<sup>-2</sup>]の条件下で半導体基板SBに注入することにより形成すればよい。もちろん、本発明に係る半導体装置はCMOS構造を有するので、フォトレジストをマスクとして用いることにより、Nチャネル型MISFETのソース・ドレイン形成用のイオン注入と、Pチャネル型のソース・ドレイン形成用のイオン注入とを、選択的に打ち分ければよい。

20

30

【0026】

次に、図5に示すように、半導体基板SBのうちシリサイド化を防止すべき部分を覆うためのシリサイド化防止膜BLを、Pチャネル型MISFET、Nチャネル型MISFETおよび半導体基板SBの表面を覆うように形成する。このシリサイド化防止膜BLとしては、CVD(Chemical Vapor Deposition)法により成膜温度400度で形成したUSG(Undoped Silicate Glass)膜を採用すればよい。

【0027】

そして、フォトリソグラフィ技術およびエッチング技術を用いて、シリサイド化防止膜BLに対して選択的に異方性エッチング(ドライエッチング)を行い、シリサイド化を防止すべき部分(例えば配線のコンタクト領域等のうちシリサイド化したくない部分(図示せず)など)、および、Pチャネル型MISFETのゲート絶縁膜GIおよびゲート電極GEの積層構造の側方、および、Nチャネル型MISFETのゲート絶縁膜GIおよびゲート電極GEの積層構造の側方に、シリサイド化防止膜BL1を残置する(図6)。

40

【0028】

次に、図7に示すように、Nチャネル型MISFETは覆わずに、Pチャネル型MISFETを選択的に覆うマスク層RMを形成する。マスク層RMにはフォトレジストを採用し、このフォトレジストをパターンニングすればよい。そして、マスク層RMによりPチャネル型MISFETを覆いつつ、Nチャネル型MISFETの少なくともN型ソース領域およびN型ドレイン領域に、フッ素イオン("F<sup>+</sup>"と表示)および/またはシリコンイオン("Si<sup>+</sup>"と表示)の注入IP2を行う。なお、このイオン注入IP2は、フッ素

50

イオン及びシリコンイオンいずれの場合も、 $5 [keV]$  および  $6 \times 10^{14} \sim 1 \times 10^{15} [cm^{-2}]$  程度の条件下で行えばよい。

【0029】

また、このイオン注入IP2は、フッ素イオン及びシリコンイオンに限らず、フッ素、シリコン、C（炭素）、Ge（ゲルマニウム）、Ne（ネオン）、Ar（アルゴン）、Kr（クリプトン）のうち少なくとも一種類を含むイオンを注入することにより行なってもよい。

【0030】

次に、半導体基板SB表面やゲート電極GE表面に生じたシリコン酸化膜を除去するための、シリサイド化を行う部分の洗浄を行う。この洗浄工程においては、RCA洗浄に加えてフッ酸を用いた洗浄を行えばよい。また、その他にも、前洗浄（ケミカルドライクリーニング）装置とスパッタ装置とが一体化された装置の前洗浄であってもよい。

【0031】

なおこのとき、残置したシリサイド化防止膜BL1とシリサイド化を行う部分とに対して、洗浄を行う。この洗浄により、Pチャネル型MISFETのゲート絶縁膜GIおよびゲート電極GEの積層構造の側方、および、Nチャネル型MISFETのゲート絶縁膜GIおよびゲート電極GEの積層構造の側方に残置したシリサイド化防止膜BL1は除去される。一方、それ以外の部分のシリサイド化防止膜BL1（図示せず）は、この洗浄では完全には除去されず、残置したままとなる。

【0032】

次に、Nチャネル型MISFET、Pチャネル型MISFET、半導体基板SBの表面、および、残置したシリサイド化防止膜BL1上に、Ni等の金属膜MTをスパッタ法等により図8に示すように形成する。そして、一回目のRTA（Rapid Thermal Annealing）を行い、その後、未反応の金属膜を除去して、二回目のRTAを行う。これにより、Nチャネル型MISFETのゲート電極、イオン注入されたN型ソース領域およびN型ドレイン領域、並びに、Pチャネル型MISFETのゲート電極、P型ソース領域およびP型ドレイン領域に、それぞれシリサイド化が行われ、図9に示すように、ゲート電極GE、ソース領域SEおよびドレイン領域DEの各表面に、シリサイド化領域SCg, SCs, SCdが、それぞれ形成される。

【0033】

なお、金属膜MTにはNi以外にも、Ni、Ti（チタン）、Co（コバルト）、Pd（パラジウム）、Pt（白金）、Er（エルビウム）のうち少なくとも一種類を含む金属膜を採用してもよい。

【0034】

上記非特許文献1においては、シリサイド化しようとする領域に予めフッ素をイオン注入すればリーク電流を抑制可能と報告されていたが、本願発明者らは、フッ素イオンだけではなく、フッ素、シリコン、炭素、ゲルマニウム、ネオン、アルゴン、クリプトンのうち少なくとも一種類を含むイオンをNチャネル型MISFETのN型ソース領域およびN型ドレイン領域に注入する場合であっても、同様にリーク電流を抑制可能なことを発見した。

【0035】

図10は、フッ素注入またはシリコン注入を予め行った上でN型ソース領域およびN型ドレイン領域をNiシリサイド化した多数のNチャネル型MISFETにつき、ドレイン-ボディ間オフリーク電流（基板リーク電流）Ioffbの計測を行った結果の例を示すグラフである。

【0036】

図10において、縦軸は、全Nチャネル型MISFETの正規分布計測結果における分位点（値“0”が最頻値）を示し、横軸は基板リーク電流値（任意単位）を示している。また、“F, Si注入”と示した計測結果は、 $5 [keV]$  および  $1 \times 10^{15} [cm^{-2}]$  の条件下でフッ素注入を行った上でN型ソース領域およびN型ドレイン領域をNiシリサ

10

20

30

40

50

イド化した結果、 $5 [keV]$  および  $6 \times 10^{14} [cm^{-2}]$  の条件下でフッ素注入を行った上でN型ソース領域およびN型ドレイン領域をNiシリサイド化した結果、 $5 [keV]$  および  $1 \times 10^{15} [cm^{-2}]$  の条件下でシリコン注入を行った上でN型ソース領域およびN型ドレイン領域をNiシリサイド化した結果、および、 $5 [keV]$  および  $6 \times 10^{14} [cm^{-2}]$  の条件下でシリコン注入を行った上でN型ソース領域およびN型ドレイン領域をNiシリサイド化した結果をそれぞれ示し、“Reference”と示した計測結果はフッ素注入を行わずにN型ソース領域およびN型ドレイン領域をNiシリサイド化した場合の参照値を示している。

#### 【0037】

図10から分かるように、ドレイン-ボディ間オフリーク電流(基板リーク電流)  $I_{offb}$  の値は、フッ素注入を行わずにソース領域およびドレイン領域をNiシリサイド化した場合(“Reference”)よりも、フッ素またはシリコンの注入を行った上でN型ソース領域およびN型ドレイン領域をNiシリサイド化した場合の方が低い。

#### 【0038】

一方、本願では、シリサイド化しようとする領域への予めのフッ素注入がリーク電流抑制に逆効果となるPチャネル型MISFETには、マスクRMを形成する。これにより、シリサイド化しようとする領域への予めのフッ素やシリコン等のイオン注入は行わない。

#### 【0039】

すなわち、本発明によれば、マスク層RMによりPチャネル型MISFETを覆いつつ、Nチャネル型MISFETのN型ソース領域およびN型ドレイン領域にイオンを注入する。その後、Nチャネル型MISFETおよびPチャネル型MISFETの各ゲート電極、ソース領域およびドレイン領域にシリサイド化を行う。言い換えれば、本願ではPチャネル型MISFETのP型ソース領域およびP型ドレイン領域にはイオンを注入することなく、かつ、Nチャネル型MISFETのN型ソース領域およびN型ドレイン領域にはイオンを注入した後に、シリサイド化を行うことができる。これにより、Pチャネル型MISFETにおいてドレイン-ボディ間オフリーク電流  $I_{offb}$  を劣化させること無く、Nチャネル型MISFETにおいてドレイン-ボディ間オフリーク電流(基板リーク電流)  $I_{offb}$  の抑制が図れる。よって、より確実にMISFETにおけるリーク電流の抑制が図れる半導体装置の製造方法が実現できる。

#### 【0040】

また、本発明によれば、Pチャネル型MISFETのゲート絶縁膜GIおよびゲート電極GEの積層構造の側方、および、Nチャネル型MISFETのゲート絶縁膜GIおよびゲート電極GEの積層構造の側方にシリサイド化防止膜BL1を残置し、残置したシリサイド化防止膜BL1とシリサイド化を行う部分とに対して、洗浄を行う。シリサイド化防止膜BL1がゲート絶縁膜GIおよびゲート電極GEの積層構造の側方に残置しているので、シリサイド化を行う部分の洗浄時に、Nチャネル型MISFETのゲート絶縁膜GIおよびゲート電極GEの積層構造およびPチャネル型MISFETのゲート絶縁膜GIおよびゲート電極GEの積層構造に付随するサイドウォール絶縁膜SW1, SW2部分のエッチングがされにくい。よって、Nチャネル型MISFETおよびPチャネル型MISFETの各ソース領域および各ドレイン領域におけるシリサイド化領域が、チャンネル近くまで入り込みにくく、より確実にMISFETにおけるリーク電流の抑制が図れる半導体装置の製造方法が実現できる。

#### 【0041】

図11は、洗浄後の本発明に係る半導体装置の構造を示す断面図である。図11においては、右側にNチャネル型MISFETが、左側にPチャネル型MISFETが、それぞれ示されている。図11の構造のうちNチャネル型MISFETにおいては、半導体基板SBの表面からの第1サイドウォール絶縁膜SW1の高さは、半導体基板SBの表面からの第2サイドウォール絶縁膜SW2の高さよりも小さい。また、Nチャネル型MISFETにおいては、ゲート絶縁膜GIおよびゲート電極GEの積層構造の側面からの第1サイドウォール絶縁膜SW1の最大距離は、ゲート絶縁膜GIおよびゲート電極GEの積層構

造の側面からの第2サイドウォール絶縁膜SW2の最大距離よりも小さい。そして、第2サイドウォール絶縁膜SW2のゲート側面からの最大距離と第1サイドウォール絶縁膜SW1のゲート側面からの最大距離との差 $B_n$ は、第1サイドウォール絶縁膜SW1の高さと第2サイドウォール絶縁膜SW2の高さとの差 $A_n$ よりも小さい。

【0042】

なお、図12は、イオン注入がない場合の、洗浄後のNチャンネル型MISFETの構造を示す断面図である。図12においては、第2サイドウォール絶縁膜SW2のゲート側面からの最大距離と第1サイドウォール絶縁膜SW1のゲート側面からの最大距離との差 $B_{n1}$ は、第1サイドウォール絶縁膜SW1の高さと第2サイドウォール絶縁膜SW2の高さとの差 $A_{n1}$ と同程度である。

10

【0043】

本願発明者らは、図11の $B_n$ と図12の $B_{n1}$ との大きさの違いについて下記のように考える。

【0044】

すなわち、フッ素やシリコン等のイオン注入が行われる図11の場合、第1サイドウォール絶縁膜SW1のゲート電極GEの側面に接触する部分の頂部には、イオンが比較的多く注入される。一方、第1サイドウォール絶縁膜SW1のソース領域SEおよびドレイン領域DEに接触する部分の端部上には、第2サイドウォール絶縁膜SW2が存在し、さらに、その側方にはシリサイド化防止膜BL1が残置する。

【0045】

20

このため、本発明においては、第1サイドウォール絶縁膜SW1のソース領域SEおよびドレイン領域DEに接触する部分の端部付近よりも、ゲート電極GEの側面に接触する部分の頂部付近に、より多くのイオンが注入されることとなる。

【0046】

図13のグラフに示すように、第1サイドウォール絶縁膜SW1を構成するTEOS酸化膜も、第2サイドウォール絶縁膜SW2を構成するシリコン窒化膜も、イオンが注入されると、そのドーズ量が多くなるにつれてシリサイド化工程直前の洗浄時にエッチングされる量が多くなることが分かっている。

【0047】

よって、本発明に係る半導体装置の製造方法を用いて、Nチャンネル型MISFETにイオン注入の工程を行い、洗浄工程、シリサイド化工程を行うと、シリサイド化工程直前の洗浄時に、第1サイドウォール絶縁膜SW1のゲート電極GEの側面に接触する部分の頂部付近が比較的多くエッチングされ、一方、第1サイドウォール絶縁膜SW1のソース領域SEおよびドレイン領域DEに接触する部分の端部付近は比較的少なくエッチングされるのである。これが、第2サイドウォール絶縁膜SW2のゲート側面からの最大距離と第1サイドウォール絶縁膜SW1のゲート側面からの最大距離との差 $B_n$ は、第1サイドウォール絶縁膜SW1の高さと第2サイドウォール絶縁膜SW2の高さとの差 $A_n$ よりも小さい理由と考えられる。

30

【0048】

一方、イオン注入工程を行わない場合には、シリサイド化工程直前の洗浄時の、第1サイドウォール絶縁膜SW1のゲート電極GEの側面に接触する部分の頂部付近のエッチング量と、第1サイドウォール絶縁膜SW1のソース領域SEおよびドレイン領域DEに接触する部分の端部付近のエッチング量との間に差は生じない。これが、第2サイドウォール絶縁膜SW2のゲート側面からの最大距離と第1サイドウォール絶縁膜SW1のゲート側面からの最大距離との差 $B_{n1}$ は、第1サイドウォール絶縁膜SW1の高さと第2サイドウォール絶縁膜SW2の高さとの差 $A_{n1}$ と同程度である理由と考えられる。

40

【0049】

図14は、フッ素注入を予め行った上でゲート電極GEのシリサイド化を行った多数のNチャンネル型MISFETにつき、ゲート電極GEのシート抵抗の計測を行った結果を示すグラフである。図14において、縦軸は、全Nチャンネル型MISFETの正規分布計測

50

結果における分位点（値“0”が最頻値）を示し、横軸はシート抵抗値（任意単位）を示している。また、“F注入”と示したグラフは $5 [keV]$ および $1 \times 10^{15} [cm^{-2}]$ の条件下でフッ素注入を行った上でゲート電極GEをNiシリサイド化した結果、および、 $5 [keV]$ および $6 \times 10^{14} [cm^{-2}]$ の条件下でフッ素注入を行った上でゲート電極GEをNiシリサイド化した結果を示し、“Reference”と示したグラフはフッ素注入を行わずにゲート電極GEをNiシリサイド化した場合の参照値を示している。フッ素注入を予め行った上でゲート電極GEのシリサイド化を行ったNチャネル型MISFETの方が、シート抵抗値が低くなっていることが分かる。

#### 【0050】

なお、Pチャネル型MISFETにおいてはイオン注入が行われなことから、シリサイド化工程直前の洗浄時には、Pチャネル型MISFETの第1サイドウォール絶縁膜SW1の頂部付近のエッチング量は、Nチャネル型MISFETの第1サイドウォール絶縁膜SW1の頂部付近のエッチング量よりも大幅に少なくなる。図11の左側においては、Pチャネル型MISFETの第1サイドウォール絶縁膜SW1の高さの方が、第2サイドウォール絶縁膜SW2の高さよりも大きく、その差をApとして示している。

#### 【0051】

そして、Pチャネル型MISFETにおいてもNチャネル型MISFETの場合と同様、ゲート絶縁膜GIおよびゲート電極GEの積層構造の側面からの第1サイドウォール絶縁膜SW1の最大距離は、ゲート絶縁膜GIおよびゲート電極GEの積層構造の側面からの第2サイドウォール絶縁膜SW2の最大距離よりも小さいが、Pチャネル型MISFETにおける第2サイドウォール絶縁膜SW2のゲート側面からの最大距離と第1サイドウォール絶縁膜SW1のゲート側面からの最大距離との差Bpは、Nチャネル型MISFETの第2サイドウォール絶縁膜SW2のゲート側面からの最大距離と第1サイドウォール絶縁膜SW1のゲート側面からの最大距離との差Bnに、略等しい。

#### 【0052】

このように、本発明の半導体装置の構造によれば、Nチャネル型MISFETにおいて、第2サイドウォール絶縁膜SW2のゲート側面からの最大距離と第1サイドウォール絶縁膜SW1のゲート側面からの最大距離との差Bnは、第1サイドウォール絶縁膜SW1の高さと第2サイドウォール絶縁膜SW2の高さとの差Anよりも小さい。よって、シリサイド化を行う際に、N型ソース領域およびN型ドレイン領域におけるシリサイド化領域が、チャンネル近くにまで入り込みにくく、より確実にMISFETにおけるリーク電流の抑制が図れる半導体装置が実現できる。また、第1サイドウォール絶縁膜SW1の高さは、第2サイドウォール絶縁膜SW2の高さよりも小さい。よって、ゲート電極GEにシリサイド化を行うと、第2サイドウォール絶縁膜SW2の高さよりも低い部分にまで入り込んでゲート電極GEがシリサイド化され、ゲート電極GEの抵抗値をより低減できる。

#### 【0053】

また、本発明によれば、Pチャネル型MISFETにおける第2サイドウォール絶縁膜SW2のゲート側面からの最大距離と第1サイドウォール絶縁膜SW1のゲート側面からの最大距離との差Bpは、Nチャネル型MISFETの第2サイドウォール絶縁膜SW2のゲート側面からの最大距離と第1サイドウォール絶縁膜SW1のゲート側面からの最大距離との差Bnに、略等しい。よって、シリサイド化を行う際に、P型ソース領域およびP型ドレイン領域におけるシリサイド化領域も、チャンネル近くにまで入り込みにくく、より確実にMISFETにおけるリーク電流の抑制が図れる半導体装置が実現できる。

#### 【図面の簡単な説明】

#### 【0054】

【図1】本発明を適用可能な半導体装置の断面図である。

【図2】本発明を適用可能な半導体装置の上面図である。

【図3】本発明の実施の形態に係る半導体装置の製造方法の各工程を示す図である。

【図4】本発明の実施の形態に係る半導体装置の製造方法の各工程を示す図である。

【図5】本発明の実施の形態に係る半導体装置の製造方法の各工程を示す図である。

10

20

30

40

50

【図6】本発明の実施の形態に係る半導体装置の製造方法の各工程を示す図である。

【図7】本発明の実施の形態に係る半導体装置の製造方法の各工程を示す図である。

【図8】本発明の実施の形態に係る半導体装置の製造方法の各工程を示す図である。

【図9】本発明の実施の形態に係る半導体装置の製造方法の各工程を示す図である。

【図10】フッ素注入またはシリコン注入を予め行った上でソース領域およびドレイン領域をNiシリサイド化した多数のNチャンネル型MISFETにつき、基板リーク電流の計測を行った結果を示すグラフである。

【図11】洗浄後の本発明に係る半導体装置の構造を示す断面図である。

【図12】イオン注入がない場合の洗浄後の半導体装置の構造を示す断面図である。

【図13】フッ素イオンまたはシリコンイオンの注入量と、洗浄時のTEOS酸化膜およびシリコン窒化膜のエッチング量との関係を示すグラフである。 10

【図14】フッ素注入を予め行った上でシリサイド化した多数のNチャンネル型MISFETにつき、ゲート電極のシート抵抗の計測を行った結果を示すグラフである。

【図15】フッ素注入を予め行った上でソース領域およびドレイン領域をNiシリサイド化した多数のPチャンネル型MISFETにつき、基板リーク電流の計測を行った結果を示すグラフである。

【図16】ドレイン - ボディ間オフリーク電流 $I_{offb}$ が劣化する場合のMISFET製造工程を示す図である。

【図17】ドレイン - ボディ間オフリーク電流 $I_{offb}$ が劣化する場合のMISFET製造工程を示す図である。 20

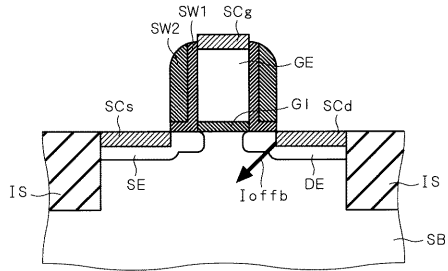
【図18】ドレイン - ボディ間オフリーク電流 $I_{offb}$ が劣化する場合のMISFET製造工程を示す図である。

【符号の説明】

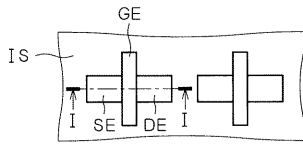
【0055】

S B 半導体基板、S E ソース領域、D E ドレイン領域、G E ゲート電極、G I ゲート絶縁膜、S W 1 第1サイドウォール絶縁膜、S W 2 第2サイドウォール絶縁膜、B L 1 シリサイド化防止膜、S C s , S C d , S C g シリサイド化領域。

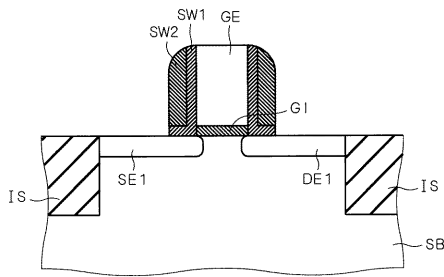
【 図 1 】



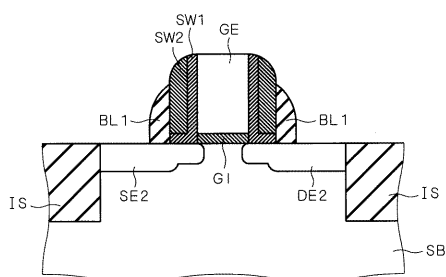
【 図 2 】



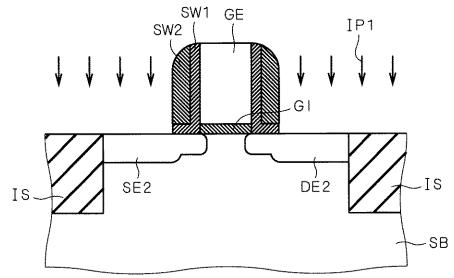
【 図 3 】



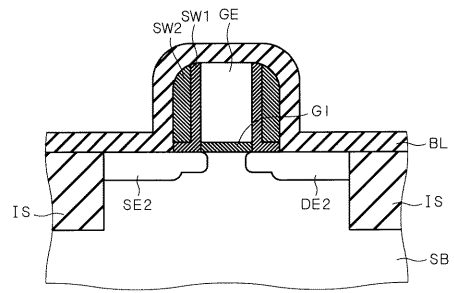
【 図 6 】



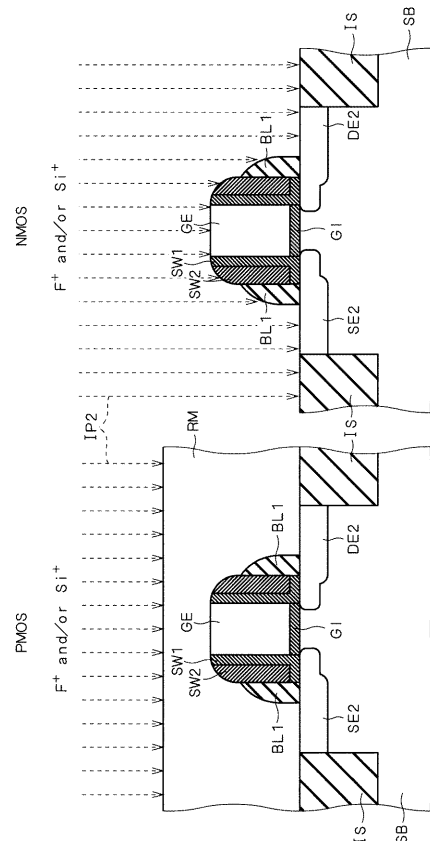
【 図 4 】



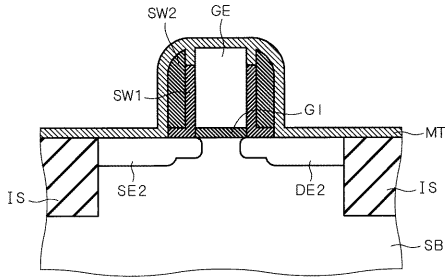
【 図 5 】



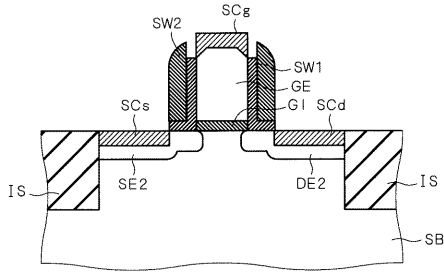
【 図 7 】



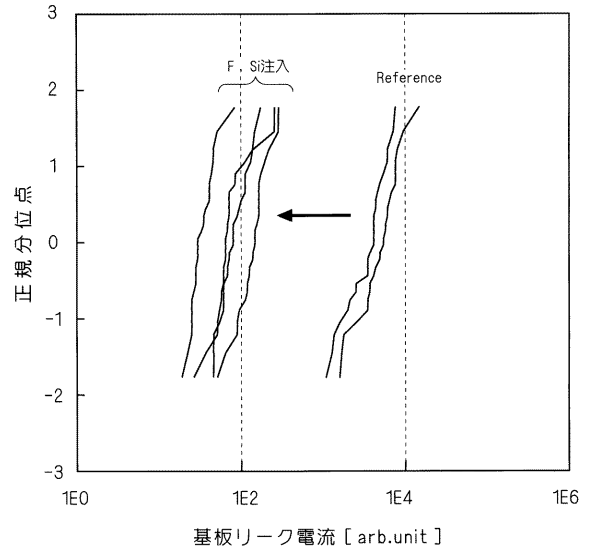
【 図 8 】



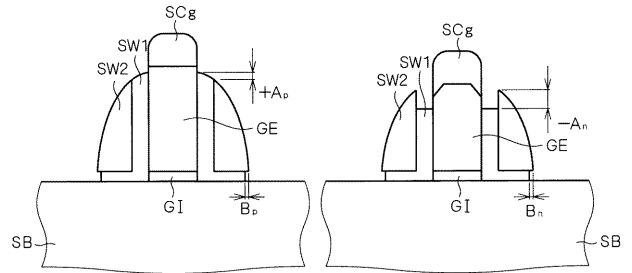
【 図 9 】



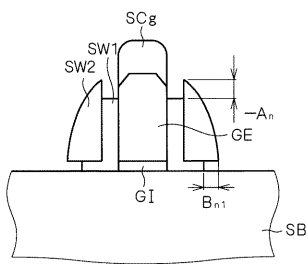
【 図 10 】



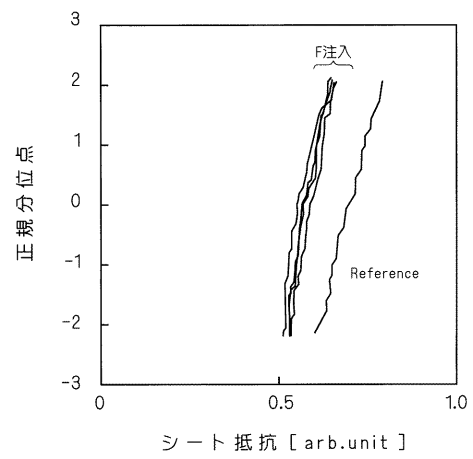
【 図 11 】



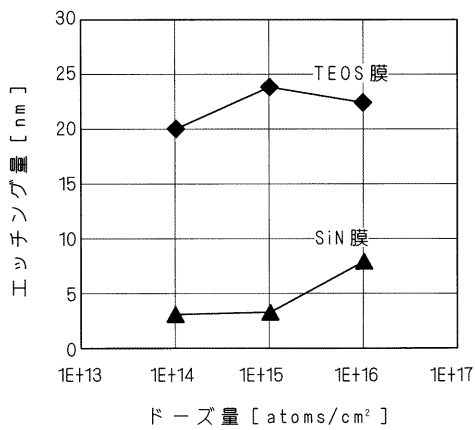
【 図 12 】



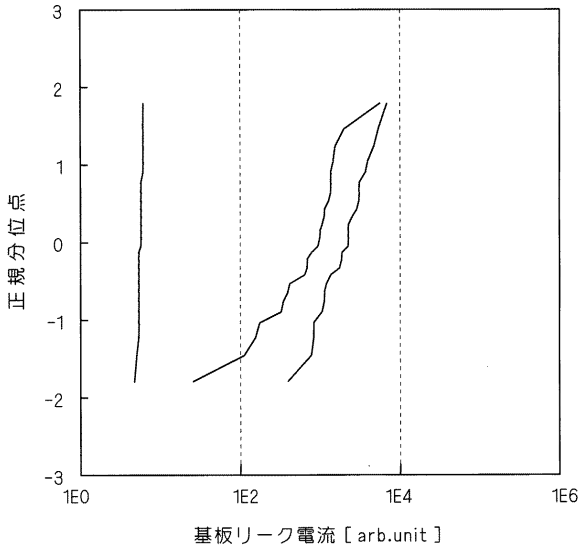
【 図 14 】



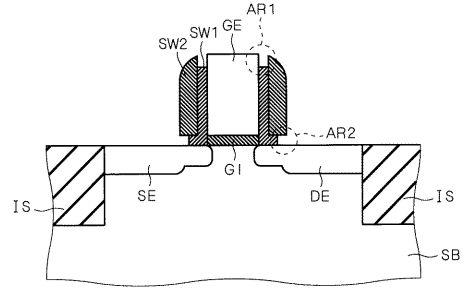
【 図 13 】



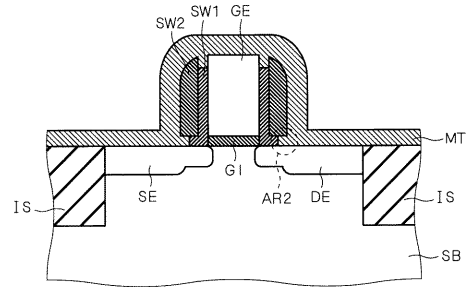
【図15】



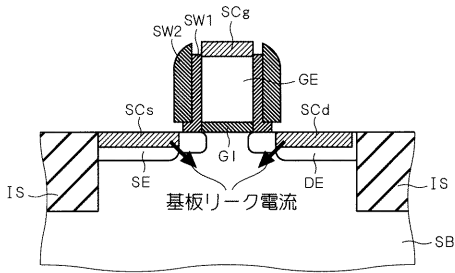
【図16】



【図17】



【図18】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

**H O 1 L 21/265 (2006.01)**

(72)発明者 奥平 智仁

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

(72)発明者 堤 聡明

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

Fターム(参考) 4M104 BB20 BB21 BB22 BB23 BB24 BB25 DD02 DD23 DD26 DD79  
DD84 EE09 EE15 EE17 GG09 GG10 GG14  
5F048 AA07 AC03 BA01 BB01 BB05 BB08 BB12 BC06 BE03 BF06  
BF16 BF17 DA23 DA25 DA27 DA30  
5F140 AA24 AB03 AC01 BA01 BF04 BF11 BF18 BG09 BG12 BG14  
BG30 BG34 BG44 BG45 BG53 BG54 BG56 BH15 BH22 BJ01  
BJ08 BK02 BK13 BK22 BK24 BK27 BK29 BK34 BK38 BK39  
CB01 CF04