

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2024-48269

(P2024-48269A)

(43)公開日 令和6年4月8日(2024.4.8)

(51)国際特許分類	F I	テーマコード(参考)
H 0 1 L 21/336(2006.01)	H 0 1 L 29/78	6 1 8 A 5 F 0 4 5
H 0 1 L 29/786(2006.01)	H 0 1 L 29/78	6 1 8 B 5 F 1 0 3
H 0 1 L 21/20 (2006.01)	H 0 1 L 29/78	6 1 8 E 5 F 1 1 0
H 0 1 L 21/363(2006.01)	H 0 1 L 29/78	6 2 7 G 5 F 1 5 2
H 0 1 L 21/365(2006.01)	H 0 1 L 21/20	

審査請求 未請求 請求項の数 7 O L (全31頁) 最終頁に続く

(21)出願番号	特願2022-154209(P2022-154209)	(71)出願人	502356528 株式会社ジャパンディスプレイ 東京都港区西新橋三丁目7番1号
(22)出願日	令和4年9月27日(2022.9.27)	(74)代理人	110000408 弁理士法人高橋・林アンドパートナーズ
		(72)発明者	渡壁 創 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内
		(72)発明者	津吹 将志 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内
		(72)発明者	佐々木 俊成 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内
		(72)発明者	田丸 尊也

最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

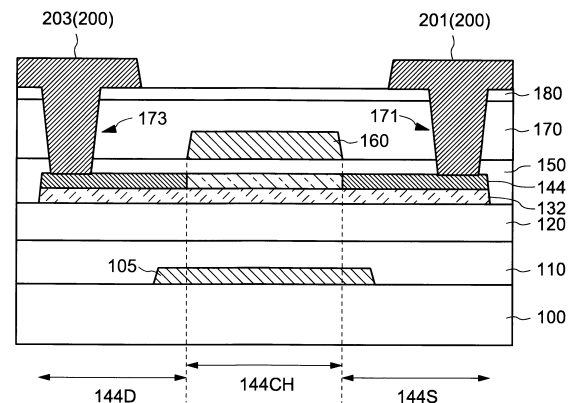
(57)【要約】

10

【課題】信頼性及び移動度が高い半導体装置を提供する。

【解決手段】半導体装置は、基板の上にアルミニウムを主成分とする第1金属酸化物膜を成膜し、第1金属酸化物膜の上に、酸素分圧が3%以上5%以下の条件下でアモルファスの酸化物半導体膜を成膜し、酸化物半導体膜を、パターン状の酸化物半導体層に加工し、パターン状の酸化物半導体層に第1加熱処理を行うことで、酸化物半導体層を結晶化し、結晶化された酸化物半導体層をマスクとして、第1金属酸化物膜を加工し、酸化物半導体層の上に、ゲート絶縁膜を成膜し、ゲート絶縁膜の上に、ゲート電極を形成することを含み、酸化物半導体膜の膜厚は、10nmより大きく30nm以下である。

【選択図】図1



10

【特許請求の範囲】**【請求項 1】**

基板の上にアルミニウムを主成分とする第 1 金属酸化物膜を成膜し、
前記第 1 金属酸化物膜の上に、酸素分圧が 3 % 以上 5 % 以下の条件下でアモルファスの酸化物半導体膜を成膜し、
前記酸化物半導体膜を、パターン状の酸化物半導体層に加工し、
前記パターン状の酸化物半導体層に第 1 加熱処理を行うことで、前記酸化物半導体層を結晶化し、
前記結晶化された酸化物半導体層をマスクとして、前記第 1 金属酸化物膜を加工し、
前記酸化物半導体層の上に、ゲート絶縁膜を成膜し、
前記ゲート絶縁膜の上に、ゲート電極を形成することを含み、
前記酸化物半導体膜の膜厚は、10 nm より大きく 30 nm 以下である、半導体装置の製造方法。

10

【請求項 2】

前記酸化物半導体膜を成膜する際の温度が 100 以下である、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 1 加熱処理を行う際の温度が 300 以上 500 以下である、請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

第 1 金属酸化物膜の膜厚は、1 nm 以上 50 nm 以下である、請求項 1 に記載の半導体装置の製造方法。

20

【請求項 5】

前記ゲート絶縁膜を成膜した後に、アルミニウムを主成分とする第 2 金属酸化物膜を成膜し、第 2 加熱処理を行う、請求項 1 に記載の半導体装置の製造方法。

【請求項 6】

前記酸化物半導体層は、インジウム元素及び少なくとも 1 つ以上の金属元素を含み、
前記インジウム元素及び前記少なくとも 1 つの金属元素に対する前記インジウム元素の比率は、50 % 以上である、請求項 1 に記載の半導体装置の製造方法。

【請求項 7】

前記結晶化された酸化物半導体層は、多結晶構造を有する、請求項 1 に記載の半導体装置の製造方法。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の実施形態の一つは、半導体装置及び半導体装置の製造方法に関する。特に、本発明の実施形態の一つは、チャンネルとして酸化物半導体を用いられた半導体装置及び半導体装置の製造方法に関する。

【背景技術】**【0002】**

近年、アモルファスシリコン、低温ポリシリコン、及び単結晶シリコンに替わり、酸化物半導体がチャンネルに用いられた半導体装置の開発が進められている（例えば、特許文献 1 ~ 6）。酸化物半導体がチャンネルに用いられた半導体装置は、アモルファスシリコンがチャンネルに用いられた半導体装置と同様に、単純な構造かつ低温プロセスで形成することができる。酸化物半導体がチャンネルに用いられた半導体装置は、アモルファスシリコンがチャンネルに用いられた半導体装置よりも高い移動度を有することが知られている。

40

【先行技術文献】**【特許文献】****【0003】**

【特許文献 1】 特開 2021 - 141338 号公報

50

【特許文献2】特開2014-099601号公報

【特許文献3】特開2021-153196号公報

【特許文献4】特開2018-006730号公報

【特許文献5】特開2016-184771号公報

【特許文献6】特開2021-108405号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、従来の酸化物半導体層を含む薄膜トランジスタの電界効果移動度は、結晶性を有する酸化物半導体層を用いた場合であってもそれ程大きくはない。そのため、薄膜トランジスタに用いられる酸化物半導体層の結晶構造を改良し、薄膜トランジスタの電界効果移動度の向上が望まれている。

10

【0005】

酸化物半導体層に含まれるインジウム元素の比率を相対的に高くすることで、高い移動度を有する半導体装置が得られることが知られているが、酸化物半導体層に酸素欠陥が形成されやすい。酸化物半導体層に形成されるチャンネルに酸素欠陥が多く存在すると、半導体装置の電気特性の変動の原因となる。

【0006】

本発明の実施形態の一つは、信頼性及び移動度が高い半導体装置を提供することを目的の一つとする。

20

【課題を解決するための手段】

【0007】

本発明の一実施形態に係る半導体装置は、基板の上にアルミニウムを主成分とする第1金属酸化物膜を成膜し、第1金属酸化物膜の上に、酸素分圧が3%以上5%以下の条件下でアモルファスの酸化物半導体膜を成膜し、酸化物半導体膜を、パターン状の酸化物半導体層に加工し、パターン状の酸化物半導体層に第1加熱処理を行うことで、酸化物半導体層を結晶化し、結晶化された酸化物半導体層をマスクとして、第1金属酸化物膜を加工し、酸化物半導体層の上に、ゲート絶縁膜を成膜し、ゲート絶縁膜の上に、ゲート電極を形成することを含み、酸化物半導体膜の膜厚は、10nmより大きく30nm以下である。

【図面の簡単な説明】

30

【0008】

【図1】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図2】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図3】本発明の一実施形態に係る半導体装置の製造方法を示すシーケンス図である。

【図4】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図5】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図6】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図7】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図8】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図9】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

40

【図10】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図11】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図12】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図13】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図14】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図15】本発明の一実施形態に係る半導体装置の製造方法を示すシーケンス図である。

【図16】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図17】本発明の一実施形態に係る表示装置の概要を示す平面図である。

【図18】本発明の一実施形態に係る表示装置の回路構成を示すブロック図である。

【図19】本発明の一実施形態に係る表示装置の画素回路を示す回路図である。

50

【図 20】本発明の一実施形態に係る表示装置の概要を示す断面図である。

【図 21】本発明の一実施形態に係る表示装置の画素電極及び共通電極の平面図である。

【図 22】本発明の一実施形態に係る表示装置の画素回路を示す回路図である。

【図 23】本発明の一実施形態に係る表示装置の概要を示す断面図である。

【図 24】光学顕微鏡にて半導体装置の表面を撮影した写真である。

【図 25】膜厚が 10 nm である酸化物半導体層を有する半導体装置 10 の電気特性 ($I_d - V_g$ 特性) である。

【図 26】膜厚が 20 nm である酸化物半導体層を有する半導体装置 10 の電気特性 ($I_d - V_g$ 特性) である。

【図 27】膜厚が 30 nm である酸化物半導体層を有する半導体装置 10 の電気特性 ($I_d - V_g$ 特性) である。 10

【図 28】酸化物半導体膜の各成膜条件に対する真性移動度である。

【図 29】酸化物半導体膜の各成膜条件に対する閾値電圧の変動量 V_{th} である。

【発明を実施するための形態】

【0009】

以下に、本発明の各実施の形態について、図面を参照しつつ説明する。以下の開示はあくまで一例にすぎない。当業者が、発明の主旨を保ちつつ、実施形態の構成を適宜変更することによって容易に想到し得る構成は、当然に本発明の範囲に含有される。図面は説明をより明確にするため、実際の態様に比べ、各部の幅、膜厚、形状等について模式的に表 20

される場合がある。しかし、図示された形状はあくまで一例であって、本発明の解釈を限定するものではない。本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

【0010】

「半導体装置」とは、半導体特性を利用することで機能しうる装置全般をいう。トランジスタ、半導体回路は半導体装置の一形態である。以下に示す実施形態の半導体装置は、例えば、表示装置、マイクロプロセッサ (Micro-Processing Unit: MPU) などの集積回路 (Integrated Circuit: IC)、又はメモリ回路に用いられるトランジスタであってもよい。

【0011】

「表示装置」とは、電気光学層を用いて映像を表示する構造体を指す。例えば、表示装置という用語は、電気光学層を含む表示パネルを指す場合もあり、又は表示セルに対して他の光学部材 (例えば、偏光部材、バックライト、タッチパネル等) を装着した構造体を指す場合もある。「電気光学層」には、技術的な矛盾が生じない限り、液晶層、エレクトロルミネセンス (EL) 層、エレクトロクロミック (EC) 層、電気泳動層が含まれ得る。したがって、後述する実施形態について、表示装置として、液晶層を含む液晶表示装置、及び有機 EL 層を含む有機 EL 表示装置を例示して説明するが、本実施形態における構造は、上述した他の電気光学層を含む表示装置へ適用することができる。 30

【0012】

本発明の各実施の形態において、基板から酸化物半導体層に向かう方向を上又は上方という。逆に、酸化物半導体層から基板に向かう方向を下又は下方という。このように、説明の便宜上、上方又は下方という語句を用いて説明するが、例えば、基板と酸化物半導体層との上下関係が図示と逆になるように配置されてもよい。以下の説明で、例えば基板上の酸化物半導体層という表現は、上記のように基板と酸化物半導体層との上下関係を説明しているに過ぎず、基板と酸化物半導体層との間に他の部材が配置されていてもよい。上方又は下方は、複数の層が積層された構造における積層順を意味するものであり、トランジスタの上方の画素電極と表現する場合、平面視において、トランジスタと画素電極とが重ならない位置関係であってもよい。一方、トランジスタの鉛直上方の画素電極と表現する場合は、平面視において、トランジスタと画素電極とが重なる位置関係を意味する。なお、平面視とは、基板の表面に対して、垂直な方向から見ることをいう。 40

【0013】

本明細書等において、「膜」という用語と、「層」という用語とは、場合により、互いに入れ替えることができる。

【0014】

本明細書等において「はA、B又はCを含む」、「はA、B及びCのいずれかを含む」、「はA、B及びCからなる群から選択される一つを含む」、といった表現は、特に明示が無い限り、がA～Cの複数の組み合わせを含む場合を排除しない。さらに、これらの表現は、が他の要素を含む場合も排除しない。

【0015】

なお、以下の各実施形態は、技術的な矛盾を生じない限り、互いに組み合わせることができる。

【0016】

第1実施形態

図1～図14を用いて、本発明の一実施形態に係る半導体装置10について説明する。

【0017】

[半導体装置10の構成]

図1～図2を用いて、本発明の一実施形態に係る半導体装置10の構成について説明する。図1は、本発明の一実施形態に係る半導体装置10の概要を示す断面図である。図2は、本発明の一実施形態に係る半導体装置10の概要を示す平面図である。また、図2に示す一点鎖線で切断したときの断面が、図1に示す断面図に対応する。

【0018】

図1に示すように、半導体装置10は基板100の上方に設けられている。半導体装置10は、ゲート電極105、ゲート絶縁膜110、120、酸化物半導体層144、ゲート絶縁膜150、ゲート電極160、絶縁膜170、180、ソース電極201、及びドレイン電極203を含む。ソース電極201及びドレイン電極203を特に区別しない場合、これらを併せてソース電極及びドレイン電極200という場合がある。また、酸化物半導体層144、ゲート絶縁膜150、及びゲート電極160を指して、トランジスタと呼ぶ場合がある。

【0019】

ゲート電極105は基板100の上に設けられている。ゲート絶縁膜110及びゲート絶縁膜120は基板100及びゲート電極105の上に設けられている。金属酸化物層132はゲート絶縁膜120の上に設けられている。金属酸化物層132はゲート絶縁膜120に接している。酸化物半導体層144は金属酸化物層132の上に設けられている。酸化物半導体層144は金属酸化物層132に接している。酸化物半導体層144の主面のうち、金属酸化物層132に接する面を下面という。金属酸化物層132の端部と酸化物半導体層144の端部は略一致している。

【0020】

酸化物半導体層144は、透光性を有している。また、酸化物半導体層144は、ソース領域144S、ドレイン領域144D、及びチャネル領域144CHに区分される。チャネル領域144CHは、酸化物半導体層144のうちゲート電極160の鉛直下方の領域である。ソース領域144Sは、酸化物半導体層144のうちゲート電極160と重ならない領域であって、チャネル領域144CHよりもソース電極201に近い側の領域である。ドレイン領域144Dは、酸化物半導体層144のうちゲート電極160と重ならない領域であって、チャネル領域144CHよりもドレイン電極203に近い側の領域である。

【0021】

酸化物半導体層144は、複数の結晶粒を含む多結晶構造を有する。詳細は後述するが、Poly-OS (Poly-crystalline Oxide Semiconductor) 技術を用いることにより、多結晶構造を有する酸化物半導体層144を形成することができる。以下では、酸化物半導体層144の構成について説明するが、多結晶構造を有する酸化物半導体をPoly-OSという場合がある。

10

20

30

40

50

【0022】

酸化物半導体層144の上面（または酸化物半導体層144の膜厚方向）または酸化物半導体層144の断面から観察したPoly-Osに含まれる結晶粒の結晶粒径は、0.1 μ m以上であり、好ましくは0.3 μ m以上であり、さらに好ましくは0.5 μ m以上である。結晶粒の結晶粒径は、例えば、断面SEM観察、断面TEM観察、または電子線後方散乱回折（Electron Back Scattered Diffraction：EBSD）法などを用いて取得することができる。

【0023】

酸化物半導体層144の膜厚は、10nmより大きく30nm以下である。上述したように、Poly-Osに含まれる結晶粒の結晶粒径は0.1 μ m以上であるため、酸化物半導体層144は、膜厚方向に1つの結晶粒のみが含まれる領域を含む。

10

【0024】

後に詳細に説明するが、酸化物半導体層144は、インジウム元素を含む2以上の金属を含み、2以上の金属におけるインジウム元素の比率は50%以上である。インジウム元素以外の金属元素として、ガリウム（Ga）元素、亜鉛（Zn）元素、アルミニウム（Al）元素、ハフニウム（Hf）元素、イットリウム（Y）元素、ジルコニウム（Zr）元素、およびランタノイド系元素が用いられる。酸化物半導体層144として、上記以外の元素が用いられてもよい。本実施形態では、酸化物半導体層144として、IGO系の酸化物半導体であることが好ましい。IGO系の酸化物半導体とは、インジウム元素、ガリウム元素、及び酸素を含む酸化物半導体をいう。

20

【0025】

また、ソース領域144S及びドレイン領域144Dは、不純物元素を含む。また、酸化物半導体層144におけるソース領域144S及びドレイン領域144Dは、不純物元素が添加されることによって、チャンネル領域144CHと比較して抵抗率を十分に下げることができる。つまり、ソース領域144S及びドレイン領域144Dは、導体としての物性を備えている。

【0026】

ソース領域144S及びドレイン領域144Dに含まれる不純物元素の濃度は、SIMS分析（二次イオン質量分析）で測定した場合に、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であることが好ましい。ここで、不純物元素とは、アルゴン（Ar）、リン（P）、又はボロン（B）をいう。また、ソース領域144S及びドレイン領域144Dに、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下が含まれる場合、イオン注入法又はドーピング法により不純物元素が意図的に添加されたものと推定される。ただし、ソース領域144S、及びドレイン領域144Dに、 $1 \times 10^{18} \text{ cm}^{-3}$ 未満の濃度で、アルゴン（Ar）、リン（P）、又はボロン（B）以外の不純物元素が含まれていてもよい。

30

【0027】

ゲート電極160は酸化物半導体層144に対向している。ゲート絶縁膜150は、酸化物半導体層144とゲート電極160との間に設けられている。ゲート絶縁膜150は酸化物半導体層144に接している。酸化物半導体層144の主面のうち、ゲート絶縁膜150に接する面を上面という。上面と下面との間の面を側面という。絶縁膜170、180はゲート絶縁膜150及びゲート電極160の上に設けられている。絶縁膜170、180には、酸化物半導体層144に達する開口171、173が設けられている。ソース電極201は開口171の内部に設けられている。ソース電極201は開口171の底部で酸化物半導体層144に接している。ドレイン電極203は開口173の内部に設けられている。ドレイン電極203は開口173の底部で酸化物半導体層144に接している。

40

【0028】

ゲート電極160は、半導体装置10のトップゲート及び酸化物半導体層144に対する遮光膜としての機能を備える。ゲート絶縁膜150は、トップゲートに対するゲート絶

50

縁膜としての機能を備え、製造プロセスにおける熱処理によって酸素を放出する機能を備える。絶縁膜 170、180 は、ゲート電極 160 とソース電極及びドレイン電極 200 とを絶縁し、両者間の寄生容量を低減する機能を備える。半導体装置 10 の動作は、主にゲート電極 160 に供給される電圧によって制御される。ゲート電極 105 には補助的な電圧が供給される。ただし、ゲート電極 105 を単に遮光膜として用いる場合、ゲート電極 105 に特定の電圧が供給されず、フローティングであってもよい。つまり、ゲート電極 105 は単に「遮光膜」と呼ばれてもよい。

【0029】

図 2 に示すように、平面視において、金属酸化物層 132 の平面パターンは、酸化物半導体層 144 の平面パターンと略同一である。図 1 及び図 2 を参照すると、酸化物半導体層 144 の下面は金属酸化物層 132 によって覆われている。特に、本実施形態に係る半導体装置 10 では、酸化物半導体層 144 の下面の全てが、金属酸化物層 132 によって覆われている。D1 方向において、ゲート電極 105 の幅はゲート電極 160 の幅より大きい。D1 方向は、ソース電極 201 とドレイン電極 203 とを結ぶ方向であり、半導体装置 10 のチャンネル長 L を示す方向である。具体的には、酸化物半導体層 144 とゲート電極 160 とが重なる領域（チャンネル領域 144CH）の D1 方向の長さがチャンネル長 L であり、当該チャンネル領域 144CH の D2 方向の幅がチャンネル幅 W である。

10

【0030】

本実施形態では、酸化物半導体層 144 の下面の全てが金属酸化物層 132 によって覆われた構成を例示したが、この構成に限定されない。例えば、酸化物半導体層 144 の下面の一部が金属酸化物層 132 と接していなくてもよい。例えば、チャンネル領域 144CH における酸化物半導体層 144 の下面の全てが金属酸化物層 132 によって覆われ、ソース領域 144S 及びドレイン領域 144D における酸化物半導体層 144 の下面の全て又は一部が金属酸化物層 132 によって覆われていなくてもよい。つまり、ソース領域 144S 及びドレイン領域 144D における酸化物半導体層 144 の下面の全て又は一部が金属酸化物層 132 と接していなくてもよい。ただし、上記の構成において、チャンネル領域 144CH における酸化物半導体層 144 の下面の一部が金属酸化物層 132 によって覆われておらず、当該下面のその他の部分が金属酸化物層 132 と接していてもよい。

20

【0031】

図 1 では、平面視において、ソース電極及びドレイン電極 200 が、ゲート電極 105 及び 160 と重ならない構成が例示されているが、この構成に限定されない。例えば、平面視において、ソース電極及びドレイン電極 200 が、ゲート電極 105 及び 160 の少なくとも一方と重なっていてもよい。上記の構成は、あくまで一実施形態に過ぎず、本発明は上記の構成に限定されない。

30

【0032】

本実施形態では、半導体装置 10 として、ゲート電極が酸化物半導体層 144 の上に設けられたトップゲート型トランジスタが用いられた構成を例示するが、この構成に限定されない。例えば、半導体装置 10 として、ゲート電極が酸化物半導体層 144 の下方のみに設けられたボトムゲート型トランジスタ、又はゲート電極が酸化物半導体層 144 の上方及び下方に設けられたデュアルゲート型トランジスタが用いられてもよい。上記の構成はあくまで一実施形態に過ぎず、本発明は上記の構成に限定されない。

40

【0033】

[半導体装置 10 の製造方法]

図 3 ~ 図 14 を用いて、本発明の一実施形態に係る半導体装置 10 の製造方法について説明する。図 3 は、本発明の一実施形態に係る半導体装置 10 の製造方法を示すシーケンス図である。図 4 ~ 図 14 は、本発明の一実施形態に係る半導体装置 10 の製造方法を示す断面図である。

【0034】

図 3 及び図 4 に示すように、基板 100 の上にボトムゲートとしてゲート電極 105 が形成され、ゲート電極 105 の上にゲート絶縁膜 110、120 が形成される（図 3 のス

50

トップS1001の「Bottom GI/GE形成」)。

【0035】

基板100として、ガラス基板、石英基板、及びサファイア基板など、透光性を有する剛性基板が用いられる。基板100が可撓性を備える必要がある場合、基板100として、ポリイミド基板、アクリル基板、シロキサン基板、フッ素樹脂基板など、又は樹脂を含む基板が用いられる。基板100として樹脂を含む基板が用いられる場合、基板100の耐熱性を向上させるために、上記の樹脂に不純物元素が導入されてもよい。特に、半導体装置10がトップエミッション型のディスプレイである場合、基板100が透明である必要はないため、基板100の透明度を悪化させる不純物が用いられてもよい。表示装置ではない集積回路に半導体装置10が用いられる場合は、基板100としてシリコン基板、炭化シリコン基板、化合物半導体基板などの半導体基板、又は、ステンレス基板などの導電性基板など、透光性を備えない基板が用いられてもよい。

10

【0036】

ゲート電極105は、スパッタリング法によって成膜された導電膜を加工して形成する。ゲート電極105として、一般的な金属材料が用いられる。ゲート電極105として、例えば、アルミニウム(Al)、チタン(Ti)、クロム(Cr)、コバルト(Co)、ニッケル(Ni)、モリブデン(Mo)、ハフニウム(Hf)、タンタル(Ta)、タングステン(W)、ビスマス(Bi)、銀(Ag)、銅(Cu)、及びこれらの合金又は化合物が用いられる。ゲート電極105として、上記の材料が単層で用いられてもよく積層で用いられてもよい。

20

【0037】

ゲート絶縁膜110、120はCVD(Chemical Vapor Deposition)法、又はスパッタリング法によって成膜される。ゲート絶縁膜110、120として、一般的な絶縁性材料が用いられる。ゲート絶縁膜110、120として、例えば、酸化シリコン(SiO_x)、酸化窒化シリコン(SiO_xN_y)、窒化シリコン(SiN_x)、窒化酸化シリコン(SiN_xO_y)などの無機絶縁材料が用いられる。上記の SiO_xN_y は、酸素(O)よりも少ない比率($x > y$)の窒素(N)を含有するシリコン化合物である。 SiN_xO_y は、窒素よりも少ない比率($x > y$)の酸素を含有するシリコン化合物である。

【0038】

ゲート絶縁膜110、120として、基板100から窒素を含む絶縁材料と酸素を含む絶縁材料との順で形成されることが好ましい。例えば、ゲート絶縁膜110として、窒素を含む絶縁材料を用いることにより、例えば、基板100側から酸化物半導体層144に向かって拡散する不純物をブロックすることができる。また、ゲート絶縁膜120として、酸素を含む絶縁材料を用いることにより、加熱処理によって酸素を放出させることができる。酸素を含む絶縁材料が酸素を放出する加熱処理の温度は、例えば、500以下、450以下、又は400以下である。つまり、酸素を含む絶縁材料は、例えば、基板100としてガラス基板が用いられた場合の半導体装置10の製造工程で行われる加熱処理温度で酸素を放出する。本実施形態では、ゲート絶縁膜110として、例えば、窒化シリコンが形成される。ゲート絶縁膜120として、例えば、酸化シリコンが形成される。

30

40

【0039】

図3及び図5に示すように、ゲート絶縁膜120の上に、金属酸化物膜130を成膜する(図3に示すステップS1002「MO成膜」)。金属酸化物膜130は、スパッタリング法または原子層堆積法(ALD: Atomic Layer Deposition)によって成膜される。

【0040】

金属酸化物膜130として、アルミニウムを主成分とする金属酸化物が用いられる。例えば、金属酸化物膜130として、酸化アルミニウム(AlO_x)、酸化窒化アルミニウム(AlO_xN_y)、窒化酸化アルミニウム(AlN_xO_y)、窒化アルミニウム(AlN_x)などの無機絶縁層が用いられる。アルミニウムを主成分とする金属酸化物膜とは、

50

金属酸化物膜に含まれるアルミニウムの比率が、金属酸化物膜130全体の1%以上であることを意味する。金属酸化物膜130に含まれるアルミニウムの比率は、金属酸化物膜130全体の5%以上70%以下、10%以上60%以下、又は30%以上50%以下であってもよい。上記の比率は、質量比であってもよく、重量比であってもよい。

【0041】

金属酸化物膜130の厚さは、例えば、1nm以上50nm以下、1nm以上30nm以下、1nm以上20nm以下、又は1nm以上10nm以下である。本実施形態では、金属酸化物膜130として酸化アルミニウムが用いられる。酸化アルミニウムは酸素又は水素などのガスに対する高いバリア性を備えている。言い換えると、バリア性とは、酸素又は水素などのガスが、酸化アルミニウムを透過することを抑制する機能をいう。つまり、酸化アルミニウム膜の下に設けられる層から酸素又は水素などのガスが存在していても、酸化アルミニウム膜の上に設けられる層に移動させないことを意味する。または、酸化アルミニウム膜の上に設けられる層から酸素又は水素などのガスが存在していても、酸化アルミニウム膜の下に設けられる層に移動させないことを意味する。本実施形態において、金属酸化物膜130として用いられた酸化アルミニウムは、ゲート絶縁膜120から放出された水素及び酸素をブロックし、放出された水素及び酸素が酸化物半導体層に到達することを抑制する。

10

【0042】

図3及び図6に示すように、金属酸化物膜130の上に酸化物半導体膜140を成膜する(図3に示すステップS1003「OS成膜」)。この工程について、基板100の上に酸化物半導体膜140を形成する、という場合がある。

20

【0043】

酸化物半導体膜140は、スパッタリング法又は原子層堆積法(ALD: Atomic Layer Deposition)によって成膜される。酸化物半導体膜140の膜厚は、例えば、10nmより大きく30nm以下である。

【0044】

酸化物半導体膜140として、半導体の特性を有する金属酸化物を用いることができる。酸化物半導体膜140として、例えば、インジウム(In)元素を含む2以上の金属を含む酸化物半導体が用いられる。また、2以上の金属におけるインジウム元素の比率は50%以上である。酸化物半導体膜140として、インジウム元素に加えて、ガリウム(Ga)元素、亜鉛(Zn)元素、アルミニウム(Al)元素、ハフニウム(Hf)元素、イットリウム(Y)元素、ジルコニウム(Zr)元素、又はランタノイド系元素が用いられる。酸化物半導体膜140として、13族元素を含むことが好ましい。また、酸化物半導体膜140として、上記以外の元素が用いられてもよい。本実施形態では、酸化物半導体膜140として、IGO系の酸化物半導体であることが好ましい。

30

【0045】

後述するOSアニールによって、酸化物半導体膜140を結晶化する場合、成膜後かつOSアニール前の酸化物半導体膜140はアモルファス(酸化物半導体の結晶成分が少ない状態)であることが好ましい。つまり、酸化物半導体膜140の成膜方法は、成膜直後の酸化物半導体膜140ができるだけ結晶化しない条件であることが好ましい。例えば、スパッタリング法によって酸化物半導体膜140が成膜される場合、被成膜対象物(基板100及びその上に形成された構造物)の温度を制御しながら酸化物半導体膜140が成膜される。

40

【0046】

スパッタリング法によって被成膜対象物に対して成膜を行うと、プラズマ中で発生したイオン及びスパッタリングターゲットによって反跳した原子が被成膜対象物に衝突するため、成膜処理に伴い被成膜対象物の温度が上昇する。成膜処理中の被成膜対象物の温度が上昇すると、成膜直後の状態で酸化物半導体膜140に微結晶が含まれる。酸化物半導体膜140に微結晶が含まれると、その後のOSアニールによって結晶粒径を大きくすることができない。上記のように被成膜対象物の温度を制御するために、例えば、被成膜対象

50

物を冷却しながら成膜を行うことができる。例えば、被成膜対象物の被成膜面の温度（以下、「成膜温度」という。）が100以下、70以下、50以下、又は30以下になるように、被成膜対象物を当該被成膜面の反対側の面から冷却することができる。特に、本実施形態の酸化物半導体膜140の成膜温度は、50以下であることが好ましい。基板を冷却しながら酸化物半導体膜140の形成を行うことで、成膜直後の状態で結晶成分が少ない酸化物半導体膜140を得ることができる。本実施形態では、酸化物半導体膜140の形成を50以下の成膜温度で行い、後述するOSアニールを400以上の加熱温度で行う。このように、本実施形態では、酸化物半導体膜140を形成する際の温度と酸化物半導体膜140に対してOSアニールを行う際の温度との差分が350以上であることが好ましい。

10

【0047】

スパッタリングプロセスでは、酸素分圧10%以下の条件下でアモルファスの酸化物半導体膜140が成膜される。酸素分圧が高いと、酸化物半導体膜140に含まれる過剰な酸素によって成膜直後の酸化物半導体膜140に微結晶が含まれてしまう。そのため、酸素分圧が低い条件の下で酸化物半導体膜140の成膜が行われることが好ましい。酸素分圧は、例えば、3%以上5%以下であり、好ましくは3%以上4%以下である。なお、酸素分圧が2%の条件で、酸化物半導体膜を成膜した場合、後にOSアニール処理を行っても酸化物半導体膜は結晶化しない。

【0048】

図3及び図7に示すように、酸化物半導体層142のパターンを形成する（図3に示すステップS1004の「OSパターン形成」）。図示しないが、酸化物半導体膜140の上にレジストマスク143を形成し、当該レジストマスク143を用いて酸化物半導体膜140をエッチングする。酸化物半導体膜140のエッチングとして、ウェットエッチングが用いられてもよく、ドライエッチングが用いられてもよい。ウェットエッチングとして、酸性のエッチャントを用いてエッチングを行うことができる。エッチャントとして、例えば、シュウ酸、PAN、硫酸、過酸化水素水、またはフッ酸を用いることができる。これにより、パターン状の酸化物半導体層142を形成することができる。その後、レジストマスク143を除去する。

20

【0049】

酸化物半導体膜140は、OSアニール前にパターンが形成されることが好ましい。OSアニールによって酸化物半導体膜140が結晶化すると、エッチングし難い傾向がある。また、エッチングによってパターン状の酸化物半導体層142にダメージが生じても、OSアニールによって酸化物半導体層142のダメージを修復できるため好ましい。

30

【0050】

図3及び図8に示すように、酸化物半導体層142のパターン形成の後に酸化物半導体層142に対して加熱処理（OSアニール）が行われる（図3に示すステップS1005の「OSアニール」）。OSアニールでは、酸化物半導体層142が、所定の到達温度で所定の時間保持される。所定の到達温度は、300以上500以下であり、好ましくは350以上450以下である。また、到達温度での保持時間は、15分以上120分以下であり、好ましくは30分以上60分以下である。OSアニールを行うことにより、酸化物半導体層142が結晶化され、多結晶構造を有する酸化物半導体層144が形成される。

40

【0051】

薄膜トランジスタでは、酸化物半導体層の厚さを小さくすることで、ゲート絶縁膜との界面近傍におけるキャリアを増加させて、バックチャネルの影響を低減することで、電界効果移動度が高くなる傾向がある。つまり、薄膜トランジスタは、酸化物半導体層のチャネルとして機能する領域の厚さが小さいほど、電界効果移動度が高くなる傾向がある。そのため、酸化物半導体層の厚さは小さいほどよい。しかしながら、酸化物半導体層の厚さを10nm以下で成膜した後、加熱処理を行っても、酸化物半導体層が十分に結晶化しない。酸化物半導体層が十分に結晶化しない場合、後に酸化物半導体層をマスクとして用い

50

て金属酸化物膜をパターニングするためのエッチング処理の際に、酸化物半導体層及び金属酸化物膜が消失してしまう。

【0052】

また、薄膜トランジスタにおいて、酸化物半導体層144の結晶性は、電界効果移動度の向上に寄与する。そのため、酸化物半導体層144は、多結晶構造を有していることが好ましい。しかしながら、酸化物半導体膜140の成膜時に、微結晶が含まれていると、その後、加熱処理を行っても多結晶構造の結晶粒の結晶粒径を大きくすることができない。このように、酸化物半導体層の薄膜化と、良好な結晶化を両立することは困難である。

【0053】

さらに、酸化物半導体層144において、金属酸化物層132との界面近傍に酸素欠陥や水素が多数存在すると、界面準位密度が増加してしまう。界面準位に電子がトラップされることで、信頼性試験により、トランジスタが劣化し、半導体装置の信頼性が低下する要因となる。

【0054】

本発明の一実施形態に係る半導体装置の製造方法によれば、酸化物半導体膜140をスパッタリング法で成膜する際に、3%以上5%以下という低い酸素分圧で成膜する。酸素分圧が低い条件にて酸化物半導体膜140を成膜することにより、酸化物半導体膜140に過剰に酸素が含まれることを抑制することができ、成膜直後の酸化物半導体膜140に微結晶が含まれることを抑制することができる。これにより、酸化物半導体層142の加熱処理の際に、微結晶から結晶が成長することを抑制することができる。したがって、酸化物半導体膜140が10nmよりも大きく30nm以下の薄い膜厚で成膜された場合であっても、酸化物半導体層144の多結晶構造の結晶粒の結晶粒径を大きくすることができる。

【0055】

図3及び図9に示すように、金属酸化物膜130をパターニングして、金属酸化物層132を形成する(図4のステップS1006の「MOパターン形成」)。加熱処理によって十分に結晶化された酸化物半導体層144は、エッチング耐性を有する。そのため、結晶化された酸化物半導体層144をマスクとして、金属酸化物膜130をパターニングする際に、酸化物半導体層144が消失してしまうことを抑制することができる。酸化金属層130は、上記の工程でパターニングされた酸化物半導体層140をマスクとしてエッチングされる。金属酸化物膜130のエッチングとして、ウェットエッチングが用いられてもよく、ドライエッチングが用いられてもよい。ウェットエッチングとして、例えば希釈フッ酸(DHF)が用いられる。酸化物半導体層144をマスクとして金属酸化物膜130をエッチングすることで、フォトリソグラフィ工程を省略することができる。

【0056】

図3及び図10に示すように、酸化物半導体層144の上にゲート絶縁膜150を成膜する(図3に示すステップS1007の「GI成膜」)。

【0057】

ゲート絶縁膜150の成膜方法及び絶縁材料は、ゲート絶縁膜110、120の説明を参照すればよい。また、ゲート絶縁膜150の膜厚は、例えば、50nm以上300nm以下、60nm以上200nm以下、又は70nm以上150nm以下である。

【0058】

ゲート絶縁膜150として、酸素を含む絶縁材料を用いることが好ましい。また、ゲート絶縁膜150として、欠陥が少ない絶縁膜を用いることが好ましい。例えば、ゲート絶縁膜150における酸素の組成比と、ゲート絶縁膜150と同様の組成の絶縁膜(以下、「他の絶縁膜」という)における酸素の組成比と、を比較した場合、ゲート絶縁膜150における酸素の組成比の方が当該他の絶縁膜における酸素の組成比よりも当該絶縁膜に対する化学量論比に近い。例えば、ゲート絶縁膜150及び絶縁膜180の各々に酸化シリコン(SiO_x)が用いられる場合、ゲート絶縁膜150として用いられる酸化シリコンにおける酸素の組成比は、絶縁膜180として用いられる酸化シリコンにおける酸素の組

10

20

30

40

50

成比に比べて、酸化シリコンの化学量論比に近い。例えば、ゲート絶縁膜 150 として、電子スピン共鳴法 (E S R) で評価したときに欠陥が観測されない層が用いられてもよい。

【 0 0 5 9 】

ゲート絶縁膜 150 として欠陥が少ない絶縁膜を形成するために、350 以上の成膜温度でゲート絶縁膜 150 を成膜してもよい。また、ゲート絶縁膜 150 を成膜した後に、ゲート絶縁膜 150 の一部に酸素を打ち込む処理を行ってもよい。本実施形態では、ゲート絶縁膜 150 として、欠陥が少ない絶縁膜を形成するために、350 以上の成膜温度で酸化シリコンが形成される。

【 0 0 6 0 】

酸化物半導体層 144 の上にゲート絶縁膜 150 が成膜された状態で、酸化物半導体層 144 へ酸素を供給するための加熱処理 (酸化アニール) が行われる (図 3 に示すステップ S 1008 の「酸化アニール」) 。

【 0 0 6 1 】

酸化アニールによって、ゲート絶縁膜 120 から放出された酸素は、金属酸化物層 132 によってブロックされるため、酸化物半導体層 144 の下面には酸素が供給されにくい。ゲート絶縁膜 120 から放出された酸素は、金属酸化物層 132 が形成されていない領域からゲート絶縁膜 120 の上に設けられたゲート絶縁膜 150 に拡散し、ゲート絶縁膜 150 を介して酸化物半導体層 144 に到達する。その結果、ゲート絶縁膜 120 から放出された酸素は、酸化物半導体層 144 の下面には供給されにくく、主に酸化物半導体層 144 の側面及び上面に供給される。さらに、酸化アニールによって、ゲート絶縁膜 150 から放出された酸素が酸化物半導体層 144 の上面及び側面に供給される。上記の酸化アニールによって、ゲート絶縁膜 110、120 から水素が放出される場合があるが、当該水素は金属酸化物層 132 によってブロックされる。

【 0 0 6 2 】

酸化物半導体層 144 が成膜されてから酸化物半導体層 144 の上にゲート絶縁膜 150 が成膜されるまでの間の工程で、酸化物半導体層 144 の上面及び側面には多くの酸素欠陥が発生する。上記の酸化アニールによって、ゲート絶縁膜 120 から放出された酸素が酸化物半導体層 144 の上面及び側面に供給され、酸素欠陥が修復される。

【 0 0 6 3 】

次に、図 3 及び図 11 に示すように、ゲート絶縁膜 150 の上にゲート電極 160 を形成する (図 3 に示すステップ S 1009 の「T o p G E 形成」) 。

【 0 0 6 4 】

ゲート電極 160 は、スパッタリング法によって成膜された導電膜を加工して形成される。ゲート電極 160 として、ゲート電極 105 と同様に、一般的な金属材料が用いられる。ゲート電極 160 に用いることが可能な材料については、ゲート電極 105 の材料の記載を参照すればよい。ゲート電極 160 として、上記の材料が単層で用いられてもよく積層で用いられてもよい。

【 0 0 6 5 】

次に、図 3 及び図 12 に示すように、ゲート電極 160 をマスクとして、酸化物半導体層 144 に不純物を添加する (図 3 に示すステップ S 1010 の「S D 低抵抗化」) 。本実施形態では、不純物の添加をイオン注入によって行う場合について説明するが、イオンドーピング法によって行ってもよい。

【 0 0 6 6 】

具体的には、イオン注入によって、ソース領域 144 S 及びドレイン領域 144 D には、ゲート絶縁膜 150 を通過して、不純物元素が添加される。不純物元素として、例えば、アルゴン (A r)、リン (P)、又はボロン (B) を用いればよい。また、イオン注入法でボロン (B) の添加を行う場合は、加速エネルギーを、20 k e V 以上 40 k e V 以下とし、ボロン (B) の注入量を、 $1 \times 10^{14} \text{ cm}^{-2}$ 以上 $1 \times 10^{16} \text{ cm}^{-2}$ 以下とすればよい。

10

20

30

40

50

【0067】

ソース領域144S、及びドレイン領域144Dに不純物元素を $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下の濃度で添加することができる。このとき、ソース領域144S及びドレイン領域144Dにおける酸化物半導体は、不純物元素が添加されることにより、酸素欠陥が形成される。当該酸素欠陥には、水素がトラップされやすくなる。これにより、ソース領域144S、及びドレイン領域144Dの抵抗率を低下させて、導体として機能させることができる。

【0068】

例えば、IGZO系の酸化物半導層を用いる場合、酸化物半導体層の抵抗が大きいいため、膜厚を大きくしなければ、ソース領域及びドレイン領域の抵抗を十分に低減することができない。これに対し、多結晶構造を有する酸化物半導体層144では、ソース領域144S及びドレイン領域144Dに不純物元素が添加されることにより、ソース領域144S及びドレイン領域144Dのシート抵抗を、 $1000 \text{ } / \text{ sq}$ 以下であり、好ましくは $500 \text{ } / \text{ sq}$ 以下であり、さらに好ましくは $250 \text{ } / \text{ sq}$ にすることができる。

10

【0069】

図3及び図13に示すように、ゲート絶縁膜150及びゲート電極160の上に層間膜として絶縁膜170、180を成膜する(図3に示すステップS1011の「層間膜成膜」)。

【0070】

絶縁膜170、180の成膜方法及び絶縁材料は、ゲート絶縁膜110、120の材料の説明を参照すればよい。絶縁膜170の膜厚は、 50 nm 以上 500 nm 以下である。絶縁膜180の膜厚は、 50 nm 以上 500 nm 以下である。本実施形態では、例えば、絶縁膜170として酸化シリコンが形成され、絶縁膜180として窒化シリコンが形成される。

20

【0071】

図3及び図14に示すように、ゲート絶縁膜150及び絶縁膜170、180に開口171、173を形成する(図3に示すステップS1012の「コンタクト開孔」)。開口171によってソース領域144Sの酸化物半導体層144が露出されている。開口173によってドレイン領域144Dの酸化物半導体層144が露出されている。

30

【0072】

最後に、開口171、173によって露出された酸化物半導体層144の上及び絶縁膜180の上にソース電極及びドレイン電極200を形成することで(図3に示すステップS1013の「SD形成」)、図1に示す半導体装置10を形成することができる。

【0073】

ソース電極及びドレイン電極200は、例えば、スパッタリング法により成膜された導電膜を加工することで形成される。ソース電極及びドレイン電極200として、ゲート電極105と同様に、一般的な金属材料が用いられる。ソース電極及びドレイン電極200に用いることが可能な材料については、ゲート電極105の記載を参照すればよい。ソース電極及びドレイン電極200として、上記の材料が単層で用いられてもよく積層で用い

40

【0074】

以上の工程により、図1に示す半導体装置10を製造することができる。

【0075】

上記の製造方法で作製した半導体装置10では、チャンネル領域144CHのチャンネル長Lが $2 \mu\text{m}$ 以上 $4 \mu\text{m}$ 以下、かつ、チャンネル領域144CHのチャンネル幅が $2 \mu\text{m}$ 以上 $25 \mu\text{m}$ 以下の範囲において、移動度が $30 \text{ cm}^2 / \text{ Vs}$ 以上、 $35 \text{ cm}^2 / \text{ Vs}$ 以上、又は $40 \text{ cm}^2 / \text{ Vs}$ 以上の電気特性を得ることができる。本明細書等における移動度とは半導体装置10の飽和領域における電界効果移動度であって、ソース電極とドレイン電極との間の電位差(V_d)が、ゲート電極に供給される電圧(V_g)から半導体装置10の

50

閾値電圧 (V_{th}) を引いた値 ($V_g - V_{th}$) より大きい領域における電界効果移動度の最大値を意味する。

【0076】

ここで、信頼性試験とは、例えば、ゲートに負の電圧を印加する NGBT (Negative Gate Bias - Temperature) ストレス試験、又はゲートに正の電圧を印加する PGBT (Positive Gate Bias - Temperature) ストレス試験をいう。なお、NGBT および PGBT などの BT ストレス試験は加速試験の一種であり、長期間の使用によって起こるトランジスタの特性変化 (経年変化) を短時間で評価することができる。特に、BT ストレス試験前後におけるトランジスタのしきい値電圧の変動量は、信頼性を調べるための重要な指標となる。BT ストレス試験前後において、しきい値電圧の変動量が少ないほど、信頼性が高いトランジスタであるといえる。

10

【0077】

また、酸化物半導体層 144 の膜厚を薄くすることにより、 L 長を小さくすることができる。本実施形態では、ゲート電極 160 をマスクとして酸化物半導体層 144 に水素を注入している。このとき、酸化物半導体層 144 において、ゲート電極 160 の端部を基準として、チャネル領域 144CH に水素が侵入した領域が生じることがある。 L 長とは、チャネル領域 144CH に水素が侵入した領域のチャネル長 L 方向における長さをいう。本実施形態のように、酸化物半導体層 144 が薄い場合、イオン注入の際に、酸化物半導体層 144 を通過してゲート絶縁層 120 側に水素が打ち込まれる。これにより、水素がチャネル領域 144CH に拡散することが抑制されるため、 L 長を小さくすることができると考えられる。

20

【0078】

第2実施形態

本実施形態では、第1実施形態で説明した半導体装置 10 の製造方法とは異なる製造方法について説明する。なお、本実施形態の半導体装置 10 の構造は、外観としては第1実施形態で説明した半導体装置 10 と同一である。本実施形態では、第1実施形態と異なる点に着目して説明する。

【0079】

[半導体装置 10 の製造方法]

図 15、図 16 を用いて、本発明の一実施形態に係る半導体装置 10 の製造方法について説明する。図 15 は、本発明の一実施形態に係る半導体装置 10 の製造方法を示すシーケンス図である。図 16 は、本発明の一実施形態に係る半導体装置 10 の製造方法を示す断面図である。また、第1実施形態と同様の工程については、詳細な説明を省略する。

30

【0080】

図 15 は、本発明の一実施形態に係る半導体装置 10 の製造方法を示すシーケンス図である。図 15 に示すように、ステップ S1001 ~ ステップ S1007 の工程は、図 3 に示すステップ S1001 ~ ステップ S1007 の工程と同様である。

【0081】

本実施形態では、図 15 及び図 16 に示すように、ステップ S1007 の工程の後に、ゲート絶縁膜 150 の上に、アルミニウムを主成分とする金属酸化物膜 190 を成膜する (図 15 に示すステップ S1014 「MO 成膜」)。

40

【0082】

金属酸化物膜 190 は、スパッタリング法によって成膜される。金属酸化物膜 190 の成膜によって、ゲート絶縁膜 150 に酸素が打ち込まれる。アルミニウムを主成分とする金属酸化物膜 190 は、第1実施形態で説明した金属酸化物膜 130 と同様の無機絶縁膜である。金属酸化物膜 190 に含まれるアルミニウムの比率は、金属酸化物膜 190 全体の 5% 以上 70% 以下、10% 以上 60% 以下、又は 30% 以上 50% 以下であってもよい。上記の比率は、質量比であってもよく、重量比であってもよい。

【0083】

50

金属酸化物膜 190 の膜厚は、例えば、5 nm 以上 100 nm 以下、5 nm 以上 50 nm 以下、5 nm 以上 30 nm 以下、又は 7 nm 以上 15 nm 以下である。本実施形態では、金属酸化物膜 190 として酸化アルミニウムが用いられる。酸化アルミニウムはガスに対する高いバリア性を備えている。本実施形態において、金属酸化物膜 190 として用いられる酸化アルミニウムは、金属酸化物膜 190 の成膜時にゲート絶縁膜 150 に打ち込まれた酸素が外方拡散することを抑制する。

【0084】

例えば、金属酸化物膜 190 をスパッタリング法で成膜した場合、金属酸化物膜 190 の膜中にはスパッタリングで用いられたプロセスガスが残存する。例えば、スパッタリングのプロセスガスとして Ar が用いられた場合、金属酸化物膜 190 の膜中には Ar が残存することがある。残存した Ar は金属酸化物膜 190 に対する SIMS (Secondary Ion Mass Spectrometry) 分析で検出することができる。

10

【0085】

次に、図 15 に示すように、ゲート絶縁膜 150 の上に金属酸化物膜 190 が成膜された状態で、酸化物半導体層 144 へ酸素を供給するための加熱処理（酸化アニール）が行われる（図 22 のステップ S2008 の「酸化アニール」）。酸化物半導体膜 140 が成膜されてから酸化物半導体層 144 の上にゲート絶縁膜 150 が成膜されるまでの間の工程で、酸化物半導体層 144 の上面 141 及び側面には多くの酸素欠陥が発生する。上記の酸化アニールによって、ゲート絶縁膜 120、150 から放出された酸素が酸化物半導体層 144 に供給され、酸素欠陥が修復される。

20

【0086】

酸化アニールによって、ゲート絶縁膜 120 から放出された酸素は、金属酸化物層 132 によってブロックされるため、酸化物半導体層 144 の下面には酸素が供給されにくい。ゲート絶縁膜 120 から放出された酸素は、金属酸化物層 132 が形成されていない領域からゲート絶縁膜 120 の上に設けられたゲート絶縁膜 150 に拡散し、ゲート絶縁膜 150 を介して酸化物半導体層 144 に到達する。その結果、ゲート絶縁膜 120 から放出された酸素は、酸化物半導体層 144 の下面には供給されにくく、主に酸化物半導体層 144 の側面及び上面に供給される。さらに、酸化アニールによって、ゲート絶縁膜 150 から放出された酸素が酸化物半導体層 144 の上面及び側面に供給される。上記の酸化アニールによって、ゲート絶縁膜 110、120 から水素が放出される場合があるが、当該水素は金属酸化物層 132 によってブロックされる。

30

【0087】

上記のように、酸化アニールの工程によって、酸素欠陥の量が少ない酸化物半導体層 144 の下面への酸素の供給を抑制しつつ、酸素欠陥の量が多い酸化物半導体層 144 の上面 141 及び側面への酸素供給を行うことができる。

【0088】

同様に、上記の酸化アニールにおいて、ゲート絶縁膜 150 に打ち込まれた酸素は、金属酸化物膜 190 によってブロックされるため、大気中に放出されることが抑制される。したがって、当該酸化アニールによって、当該酸素が効率よく酸化物半導体層 144 に供給され、酸素欠陥が修復される。

40

【0089】

次に、酸化アニールの後に、金属酸化物膜 190 はエッチング（除去）される（図 15 に示すステップ S1015 の「MO 除去」）。金属酸化物膜 190 のエッチングとして、ウェットエッチングが用いられてもよく、ドライエッチングが用いられてもよい。ウェットエッチングとして、例えば希釈フッ酸（DHF）が用いられる。当該エッチングによって、全面に形成された金属酸化物膜 190 が除去される。換言すると、金属酸化物膜 190 の除去はマスクを用いずに行われる。さらに換言すると、当該エッチングによって、少なくとも平面視において、ある 1 つのパターンに形成された酸化物半導体層 144 と重なる領域の全ての金属酸化物膜 190 が除去される。

【0090】

50

その後、ゲート絶縁膜 150 の上に、ゲート電極 160 が形成される（図 15 に示すステップ S 1009 「Top GE 形成」）。ステップ S 1009 ~ ステップ S 1013 に示す工程は、図 3 に示すステップ S 1009 ~ ステップ S 1013 と同様であるため説明を省略する。ステップ S 1009 ~ ステップ S 1013 を経ることにより、図 15 に示す半導体装置 10 を形成することができる。

【0091】

上記の製造方法で作製した半導体装置 10 では、第 1 実施形態で説明した半導体装置 10 の製造方法と比較して、酸化物半導体層 144 に含まれる酸素欠陥をより低減することができる。したがって、本実施形態で説明した半導体装置 10 では、チャンネル領域 144 CH のチャンネル長 L が $2\ \mu\text{m}$ 以上 $4\ \mu\text{m}$ 以下、かつ、チャンネル領域 144 CH のチャンネル幅が $2\ \mu\text{m}$ 以上 $25\ \mu\text{m}$ 以下の範囲において、移動度が $50\ \text{cm}^2/\text{Vs}$ 以上、 $55\ \text{cm}^2/\text{Vs}$ 以上、又は $60\ \text{cm}^2/\text{Vs}$ 以上の電気特性を得ることができる。

10

【0092】

本明細書等において、プラズマ処理とは、被処理基板を設置した空間内にプラズマを発生させることにより、被処理基板をプラズマに暴露する処理をいう。プラズマ処理は、例えば、スパッタリング装置による逆スパッタ、又は誘導結合プラズマ（ICP：Inductively Coupled Plasma）装置を用いたエッチングにより行う。

【0093】

逆スパッタは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板近傍にプラズマを形成して基材の表面にイオンを衝突させることで、表面を改質する処理である。プラズマ処理を逆スパッタにて行う場合には、例えば、酸化物半導体膜 140 をスパッタリング法により成膜する前に、チャンバにアルゴンガスを導入してプラズマを発生させる。誘導結合プラズマによるエッチングは、プラズマ中に存在するイオンやラジカルによって基材の表面を改質する処理である。

20

【0094】

金属酸化物膜 130 に対してプラズマ処理が行われることにより、金属酸化物膜 130 の表面が改質される。ここで、表面が改質されるとは、金属酸化物膜 130 の表面の化学組成が変化すること、又は金属酸化物膜 130 の表面粗さが低下することをいう。

【0095】

表面が改質された金属酸化物膜 130 の状態は、表面の水接触角の大小により確認することができる。金属酸化物膜 130 の表面に対してプラズマ処理が行われることにより、金属酸化物膜 130 の水接触角が低下する。プラズマ処理後の金属酸化物膜 130 の表面における水接触角は 20° 以下、好ましくは 15° 以下、より好ましくは、 10° 以下となる。本明細書等において、水接触角として、ISO 19403 - 2：2017 に準じて測定された値を採用する。金属酸化物膜 130 を、プラズマ処理として、逆スパッタによって行った場合、水接触角は 20° 以下となる。また、金属酸化物膜 130 を、誘導結合プラズマによるエッチングによって行った場合、水接触角は、 15° 以下となる。なお、水接触角の測定下限値は、 2° である。

30

【0096】

プラズマ処理により、金属酸化物膜 130 の表面が除去されてもよい。金属酸化物膜 130 の表面が除去される量は、例えば、 $1\ \text{nm}$ 以上 $10\ \text{nm}$ 以下、又は $1\ \text{nm}$ 以上 $5\ \text{nm}$ 以下である。

40

【0097】

また、プラズマ処理により、金属酸化物膜 130 の表面の粗さが低減されてもよい。金属酸化物膜 130 の表面の粗さ（例えば、算術平均粗さ（Ra））は、例えば、 $1\ \text{nm}$ 以下にすることができる。表面の粗さは、原子間力顕微鏡（AFM：Atomic Force Microscope）を用いて評価することができる。

【0098】

本変形例では、金属酸化物膜 130 の表面が改質されている。金属酸化物膜 130 の改質された表面の上に、結晶成分が少ない状態の酸化物半導体膜 140 を成膜する。その後

50

、パターン状の酸化物半導体層 142 に対して、OSアニールが行われることで、酸化物半導体層 142 が結晶化する際に、金属酸化物膜 130 と酸化物半導体層 144 との界面において水酸基や水によって結晶化が阻害されることを抑制することができる。つまり、金属酸化物膜 130 と酸化物半導体層 144 との界面における界面準位密度をより低減させることができる。これにより、半導体装置 10 において、信頼性をより向上させることができる。

【0099】

第3実施形態

図17～図20を用いて、本発明の一実施形態に係る半導体装置10を用いた表示装置20について説明する。以下に示す実施形態では、第1実施形態で説明した半導体装置10が液晶表示装置の回路に適用された構成について説明する。

10

【0100】

[表示装置20の概要]

図17は、本発明の一実施形態に係る表示装置20の概要を示す平面図である。図17に示すように、表示装置20は、アレイ基板300、シール部310、対向基板320、フレキシブルプリント回路基板330(FPC330)、及びICチップ340を有する。アレイ基板300及び対向基板320はシール部310によって貼り合わせられている。シール部310に囲まれた液晶領域22には、複数の画素回路301がマトリクス状に配置されている。液晶領域22は、後述する液晶素子311と平面視において重なる領域である。

20

【0101】

シール部310が設けられたシール領域24は、液晶領域22の周囲の領域である。FPC330は端子領域26に設けられている。端子領域26はアレイ基板300が対向基板320から露出された領域であり、シール領域24の外側に設けられている。シール領域24の外側とは、シール部310が設けられた領域及びシール部310によって囲まれた領域の外側を意味する。ICチップ340はFPC330上に設けられている。ICチップ340は各画素回路301を駆動させるための信号を供給する。

【0102】

[表示装置20の回路構成]

図18は、本発明の一実施形態に係る表示装置20の回路構成を示すブロック図である。図18に示すように、画素回路301が配置された液晶領域22に対して第2方向D2(列方向)に隣接する位置にはソースドライバ回路302が設けられており、液晶領域22に対して第1方向D1(行方向)に隣接する位置にはゲートドライバ回路303が設けられている。ソースドライバ回路302及びゲートドライバ回路303は、上記のシール領域24に設けられている。ただし、ソースドライバ回路302及びゲートドライバ回路303が設けられる領域はシール領域24に限定されず、画素回路301が設けられた領域の外側であれば、どの領域でもよい。

30

【0103】

ソースドライバ回路302からソース配線304が第2方向D2に延びており、第2方向D2に配列された複数の画素回路301に接続されている。ゲートドライバ回路303からゲート電極160が第1方向D1に延びており、第1方向D1に配列された複数の画素回路301に接続されている。

40

【0104】

端子領域26には端子部306が設けられている。端子部306とソースドライバ回路302とは接続配線307で接続されている。同様に、端子部306とゲートドライバ回路303とは接続配線307で接続されている。FPC330が端子部306に接続されることで、FPC330が接続された外部機器と表示装置20とが接続され、外部機器からの信号によって表示装置20に設けられた各画素回路301が駆動する。

【0105】

第1実施形態及び第2実施形態に示す半導体装置10は、画素回路301、ソースドラ

50

イバ回路 302、及びゲートドライバ回路 303 に含まれるトランジスタとして用いられる。

【0106】

[表示装置 20 の画素回路 301]

図 19 は、本発明の一実施形態に係る表示装置 20 の画素回路を示す回路図である。図 19 に示すように、画素回路 301 は半導体装置 10、保持容量 350、及び液晶素子 311 などの素子を含む。半導体装置 10 はゲート電極 160、ソース電極 201、及びドレイン電極 203 を有する。ゲート電極 160 はゲート電極 160 に接続されている。ソース電極 201 はソース配線 304 に接続されている。ドレイン電極 203 は保持容量 350 及び液晶素子 311 に接続されている。本実施形態では、説明の便宜上、符号「201」で示された電極をソース電極といい、符号「203」で示された電極をドレイン電極というが、符号「201」で示された電極がドレイン電極として機能し、符号「203」で示された電極がソース電極として機能してもよい。

10

【0107】

[表示装置 20 の構成]

図 20 は、本発明の一実施形態に係る表示装置 20 の断面図である。図 20 に示すように、表示装置 20 は、半導体装置 10 が適用された表示装置 20 である。

【0108】

図 20 及び図 21 に示すように、基板 100 の上にゲート電極 105 が設けられている。ゲート電極 105 は、フローティング状態である。ゲート電極 105 の材料については、ソース電極 201 及びドレイン電極 203 の説明を参照すればよい。また、ゲート電極 105 の上に、酸化物半導体層 144 が設けられている。酸化物半導体層 144 の上に、ゲート電極 160 が第 1 方向 D1 に沿って延在している。ゲート電極 160 のうち、酸化物半導体層 144 と重畳する領域は、ゲート電極 160 として機能する。ゲート電極 160 の上に、ソース配線 304 及びドレイン電極 203 が設けられている。ソース配線 304 は、開口 171 を介してソース領域 144S と接続されている。ソース配線 304 のうち、酸化物半導体層 144 と接続される領域は、ソース電極 201 として機能する。また、ドレイン電極 203 は、開口 173 を介してドレイン領域 144D と接続されている。

20

【0109】

ソース電極 201 及びドレイン電極 203 の上に絶縁膜 360 が設けられている。絶縁膜 360 の上に、複数の画素に共通して設けられる共通電極 370 が設けられている。共通電極 370 の上に絶縁膜 380 が設けられている。絶縁膜 360、380 には開口 381 が設けられている。絶縁膜 380 の上及び開口 381 の内部に画素電極 390 が設けられている。画素電極 390 はドレイン電極 203 に接続されている。

30

【0110】

図 21 は、本発明の一実施形態に係る表示装置 20 の画素電極 390 及び共通電極 370 の平面図である。図 21 に示すように、共通電極 370 は、平面視で画素電極 390 と重なる重畳領域と、画素電極 390 と重ならない非重畳領域とを有する。画素電極 390 と共通電極 370 との間に電圧を供給すると、重畳領域の画素電極 390 から非重畳領域の共通電極 370 に向かって横電界が形成される。この横電界によって液晶素子 311 に含まれる液晶分子が動作することで、画素の階調が決定される。

40

【0111】

本実施形態では、半導体装置 10 が画素回路 301 に用いられた構成を例示するが、半導体装置 10 がソースドライバ回路 302 及びゲートドライバ回路 303 を含む周辺回路に用いられてもよい。

【0112】

第 4 実施形態

図 22 及び図 23 を用いて、本発明の一実施形態に係る半導体装置 10 を用いた表示装置 20 について説明する。本実施形態では、第 1 実施形態で説明した半導体装置 10 が有機 EL 表示装置の回路に適用された構成について説明する。表示装置 20 の概要及び回路

50

構成は図 2 2 及び図 2 3 に示すものと同様なので、説明を省略する。

【 0 1 1 3 】

[表示装置 2 0 の画素回路 3 0 1]

図 2 2 は、本発明の一実施形態に係る表示装置 2 0 の画素回路を示す回路図である。図 2 2 に示すように、画素回路 3 0 1 は駆動トランジスタ 1 1、選択トランジスタ 1 2、保持容量 2 1 0、及び発光素子 D O などの素子を含む。駆動トランジスタ 1 1 及び選択トランジスタ 1 2 は半導体装置 1 0 と同様の構成を備えている。選択トランジスタ 1 2 のソース電極は信号線 2 1 1 に接続され、選択トランジスタ 1 2 のゲート電極はゲート線 2 1 2 に接続されている。駆動トランジスタ 1 1 のソース電極はアノード電源線 2 1 3 に接続され、駆動トランジスタ 1 1 のドレイン電極は発光素子 D O の一端に接続されている。発光素子 D O の他端はカソード電源線 2 1 4 に接続されている。駆動トランジスタ 1 1 のゲート電極は選択トランジスタ 1 2 のドレイン電極に接続されている。保持容量 2 1 0 は駆動トランジスタ 1 1 のゲート電極及びドレイン電極に接続されている。信号線 2 1 1 には、発光素子 D O の発光強度を決める階調信号が供給される。ゲート線 2 1 2 には、上記の階調信号を書き込む画素行を選択する信号が供給される。

10

【 0 1 1 4 】

[表示装置 2 0 の断面構造]

図 2 3 は、本発明の一実施形態に係る表示装置 2 0 の断面図である。図 2 3 に示す表示装置 2 0 の構成は、図 1 9 に示す表示装置 2 0 と類似しているが、図 2 3 の表示装置 2 0 の絶縁膜 3 6 0 よりも上方の構造が図 1 9 の表示装置 2 0 の絶縁膜 3 6 0 よりも上方の構造と相違する。以下、図 2 3 に示す表示装置 2 0 の構成のうち、図 1 9 に示す表示装置 2 0 と同様の構成については説明を省略し、両者の相違点について説明する。

20

【 0 1 1 5 】

図 2 3 に示すように、表示装置 2 0 は、絶縁膜 3 6 0 の上方に画素電極 3 9 0、発光層 3 9 2、及び共通電極 3 9 4 (発光素子 D O) を有する。画素電極 3 9 0 は絶縁膜 3 6 0 の上及び開口 3 8 1 の内部に設けられている。画素電極 3 9 0 の上に絶縁膜 3 6 2 が設けられている。絶縁膜 3 6 2 には開口 3 6 3 が設けられている。開口 3 6 3 は発光領域に対応する。つまり、絶縁膜 3 6 2 は画素を画定する。開口 3 6 3 によって露出した画素電極 3 9 0 の上に発光層 3 9 2 及び共通電極 3 9 4 が設けられている。画素電極 3 9 0 及び発光層 3 9 2 は、各画素に対して個別に設けられている。一方、共通電極 3 9 4 は、複数の画素に共通して設けられている。発光層 3 9 2 は、画素の表示色に応じて異なる材料が用いられる。

30

【 0 1 1 6 】

第 3 実施形態及び第 4 実施形態では、第 1 実施形態で説明した半導体装置を液晶表示装置及び有機 E L 表示装置に適用した構成について例示したが、これらの表示装置以外の表示装置 (例えば、有機 E L 表示装置以外の自発光型表示装置又は電子ペーパー型表示装置) に当該半導体装置を適用してもよい。また、中小型の表示装置から大型の表示装置まで、特に限定することなく上記半導体装置 1 0 の適用が可能である。

【 実施例 】

【 0 1 1 7 】

(実施例 1)

本実施例では、酸化物半導体膜 1 4 0 に対するエッチング耐性について検証した結果について説明する。

40

【 0 1 1 8 】

本実施例では、第 2 実施形態の図 1 5 に示すシーケンスにしたがって、半導体装置 1 0 を製造した後に、光学顕微鏡にて半導体装置の表面の写真を撮影して酸化物半導体層 1 4 4 の有無を確認した。

【 0 1 1 9 】

本実施例では、図 1 5 に示すステップ S 1 0 0 2 において、金属酸化物膜 1 3 0 として 1 0 n m の酸化アルミニウム膜を成膜した。次に、図 1 5 に示すステップ S 1 0 0 3 にお

50

いて、I G O系のスパッタリングターゲットを用い、基板温度が100以下となるようにして、酸化物半導体膜140を成膜した。酸素分圧及び酸化物半導体膜の膜厚については条件振りした。

【0120】

酸素分圧が2%である場合、酸化物半導体膜の膜厚を20nm、30nm、及び40nmに条件振りした。また、酸素分圧が4%である場合、酸化物半導体膜の膜厚を20nm、30nm、40nmに条件振りした。また、酸素分圧が5%である場合、30nmとした。

【0121】

図15に示すステップS1004において、酸化物半導体膜140を、レジストマスクを用いて、シュウ酸を用いてエッチングした。図15に示すステップS1005において、OSアニールを行った。その後、図15に示すステップS1006において、酸化物半導体層144をマスクとして、DHFを用いて金属酸化物膜130をエッチングした。以降、図15に示すシーケンスにしたがって、半導体装置10を作製した。

【0122】

図15に示すステップS1013の工程が終了した後、光学顕微鏡にて半導体装置の表面の写真を撮影した。図24は、光学顕微鏡にて半導体装置の表面を撮影した写真である。

【0123】

図24に示す通り、酸素分圧が2%である場合、膜厚20nm、30nm、及び40nmのいずれの場合も、エッチング処理の際に、酸化物半導体層が消失してしまったことが確認された。また、酸素分圧が4%の場合、及び酸素分圧5%の場合は、酸化物半導体層は消失することなく、残存していることが確認された。

【0124】

酸素分圧が2%である場合は、酸化物半導体膜の成膜後に加熱処理を行っても、十分に結晶化することができなかつたと考えられる。そのため、金属酸化物膜130をエッチングする際に、酸化物半導体層も消失してしまったと考えられる。一方、酸素分圧が3%以上である場合は、酸化物半導体膜の成膜後の加熱処理によって、酸化物半導体層が十分に結晶化したため、酸化物半導体層が残存したと考えられる。

【0125】

(実施例2)

次に、第1実施形態の図3に示すシーケンスにしたがって製造した半導体装置10の電気特性について検証した結果について説明する。

【0126】

本実施例では、図3に示すステップS1003において、I G O系のスパッタリングターゲットを用い、基板温度が100以下となるようにして、酸化物半導体膜140を成膜した。酸素分圧及び酸化物半導体膜の膜厚については条件振りした。

【0127】

酸素分圧が5%である場合、酸化物半導体膜の膜厚を10nm、20nm、及び30nmに条件振りした。

【0128】

図3に示すステップS1004において、酸化物半導体膜140を、レジストマスクを用いてエッチングした。図3に示すステップS1005において、OSアニールを行った。以降、図3に示すシーケンスにしたがって、半導体装置10を作製した。

【0129】

次に、半導体装置10の電気特性を測定した。半導体装置10の電気特性の測定条件は以下の通りである。

- ・チャンネル領域のサイズ：W/L = 4.5 μ m / 3 μ m
- ・ソース・ドレイン間電圧：0.1V、10V
- ・ゲート電圧：-15V ~ +15V

10

20

30

40

50

- ・測定環境：室温、暗室
- ・酸化物半導体層の厚さ：10 nm、20 nm、30 nm
- ・測定箇所：基板面内26箇所

【0130】

図25は、膜厚が10 nmである酸化物半導体層を有する半導体装置10の電気特性（ $I_d - V_g$ 特性）である。図26は、膜厚が20 nmである酸化物半導体層を有する半導体装置10の電気特性（ $I_d - V_g$ 特性）である。図27は、膜厚が30 nmである酸化物半導体層を有する半導体装置10の電気特性（ $I_d - V_g$ 特性）である。横軸は、ゲート電圧 V_g であり、縦軸は、ドレイン電流（ I_d ）である。

【0131】

図25に示すように、膜厚が10 nmである酸化物半導体層を有する半導体装置10では、スイッチング特性が得られなかった。酸化物半導体層の膜厚が10 nmである場合、加熱処理によって酸化物半導体層が結晶化せず、非晶質のままであったためだと考えられる。図26及び図27では、半導体装置10について良好な電気特性が得られた。膜厚が20 nmである酸化物半導体層を有する半導体装置10の移動度は、 $31.5 \text{ cm}^2 / \text{Vs}$ であった。膜厚が30 nmである酸化物半導体層を有する半導体装置10の移動度は、 $31.4 \text{ cm}^2 / \text{Vs}$ であった。

【0132】

（実施例3）

次に、第2実施形態の図15に示すシーケンスにしたがって製造した半導体装置10の電気特性について検証した結果について説明する。本実施例では、酸素分圧と膜厚とをさらに詳細に条件振りを行い、真性移動度と信頼性について検証した結果について説明する。

【0133】

本実施例では、図15に示すステップS1002において、金属酸化物膜130として酸化アルミニウム膜を成膜した。また、図15に示すステップS1003において、IGO系のスパッタリングターゲットを用い、基板温度が100以下となるようにして、酸化物半導体膜140を成膜した。酸素分圧及び酸化物半導体膜の膜厚については条件振りした。

【0134】

酸素分圧が3%、4%、5%のそれぞれの場合に対して、酸化物半導体膜の膜厚を15 nm、20 nm、25 nm、及び30 nmに条件振りした。

【0135】

図15に示すステップS1004において、酸化物半導体膜140を、レジストマスクを用いて、シュウ酸を用いてエッチングした。図15に示すステップS1005において、OSアニールを行った。その後、図15に示すステップS1006において、酸化物半導体層144をマスクとして、DHFを用いて金属酸化物膜130をエッチングした。以降、図15に示すシーケンスにしたがって、半導体装置10を作製した。

【0136】

次に、本実施例で作製した半導体装置10の電気特性を測定した。半導体装置10の電気特性の測定条件は以下の通りである。

- ・チャンネル領域144CHのサイズ： $W / L = 4.5 \mu\text{m} / 3 \mu\text{m}$
- ・ソース・ドレイン間電圧：0.1 V、1.0 V
- ・ゲート電圧：-1.5 V ~ +1.5 V
- ・測定環境：室温、暗室
- ・酸化物半導体層の厚さ：10 nm、20 nm、30 nm
- ・測定箇所：基板面内26箇所

【0137】

図28は、酸化物半導体膜の各成膜条件に対する真性移動度である。横軸は、酸化物半導体膜の成膜条件であり、縦軸は、真性移動度である。

10

20

30

40

50

【 0 1 3 8 】

図 28 の結果によれば、酸化物半導体膜を成膜する際の酸素分圧が低くなるほど真性移動度が増加し、酸化物半導体層の膜厚が薄くなるほど、酸化物半導体層の真性移動度が増加する傾向が確認された。つまり、酸化物半導体膜を成膜する際の酸素分圧が低く、酸化物半導体層の膜厚が薄いほど、酸化物半導体層の真性移動度が向上することが確認された。

【 0 1 3 9 】

次に、本実施例で作製した半導体装置の信頼性試験を行った結果について説明する。ここで、信頼性試験として、P B T S 及び N B T I S (N e g a t i v e B i a s I l l u m i n a t i o n T e m p e r a t u r e S t r e s s) を行った。P B T S は、半導体装置のゲート電極に正の電圧を印加して、電圧の印加前後における閾値電圧の変動量を評価することである。また、N B T I S は、半導体装置のゲート電極に負の電圧を印加して、電圧の印加前後における閾値電圧の変動量を評価することである。

10

【 0 1 4 0 】

図 29 は、酸化物半導体膜の各成膜条件に対する閾値電圧の変動量 V_{th} である。横軸は、酸化物半導体膜の成膜条件であり、縦軸は、閾値電圧の変動量である。

【 0 1 4 1 】

図 29 の結果によれば、酸化物半導体膜を成膜する際の酸素分圧が低くなるほど閾値電圧の変動量が小さくなり、酸化物半導体層の膜厚が薄くなるほど、閾値電圧の変動量が小さくなる傾向が確認された。つまり、酸化物半導体膜を成膜する際の酸素分圧が低く、酸化物半導体層の膜厚が薄いほど、半導体装置の信頼性が向上することが確認された。

20

【 0 1 4 2 】

本発明の実施形態として上述した各実施形態及び変形例は、相互に矛盾しない限りにおいて、適宜組み合わせる実施することができる。また、各実施形態及び変形例の半導体装置及び表示装置を基にして、当業者が適宜構成要素の追加、削除もしくは設計変更を行ったもの、又は、工程の追加、省略もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

【 0 1 4 3 】

上述した各実施形態の態様によりもたらされる作用効果とは異なる他の作用効果であっても、本明細書の記載から明らかなもの、又は、当業者において容易に予測し得るものについては、当然に本発明によりもたらされるものと解される。

30

【 符号の説明 】

【 0 1 4 4 】

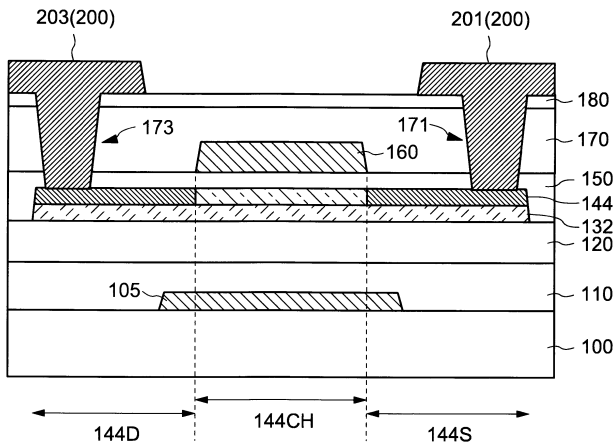
10 : 半導体装置、11 : 駆動トランジスタ、12 : 選択トランジスタ、14 : 酸化物半導体層、20 : 表示装置、22 : 液晶領域、24 : シール領域、26 : 端子領域、100 : 基板、105 : ゲート電極、110 : ゲート絶縁膜、120 : ゲート絶縁膜、130 : 金属酸化物膜、132 : 金属酸化物層、140 : 酸化物半導体膜、142 : 酸化物半導体層、143 : レジストマスク、144 : 酸化物半導体層、144CH : チャネル領域、144D : ドレイン領域、144S : ソース領域、150 : ゲート絶縁膜、160 : ゲート電極、164 : 酸化物半導体層、170 : 絶縁膜、171 : 開口、173 : 開口、180 : 絶縁膜、190 : 金属酸化物膜、200 : ドレイン電極、201 : ソース電極、203 : ドレイン電極、210 : 保持容量、211 : 信号線、212 : ゲート線、213 : アノード電源線、214 : カソード電源線、300 : アレイ基板、301 : 画素回路、302 : ソースドライバ回路、303 : ゲートドライバ回路、304 : ソース配線、306 : 端子部、307 : 接続配線、310 : シール部、311 : 液晶素子、320 : 対向基板、330 : フレキシブルプリント回路基板、340 : チップ、350 : 保持容量、360 : 絶縁膜、362 : 絶縁膜、363 : 開口、370 : 共通電極、380 : 絶縁膜、381 : 開口、390 : 画素電極、392 : 発光層、394 : 共通電極

40

【 図 面 】

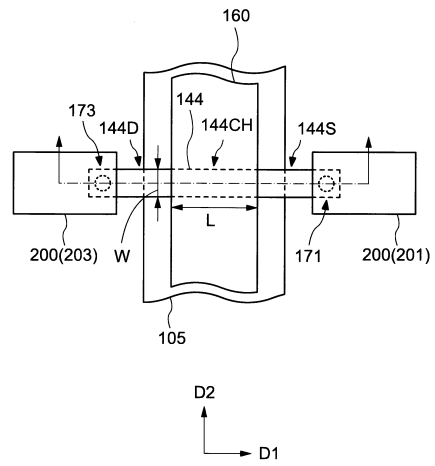
【 図 1 】

10



【 図 2 】

10

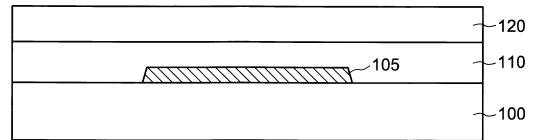
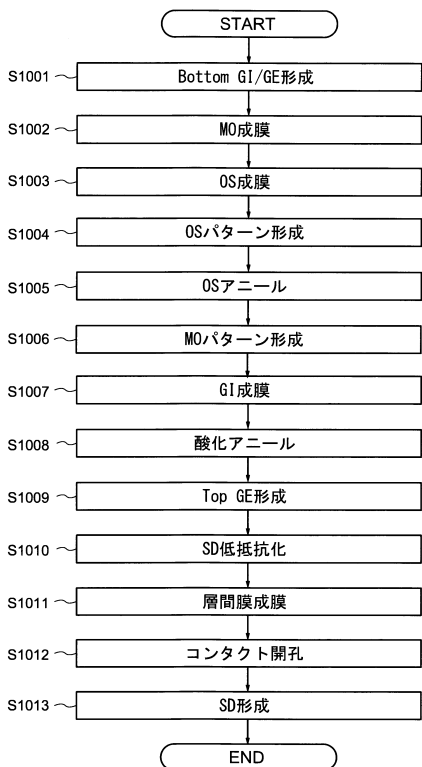


10

20

【 図 3 】

【 図 4 】

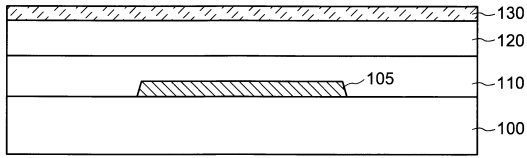


30

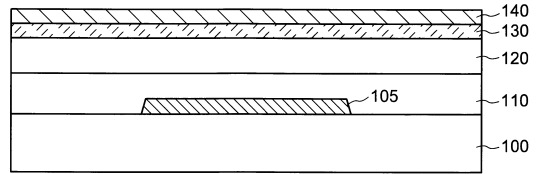
40

50

【 図 5 】



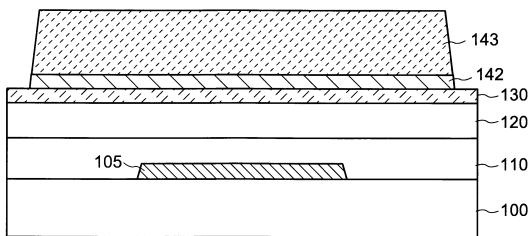
【 図 6 】



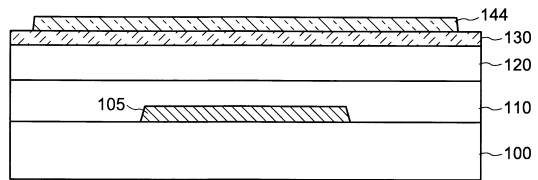
10

20

【 図 7 】



【 図 8 】

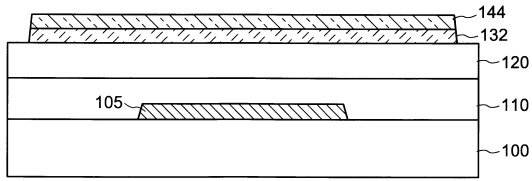


30

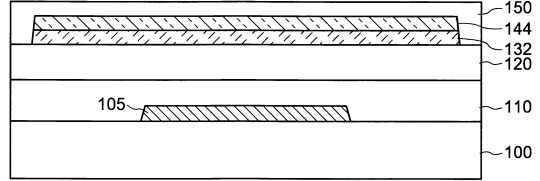
40

50

【 図 9 】



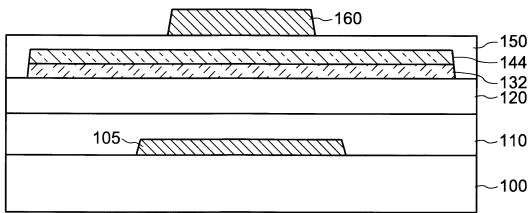
【 図 10 】



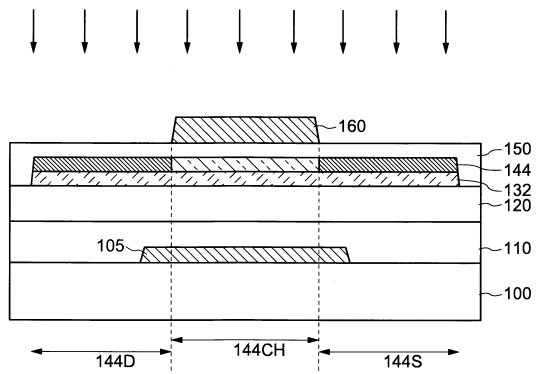
10

20

【 図 11 】



【 図 12 】

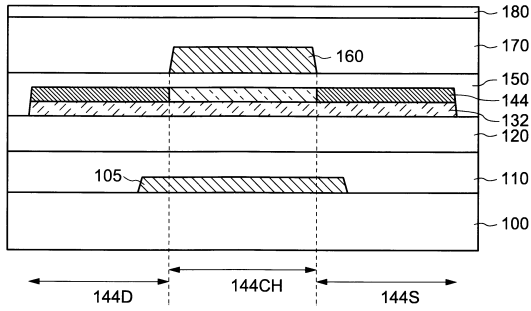


30

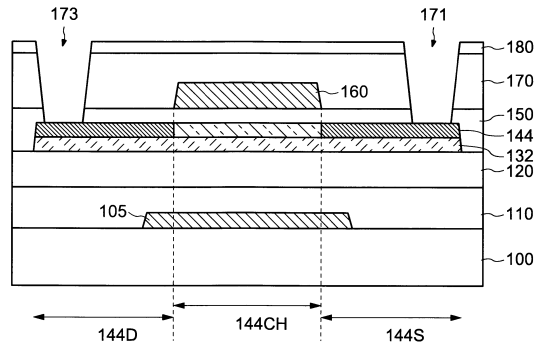
40

50

【図 1 3】



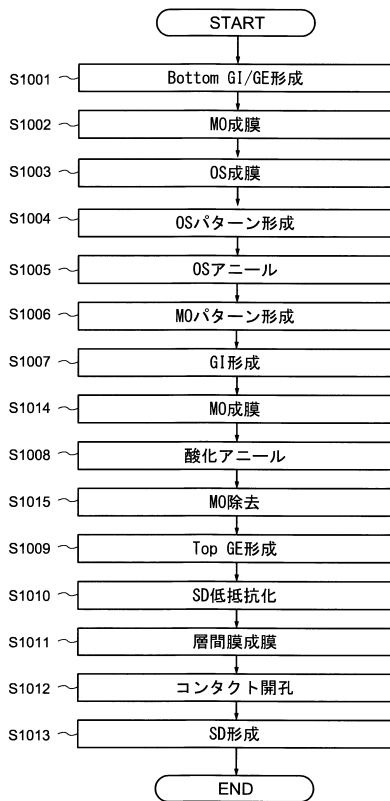
【図 1 4】



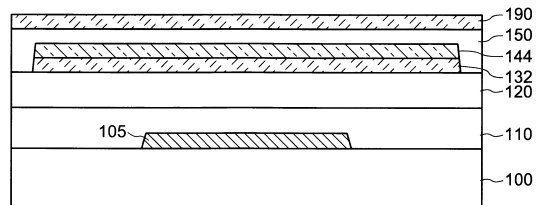
10

20

【図 1 5】



【図 1 6】

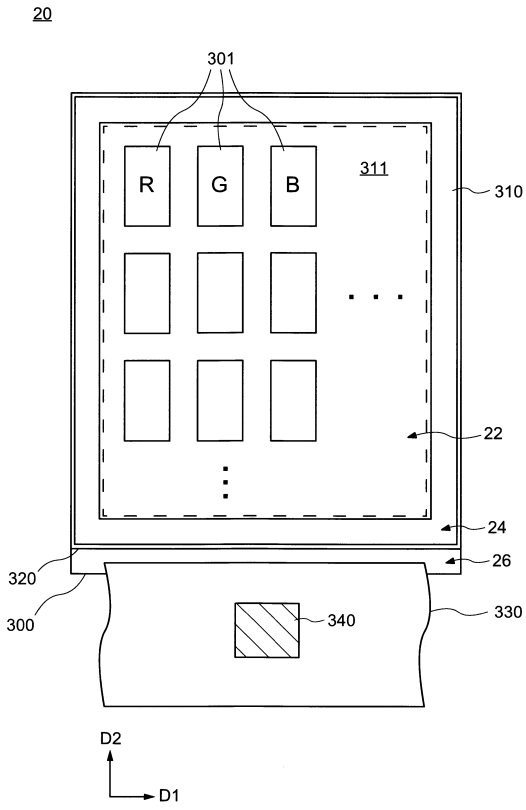


30

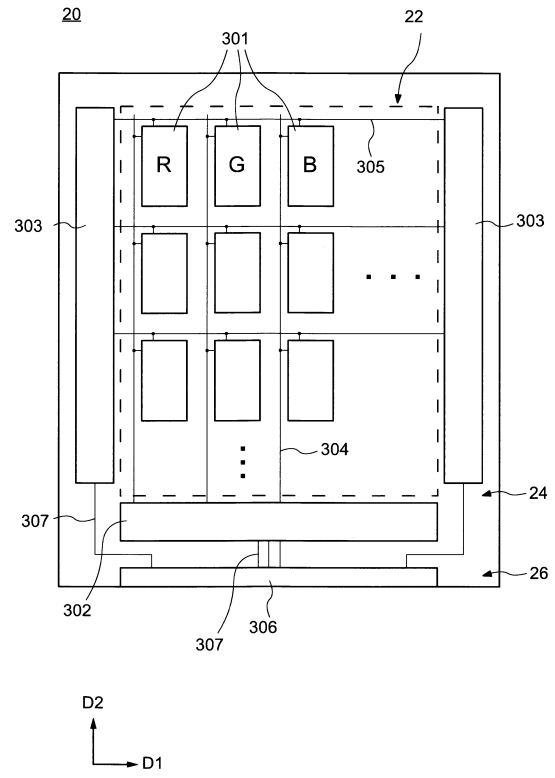
40

50

【 図 1 7 】



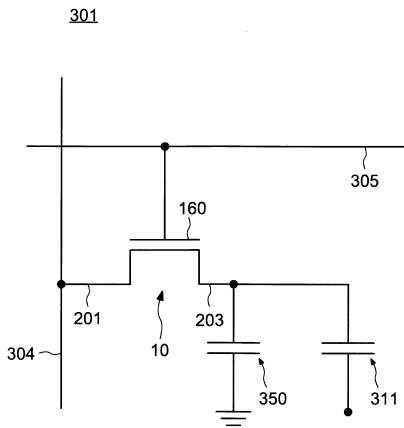
【 図 1 8 】



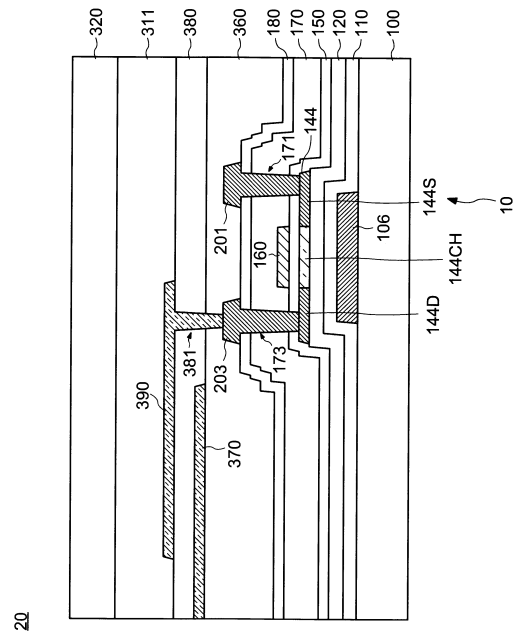
10

20

【 図 1 9 】



【 図 2 0 】

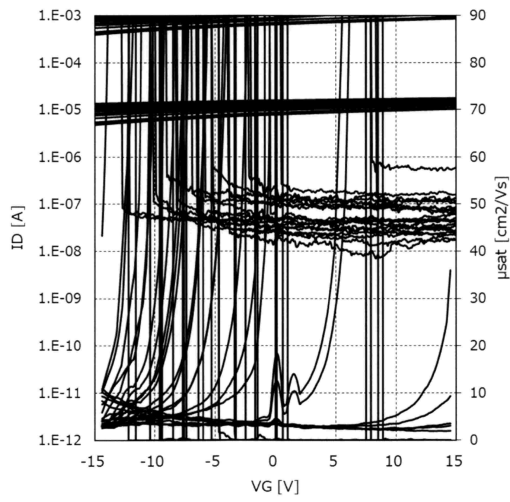


30

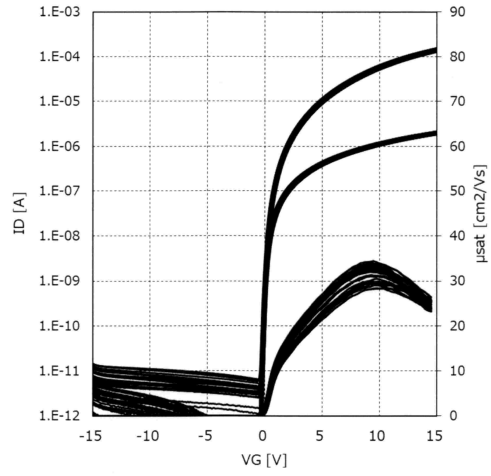
40

50

【 2 5 】



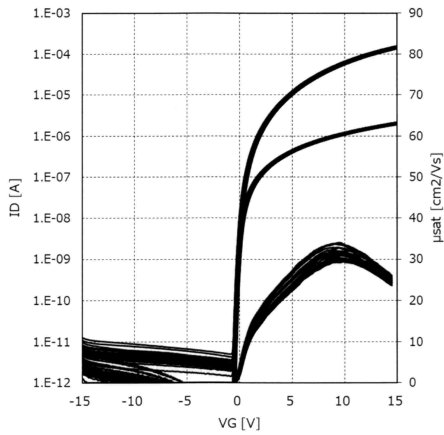
【 2 6 】



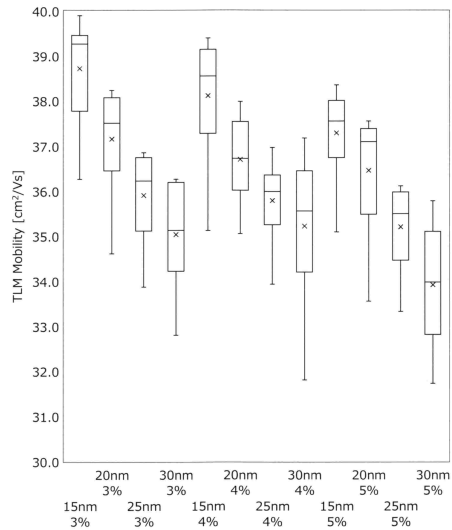
10

20

【 2 7 】



【 2 8 】

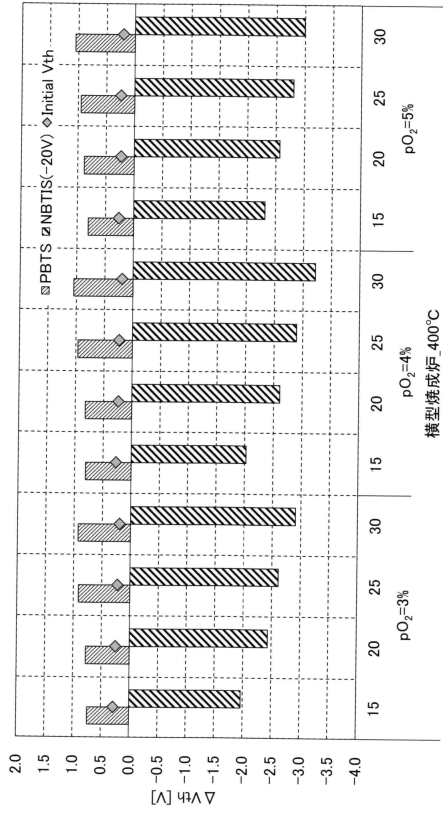


30

40

50

【 図 29 】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

テーマコード (参考)

H 0 1 L	29/78	6 2 6 C
H 0 1 L	29/78	6 1 7 T
H 0 1 L	21/363	
H 0 1 L	21/365	

東京都港区西新橋三丁目 7 番 1 号 株式会社ジャパンディスプレイ内

F ターム (参考) 5F045 AA15 AA19 AB40 CA15 EB19 HA16
 5F103 AA08 BB22 DD30 GG03 LL13 PP03
 5F110 AA01 AA02 AA14 BB02 CC02 CC08 DD01 DD02 DD03 DD04
 DD05 EE02 EE03 EE04 EE06 EE14 EE25 EE30 EE44 FF01 FF02
 FF03 FF04 FF05 FF09 FF10 FF27 FF28 FF29 FF36 GG01 GG06
 GG13 GG16 GG25 GG26 GG28 GG42 GG43 GG58 HJ02 HJ12 HJ13
 NN03 NN44 NN71 PP01 PP10 QQ05 QQ11
 5F152 AA06 BB02 BB03 CD01 CD13 CD14 CD16 CD17 CD24 CE01
 CE12 CE16 CE28 FF21