



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년10월25일
(11) 등록번호 10-1194844
(24) 등록일자 2012년10월19일

(51) 국제특허분류(Int. Cl.)
H01L 33/36 (2010.01)
(21) 출원번호 10-2010-0113478
(22) 출원일자 2010년11월15일
심사청구일자 2010년11월15일
(65) 공개번호 10-2012-0052036
(43) 공개일자 2012년05월23일
(56) 선행기술조사문헌
JP2010157679 A
WO2010124915 A1
KR100631842 B1

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김태형
경기도 화성시 능동 푸른마을모아미래도아파트
942-407
손철수
서울특별시 송파구 신천로 45, 장미아파트 15동
907호 (신천동)
(뒷면에 계속)
(74) 대리인
리앤목특허법인

전체 청구항 수 : 총 10 항

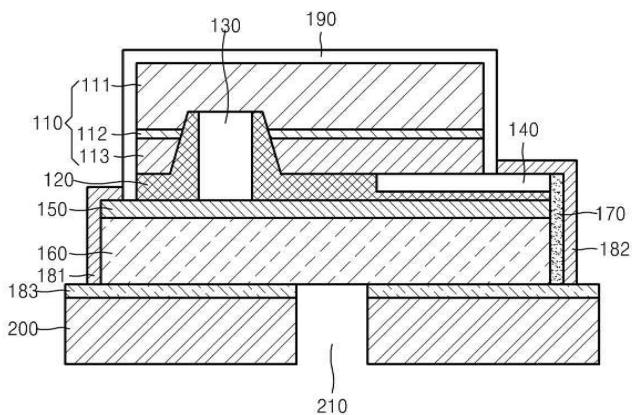
심사관 : 진수영

(54) 발명의 명칭 발광소자 및 그 제조방법

(57) 요약

발광소자 및 그 제조방법이 개시된다. 발광소자는 제1 화합물 반도체층, 활성층 및 제2 화합물 반도체층을 포함하는 화합물 반도체구조물, 제2 화합물 반도체층의 상면에 마련된 것으로, 제1 화합물 반도체층 및 제2 화합물 반도체층 각각에 전기적으로 연결되는 제1 전극층 및 제2 전극층, 제1 전극층 및 제2 전극층이 위치한 영역의 일부를 제외한 나머지 영역에 도포된 절연층, 비도전성기판의 상면에 형성되어, 비도전성기판을 상기 제1 전극층, 제2 전극층 및 절연층에 연결시키는 도전성접착층, 도전성접착층과 비도전성기판의 일측면에 형성되어, 도전성접착층에 연결되는 제1 전극연결층과, 도전성접착층과 비도전성기판의 타측면에 형성되어, 제2 전극층에 연결되는 제2전극연결층을 포함한다.

대 표 도 - 도1



(72) 발명자

양종인

경기도 수원시 영통구 매탄로126번길 66, 205동
202호 (매탄동, 주공그린빌)

송상엽

경기도 수원시 장안구 장안로 200, 106동 206호 (정자동, 동신아파트)

이시혁

경기도 안양시 동안구 관평로138번길 63, 초원부영
아파트 711동 503호 (평촌동)

특허청구의 범위

청구항 1

제1 화합물 반도체층, 활성층 및 제2 화합물 반도체층을 포함하는 화합물 반도체구조물;

상기 제2 화합물 반도체층의 상면에 마련된 것으로, 상기 제1 화합물 반도체층 및 제2 화합물 반도체층 각각에 전기적으로 연결되는 제1 전극층 및 제2 전극층;

상기 제1 전극층 및 상기 제2 전극층이 위치한 영역의 일부를 제외한 나머지 영역에 도포된 절연층;

비도전성기판의 상면에 형성되어, 상기 비도전성기판을 상기 제1 전극층 및 상기 절연층에 연결시키는 도전성접착층;

상기 도전성접착층과 비도전성기판의 일측면에 형성되어, 상기 도전성접착층에 연결되는 제1 전극연결층; 과

상기 도전성접착층과 비도전성기판의 타측면에 형성되어, 상기 제2 전극층에 연결되는 제2전극연결층; 을 포함하는 발광소자.

청구항 2

제 1항에 있어서,

상기 제1전극연결층은 상기 도전성접착층을 통해 상기 제1 전극층에 전기적으로 연결되는 발광소자.

청구항 3

제 1항에 있어서,

상기 제2전극연결층과 상기 도전성접착층 사이에는 절연막이 마련되어 있는 발광소자.

청구항 4

제 3항에 있어서,

상기 절연막은 상기 제2 전극층의 측면과 비도전성기판의 측면을 덮도록 연장되어 있는 발광소자.

청구항 5

청구항 5은(는) 설정등록료 납부시 포기되었습니다.

제 1항에 있어서,

상기 제2 전극연결층은 상기 제2 전극층의 상측에 연결되는 발광소자.

청구항 6

제 1항에 있어서,

상기 비도전성기판, 제1전극연결층 및 제2전극연결층은 도전성접착층에 의하여 패키지와 연결되며, 상기 도전성접착층과 패키지에는 비아홀이 형성되어 상기 제1전극연결층과 제2전극연결층이 단절된 발광소자.

청구항 7

청구항 7은(는) 설정등록료 납부시 포기되었습니다.

제 1항에 있어서,

상기 화합물 반도체 구조물을 감싸도록 보호층이 마련된 발광소자.

청구항 8

청구항 8은(는) 설정등록료 납부시 포기되었습니다.

제 1항에 있어서,

상기 화합물 반도체 구조물, 상기 제1 전극연결층 및 제2 전극연결층을 감싸도록 보호층이 마련된 발광소자.

청구항 9

기판상에 제1 화합물 반도체층, 활성층 및 제2 화합물 반도체층을 적층하여 화합물 반도체 구조물을 형성하는 단계;

상기 화합물 반도체 구조물의 상면에 상기 제1 화합물 반도체층 및 제2 화합물 반도체층에 각각 전기적으로 연결되는 제1 전극층 및 제2 전극층을 형성하는 단계;

상기 제1 전극층 및 상기 제2 전극층이 위치한 영역의 일부를 제외한 나머지 영역에 절연층을 도포하는 단계;

상기 절연층 및 제1 전극층에 도전성접착층을 이용하여 비도전성기판을 접합하는 단계;

상기 도전성접착층의 일부와 제2 전극층의 상면 일부를 노출시키는 단계;

상기 도전성접착층에 제1 전극연결층을 연결시키는 단계; 와

상기 제2 전극층에 제2 전극연결층을 연결시키는 단계; 를 포함하는 발광소자의 제조방법.

청구항 10

청구항 10은(는) 설정등록료 납부시 포기되었습니다.

제 9항에 있어서,

상기 도전성접착층의 일부와 제2 전극층의 상면일부를 노출시키는 단계는 상기 화합물 반도체 구조물의 양측의 일부를 각각 제거함으로써 이루어지는 발광소자의 제조방법.

청구항 11

청구항 11은(는) 설정등록료 납부시 포기되었습니다.

제 9항에 있어서,

상기 도전성접착층에 상기 제1 전극연결층을 연결시키는 단계는

상기 비도전성기판과 도전성접착층의 일측면과 노출된 상기 도전성접착층의 상면일부에 상기 제1 전극연결층을 형성하는 발광소자의 제조방법.

청구항 12

제 9항에 있어서,

상기 제2 전극층에 상기 제2 전극연결층을 연결시키는 단계 전에, 상기 비도전성기판과 도전성접착층의 타측면과 제2 전극층의 측면에 절연막을 형성하는 단계를 더 포함하는 발광소자의 제조방법.

청구항 13

제 12항에 있어서,

상기 제2 전극층에 상기 제2 전극연결층을 연결시키는 단계는

상기 절연막을 감싸면서 상기 제2 전극층의 상면일부에 연결되도록 상기 제2 전극연결층을 형성하는 발광소자의 제조방법.

청구항 14

제 13항에 있어서,

상기 비도전성기판, 제1전극연결층 및 제2전극연결층을 도전성접착층을 이용하여 패키지에 연결시키는 단계를 더 포함하는 발광소자의 제조방법.

청구항 15

제 14항에 있어서,

상기 도전성접착층과 패키지를 관통하여 상기 비도전성기판까지 비아홀을 형성하여 상기 제1 전극연결층과 제2 전극연결층을 단절시키는 단계는 더 포함하는 발광소자의 제조방법.

청구항 16

청구항 16은(는) 설정등록료 납부시 포기되었습니다.

제 9항에 있어서,

상기 기판을 제거하는 단계와,

상기 화합물 반도체 구조물을 둘러싸도록 보호층을 형성하는 단계를 더 포함하는 발광소자의 제조방법.

청구항 17

청구항 17은(는) 설정등록료 납부시 포기되었습니다.

제 9항에 있어서,

상기 절연층 및 제1 전극층에 도전성접착층을 이용하여 비도전성기판을 접합하는 단계 전에 상기 제1 전극층의 상층을 덮고 있는 상기 절연층을 제거하고, 제거된 부분에 상기 제1 전극층을 이루는 물질을 채워 상기 제1 전극층을 상기 절연층 외부로 노출시키는 단계를 더 포함하는 발광소자의 제조방법.

명세서**기술 분야**

[0001]

본 발명은 발광소자 및 그 제조방법에 관한 것이다.

배경기술

[0002]

발광다이오드(Light Emitting Diode; LED)와 같은 발광소자는 화합물 반도체(compound semiconductor)의 pn접합을 통해 발광원을 구성함으로서, 다양한 색의 빛을 구현할 수 있는 반도체 소자를 말한다. 예를 들어, 질화물계 LED는 GaN, InN, AlN 등과 같은 III-V족 화합물 반도체로서, 단파장광(자외선 내지 녹색광), 특히, 청색광을 낼 수 있는 발광소자에 널리 사용된다. 이러한 발광소자는 수명이 길고, 소형화 및 경량화가 가능하며, 빛의 지향성이 강하여 저전압 구동이 가능하다는 장점이 있다. 또한, 이러한 발광소자는 충격 및 진동에 강하고, 예열 시간과 복잡한 구동이 불필요하며, 다양한 형태로 패키징할 수 있어, 여러가지 용도로 적용이 가능하다.

[0003]

LED와 같은 발광소자를 제조하는 하나의 접근법으로, 결정성장을 위한 격자정합 조건을 가장 만족하는 것으로 알려진 사파이어 기판과 같은 절연성 기판을 이용하여 화합물 반도체층들을 적층한 뒤에 기판을 제거하는 수직형 구조가 제안되고 있다. 이러한 수직형 발광소자는 n형 전극과 p형 전극이 화합물 반도체 구조물의 동일 면에 마련된 경우와 화합물 반도체 구조물의 서로 다른 면에 마련된 경우로 나뉜다. n형 전극과 p형 전극을 화합물 반도체 구조물의 동일 면에 위치시키게 되면, 전류 확산(current spreading)의 측면에서 유리하며, 전극에 의해 빛의 이동 경로가 가리는 현상을 감소시킬 수 있다는 점 등에서 유리한 점이 있다.

발명의 내용**해결하려는 과제**

[0004]

본 발명은 발광소자의 측면에 연결층을 형성함으로써 제조공정을 용이하게 하면서 제조비용을 저감시킬 수 있는 발광소자 및 그 제조방법을 제공한다.

과제의 해결 수단

[0005]

본 발명의 일 측면에 따른 발광소자는 제1 화합물 반도체층, 활성층 및 제2 화합물 반도체층을 포함하는 화합물 반도체구조물;

- [0006] 제2 화합물 반도체층의 상면에 마련된 것으로, 제1 화합물 반도체층 및 제2 화합물 반도체층 각각에 전기적으로 연결되는 제1 전극층 및 제2 전극층;
- [0007] 제1 전극층 및 제2 전극층이 위치한 영역의 일부를 제외한 나머지 영역에 도포된 절연층;
- [0008] 비도전성기판의 상면에 형성되어, 비도전성기판을 제1 전극층, 제2 전극층 및 상기 절연층에 연결시키는 도전성 접착층;
- [0009] 도전성접착층과 비도전성기판의 일측면에 형성되어, 도전성접착층에 연결되는 제1 전극연결층; 과
- [0010] 도전성접착층과 비도전성기판의 타측면에 형성되어, 제2 전극층에 연결되는 제2전극연결층; 을 포함한다.
- [0011] 제1전극연결층은 도전성접착층을 통해 제1전극층에 전기적으로 연결된다.
- [0012] 제2전극연결층과 도전성접착층 사이에는 절연막이 마련된다.
- [0013] 절연막은 제2 전극층의 측면과 비도전성기판의 측면을 덮도록 연장된다.
- [0014] 제2 전극연결층은 제2 전극층의 상측에 연결된다.
- [0015] 비도전성기판, 제1전극연결층 및 제2전극연결층은 도전성접착층에 의하여 패키지와 연결되며, 도전성접착층과 패키지에는 비아홀이 형성되어 제1전극연결층과 제2전극연결층을 전기적으로 분리시킨다.
- [0016] 화합물 반도체 구조물을 감싸도록 보호층이 마련된다.
- [0017] 본 발명의 다른 측면에 따른 수직형 발광소자의 제조방법은 기판상에 제1 화합물 반도체층, 활성층 및 제2 화합물 반도체층을 적층하여 화합물 반도체 구조물을 형성하는 단계;
- [0018] 화합물 반도체 구조물의 상면에 상기 제1 화합물 반도체층 및 제2 화합물 반도체층에 각각 전기적으로 연결되는 제1 전극층 및 제2 전극층을 형성하는 단계;
- [0019] 제1 전극층 및 제2 전극층이 위치한 영역의 일부를 제외한 나머지 영역에 절연층을 도포하는 단계;
- [0020] 절연층 및 제1 전극층 도전성접착층을 이용하여 비도전성기판을 접합하는 단계;
- [0021] 도전성접착층의 일부와 제2 전극층의 상면 일부를 노출시키는 단계;
- [0022] 도전성접착층에 제1 전극연결층을 연결시키는 단계; 와
- [0023] 제2 전극층에 제2 전극연결층을 연결시키는 단계; 를 포함한다.
- [0024] 도전성접착층의 일부와 제2 전극층의 상면일부를 노출시키는 단계는 화합물 반도체 구조물의 양측의 일부를 각각 제거함으로써 이루어진다.
- [0025] 도전성접착층에 제1 전극연결층을 연결시키는 단계는 비도전성기판과 도전성접착층의 일측면과 노출된 도전성접착층의 상면일부에 제1 전극연결층을 형성한다.
- [0026] 제2 전극층에 제2 전극연결층을 연결시키는 단계 전에, 비도전성기판과 도전성접착층의 타측면과 제2 전극층의 측면에 절연막을 형성하는 단계를 더 포함한다.
- [0027] 제2 전극층에 제2 전극연결층을 연결시키는 단계는 절연막을 감싸면서 제2 전극층의 상면일부에 연결되도록 제2 전극연결층을 형성한다.
- [0028] 비도전성기판, 제1전극연결층 및 제2전극연결층을 도전성접착층을 이용하여 패키지에 연결시키는 단계를 더 포함한다.
- [0029] 도전성접착층과 패키지를 관통하여 비도전성기판까지 비아홀을 형성하여 제1 전극연결층과 제2 전극연결층을 전기적으로 분리시키는 단계는 더 포함한다.
- [0030] 기판을 제거하는 단계와, 화합물 반도체 구조물을 둘러싸도록 보호층을 형성하는 단계를 더 포함한다.

발명의 효과

- [0031] 개시된 실시예에 의한 발광소자 및 그 제조방법은 비도전성기판의 측면에 연결층을 형성함으로써 비도전성기판에 비아홀을 형성하여 전극을 형성하는 방법에 비하여 제조공정이 용이하며, 제조비용을 줄일 수 있다.

도면의 간단한 설명

[0032]

도 1은 본 발명의 일 실시예에 따른 발광소자의 개략적인 단면도.

도 2는 본 발명의 다른 실시예에 따른 발광소자의 개략적인 단면도.

도 3 내지 도 15는 도 1에 도시된 본 발명의 일 실시예에 따른 발광소자의 제조방법을 설명하기 위해 순차적으로 도시한 공정단면도.

<도면의 주요부분에 대한 부호의 설명>

100---기판	110---화합물 반도체 구조물
111---제1 화합물 반도체층	112---활성층
113---제2 화합물 반도체층	120---절연층
130---제1 전극층	140---제2 전극층
150---도전성 접착층	160---비도전성기판
170---절연막	181---제1 전극연결층
182---제2 전극연결층	183---도전성접착층
190, 290---보호층	200---패키지
210---비아홀	

발명을 실시하기 위한 구체적인 내용

[0033]

이하, 첨부된 도면들을 참조하면서 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나 아래에 예시되는 실시예는 본 발명의 범위를 한정하는 것이 아니며, 본 발명을 이 기술 분야에서 통상의 지식을 가진 자에게 충분히 설명하기 위해 제공되는 것이다. 이하의 도면들에서 동일한 참조부호는 동일한 구성요소를 지칭하며, 도면상에서 각 구성요소의 크기는 설명의 명료성과 편의상 과장되어 있을 수 있다.

[0034]

도 1은 본 발명의 일 실시예에 따른 발광소자를 개략적으로 도시한 단면도이다.

[0035]

도 1을 참조하면, 본 실시예의 발광소자는 화합물 반도체 구조물(110)과, 화합물 반도체 구조물(110)의 양측면에 마련된 전극 구조물을 포함한다.

[0036]

화합물 반도체 구조물(110)은 소정의 기판(도 4의 100)상에 결정성장하여 형성된 제1 화합물 반도체층(111), 활성층(112), 제2 화합물 반도체층(113)을 포함한다. 결정성장의 기초가 된 기판(100)은 후술하는 바와 같이 제거될 수 있다(도 12참조).

[0037]

이러한 화합물 반도체 구조물(110)은 예를 들어, GaN, InN, AlN 등과 같은 III-V족 화합물 반도체로 결정성장된 질화물 반도체 다이오드일 수 있다. 이러한 질화물 반도체는 결정성장을 위한 격자정합 조건을 잘 만족하는 사파이어 기판과 같은 절연성 기판을 이용하여 제조될 수 있다. 제1 화합물 반도체층(111)은 n형 도전성을 가질 수 있으며, 제2 화합물 반도체층(113)은 p형 도전성을 가질 수 있다. 경우에 따라서 n형 도전성과 p형 도전성을 뒤바꿀 수 있다. 이 같은 제1 화합물 반도체층(111)과 제2 화합물 반도체층(113) 사이에는 활성층(112)이 위치한다. 활성층(120)은 예를 들어, 다중양자우물구조로 형성될 수 있다. 다중양자우물구조는 다수의 양자 우물층과 이들 사이에 형성된 다수의 양자 장벽층으로 이루어진다. 구체적인 예로서, 화합물 반도체 구조물(110)이 질화갈륨계 발광 다이오드인 경우, 제1 화합물 반도체층(111)은 n형 불순물 도핑된 GaN으로 형성되고, 제2 화합물 반도체층(113)은 p형 불순물 도핑된 GaN으로 형성되며, 활성층(112)은 InGaN로 이루어진 다중 우물층과 GaN로 이루어진 양자 장벽층들이 다수개 적층되어 형성될 수 있다. 제1 화합물 반도체층(111)과 제2 화합물 반도체층(113)을 통해 주입된 전자, 전공은 활성층(112)에서 만나 빛(L)을 방출한다.

[0038]

전극 구조물은 제2 화합물 반도체층(113)쪽에 마련된 제1전극층(130) 및 제2 전극층(140)과, 제1 전극층(130) 및 제2 전극층(140) 각각에 전기적으로 연결되는 제1 전극연결층(181) 및 제2 전극연결층(182)을 포함한다.

[0039]

제1 전극층(130)은 제2 화합물 반도체층(113) 쪽에서 제1 화합물 반도체층(111)으로 뚫린 비아홀(도4의 110a)를 통해 제1 화합물 반도체층(111)에 전기적으로 연결된다. 비아홀(110a)은 MESA구조나 수직한 구조 등으로 식각되

어 형성될 수 있다. 비아홀(110a)은 하나 또는 복수개 마련될 수 있다.

[0040] 제2 전극층(140)은 제2 화합물 반도체층(113) 상에 마련되어 제2 화합물 반도체층(113)에 전기적으로 연결된다. 제2 전극층(140)은 제2 화합물 반도체층(113)의 비아홀(110a)이 형성되지 않은 영역에 마련될 수 있다.

[0041] 절연층(120)은 화합물 반도체 구조물(110)의 상면에서 제1 전극층(130)이 위치한 영역 및 제2 전극층(140)이 위치한 영역의 일부를 제외한 나머지 영역에 도포되어 있다. 제1 전극층(130)은 절연층(120)에 의해, 활성층(112), 제2 화합물 반도체층(113) 및 제2 전극층(140)으로부터 절연된다.

[0042] 비도전성기판(160)의 상면에 도전성접착층(150)을 도포하고, 소정온도 및 압력을 가하여 비도전성기판(160)을 절연층(120) 및 제1 전극층(130)의 하면에 접합한다.

[0043] 도전성접착층(150)의 상면일부와 제2 전극층(140)의 상면일부는 외부로 노출된다. 비도전성기판(160)과 도전성접착층(150)의 양 측면에는 제1 전극연결층(181)과 제2 전극연결층(182)이 각각 마련된다. 제1 전극연결층(181)은 비도전성기판(160)과 도전성접착층(150)의 일측면에 접촉되며, 그 일단은 노출된 도전성접착층(150)의 상면에 접촉된다. 제2 전극연결층(182)은 비도전성기판(160)과 도전성접착층(150)의 타측면을 감싸도록 마련되며, 그 일단은 노출된 제2 전극층(140)의 상면에 접촉된다.

[0044] 제1 전극연결층(181)과 제2 전극연결층(182)은 금속을 증착하여 마련될 수 있으며, 증착방법으로는 E-beam, 스퍼터링(sputtering) 및 도금 등의 방법이 적용될 수 있다.

[0045] 이때, 제1 전극연결층(181)과 제2 전극연결층(182)이 모두 도전성접착층(150)에 접촉하면 서로 연결되어 쇼트되기 때문에, 이를 방지하기 위하여, 제2 전극연결층(182)과, 비도전성기판(160) 및 도전성접착층(150)의 측면 사이에는 절연막(170)이 마련되어 있다. 절연막(170)은 비도전성기판(160) 및 도전성접착층(150) 및 제2 전극층(140)의 측면에 직접 접촉하도록 마련되어 있어, 제2 전극연결층(182)은 비도전성기판(160) 및 도전성접착층(150)과 접촉되는 것이 방지된다. 절연막(170)은 SiO_x, Si_xN_y 등이나, 폴리머, 폴리이미드 및 에폭시계열이 사용될 수 있다.

[0046] 따라서, 제1 전극연결층(181)은 도전성접착층(150)을 통해 제1 전극층(130)과 전기적으로 연결되고, 제2 전극연결층(182)은 제2 전극층(140)에 전기적으로 연결되며, 제1 전극연결층(181)과 제2 전극연결층(182)은 절연막(170)으로 인하여 서로 단절된다.

[0047] 비도전성기판(160)의 하면에는 도전성접착층(183)에 의하여 패키지(200)가 접합된다. 이때, 제1 전극연결층(181)과 제2 전극연결층(182)은 도전성접착층(183)에 접촉되어 전기적으로 연결된다. 패키지(200) 및 도전성접착층(183)에는 비도전성기판(160)까지 관통하도록 비아홀(210)이 형성되어 있다. 따라서, 제1 전극연결층(181)과 제2 전극연결층(182)은 비아홀(210)에 의하여 단절된다. 화합물 반도체 구조물(110)을 감싸도록 보호층(190)을 형성한다.

[0048] 도 2는 본 발명의 다른 실시예에 따른 발광소자를 개략적으로 도시한 단면도이다.

[0049] 도 2를 참조하면, 기본적인 구성은 도 1에 도시된 본 발명의 일 실시예에 따른 발광소자와 동일하다. 다만, 화합물 반도체 구조물(110) 뿐만 아니라 노출된 제1 전극연결층(181), 제2 전극연결층(182) 및 도전성접착층(183)을 감싸도록 보호층(290)을 형성한다. 이러한 보호층(190)(290)은 화합물 반도체 구조물(110) 등을 외부환경으로부터 보호하기 위한 것으로, 광추출이 방해되지 않도록 광을 투과시킬 수 있는 투명한 재질로 이루어질 수 있다.

[0050] 위와 같은 구성에 의하면, 비도전성기판에 비아홀을 형성하는 것은 어려운 작업이며 경제적이지 않기 때문에, 본원처럼 비도전성기판에 비아홀을 형성하지 않고, 비도전성기판의 측면에 전극을 형성함으로써 작업공정을 용이하게 할 수 있으며, 제조비용측면에서도 경제적이다.

[0051] 도 3 내지 도 15는 본 발명의 일 실시예에 따른 발광소자를 제조하는 방법을 설명하기 위해 순차적으로 도시한 공정단면도이다. 도 3 내지 도 15는 설명의 편의를 위하여 하나의 발광소자를 제조하는 공정을 도시하였으나, 실제로는 복수개의 발광소자를 웨이퍼상에 일체로 형성한 후 각각 절단하여 개별 발광소자를 제조할 수 있다.

[0052] 도 3를 참조하면, 기판(100)의 상면에 제1 화합물 반도체층(111), 활성층(112) 및 제2 화합물 반도체층(113)을 순차적으로 결정성장시켜 화합물 반도체 구조물(110)을 형성한다.

[0053] 기판(100)은 결정성장시키고자 하는 화합물 반도체에 적합한 것을 선택할 수 있다. 예를 들어, 질화물 반도체 단결정을 성장시키는 경우, 기판(100)은 사파이어 기판, 징크 옥사이드(Zinc Oxide, ZnO) 기판, 갈륨 나이트라

이드(Gallium Nitride, GaN) 기판, 실리콘 카바이드(Silicon Carbide, SiC) 기판 및 알루미늄 나이트라이드(Aluminium Nitride, AlN) 기판 등에서 선택할 수 있다. 도 2에는 도시되지 않았지만, 기판(100)과 제1 화합물 반도체층(111)의 사이에는 베퍼층(미도시)이 형성될 수 있다. 베퍼층은 제1 화합물 반도체층(111)을 성장시키기 전에 기판(100)과의 격자정합을 향상시키기 위한 층으로, 일반적으로 AlN/GaN으로 형성될 수 있다.

[0054] 화합물 반도체 구조물(110)은 예를 들어, GaN, InN, AlN 등과 같은 III-V족 화합물 반도체를 결정성장시켜 형성할 수 있다. 일례로, 화합물 반도체 구조물(110)이 질화갈륨계 발광 다이오드인 경우, 제1 화합물 반도체층(111), 활성층(112) 및 제2 화합물 반도체층(113)은 $Al_xIn_yGa_{(1-x-y)}N$ 조성식 (여기서, $0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)을 갖는 반도체 물질일 수 있으며, 유기금속 화학기상증착(Metal Organic Chemical Vapor Deposition, MOCVD)설비를 이용한 애피택셜(Epitaxial)성장법 등으로 형성될 수 있다. 즉, 제1 화합물 반도체층(111)은 Si, Ge, Sn과 같은 제1 도전형 불순물이 도핑된 GaN 또는 GaN/AlGaN층으로 형성될 수 있다. 활성층(112)은 다중 양자우물(Multi-Quantum Well)구조의 InGaN/GaN층으로 형성되거나, 하나의 양자우물층 또는 더블 헤테로 구조로도 형성될 수 있다. 제2 화합물 반도체층(113)은 Mg, Zn, Be과 같은 제2 도전형불순물이 도핑된 GaN층 또는 GaN/AlGaN층으로 형성될 수 있다.

[0055] 다음으로, 도 4를 참조하면, 제1 전극층(130, 도 1참조)의 형성영역에 대응하는 영역에 해당하는 화합물 반도체 구조물(110)의 부분을 제2 화합물 반도체층(113)으로부터 소정깊이로 예칭하여 비아홀(110a)을 형성하여 제1 화합물 반도체층(111)의 일부를 노출시킨다. 비아홀(110a)은 메사(mesa) 구조나 수직한 구조 등으로 형성할 수 있다. 비아홀(110a)은 복수의 제1 전극층(130)에 대응되도록 복수개 형성될 수 있다. 그런 다음, 비아홀(110a)을 포함하는 화합물 반도체 구조물(110)의 상부면 전역에 보호층(Passivation layer, 121)을 공지의 증착방법을 이용하여 도포한다. 예를 들어, 보호층(121)은 플라즈마 화학증착(Plasma Enhanced Chemical Vapor Deposition, PECVD)을 이용하여 SiO_2 를 약 6000Å두께로 증착하여 형성할 수 있다.

[0056] 다음으로, 도 5를 참조하면, 보호층(121) 중에서 비아홀(110a)의 바닥에 형성된 부분을 식각하여 제1 화합물 반도체층(111)을 노출시킨다. 이러한 식각은 예를 들어, RIE(Reactive Ion Etching)와 BOE(Buffered Oxide Etchant)를 이용하여 이루어질 수 있다. 그런 다음, 제1 화합물 반도체층(111)의 노출된 영역에 제1 전극층(130)을 형성한다. 예를 들어, 제1 전극층(130)은 Al/Ti/Pt층을 200nm/1200nm/20nm의 두께로 증착하여 형성할 수 있다. 이때, 제1 전극층(130)은 다수개 형성하여, 제1 화합물 반도체층(111)으로의 전류 확산(current spreading)을 향상시킬 수 있다.

[0057] 도 6를 참조하면, 제1 전극층(130)을 둘러싼 영역을 제외한 나머지 영역의 보호층(121)을 식각하여, 제2 화합물 반도체층(113)을 노출시킨다. 이러한 식각은 예를 들어, RIE와 BOE를 이용하여 이루어질 수 있다. 다음으로, 노출된 제2 화합물 반도체층(113) 상에 제2 전극층(140)을 형성한다. 이때, 제2 전극층(140)은 제1 전극층(130)에서 이격되도록 형성된다. 제2 전극층(140)은 오믹특성과 광반사특성을 동시에 지닌 금속으로 형성되어 반사막의 역할을 하거나, 또는 오믹특성과 광반사특성을 각각 지닌 금속이 순차 적층되어 이루어진 다층으로 형성할 수 있다. 예를 들어, 제2 전극층(140)은 Ni/Ag/Pt/Ti/Pt층을 0.5nm/250nm/50nm/300nm/50nm의 두께로 증착하여 형성할 수 있다.

[0058] 다음으로, 도 7을 참조하면, 화합물 반도체 구조물(110)의 상측에 소정 두께로 절연물질층(122)을 도포한다. 절연물질층(122)은 제1 전극층(130), 제2 전극층(140) 및 보호층(121)을 포함한 전역에 도포된다. 이러한 절연물질층(122)은 예를 들어, PECVD를 이용하여 SiO_2 를 약 8000Å두께로 증착하여 형성할 수 있다. 보호층(121) 및 절연물질층(122)은 동일 물질로 형성될 수 있으며, 제1 전극층(130) 및 제2 전극층(140)에 대한 절연층(120)을 이룬다.

[0059] 제1 전극층(130) 상측을 덮고 있는 절연물질층(122)의 일부를 제거하고, 제거된 부분에 제1 전극층(130)을 형성하는 Al/Ti/Pt층을 채워서 제1 전극층(130)과 일체로 형성시킨다. 그러면, 일체로 된 제1 전극층(130)은 절연물질층(122)의 외부로 노출된다. 따라서, 제1 전극층(130)은 절연물질층(122)의 외부로 노출되지만, 제2 전극층(140)은 절연물질층(120)에 의하여 외부와 차단된다.

[0060] 도 8을 참조하면, 비도전성기판(160)의 상측에 도전성 접착층(150)을 도포한 다음, 비도전성기판(160)을 제1 전극층(130) 및 절연층(120)에 소정온도와 압력을 가하여 접합시킨다. 도전성 접합층(150)에 300°C 이상의 온도와 소정의 압력을 가하여 도전성 접착층(150)상에 비도전성 기판(160)을 접합한다. 그러면, 제1 전극층(130)은 도전성접착층(160)과 접촉하지만, 제2 전극층(140)은 절연층(120)에 의하여 도전성접착층(160)으로부터 이격된다.

[0061] 비도전성 기판(160)은 최종적인 발광소자의 지지층으로서 역할을 수행하는것으로 접합 시 300°C 이상의 온도가

가해지므로, 기판(100)과 열팽창계수가 비슷한 기판을 사용하는 것이 바람직하다.

[0062] 도 9을 참조하면, 제1 전극층(130)에 인접한 절연층(120), 화합물 반도체 구조물(110) 및 기판(100)의 일부를 식각하여, 도전성 접착층(150)의 일부를 노출시킨다. 제2 전극층(140)의 상측에 위치하는 화합물 반도체 구조물(110) 및 기판(100)의 일부를 식각하여, 제2 전극층(140)의 일부를 노출시킨다. 식각은 예를 들어, RIE(Reactive Ion Etching)와 BOE(Buffered Oxide Etchant)를 이용하여 이루어질 수 있다.

[0063] 도 10를 참조하면, 제2 전도층(140), 도전성 접착층(150) 및 비도전성기판(160)의 측면에 절연막(170)을 소정두께로 형성한다. 따라서, 제2 전극층(140), 도전성접착층(150) 및 비도전성기판(160)의 측면은 절연막(170)으로 감싸인다. 절연막(170)은 SiO_x, Si_xN_y등이나, 폴리머, 폴리이미드 및 에폭시 계열이 사용될 수 있다.

[0064] 도 11을 참조하면, 도전성접착층(150)의 노출된 상면일부와 비도전성기판(160)의 측면을 감싸도록 제1 전극연결층(181)을 형성한다. 제2 전극층(140)의 노출된 상면일부와 절연막(170)을 감싸도록 제2 전극연결층(182)을 형성한다. 제1 전극연결층(181)과 제2 전극연결층(182)은 구리, 니켈, 크롬과 같은 금속을 증착함으로써 형성되며, 금속을 증착하는 방법은 E-beam, 스퍼터(sputter) 또는 도금 등이다. 이때, 제1 전극연결층(181)의 일단은 절연층(120)으로부터 소정간격 이격되어 도전성접착층(150)상면에 형성되어 있다. 제2 전극연결층(182)의 일단은 제2 화합물 반도체층(113)으로부터 소정간격 이격되어 제2 전극층(140)의 상면에 형성되어 있다. 이는 화합물 반도체 구조물(110)을 감싸도록 형성되는 보호층(도 13의 190)을 형성하기 위한 자리를 확보하기 위함이다.

[0065] 다음으로, 도 12을 참조하면, 화합물 반도체 구조물(110)로부터 기판(100)을 제거한다. 화합물 반도체 구조물(110)의 상면은 광이 추출되는 부분으로, 광추출효율을 높이기 위해서 기판(100)을 제거한다. 아울러, 도면에 도시되지는 않았지만, 화합물 반도체 구조물(110)의 상면에 표면요철구조를 형성하여, 광추출효율을 높일 수 있다.

[0066] 도 13을 참조하면, 화합물 반도체 구조물(110)을 감싸도록 보호층(190)을 형성한다. 보호층(190)은 화합물 반도체 구조물(110)을 외부환경으로부터 보호하기 위한 것으로, 광추출이 방해되지 않도록 광을 투과시킬 수 있는 투명한 재질로 이루어질 수 있다.

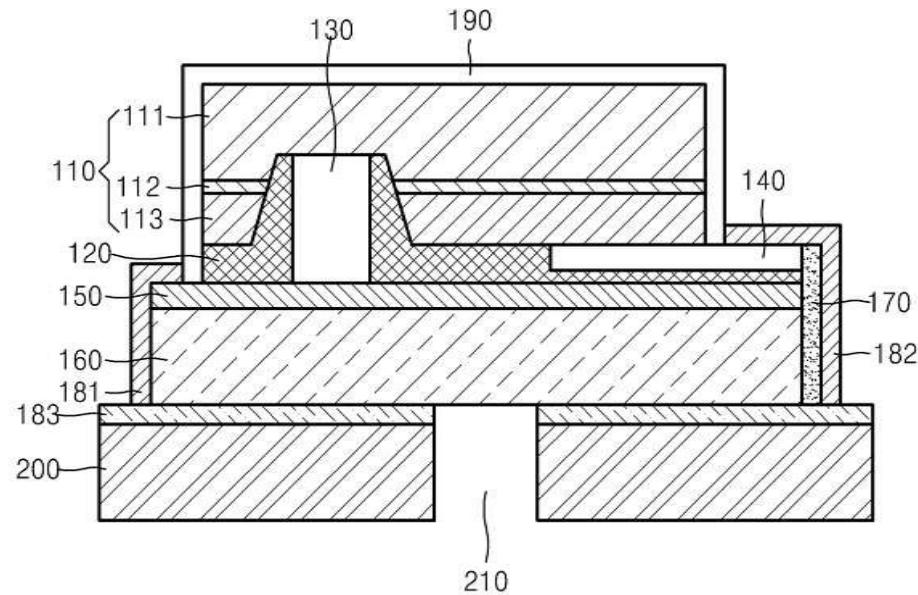
[0067] 도 14을 참조하면, 패키지(200)의 상측에 도전성 접착층(183)을 도포한 다음, 패키지(200)을 제1 전극연결층(181), 비도전성기판(160), 절연막(170) 및 제2 전극연결층(182)에 접합시킨다. 이때, 제1 전극연결층(181)과 제2 전극연결층(182)은 도전성 접착층(183)에 접합되어 연결된다.

[0068] 도 15를 참조하면, 패키지(200)와 도전성 접착층(183)을 관통하도록 비아홀(210)을 형성하여, 비도전성기판(160)의 일부를 노출시킨다. 이때, 제1 전극연결층(181)과 제2 전극연결층(182)은 비아홀(210)에 의하여 단절된다. 비아홀(180)은 기계적 가공(drilling), 초음파 가공, 레이저 가공, 샌드블래스팅(sand blasting) 또는 건식 식각(dry etching)등의 다양한 방법을 이용하거나 또는 이를 방법들을 결합하여 형성될 수 있다.

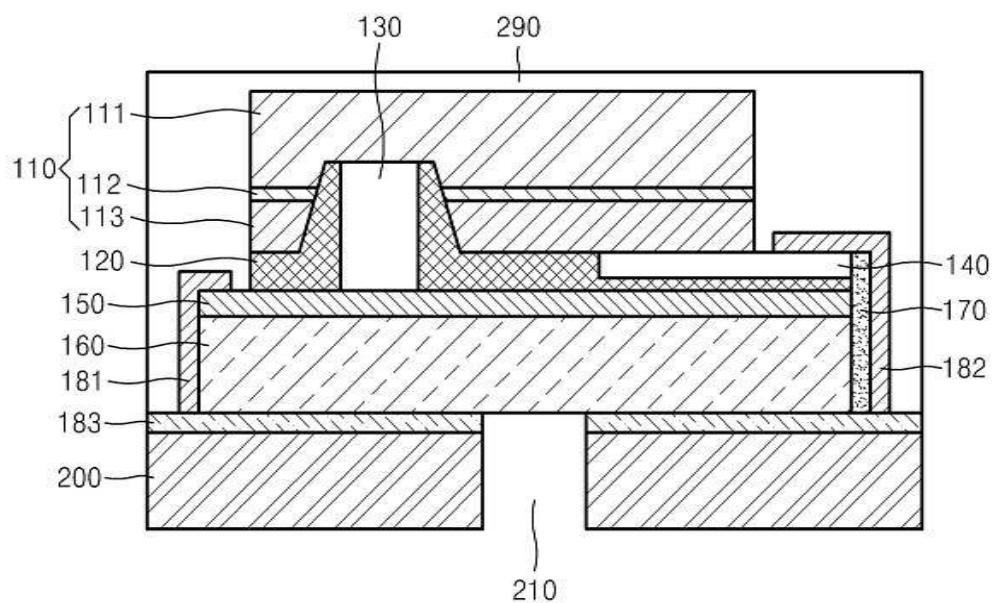
[0069] 전술한 본 발명인 발광소자 및 그 제조방법은 이해를 돋기 위하여 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위에 의해 정해져야 할 것이다.

도면

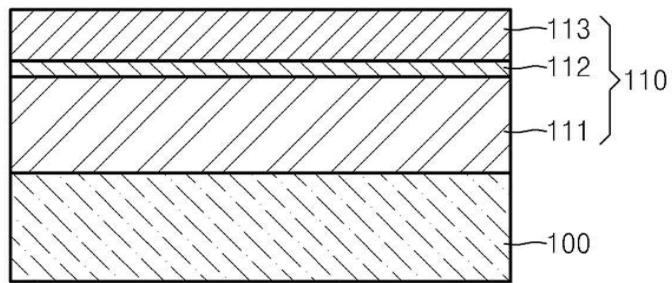
도면1



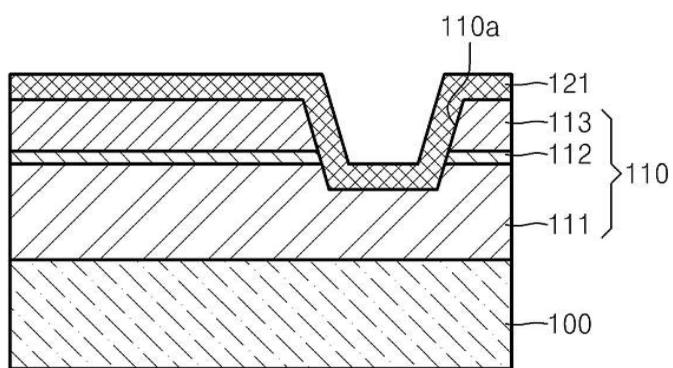
도면2



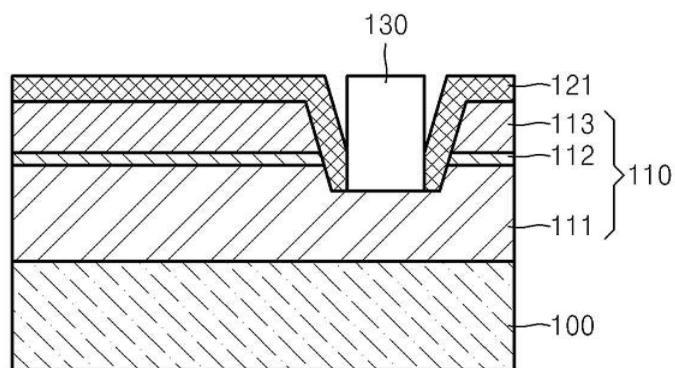
도면3



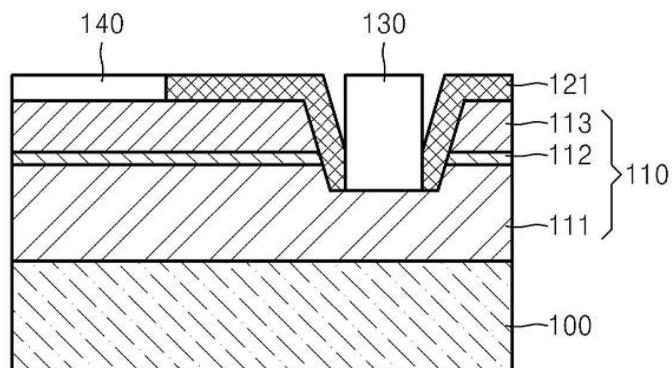
도면4



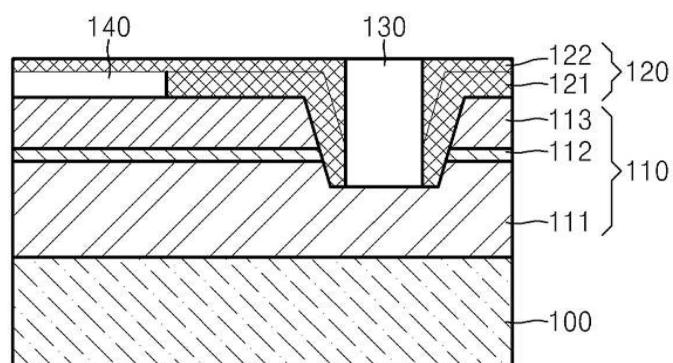
도면5



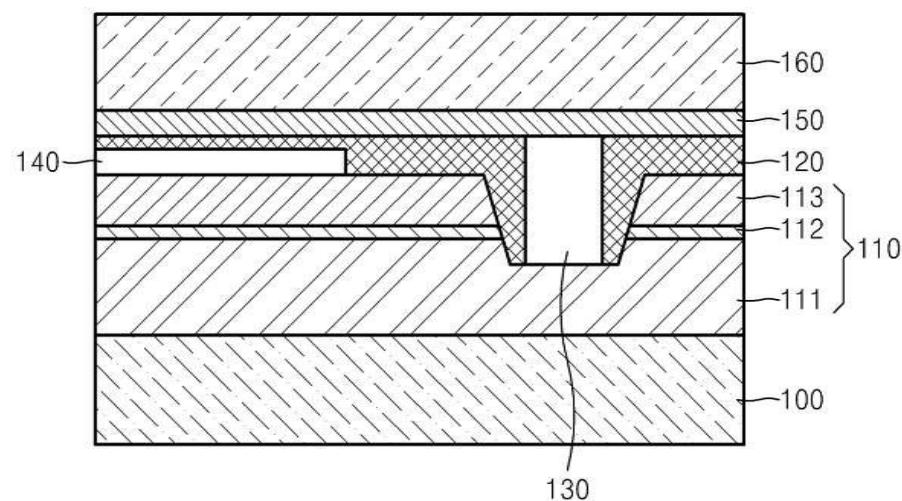
도면6



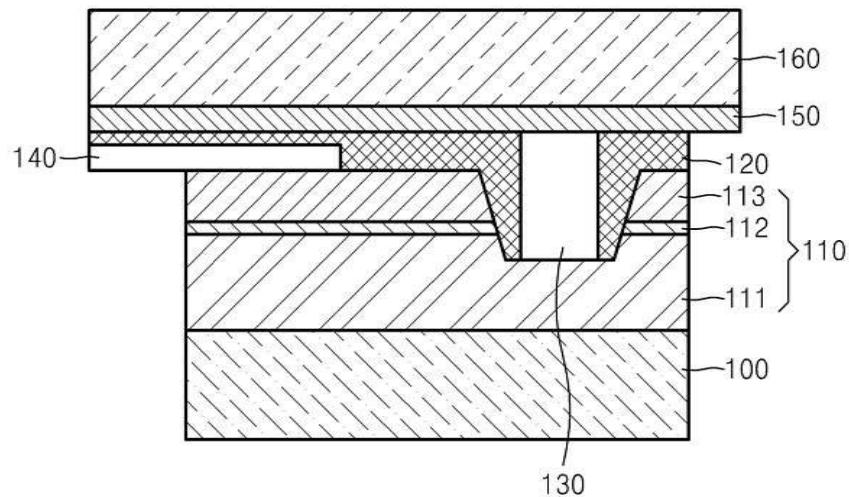
도면7



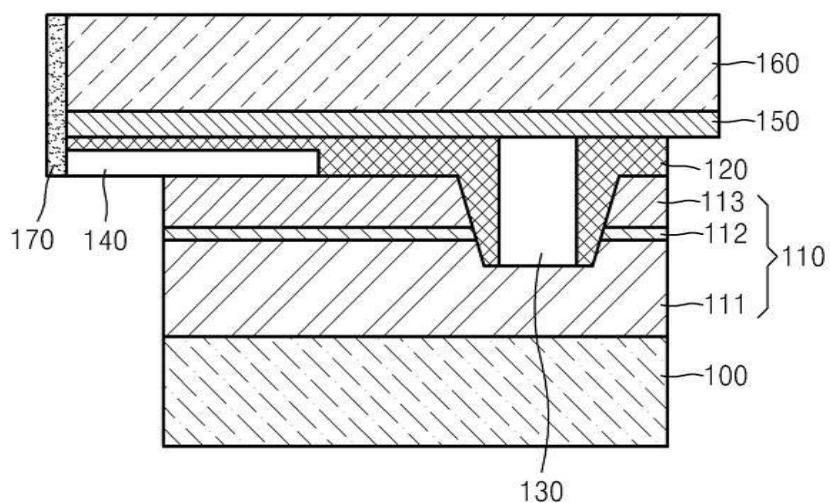
도면8



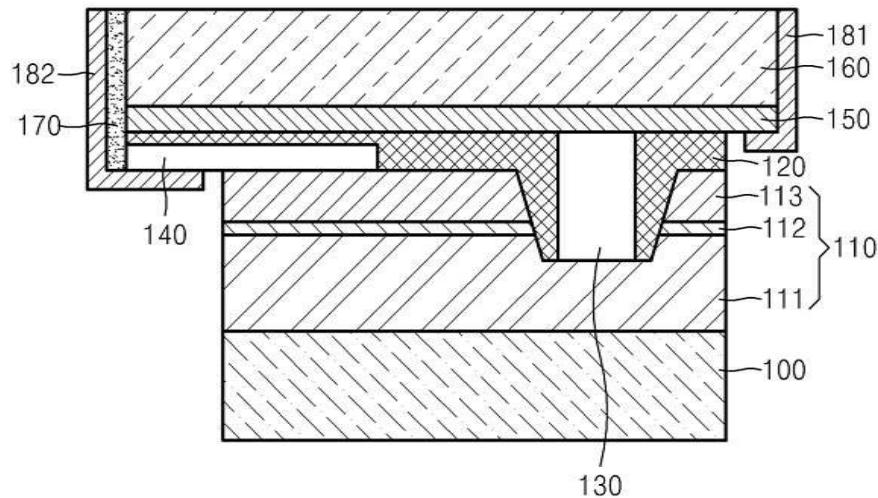
도면9



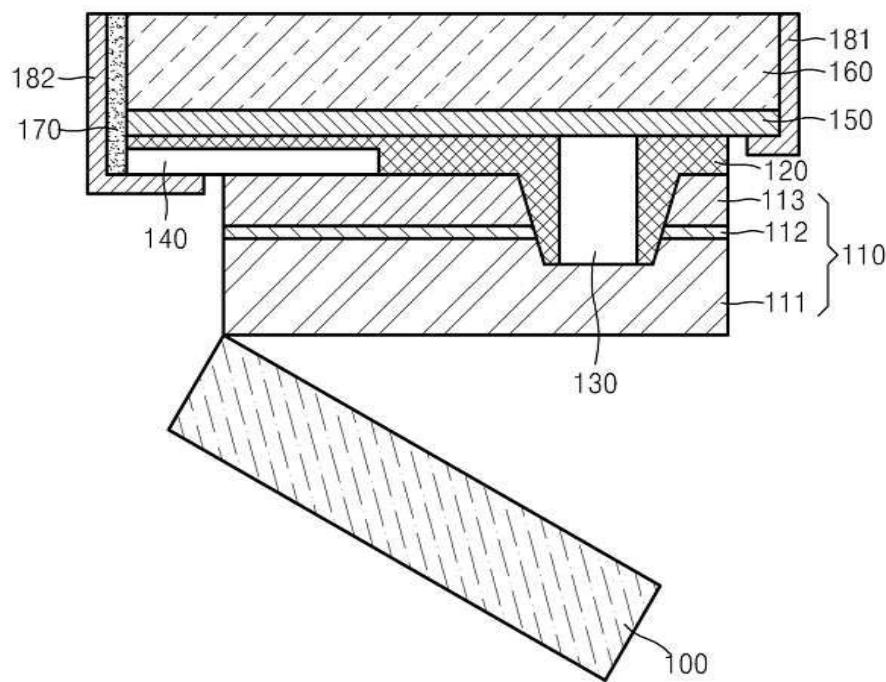
도면10



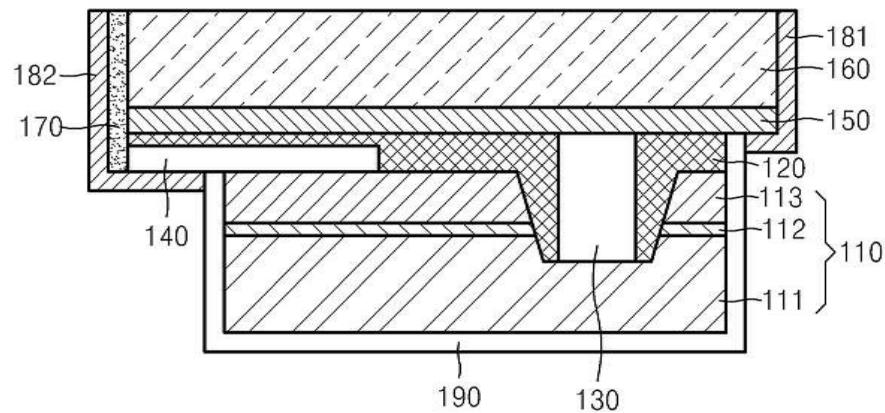
도면11



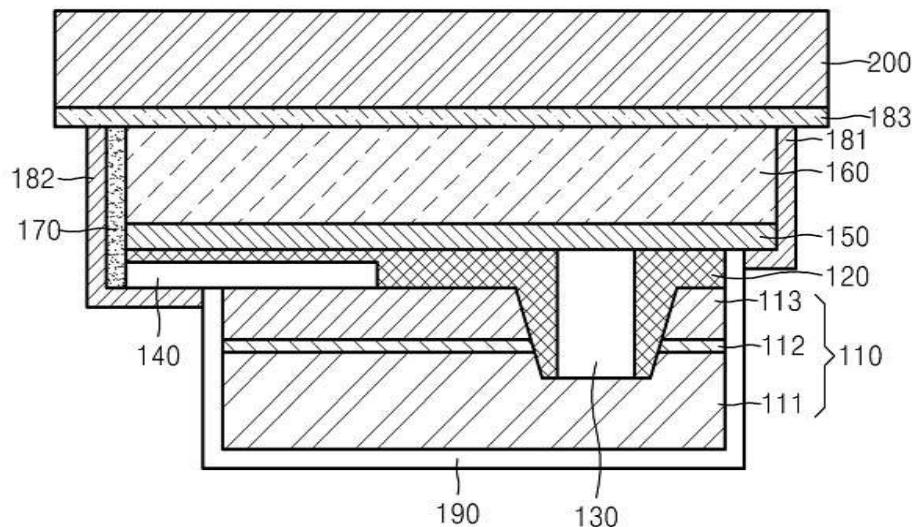
도면12



도면13



도면14



도면15

