

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成21年6月18日(2009.6.18)

【公開番号】特開2007-13116(P2007-13116A)

【公開日】平成19年1月18日(2007.1.18)

【年通号数】公開・登録公報2007-002

【出願番号】特願2006-146646(P2006-146646)

【国際特許分類】

H 01 L 27/28 (2006.01)

H 01 L 51/05 (2006.01)

H 01 L 27/10 (2006.01)

H 01 L 21/822 (2006.01)

H 01 L 27/04 (2006.01)

H 01 L 29/786 (2006.01)

【F I】

H 01 L 27/10 4 4 9

H 01 L 27/10 4 8 1

H 01 L 27/04 C

H 01 L 29/78 6 1 3 B

H 01 L 29/78 6 1 3 Z

H 01 L 29/28 1 0 0 A

【手続補正書】

【提出日】平成21年4月27日(2009.4.27)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体装置

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

同一基板上に、メモリ部と、周辺回路部とを有し、

前記メモリ部は、ビット線を構成する第1の導電層と、有機化合物を含む層と、ワード線を構成する第2の導電層との積層構造を有する記憶素子を複数有し、

前記周辺回路部は、前記有機化合物を含む層と同じ材料を誘電体とする容量素子を有していることを特徴とする半導体装置。

【請求項2】

同一基板上に、メモリ部と、周辺回路部とを有し、

前記メモリ部は、ビット線を構成する第1の導電層と、有機化合物を含む層と、ワード線を構成する第2の導電層との積層構造を有する記憶素子を複数有し、

前記周辺回路部は、前記有機化合物を含む層と同じ材料を誘電体とする容量素子と、トランジスタと、配線とを有し、

前記容量素子は、前記トランジスタまたは前記配線の上方に形成されていることを特徴

とする半導体装置。

【請求項 3】

同一基板上に、メモリ部と、周辺回路部とを有し、
前記メモリ部は、トランジスタと記憶素子と有するメモリセルを複数有し、
前記記憶素子は、前記トランジスタのソースまたはドレインと電気的に接続された第1の導電層と、有機化合物を含む層と、第2の導電層の積層構造を有し、
前記周辺回路部は、前記有機化合物を含む層と同じ材料を誘電体とする容量素子を有していることを特徴とする半導体装置。

【請求項 4】

同一基板上に、メモリ部と、周辺回路部とを有し、
前記メモリ部は、第1のトランジスタと記憶素子と有するメモリセルを複数有し、
前記記憶素子は、前記第1のトランジスタのソースまたはドレインと電気的に接続された第1の導電層と、有機化合物を含む層と、第2の導電層との積層構造を有し、
前記周辺回路部は、前記有機化合物を含む層と同じ材料を誘電体とする容量素子と、第2のトランジスタと、配線とを有し、
前記容量素子は、前記第2のトランジスタまたは前記配線の上方に形成されていることを特徴とする半導体装置。

【請求項 5】

請求項1乃至請求項4のいずれか一において、
前記第1の導電層と前記第2の導電層との間に電圧を印加することで、前記第1の導電層と前記第2の導電層とが短絡することを特徴とする半導体装置。

【請求項 6】

請求項1乃至請求項5のいずれか一において、
前記周辺回路部は、共振回路、電源回路、昇圧回路、D Aコンバータ、または保護回路を有することを特徴とする半導体装置。