

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4330183号
(P4330183)

(45) 発行日 平成21年9月16日 (2009. 9. 16)

(24) 登録日 平成21年6月26日 (2009. 6. 26)

(51) Int. Cl.

F I

H O 1 L 21/8242 (2006. 01)

H O 1 L 27/10 6 8 1 F

H O 1 L 27/108 (2006. 01)

H O 1 L 27/10 6 9 1

請求項の数 2 (全 25 頁)

(21) 出願番号 特願平9-266057
 (22) 出願日 平成9年9月30日 (1997. 9. 30)
 (65) 公開番号 特開平11-111943
 (43) 公開日 平成11年4月23日 (1999. 4. 23)
 審査請求日 平成16年9月22日 (2004. 9. 22)

(73) 特許権者 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100083703
 弁理士 仲村 義平
 (74) 代理人 100096781
 弁理士 堀井 豊
 (74) 代理人 100098316
 弁理士 野田 久登
 (74) 代理人 100109162
 弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

負電位の基板電位が供給される P 型の半導体基板の主表面側に設けられた P 型の第 1 のウェル領域に、外部からの信号に応じたデータを保持する D R A M のメモリセルが形成される半導体記憶装置であって、

前記外部からの信号を受ける入力パッドと、

第 1 の電源電位を受ける第 1 の電源パッドと、

前記第 1 の電源電位よりも高い第 2 の電源電位を受ける第 2 の電源パッドと、

前記入力パッドに与えられた信号を伝達する入力信号配線と、

前記半導体基板の主表面に形成され、前記入力信号配線の電位レベルを受ける N 型の第 2 のウェル領域と、

前記第 2 のウェル領域内に、前記第 2 のウェル領域に前記主表面以外を取囲まれるように形成され、前記入力信号配線の電位レベルを受ける P 型の第 3 のウェル領域と、

前記第 3 のウェル領域の主表面側に形成され、前記第 2 の電源電位を受ける N 型の第 1 の不純物ドーピング領域とを備える、半導体記憶装置。

【請求項 2】

P 型の半導体基板上に形成される半導体記憶装置であって、

外部からの信号を受ける入力パッドと、

第 1 の電源電位を受ける第 1 の電源パッドと、

前記第 1 の電源電位よりも高い第 2 の電源電位を受ける第 2 の電源パッドと、

10

20

前記第 1 の電源電位および前記第 2 の電源電位を受けて、負電位の基板電位を生成し、前記半導体基板に供給する基板電位生成手段と、

前記第 1 および第 2 の電源電位を受けて、前記第 1 および第 2 の電源電位の中間の値を有する内部電源電位を発生する降圧手段と、

前記入力パッドに与えられた信号を伝達する入力信号配線と、

前記半導体基板の主表面に形成され、前記入力信号配線の電位レベルを受ける N 型の第 1 のウェル領域と、

前記第 1 のウェル領域内に、前記第 1 のウェル領域に前記主表面以外を取囲まれるように形成され、前記入力信号配線の電位レベルを受ける P 型の第 2 のウェル領域と、

前記第 2 のウェル領域の主表面側に形成され、前記第 2 の電源電位を受ける N 型の第 1 の不純物ドーピング領域と、

前記入力信号配線に与えられた信号に応じて、書込まれたデータを保持する内部回路とを備え、

前記内部回路は、

前記半導体基板の主表面に形成される P 型の第 3 のウェル領域と、

前記半導体基板の主表面に前記第 3 のウェル領域に隣接して形成され、前記内部電源電位が供給される N 型の第 4 のウェル領域と、

前記第 3 のウェル領域に形成されるメモリセルアレイとを含み、

前記メモリセルアレイは、

前記メモリセルアレイの行方向に配置される複数のワード線と、

前記メモリセルアレイの列方向に配置される複数のビット線対と、

前記ワード線と前記ビット線対との交点に配置されるメモリセルと、

読出動作において、前記ビット線対の電位差を選択されたメモリセルに保持されるデータに応じて、増幅する N 型チャンネルセンスアンプとを有し、

前記第 4 のウェル領域に形成され、読出動作において、前記ビット線対の電位差を選択されたメモリセルに保持されるデータに応じて、増幅する P 型チャンネルセンスアンプとを含む、半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、より特定的には、高速に外部から与えられる信号に応じて、動作することが可能な半導体記憶装置の構成に関する。

【0002】

【従来の技術】

半導体記憶装置を高速に動作させるためには、外部から半導体記憶装置に入力される信号の立上がりおよび立下がりを急峻に変化させる必要が生じる。

【0003】

このために、半導体記憶装置にデータを与える外部の装置の信号ドライバ回路の駆動力は高く設定されることになる。

【0004】

しかしながら、実際に半導体記憶装置が実装されているボード上の配線には、たとえば、等価的にインダクタンス成分が分布定数として寄生している。このため、入力信号の時間変化率が大きいほど半導体記憶装置に取込まれる信号波形の乱れが大きくなる。

【0005】

図 12 は、半導体記憶装置内部での入力信号波形の時間変化を示す図である。図中入力信号の“H”レベルは、電位 V_{IH} のレベルであるものとし、入力信号の“L”レベルは、電位 V_{IL} のレベルを有するものとする。

【0006】

時刻 t_1 において、入力信号が“L”レベルから“H”レベルに向かって立上がり始めたとする。この場合、上述したように、半導体記憶装置内部に取込まれる信号波形は、電位

10

20

30

40

50

レベル V_{IH} を超えていわゆるオーバーシュートする波形となる。

【 0 0 0 7 】

同様にして、時刻 t_2 においては、入力信号が “ H ” レベルから “ L ” レベルへ立下がるものとする。このときも、ボード上の配線に存在する寄生インダクタンス成分により、入力信号波形にはアンダーシュートが存在することになる。

【 0 0 0 8 】

しかしながら、このようなオーバーシュートやアンダーシュートが入力信号波形に存在すると、半導体記憶装置の動作の不安定化をもたらし、この半導体記憶装置が実装されているボード上に構成されるシステム自体の動作の安定性も損なわれることになる。

【 0 0 0 9 】

したがって、一般には半導体記憶装置の側において、入力信号波形を整形して、入力信号のオーバーシュートやアンダーシュートの発生を抑制することが行なわれる。

【 0 0 1 0 】

図 1 3 は、半導体記憶装置にオンチップ内蔵される、入力波形を整形するためのクランプ回路 7 0 0 の構成を示す回路図である。

【 0 0 1 1 】

図 1 3 を参照して、入力パッド 7 0 2 に与えられた信号を伝達する信号配線 7 0 4 には、電源電位 V_{dd} との間に、NチャネルMOSトランジスタ Q_1 が設けられる。信号配線 7 0 4 と接地電位 GND との間には、さらにNチャネルMOSトランジスタ Q_2 が設けられる。NチャネルMOSトランジスタ Q_1 のゲートは、信号配線 7 0 4 と接続され、信号配線 7 0 4 から、電源電位 V_{dd} に向かう方向が順方向となるようにダイオード接続されている。

【 0 0 1 2 】

同様にして、NチャネルMOSトランジスタ Q_2 のゲートは、接地電位 GND と結合し、この接地電位 GND から信号配線 7 0 4 に向かう方向が順方向となるようにダイオード接続されている。

【 0 0 1 3 】

図 1 4 は、図 1 3 に示したクランプ回路 7 0 0 の断面構造を説明するための断面図である。

【 0 0 1 4 】

NチャネルMOSトランジスタ Q_1 および Q_2 は、ともに、P型基板 7 2 0 の主表面側に形成されたP型ウェル 7 2 2 中に設けられる構成となっている。

【 0 0 1 5 】

P型ウェル 7 2 2 は、たとえば、外部電源電位と接地電位とを受けて、負電圧の基板電位を発生する基板電位発生回路（図示せず）から供給される基板電位 V_{bb} にバイアスされている。

【 0 0 1 6 】

図 1 3 および図 1 4 に示したようなクランプ素子 7 0 0 の構成では、入力信号のレベルは、電位 $V_{dd} + V_{th}$ (V_{th} はNチャネルMOSトランジスタ Q_1 のしきい値電圧) より高くなると、NチャネルMOSトランジスタ Q_1 が導通状態となる。

【 0 0 1 7 】

このとき、NチャネルMOSトランジスタ Q_1 のバックバイアスが電位 V_{bb} であるため、クランプ動作が行なわれる際には、NチャネルMOSトランジスタ Q_1 のソース基板間電位 V_{sb} は、 $V_{sb} = V_{dd} + |V_{bb}|$ となる。このため、NチャネルMOSトランジスタは、大きな基板効果を受けることになる。ここで、 $|V_{bb}|$ は、基板電位 V_{bb} の絶対値である。

【 0 0 1 8 】

したがって、通常の基板バイアス状態で、NチャネルMOSトランジスタのしきい値電圧 $V_{th} = 0.8V$ であるとする、このしきい値電圧は、大きな基板効果により、たとえば、 $V_{th} = 1.2V$ 程度まで上昇する。

10

20

30

40

50

【 0 0 1 9 】

このため、図 1 3 および図 1 4 に示したようなクランプ回路 7 0 0 の構成では、クランプ効果が有効に働かないという欠点がある。

【 0 0 2 0 】

また、図 1 3 および図 1 4 に示した構成では、入力サージに対しても耐性が悪いという欠点がある。これは、クランプ素子がともに N チャネル MOS トランジスタで形成されているため、入力サージに対して、N チャネル MOS トランジスタの酸化膜破壊が起こってしまうためである。このため、図 1 3 および図 1 4 に示したようなクランプ回路 7 0 0 の構成は、実際に使用されるデバイスに用いるには困難がある。

【 0 0 2 1 】

図 1 5 は、半導体記憶装置にオンチップ内蔵される、クランプ回路の他の例のクランプ回路 8 0 0 の構成を示す回路図である。

【 0 0 2 2 】

クランプ回路 8 0 0 においては、信号配線 7 0 4 と電源電位 V_{dd} との間には、P チャネル MOS トランジスタ Q_3 が設けられる。

【 0 0 2 3 】

P チャネル MOS トランジスタ Q_3 のゲートは、電源電位 V_{dd} と結合し、したがって、この信号配線 7 0 4 から電源電位 V_{dd} に向かう方向が順方向となるようにダイオード接続されている。

【 0 0 2 4 】

その他の点は、図 1 3 に示したクランプ回路 7 0 0 の構成と同様であるので、同一部分には同一符号を付してその説明は繰返さない。

【 0 0 2 5 】

図 1 6 は、図 1 5 に示したクランプ回路 8 0 0 の断面構造を説明するための断面図である。

【 0 0 2 6 】

P 型基板 7 2 0 の主表面側に形成される N 型ウェル 8 2 0 中に P チャネル MOS トランジスタ Q_3 が設けられ、N 型ウェル 8 2 0 に隣接して設けられる P 型ウェル 8 2 2 中に、N チャネル MOS トランジスタ Q_2 が設けられる構成となっている。

【 0 0 2 7 】

N 型ウェル 8 2 0 は、電源電位 V_{dd} にバイアスされ、P 型ウェル 8 2 2 は、接地電位 GND にバイアスされている。

【 0 0 2 8 】

このとき、P 型基板 7 2 0 は、接地電位にバイアスされている必要がある。それは、以下に説明するような理由による。

【 0 0 2 9 】

すなわち、図 1 6 に示したクランプ回路 8 0 0 の構成においては、入力信号の電位レベルが、 $V_{dd} + V_{bi}$ (電位 V_{bi} は PN 接合の順方向立上がり電圧) 以上になると、入力信号配線が接続された、P チャネル MOS トランジスタ Q_3 のドレイン領域に対応する P 型拡散領域 8 2 4 と N 型ウェル 8 2 0 とが順方向にバイアスされる。さらに、基板が P 型であるため、P 型拡散領域 8 2 4、N 型ウェル 8 2 0 および P 基板 7 2 0 とにより構成される PNP バイポーラトランジスタがターンオンする。

【 0 0 3 0 】

このようにして、クランプ電流は、P 型拡散領域 8 2 4 から P 型基板へ流れることになる。したがって、たとえば P 基板 7 2 0 に基板電位発生回路 (図示せず) から電位が供給されていると、この基板電位発生回路に対して、クランプ電流が流入してしまうことになる。

【 0 0 3 1 】

このようなクランプ電流のが、基板中に流入すると、基板が正電位となってしまう。このことは、CMOS 回路のラッチアップ現象を誘発することとなり、DRAM の正常動作に

10

20

30

40

50

としては致命的である。

【 0 0 3 2 】

したがって、P基板720は接地電位GNDにバイアスされている必要がある。

【 0 0 3 3 】

一方で、クランプ素子として動作する場合、PN接合は、MOSトランジスタよりも電流吸収能力が大きいという利点がある。

【 0 0 3 4 】

したがって、図13に示したクランプ回路700よりも、クランプ回路800の構成の方が入力信号のオーバーシュートを抑制するという点では望ましい構成といえる。

【 0 0 3 5 】

図17は、半導体記憶装置にオンチップ実装されるクランプ回路のさらに他の例のクランプ回路900の構成を示す回路図である。

【 0 0 3 6 】

クランプ回路900においては、入力信号配線704から電源電位Vddとの間には、信号配線704から電源電位Vddへ向かう方向が順方向となるようなPN接合ダイオードQ4が接続され、接地電位GNDと入力信号配線704との間には、接地電位GNDから入力信号配線704へ向かう方向が順方向となるように、PN接合ダイオードQ5が接続されている。

【 0 0 3 7 】

図18は、図17に示したクランプ回路900の断面構造を説明するための断面図である。

【 0 0 3 8 】

図18においては、P型基板720の主表面側に形成されるNウェル820には、電源電位Vddが供給されている。

【 0 0 3 9 】

一方、Nウェル920に隣接して設けられるPウェル922には、接地電位GNDが供給されている。

【 0 0 4 0 】

入力信号配線704は、N型ウェル920の主表面側に設けられるP型拡散領域924と接続し、また、入力信号配線704は、P型ウェル922の主表面側に形成されるN型拡散領域926とも接続している。

【 0 0 4 1 】

このような構成とすることで、図16において説明したクランプ回路800と同様に、入力信号の電位レベルが電位Vdd+Vbi以上になると、信号配線と接続するP型拡散領域924とNウェル920とが順方向にバイアスされることになる。この場合も、基板がP型であるため、P型拡散領域924、Nウェル920およびP型基板720により構成されるPNPバイポーラトランジスタがターンオンすることになる。

【 0 0 4 2 】

したがって、図16の場合と同様に、クランプ電流は、P型拡散領域924からP型基板720へと流れる。つまり、図18に示したクランプ回路900においても、P型基板は接地電位GNDに接続していなければならない。

【 0 0 4 3 】

この場合、クランプ素子がPN接合ダイオードであるため、MOSトランジスタを用いる場合よりも電流吸収能力が大きい。さらに、PN接合ダイオードを用いた場合は、クランプ素子中に酸化膜が存在しないため、入力サージによって酸化膜が破壊されることがないという利点もある。

【 0 0 4 4 】

したがって、クランプ回路をPN接合ダイオードを用いることにより構成することの利点は大きい。

【 0 0 4 5 】

10

20

30

40

50

【発明が解決しようとする課題】

図 19 は、半導体記憶装置、特にダイナミック型ランダムアクセスメモリ（以下、DRAM と呼ぶ）におけるメモリセルアレイ部の断面構造を示す図であり、図 20 は、メモリセルアレイの構成を示す平面図である。

【0046】

図 19 を参照して、まず、P 型基板 720 の主表面には、P 型ウェル 740 が設けられる。この P 型ウェル 740 中に、メモリセルが配置される。

【0047】

一般に、各メモリセルは、1 つの N チャンネル MOS トランジスタ 750 と、1 つのメモリセルキャパシタ（図示せず）により構成される。

10

【0048】

ここで、N チャンネル MOS トランジスタ 750 は、メモリセルキャパシタの一方電極と、選択されたビット線対との接続を開閉するためのトランジスタであり、アクセストランジスタと呼ばれる。

【0049】

P 型ウェル 740 は、アクセストランジスタのしきい値電圧を高め、メモリセルに蓄積された電荷の保持時間を長くするため、接地電位よりも低い負の電圧 V_{bb} に固定されている。

【0050】

また、P 型ウェル 740 内には、メモリセルから読出されるデータに応じて、選択されたメモリセルに接続するビット線対の電位レベルを増幅するための N 型 MOS センスアンプ 752 も設けられている。

20

【0051】

P 型ウェル 740 に近接して、N 型ウェル 742 が設けられる。この N 型ウェル 742 領域には、上述した N チャンネル型 MOS センスアンプ 752 とともに、選択されたメモリセル中の記憶データに応じて、ビット線対の電位レベルを増幅するための P チャンネル MOS センスアンプ 754 が設けられている。N 型ウェル 742 の電位レベルは、P チャンネル MOS センスアンプの電源電位 V_{cc} に固定されている。ここで、電源電位 V_{cc} は、外部電源電圧 V_{dd} を半導体記憶装置中に搭載された降圧回路（図示せず）により降圧された内部電源電位を表わすものとする。

30

【0052】

さらに、P 型ウェル 740 に近接して、もう 1 つの N 型ウェル 744 が設けられる。この N 型ウェル 744 には、選択されたワード線の電位レベルを駆動するためのワードドライバ回路を構成するトランジスタのうち、P チャンネル型 MOS トランジスタ 756 が形成されている。ワード線を駆動するワードドライバが出力する“H”レベルは、アクセストランジスタによる電圧降下の影響を避けるために、一般には、内部電源電圧 V_{cc} よりも高い電圧 V_{pp} のレベルが用いられる。この電圧 V_{pp} は、半導体集積回路装置中に搭載される昇圧回路により、外部電源電圧 V_{dd} より生成される。

【0053】

この N 型ウェル 744 は、したがって、この電位 V_{pp} の電位レベルに固定されている。

40

【0054】

次に、図 20 を参照して、メモリセルアレイは、複数のメモリセルブロックに分割され、各メモリセルブロックに対応して、センスアンプ帯 SAB が配置されている。さらに、メモリセルブロックの各々に対応して、図 19 に示したワードドライバ回路が設けられるワードドライバ帯 WDB が、センスアンプ帯とは交差する方向に設けられている。

【0055】

図 21 は、従来用いられてきた DRAM のメモリセルアレイ構成の別の例を示す断面図である。

【0056】

図 21 に示したメモリセルアレイにおいても、その平面構成は、図 20 に示したメモリセ

50

ルアレイの構成と同様であるものとする。

【 0 0 5 7 】

図 2 1 に示した構成においても、P 型基板 7 2 0 の主表面側に形成された P 型ウェル 7 4 0 内に、メモリセルに含まれる N チャネル型 MOS トランジスタ 7 5 0 と、センスアンプを構成する N チャネル MOS センスアンプ 7 5 2 とが設けられ、さらに、ワードドライバを構成する N チャネル MOS トランジスタ 7 5 8 も設けられる構成となっている。

【 0 0 5 8 】

この P 型ウェル 7 4 0 は、アクセストランジスタのしきい値電圧を高め、メモリセルに蓄積された電荷の保持時間を長くするため、接地電位 G N D よりも低い負の電圧 V b b に固定されている。

10

【 0 0 5 9 】

また、P 型ウェル 7 4 0 に隣接して、N 型ウェル 7 4 2 が設けられる。N 型ウェル 7 4 2 中には、センスアンプを構成する P チャネル MOS センスアンプ 7 5 4 が設けられる。N 型ウェル 7 4 2 の電位レベルは、内部電源電圧 V c c に固定されている。

【 0 0 6 0 】

ここで、図 2 1 に示した構成は、図 1 9 に示した構成に比べて、ワード線を駆動するワードドライバ回路は、N チャネル型 MOS トランジスタ 7 5 8 のみで構成されている点で異なる。

【 0 0 6 1 】

したがって、図 2 1 に示した構成においては、ワードドライバには、いわゆる、セルフブーストタイプの回路を用いる構成となっている。

20

【 0 0 6 2 】

このため、図 2 1 に示した構成では、ワード線の電位レベルを駆動するにあたり、ワードドライバ回路は、プリチャージ動作を行ってからブースト動作を行なうという順序シーケンスが必要である。

【 0 0 6 3 】

したがって、ワード線を活性化するのに図 1 9 に示した構成に比べると時間が余計にかかり、アクセス速度が遅れてしまうという欠点がある。

【 0 0 6 4 】

ここで、図 1 9 においても図 2 1 においても、P 型基板の電位レベルは、P 型ウェルの電位レベル、すなわち、基板電位 V b b に保持されている。

30

【 0 0 6 5 】

したがって、図 1 9 や図 2 1 に示したような構成を有する D R A M に対して、図 1 5 から図 1 8 において示したクランプ回路 8 0 0 および 9 0 0 を用いようとする、以下に説明するような問題点が存在する。

【 0 0 6 6 】

すなわち、図 1 5 に示したクランプ回路 8 0 0 においても、図 1 7 において示したクランプ回路 9 0 0 においても、P 型基板の電位レベルは接地電位 G N D であることが必要である。

【 0 0 6 7 】

これに対して、図 1 9 に示した構成においても、図 2 1 に示した構成においても、P 型基板の電位レベルは基板電位 V b b でなければならない。したがって、クランプ回路 8 0 0 および 9 0 0 をそのまま、図 1 9 または図 2 1 に示した D R A M に適用することはできない。

40

【 0 0 6 8 】

このような問題点を解決するために、図 2 2 に示したような、断面構造を有する D R A M の構成を用いることが可能である。

【 0 0 6 9 】

すなわち、図 2 2 に示した D R A M の断面構造においては、図 1 9 に示した D R A M の断面構造と、以下の点が異なる。

50

【 0 0 7 0 】

すなわち、図 2 2 に示した D R A M の構成においては、P 型ウェル 7 4 0 が、トリプル N 型ウェル 7 4 6 を導入することで、P 型基板 7 2 0 と電氣的に分離される構成となっている。

【 0 0 7 1 】

すなわち、図 2 2 に示したような構成とすることで、P 型ウェル 7 4 0 の電位レベルは基板電位 V_{bb} に保持し、N 型ウェル 7 4 4 の電位レベルは昇圧電位 V_{pp} に保持し、かつ P 型基板の電位レベルは接地電位とすることが可能となる。

【 0 0 7 2 】

しかしながら、図 2 2 に示したような構成では、以下に説明するような問題点がある。

10

【 0 0 7 3 】

すなわち、図 2 2 に示した構成では、P 型ウェル 7 4 0 を N 型のウェルが完全に取囲む構成とするために、P 型ウェル 7 4 0 と N 型ウェル 7 4 2 との間の領域にも、P 型ウェル 7 4 0 に近接して、N 型ウェル 7 4 8 が設けられる必要がある。

【 0 0 7 4 】

このとき、N 型ウェル 7 4 4、トリプル N 型ウェル 7 4 6 および N 型ウェル 7 4 8 は、完全に P 型ウェル 7 4 0 を取囲み、かつ、その電位レベルは昇圧電位 V_{pp} に保持されることになる。

【 0 0 7 5 】

一方、P チャネル M O S センスアンプ 7 5 4 が設けられる N 型ウェル 7 4 2 は、電位レベルが内部電源電位 V_{cc} に保持される必要があるため、N 型ウェル 7 4 8 と N 型ウェル 7 4 2 との間には、分離帯 7 8 0 を設ける必要がある。

20

【 0 0 7 6 】

このような分離帯を設けることは、図 2 0 に示すように、メモリセルアレイ中にセンスアンプ帯が複数個設けられる構成となっている場合には、メモリセルアレイ面積の増大をもたらし、ひいては、チップ面積の増大を招いてしまう。

【 0 0 7 7 】

P 型ウェル 7 4 0 の電位レベルを基板電位 V_{bb} としつつ、かつ P 型基板の電位レベルを接地電位 GND とするためには、たとえばトリプル N 型ウェル 7 4 6 の電位レベルを V_{cc} に固定するという方法もある。

30

【 0 0 7 8 】

この場合は、P 型ウェル 7 4 0 は、トリプルウェル 7 4 6 と N 型ウェル 7 4 8 と、さらに、N 型ウェル 7 4 4 と P 型ウェル 7 4 0 との間に設けられる新たな N 型ウェルにより完全に取囲まれることで、P 型基板と電氣的に分離される必要がある。

【 0 0 7 9 】

この場合は、ワードドライバを構成する P チャネル M O S トランジスタ 7 5 6 が形成される N 型ウェル 7 4 4 とこの P 型ウェル 7 4 0 を取囲むために設けられた新たな N 型ウェルとの間に分離帯が必要となる。

【 0 0 8 0 】

したがって、この場合も、図 2 0 に示すように、ワードドライバがメモリセルアレイ中に複数個設けられる構成となっている場合、メモリセルアレイの面積の増大、ひいてはチップ面積の増大を招いてしまう。

40

【 0 0 8 1 】

この発明は、上記のような問題点を解決するためになされたものであって、その目的は、P N 接合を用いたクランプ回路を搭載することが可能な D R A M を提供することである。

【 0 0 8 2 】

この発明のさらに他の目的は、P N 接合を用いたクランプ回路を搭載した場合でも、チップ面積の増大を抑制することが可能な D R A M を提供することである。

【 0 0 8 3 】

【課題を解決するための手段】

50

請求項 1 記載の半導体記憶装置は、P 型の半導体基板上に形成される半導体記憶装置であって、外部からの信号を受ける入力パッドと、第 1 の電源電位を受ける第 1 の電源パッドと、第 1 の電源電位よりも高い第 2 の電源電位を受ける第 2 の電源パッドと、第 1 の電源電位および第 2 の電源電位を受けて、負電位の基板電位を生成し、半導体基板に供給する基板電位生成手段と、入力パッドに与えられた信号を伝達する入力信号配線と、半導体基板の主表面に形成され、入力信号配線の電位レベルを受ける N 型の第 1 のウェル領域と、第 1 のウェル領域内に、第 1 のウェル領域に主表面以外を取囲まれるように形成され、入力信号配線の電位レベルを受ける P 型の第 2 のウェル領域と、第 2 のウェル領域の主表面側に形成され、第 2 の電源電位を受ける N 型の第 1 の不純物ドーピング領域とを備える。

【0084】

10

請求項 2 記載の半導体記憶装置は、請求項 1 記載の半導体記憶装置の構成に加えて、第 1 および第 2 の電源電位を受けて、第 1 および第 2 の電源電位の中間の値を有する内部電源電位を発生する降圧手段と、入力信号配線に与えられた信号に応じて、書込まれたデータを保持する内部回路をさらに備え、内部回路は、半導体基板の主表面に形成される P 型の第 3 のウェル領域と、半導体基板の主表面に第 3 のウェル領域に隣接して形成され、内部電源電位が供給される N 型の第 4 のウェル領域と、第 3 のウェル領域に形成されるメモリセルアレイとを含み、メモリセルアレイは、メモリセルアレイの行方向に配置される複数のワード線と、メモリセルアレイの列方向に配置される複数のビット線対と、ワード線とビット線対との交点に配置されるメモリセルと、読出動作において、ビット線対の電位差を選択されたメモリセルに保持されるデータに応じて、増幅する N 型チャンネルセンスアンプとを有し、第 4 のウェル領域に形成され、読出動作において、ビット線対の電位差を選択されたメモリセルに保持されるデータに応じて、増幅する P 型チャンネルセンスアンプとを含む。

20

【0085】

請求項 3 記載の半導体記憶装置は、P 型の半導体基板上に形成される半導体記憶装置であって、外部からの信号を受ける入力パッドと、第 1 の電源電位を受ける第 1 の電源パッドと、第 1 の電源電位よりも第 2 の電源電位を受ける第 2 の電源パッドと、第 1 の電源電位および第 2 の電源電位とを受けて、負電位の基板電位を生成し、半導体基板に供給する基板電位生成手段と、入力パッドに与えられた信号を伝達する入力信号配線と、半導体基板の主表面に形成され、所定の電位を受ける N 型の第 1 のウェル領域と、第 1 のウェル領域内に、第 1 のウェル領域に主表面以外を取囲まれるように形成され、第 1 の電源電位を受ける P 型の第 2 のウェル領域と、第 2 のウェル領域の主表面側に形成され、入力信号配線の電位レベルを受ける N 型の第 2 の不純物ドーピング領域とを備える。

30

【0086】

請求項 4 記載の半導体記憶装置は、請求項 3 記載の半導体記憶装置の構成において、所定の電位は、第 1 の電源電位である。

【0087】

請求項 5 記載の半導体記憶装置は、請求項 3 記載の半導体記憶装置の構成において、所定の電位は、第 2 の電源電位である。

【0088】

40

請求項 6 記載の半導体記憶装置は、請求項 3 記載の半導体記憶装置の構成に加えて、第 1 および第 2 の電源電位を受けて、第 1 および第 2 の電源電位の中間の値を有する内部電源電位を発生する降圧手段と、入力信号配線に与えられた信号に応じて、書込まれたデータを保持する内部回路をさらに備え、内部回路は、半導体基板の主表面に形成される P 型の第 3 のウェル領域と、半導体基板の主表面に第 3 のウェル領域に隣接して形成され、内部電源電位が供給される N 型の第 4 のウェル領域と、第 3 のウェル領域に形成されるメモリセルアレイとを含み、メモリセルアレイは、メモリセルアレイの行方向に配置される複数のワード線と、メモリセルアレイの列方向に配置される複数のビット線対と、ワード線とビット線対との交点に配置されるメモリセルと、読出動作において、ビット線対の電位差を選択されたメモリセルに保持されるデータに応じて、増幅する N 型チャンネルセンスアンプとを有し、第 4 のウェル領域に形成され、読出動作において、ビット線対の電位差を選択されたメモリセルに保持されるデータに応じて、増幅する P 型チャンネルセンスアンプとを含む。

50

プとを有し、第4のウェル領域に形成され、読出動作において、ビット線対の電位差を選択されたメモリセルに保持されるデータに応じて、増幅するP型チャネルセンスアンプとを含む。

【0089】

【発明の実施の形態】

[実施の形態1]

図1は、本発明の実施の形態1の半導体記憶装置1000の構成を示す概略ブロック図である。

【0090】

図1を参照して、半導体記憶装置1000は、長辺方向および短辺方向にそれぞれ沿って存在する中央領域CR1およびCR2により互いに分離される4つのメモリセルプレーンM0～M3を含む。

10

【0091】

メモリセルプレーンM0～M3の各々は、たとえば、16Mビットの記憶容量を有する。つまり、この場合、半導体記憶装置1000は、64Mビットの記憶容量を備える。

【0092】

半導体記憶装置1000は、各メモリセルプレーンに対応して、後に説明するように外部から与えられるアドレス信号に従って、メモリセルを選択するために、行選択回路16（ロウプリデコーダ、ロウデコーダおよびワード線ドライバ）および列選択回路18（コラムプリデコーダ、コラムデコーダおよびIOゲート）が設けられている。

20

【0093】

なお、後で説明するように、図1においては、ワード線ドライバ等は、メモリセルプレーンの長辺の一方側にのみ存在するものとしているが、実際には、メモリセルプレーン中に複数の帯状に配置されている。

【0094】

メモリセルプレーンM0～M3の各々は、たとえば、16個の列グループに分割され、かつ対応する列グループごとに、グローバルIO線対GIO Pが配置される。メモリセルプレーンM0～M3の各々においては、それらが選択されている場合、各列グループにおいて1ビットのメモリセルが選択されて、選択メモリセルのグローバルIO線対GIO Pと結合される。

30

【0095】

半導体記憶装置1000は、さらに、グローバルIO線対GIO Pに対応して設けられ、対応するグローバルIO線対GIO Pとデータの入出力を行なうプリアンプ/書込バッファ7と、プリアンプ/書込バッファ7に対応して設けられ、対応するプリアンプから与えられた内部読出データを増幅して対応する読出データバスRDAB（RDABa～RDABd）へ伝達する読出ドライバ8と、読出データバスRDABa～RDABd上の信号を受け、与えられた信号を選択的に出力バスRDBを介して出力バッファ13へ伝達するドライバ回路11を含む。

【0096】

プリアンプ/書込バッファ7により、メモリセルプレーンM0～M3のそれぞれにおいて、選択された列グループのメモリセルデータが読出ドライバ8を介して対応する読出データバスRDABa～RDABd上に伝達される。

40

【0097】

入力データバスWDを介して、プリアンプ/書込バッファ7の書込バッファが入力バッファ12に結合される。メモリセルプレーンM0～M3のうち選択されたメモリセルプレーンに対応する書込バッファ7が活性状態とされ、選択されたメモリセルプレーンにおいて、選択された列グループに含まれる選択メモリセルに対して書込バッファ7を介してデータが書込まれる。

【0098】

半導体記憶装置1000は、さらに、外部から与えられるアドレス信号を受けて、内部ア

50

ドレス信号を生成するアドレスバッファ3と、アドレスバッファ3から与えられる内部アドレス信号（内部コラムアドレス信号）の変化を検出して、アドレス変化検出信号A T Dを発生するA T D発生回路4と、A T D発生回路4からのアドレス変化検出信号A T Dに
 10 応答して、プリアンプ／書込バッファ7に含まれるプリアンプを活性化するためのプリア
 ンプイネーブル信号P A Eを発生するP A E発生回路5と、A T D発生回路4からのアド
 レス変化検出信号A T Dに
 応答して、グローバルI O線対G I O Pをイコライズするためのイコライズ指示信号I O E Qを発生するI O E Q発生回路6と、外部から与えられる行
 アドレスストローブ信号／R A Sと、列アドレスストローブ信号／C A Sと、ライトイネ
 ーブル信号／W Eと、アドレスバッファから与えられる内部アドレス信号とを受けて、D
 R A M 1 0 0 0の動作を制御するための信号を出力する制御回路1 0とを含む。

【0099】

ここで、グローバルI O線対G I O Pは、相補信号線対で構成されており、互いに相補な
 データ信号を伝達する。イコライズ信号I O E Qにより、グローバルI O線対G I O Pの
 グローバルI O線の電位が等しくされる。

【0100】

半導体記憶装置1 0 0 0は、さらに、外部から与えられる電源電位V d dを受け、この外
 部電源電位V d dよりも低い内部電源電圧V c cを発生する内部降圧回路2 9と、外部電
 源電位V d dと接地電位V s sとを受けて、負電位である基板電位V b bを発生する基板
 電位発生回路3 0と、外部電源電位V d dと接地電位V s sとを受け、外部電源電位V d
 dよりも昇圧された昇圧電位V p pを出力する昇圧回路3 1とを含む。

【0101】

内部電源電位V c cは、メモリセルプレーンM₀～M₃を駆動する回路（ビット線の
 充放電を行なうセンスアンプ）およびアレイ内部のpチャネルM O Sトランジスタが形成
 されるウェルに印加される。

【0102】

出力バッファ1 3および入力バッファ1 2は、共通のデータ入出力端子D Q 0～D Q iを
 介して装置外部とのデータの入出力を行なう。

【0103】

さらに、入力バッファ1 2とデータ入出力端子D Q j（j = 0～i）との間には、入力信
 号レベルのクランプ動作を行なうクランプ回路1 0 0が設けられる。また、このようなク
 ランプ回路1 0 0は、外部からの信号を受ける入出力端子には、それぞれ設けられる構成
 となっている。

【0104】

具体的には、アドレス信号入力端子や外部制御信号（信号／R A S，／C A S，／W E等
 ）の与えられる入出力端子にも、それぞれクランプ回路1 0 0が設けられている。

【0105】

ただし、以下では説明の簡単のために、データ入出力端子D Q jに対応して設けられるク
 ランプ回路1 0 0を例にとって説明することとする。

【0106】

図2は、1つのメモリセルプレーンM₀（以下、M₀～M₃を総称する場合、M₀と
 40 記す）に関連する部分の構成をより詳細に示す図である。

【0107】

図2において、メモリセルプレーンM₀は、列方向に沿って、1 6個の行ブロックM R B
 0～M R B 1 5に分割される。メモリセルプレーンM₀は、さらに行方向に沿って、1 6
 個の列ブロックM C B 0～M C B 1 5に分割される。

【0108】

すなわち、メモリセルプレーンM₀は、行ブロックM R B n（n = 0～1 5）と列ブロッ
 クM C B n（n = 0～1 5）が交差する領域ごとに、メモリセルブロックM C n nを含む
 構成となっている。メモリセルブロックM C n nの各々において、6 4 Kビットのメモリ
 セルが行および列のマトリックス状に配置される。

10

20

30

40

50

【 0 1 0 9 】

行ブロック M R B 0 ~ M R B 1 5 の各々の間の領域に、外部アドレス信号に応じて選択されたメモリセルのデータの検知および増幅を行なうセンスアンプを有するセンスアンプ帯 S A B 1 ~ S A B 1 5 が配置される。

【 0 1 1 0 】

行ブロック M R B 0 ~ M R B 1 5 の外側に、さらにセンスアンプ帯 S A B 0 および S A B 1 6 がそれぞれ配置される。

【 0 1 1 1 】

1つの行ブロック M R B n (n = 0 ~ 1 5) は、その両側に配置されたセンスアンプ帯 S A B n および S A B (n + 1) に含まれるセンスアンプにより、選択された 1 行に接続されるメモリセルのデータの検知および増幅が行なわれる。

10

【 0 1 1 2 】

したがって、センスアンプ帯 S A B 1 ~ S A B 1 5 は、2つの行ブロックにより共有される構成となっている。

【 0 1 1 3 】

列ブロック M C B 0 ~ M C B 1 5 の各々の間の領域に、外部アドレス信号に応じて選択されたワード線の活性化を行なうワードドライバを有するワードドライバ帯 W D 1 ~ W D 1 5 が配置される。

【 0 1 1 4 】

列ブロック M C B 0 ~ M C B 1 5 の外側に、さらにワードドライバ帯 W D 0 および W D 1 6 がそれぞれ配置される。

20

【 0 1 1 5 】

1つの列ブロック M C B n (n = 0 ~ 1 5) では、その両側に配置されたワードドライバ帯 W D n および W D (n + 1) に含まれるワードドライバにより、選択された行に対応するワード線の活性化が行なわれる。

【 0 1 1 6 】

したがって、ワードドライバ帯 W D 1 ~ W D 1 5 は、2つの列ブロックにより共有される構成となっている。

【 0 1 1 7 】

図 3 は、図 2 に示すセンスアンプ帯 S A B N および S A B N + 1 の構成をより具体的に示す回路図である。

30

【 0 1 1 8 】

図 3 において、1本の列選択線 C S L に関連する部分の構成が代表的に示されている。

【 0 1 1 9 】

外部からのアドレス信号に応じて選択された列ブロックにおける列選択線 C S L のみが選択状態、すなわちその電位レベルが “ H ” レベルとされる。

【 0 1 2 0 】

1本の列選択線 C S L に対して、たとえば4つのビット線対 B L P 0 ~ B L P 3 が配置される。ビット線対 B L P 0 ~ B L P 3 は、それぞれ、互いに相補な信号を伝達するビット線 B L および / B L を含む。ビット線対 B L P 0 ~ B L P 3 とワード線 W L との交差部にそれぞれ対応するメモリセル M C が配置される。

40

【 0 1 2 1 】

図 3 においては、ビット線 B L と特定のワード線 W L との交差部に対応してメモリセル M C が配置される状態を一例として示す。

【 0 1 2 2 】

メモリセル M C は、ワード線 W L によって導通状態とされるアクセストランジスタと、このアクセストランジスタにより、対応するビット線と一方電極が接続されるメモリセルキャパシタとを含む。

【 0 1 2 3 】

メモリセルキャパシタの他方電極には、セルプレート電位 V c p (一般には、電位 V c c

50

の半分の大きさの電位)が供給される。

【0124】

ビット線対BLP0およびBLP2は、ビット線分離制御信号BRIbに応答して導通する分離ゲートTga0およびTga2を介して、センスアンプ帯SABNに含まれるセンスアンプSA0およびSA2にそれぞれ接続される。

【0125】

ビット線対BLP1およびBLP3は、ビット線分離制御信号BLIaに応答して導通する分離ゲートTga1およびTga3を介して、センスアンプ帯SABN+1に含まれるセンスアンプSA1およびSA3にそれぞれ接続される。

【0126】

センスアンプ帯SABNに含まれるセンスアンプSAは、分離制御信号BLIbに応答して導通する分離ゲートTgb0およびTgb2を介して、行ブロックMRB(N-1)に含まれるビット線対にそれぞれ接続される。

【0127】

センスアンプ帯SABN+1に含まれるセンスアンプSAは、分離制御信号BRIaに
 応答して導通する分離ゲートTgb1およびTgb3を介して、行ブロックMRBN+1に
 含まれるビット線対に接続される。

【0128】

センスアンプSAは、各ビット線対に対応して設けられ、かつ隣接する行ブロックのビ
 ット線対により共通される。1つの行ブロックMRBNにおいて、センスアンプSAは、ビ
 ット線対の両側に交互に配置され、いわゆる交互配置型シェードセンスアンプ配置の構
 成をとっている。

【0129】

センスアンプ帯SABNにおいては、ローカルIO線対LIOaおよびLIObが、ワー
 ド線WLに平行に配置され、かつ1つの列ブロックにわたって存在する。

【0130】

センスアンプ帯SABN+1においては、ローカルIO線対LIOcおよびLIOdが同
 様に配置されている。

【0131】

センスアンプSA0～SA3のそれぞれに対し、列選択線CSL上の信号電位に
 導通する列選択ゲートIG0～IG3が設けられる。これらの列選択ゲートIG0～IG
 3は、対応する列選択線CSL上の信号電位が選択状態を示す“H”レベルのときに導通
 し、センスアンプSA0～SA3を、それぞれローカルIO線対LIOa～LIOdに接
 続する。

行ブロックMRBNが選択状態とされたときには、ビット線分離制御信号BLIaおよび
 BRIbが“H”レベルとされ、ビット線分離制御信号BRIaおよびBLIbが“L”
 レベルとされる。これによって、ビット線対BLP0～BLP3は、それぞれセンスアン
 プSA0～SA3に接続される。

【0132】

スタンバイ状態においては、ビット線分離制御信号BLIa、BLIb、BRIaおよび
 BRIbはすべて“H”レベルとされ、分離制御ゲートTga0～Tga3およびTgb
 0～Tgb3はすべて導通状態とされる。

【0133】

一方、読出動作等においては、選択された行ブロックのみをセンスアンプSAに接続する
 ことにより、センスアンプSAに接続されるビット線対の容量を軽減し、高速のセンス動
 作およびセンスノードへの十分な読出電圧(メモリセルの読出データ)の伝達を可能とす
 る構成となっている。

【0134】

このローカルIO線対LIOa～LIOdが、それぞれ図示しない対応する列グループに
 配置されたグローバルIO線対GIOa～GIOdに接続される。

10

20

30

40

50

【 0 1 3 5 】

図 4 は、図 1 に示した入力バッファ 1 2 において、データ入出力端子 DQ_j ($j = 0 \sim i$) の各々に対応して設けられるクランプ回路 1 0 0 の構成を示す断面図である。

【 0 1 3 6 】

クランプ回路 1 0 0 においては、基板電位発生回路 3 0 により供給される基板電位 V_{bb} が、P 型拡散領域 1 2 2 を介して供給されている。

【 0 1 3 7 】

P 型基板 1 2 0 の主表面側には、P 型ウェル 1 3 0 が設けられ、この P 型ウェル 1 3 0 の周囲を取囲むように、N 型ウェル 1 4 0 が形成され、P 型ウェル 1 5 0 底部の基板中には、トリプル N 型ウェル 1 5 0 が設けられている。したがって、P 型ウェル 1 3 0 は、N 型ウェル 1 4 0 とトリプル N 型ウェル 1 5 0 とによりその主表面側を除いて完全に取囲まれる構成となっている。

10

【 0 1 3 8 】

図 4 に示したクランプ回路 1 0 0 においては、さらに、データ入出力端子 DQ_j からの入力信号 (電位レベル: V_{in}) を伝達する入力信号配線 1 0 2 と N 型ウェル 1 4 0 とは、N 型ウェル 1 4 0 の主表面側に形成される N 型拡散領域 1 4 2 を介して接続されている。

【 0 1 3 9 】

また、入力信号配線 1 0 2 と、P 型ウェル 1 3 0 とは、P 型ウェルの主表面側に形成される P 型拡散領域 1 3 2 を介して、電氣的に接続されている。

【 0 1 4 0 】

20

さらに、P 型ウェル 1 3 0 の主表面側には、N 型拡散領域 1 3 4 が設けられ、この N 型拡散領域 1 3 4 には、外部電源電位 V_{dd} が印加される構成となっている。

【 0 1 4 1 】

図 4 に示したクランプ回路 1 0 0 においては、以上のような構成とすることで、入力信号がオーバーシュートして、その電位レベルが電位 $V_{dd} + V_{bi}$ (V_{bi} は P N 接合の立上がり電圧) よりも高くなると、外部電源電位 V_{dd} が供給される N 型拡散領域 1 3 4 と P 型ウェル 1 3 0 とが順方向にバイアスされることになる。このため、N 型拡散領域 1 3 4 から電子が P 型ウェルに流入してくる。このようにして P 型ウェル 1 3 0 に注入された電子は、P 型ウェル 1 3 0、もしくはまわりの N 型ウェル 1 4 0 またはトリプル N 型ウェル 1 5 0 にすべて吸収され、オーバーシュートがクランプされる。

30

【 0 1 4 2 】

また、P 型基板 1 2 0 には全く電流が流入しないため、P 型基板の電位は基板電位 V_{bb} とすることが可能である。

【 0 1 4 3 】

以上のようなクランプ回路 1 0 0 の構成とすることで、入力信号がオーバーシュートしようとする際に、その入力信号を伝達する入力信号配線 1 0 2 の電位レベルをクランプするクランプ回路 1 0 0 を、P 型基板 1 2 0 の電位レベルを負電位である基板電位 V_{bb} としたままで実現することが可能である。

【 0 1 4 4 】

したがって、クランプ回路 1 0 0 は、たとえば、図 1 9 に示したような D R A M が形成される P 型基板上に同時に形成することが可能である。

40

【 0 1 4 5 】

[実施の形態 2]

図 5 は、本発明の実施の形態 2 のクランプ回路 2 0 0 の構成を示す断面図である。

【 0 1 4 6 】

図 5 を参照して、P 型基板 1 2 0 は、その主表面側に形成される P 型拡散領域 2 2 2 を介して、基板電位発生回路 3 0 から、基板電位 V_{bb} の供給を受けている。

【 0 1 4 7 】

P 型基板 1 2 0 の主表面側には、P 型ウェル 2 3 0 が形成されている。

P 型ウェル 2 3 0 の周囲を取囲むように、N 型ウェル 2 4 0 が形成され、P 型ウェル 2 3

50

0の底面と、P型基板220との境界領域には、トリプルN型ウェル250が形成されている。

【0148】

したがって、P型ウェル230は、N型ウェル240およびトリプルN型ウェル250とにより、その主表面側を除いて、完全に取囲まれる構成となっている。

【0149】

N型ウェル240は、その主表面側に形成されたN型拡散領域242を介して、接地電位GNDを受けている。

【0150】

P型ウェル230も、その主表面側に形成されたP型拡散領域232を介して、接地電位GNDを受けている。

【0151】

さらに、P型ウェル230の主表面側には、N型拡散領域234が形成されている。

【0152】

N型拡散領域234は、外部からの信号を受ける端子(たとえば、データ入出力端子DQj)からの入力信号を伝達する入力信号配線102と電氣的に結合している。

【0153】

以上のような構成とすることにより、入力信号の電位レベルが $-V_{bi}$ 以下になると、N型拡散領域234とP型ウェル230とが順方向にバイアスされることになる。

【0154】

このため、電子が、N型拡散領域234からP型ウェル230に流入する。これらの電子は、P型ウェル230、N型ウェル240、トリプルN型ウェル250にすべて吸収され、入力信号は接地電位GNDにクランプされる。

【0155】

このような構成では、P型基板120には、クランプ動作中に電流が流れないので、P型基板の電位レベルは基板電位 V_{bb} とすることが可能である。

【0156】

これに対して、もしもトリプルN型ウェル250が存在しない場合は、P型ウェル230の電位レベルは電位 V_{bb} となる。このため、入力信号のレベルが $-|V_{bb}| - V_{bi}$ 以下にならないと、N型拡散層234およびP型ウェル230から構成されるPN接合は順方向にならず、クランプ回路200のクランプ特性は劣化してしまう。

【0157】

したがって、図5に示したような構成とすることで、P型基板の電位レベルを基板電位 V_{bb} に維持したまま、入力信号配線102の電位レベルの接地電位側へのクランプ特性も向上させることが可能となる。

【0158】

なお、以上の説明では、N型ウェル240およびトリプルN型ウェル250の電位レベルは接地電位GNDに保持されるものとした。

【0159】

しかしながら、本発明はこのような場合に限定されることなく、たとえば、P型ウェル230の電位レベルを接地電位GNDとし、N型ウェル240およびトリプルN型ウェル250の電位レベルを外部電源電位 V_{dd} とすることも可能である。

【0160】

[実施の形態3]

図6は、本発明の実施の形態3のクランプ回路300の構成を示す断面図である。

【0161】

クランプ回路300の構成は、実施の形態1で示した外部電源電位 V_{dd} 側に対するクランプ回路100と、接地電位GND側に対するクランプ回路200とを、ともに外部からの信号を受ける端子(たとえば、データ入出力端子DQj)からの信号を伝達する入出信号配線102に接続する構成としたものである。

【 0 1 6 2 】

ただし、図 6 においては、P 型ウェル 1 3 0 において、P 型拡散領域 1 3 2 は、N 型拡散領域 1 3 4 の両側に設けられている。

【 0 1 6 3 】

また、P 型ウェル 2 3 0 において、N 型拡散領域 2 3 4 は、P 型拡散領域 2 3 2 の両側に設けられている。

【 0 1 6 4 】

その他、実施の形態 1 のクランプ回路 1 0 0 および実施の形態 2 のクランプ回路 2 0 0 と同一部分には同一符号を付して、その説明は繰返さない。

【 0 1 6 5 】

図 6 に示したような構成とすることで、クランプ回路 3 0 0 は、入力信号の電位レベルが、外部電源電位 V_{dd} に対してオーバーシュートした場合でも、接地電位 GND に対してアンダーシュートした場合にも、入力信号配線 1 0 2 の電位レベルをクランプすることが可能である。

【 0 1 6 6 】

しかも、この場合、基板 1 2 0 の電位レベルは、基板電位発生回路 3 0 から供給される基板電位 V_{bb} に維持することが可能である。

【 0 1 6 7 】

図 7 は、図 6 に示したクランプ回路の構成の平面パターンの一例を示す図である。

【 0 1 6 8 】

図 7 中の BB' 断面が、図 6 に示したクランプ回路 3 0 0 の断面構造に対応する。

【 0 1 6 9 】

図 7 においては、P 型ウェル 1 3 0 を取囲むように、N 型ウェル 1 4 0 が形成されている。

【 0 1 7 0 】

P 型ウェル 1 3 0 には、その長辺方向に沿って、長方形形状を有する P 型拡散領域 1 3 2 が 2 つ設けられている。

【 0 1 7 1 】

さらに、この 2 つの P 型拡散領域 1 3 2 に挟まれるように、P 型ウェル 1 3 0 の長辺方向に沿って、N 型拡散領域 1 3 4 が形成されている。

【 0 1 7 2 】

N 型ウェル 1 4 0 においても、P 型ウェルを取囲むように、N 型拡散領域 1 4 2 が形成されている。

【 0 1 7 3 】

一方、P 型ウェル 2 3 0 を取囲むように、N 型ウェル 2 4 0 が形成されている。

【 0 1 7 4 】

P 型ウェル領域 2 3 0 中には、その長辺方向に沿って、長方形形状を有する N 型拡散領域 2 3 4 が 2 本形成されている。

【 0 1 7 5 】

N 型拡散領域 2 3 4 に挟まれるように、P 型ウェル 2 3 0 の長辺方向に沿って、P 型拡散領域 2 3 2 が設けられている。

【 0 1 7 6 】

また、N 型ウェル 2 4 0 には、P 型ウェル 2 3 0 を取囲むように、N 型拡散領域 2 4 2 が設けられている。

【 0 1 7 7 】

図 7 に示した構成においては、N 型拡散領域 1 3 4 に対して、メタル配線 4 0 2 により外部電源電位 V_{dd} が供給されている。

【 0 1 7 8 】

一方、N 型ウェル 2 4 0 に対しては、拡散領域 2 4 2 を介して、メタル配線 4 0 4 から接地電位 GND が供給されている。

10

20

30

40

50

【 0 1 7 9 】

P型ウェル230に対しては、P型拡散領域232を介して、メタル配線404から接地電位GNDが供給されている。

【 0 1 8 0 】

また、入力信号配線102は、N型拡散領域142を介して、N型ウェル140と、P型拡散領域132を介して、P型ウェル130と接続されている。

【 0 1 8 1 】

さらに、入力信号配線102は、N型拡散領域234と接続されている。
このような構成とすることで、図6に示した断面構造を有するクランプ回路300を実現することが可能となる。

10

【 0 1 8 2 】

[実施の形態3の変形例1]

図8は、図6に示したクランプ回路と同様の機能を有する構成を実現する他の配線パターンを示す図である。

【 0 1 8 3 】

図8においては、P型ウェル130を取囲むように、N型ウェル140が形成されている。

【 0 1 8 4 】

P型ウェル130には、その長辺方向に沿って、長方形形状を有するN型拡散領域134が2つ設けられている。

20

【 0 1 8 5 】

さらに、この2つのN型拡散領域134に挟まれるように、P型ウェル130の長辺方向に沿って、P型拡散領域132が形成されている。

【 0 1 8 6 】

N型ウェル140においても、P型ウェルを取囲むように、N型拡散領域142が形成されている。

【 0 1 8 7 】

入力信号配線102は、N型拡散領域142を介してN型ウェル140と、P型拡散領域132を介してP型ウェル130と、それぞれ接続されている。

【 0 1 8 8 】

N型拡散領域134には、メタル配線402から電源電位Vddが供給される。

30

【 0 1 8 9 】

一方、P型ウェル230およびN型ウェル240部分の構成は、図7に示した構成と同様であるので、同一部分には同一符号を付して説明は繰り返さない。

【 0 1 9 0 】

このような構成とすることで、図6に示した断面構造を有するクランプ回路300と同様の機能を有するクランプ回路を実現することが可能となる。

【 0 1 9 1 】

[実施の形態3の変形例2]

図9は、図6に示したクランプ回路と同様の機能を有するクランプ回路の平面パターンの他の例を示す平面図である。

40

【 0 1 9 2 】

図9においては、P型ウェル230を取囲むように、N型ウェル240が形成されている。

【 0 1 9 3 】

P型ウェル230には、その長辺方向に沿って、長方形形状を有するP型拡散領域232が2つ設けられている。

【 0 1 9 4 】

さらに、この2つのP型拡散領域232に挟まれるように、P型ウェル230の長辺方向に沿って、N型拡散領域234が形成されている。

50

【 0 1 9 5 】

N型ウェル 2 4 0 においても、P型ウェル 2 3 0 を取囲むように、N型拡散領域 2 4 2 が形成されている。

【 0 1 9 6 】

N型拡散領域 2 3 4 は、入力信号配線 1 0 2 と接続している。

さらに、P型ウェル 2 3 0 はP型拡散領域 2 3 2 を介して、N型ウェル 2 4 0 はN型拡散領域 2 4 2 を介して、それぞれメタル配線 4 0 4 から接地電位 G N D が供給される。

【 0 1 9 7 】

一方、P型ウェル 1 3 0 およびN型ウェル 1 4 0 部分の構成は、図 7 に示した構成と同様であるので、同一部分には同一符号を付して説明は繰り返さない。

10

【 0 1 9 8 】

このような構成とすることで、図 6 に示した断面構造を有するクランプ回路 3 0 0 と同様の機能を有するクランプ回路を実現することが可能となる。

【 0 1 9 9 】

[実施の形態 3 の変形例 3]

図 1 0 は、図 6 に示したクランプ回路 3 0 0 と同様の機能を有するクランプ回路の平面パターンの他の例を示す平面図である。

【 0 2 0 0 】

図 1 0 においては、P型ウェル 1 3 0 を取囲むように、N型ウェル 1 4 0 が形成されている。

20

【 0 2 0 1 】

P型ウェル 1 3 0 には、その長辺方向に沿って、長方形形状を有するN型拡散領域 1 3 4 が2つ設けられている。

【 0 2 0 2 】

さらに、この2つのN型拡散領域 1 3 4 に挟まれるように、P型ウェル 1 3 0 の長辺方向に沿って、P型拡散領域 1 3 2 が形成されている。

【 0 2 0 3 】

N型ウェル 1 4 0 においても、P型ウェルを取囲むように、N型拡散領域 1 4 2 が形成されている。

【 0 2 0 4 】

入力信号配線 1 0 2 は、N型拡散領域 1 4 2 を介してN型ウェル 1 4 0 と、P型拡散領域 1 3 2 を介してP型ウェル 1 3 0 と、それぞれ接続されている。

30

【 0 2 0 5 】

N型拡散領域 1 3 4 は、メタル配線 4 0 2 から電源電位 V d d が供給される。

一方、P型ウェル 2 3 0 およびN型ウェル 2 4 0 部分の構成は、図 9 に示した構成と同様であるので、同一部分には同一符号を付して説明は繰り返さない。

【 0 2 0 6 】

このような構成とすることで、図 6 に示した断面構造を有するクランプ回路 3 0 0 と同様の機能を有するクランプ回路を実現することが可能となる。

【 0 2 0 7 】

図 1 1 は、図 6 に示したクランプ回路 3 0 0 を、図 1 9 に示したようなD R A M回路と同一基板上に形成した場合の構成を示す断面図である。

40

【 0 2 0 8 】

図 1 9 に示したD R A Mおよび図 6 に示したクランプ回路 3 0 0 の構成と同一部分には同一符号を付してその説明は繰り返さない。

【 0 2 0 9 】

以上のような構成とすることで、D R A Mを形成している基板上に、P N接合を用いて、電源電位側に対するオーバーシュートおよび接地電位側に対するアンダーシュートのいずれをもクランプすることが可能なクランプ回路を搭載することが可能となる。

【 0 2 1 0 】

50

したがって、入力サージ等に対する耐性が強く、クランプ能力の大きなクランプ回路を D R A M と同一基板上に形成することが可能となる。

【 0 2 1 1 】

【 発明の効果 】

請求項 1 の半導体記憶装置は、第 2 の電源電位以上の入力信号が入力パッドに与えられた場合、第 1 の不純物ドーピング領域と、第 2 のウェル領域とで形成される P N 接合が順方向にバイアスされ、入力信号配線の電位レベルはクランプされる。P N 接合を用いたクランプ回路であるため、電流吸収能力は高く、かつサージ入力に対しての耐性が高い。

【 0 2 1 2 】

請求項 2 記載の半導体記憶装置は、請求項 1 記載の半導体記憶装置の構成に加えて、メモリセルアレイが形成される第 3 のウェル領域と、第 2 のウェル領域とが、第 1 のウェル領域により電氣的に分離されているので、メモリセルアレイ部の基板電位を負電位に維持することが可能である。

10

【 0 2 1 3 】

請求項 3 ないし 5 記載の半導体記憶装置は、第 1 の電源電位以下の入力信号が入力パッドに与えられた場合、第 2 の不純物ドーピング領域と、第 2 のウェル領域とで形成される P N 接合が順方向にバイアスされ、入力信号配線の電位レベルはクランプされる。P N 接合を用いたクランプ回路であるため、電流吸収能力は高く、かつサージ入力に対しての耐性が高い。

【 0 2 1 4 】

20

請求項 6 記載の半導体記憶装置は、請求項 3 記載の半導体記憶装置の構成に加えて、メモリセルアレイが形成される第 3 のウェル領域と、第 2 のウェル領域とが、第 1 のウェル領域により電氣的に分離されているので、メモリセルアレイ部の基板電位を負電位に維持することが可能である。

【 図面の簡単な説明 】

【 図 1 】 本発明の実施の形態 1 の半導体記憶装置 1 0 0 0 の構成を示す概略ブロック図である。

【 図 2 】 図 1 に示す 1 つのメモリセルプレーンの構成を具体的に示す図である。

【 図 3 】 図 2 に示すセンスアンプ帯の配置を具体的に示す図である。

【 図 4 】 本発明の実施の形態 1 のクランプ回路 1 0 0 の構成を示す断面図である。

30

【 図 5 】 本発明の実施の形態 2 のクランプ回路 2 0 0 の構成を示す断面図である。

【 図 6 】 本発明の実施の形態 3 のクランプ回路 3 0 0 の構成を示す断面図である。

【 図 7 】 図 6 に示したクランプ回路 3 0 0 の構成を示す平面図である。

【 図 8 】 実施の形態 3 の第 1 の変形例の平面パターンを示す図である。

【 図 9 】 実施の形態 3 の第 2 の変形例の平面パターンを示す図である。

【 図 1 0 】 実施の形態 3 の第 3 の変形例の平面パターンを示す図である。

【 図 1 1 】 実施の形態 3 のクランプ回路と D R A M を同一基板上に形成した場合の断面構造を示す図である。

【 図 1 2 】 入力信号の時間変化を示すタイミングチャートである。

【 図 1 3 】 従来のクランプ回路 7 0 0 の構成を示す回路図である。

40

【 図 1 4 】 図 1 3 に示したクランプ回路 7 0 0 の構成を示す断面図である。

【 図 1 5 】 従来のクランプ回路 8 0 0 の構成を示す回路図である。

【 図 1 6 】 図 1 5 に示したクランプ回路 8 0 0 の構成を示す断面図である。

【 図 1 7 】 従来のクランプ回路 9 0 0 の構成を示す回路図である。

【 図 1 8 】 図 1 7 に示したクランプ回路 9 0 0 の構成を示す断面図である。

【 図 1 9 】 従来の D R A M の構成を示す断面図である。

【 図 2 0 】 従来の D R A M のメモリセルの平面パターンを示す図である。

【 図 2 1 】 従来の D R A M の他の構成を示す断面図である。

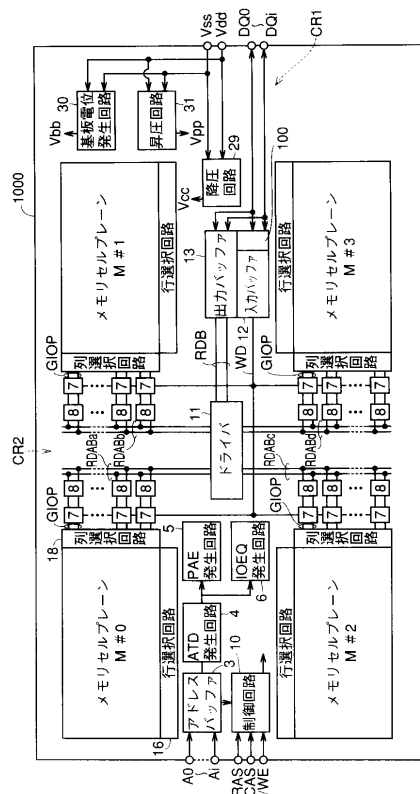
【 図 2 2 】 従来の D R A M の他の例を示す断面図である。

【 符号の説明 】

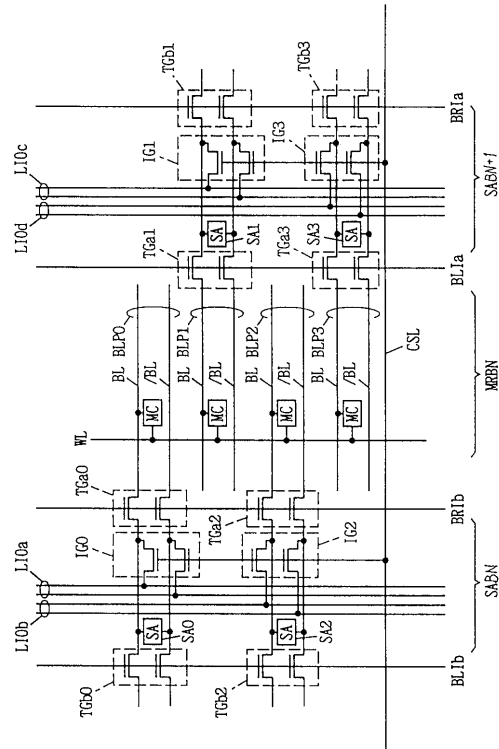
50

3 アドレスバッファ、4 ATD発生回路、5 PAE発生回路、6 IOEQ発生回路、7, 8 読出ドライバ、10 制御回路、11 ドライバ、12 入力バッファ、13 出力バッファ、16 行選択回路、18 列選択回路、GIOa、GIOb、GIOc、GIOd グローバルIO線対、LIOa、LIOb、LIOc、LIOd ローカルIO線対、SABN、SABN+1 センスアンプ帯、MRBN 行ブロック、CSL 列選択線、100, 200, 300 クランプ回路、120, 220, 320 P型基板、130, 230 P型ウェル、140, 240 N型ウェル、150, 250 トリプルN型ウェル、122, 222 P型拡散層、132, 232 P型拡散層、134, 234 N型拡散層、142, 242 N型拡散層、1000 半導体記憶装置。

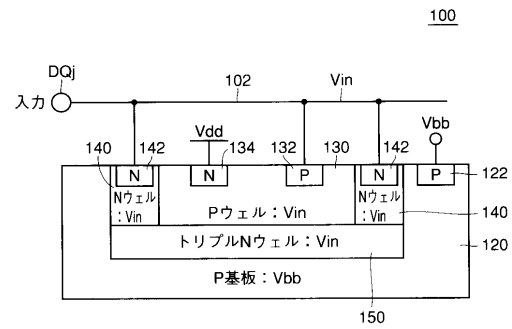
【図1】



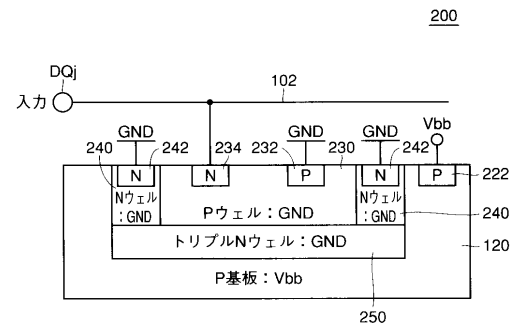
【図3】



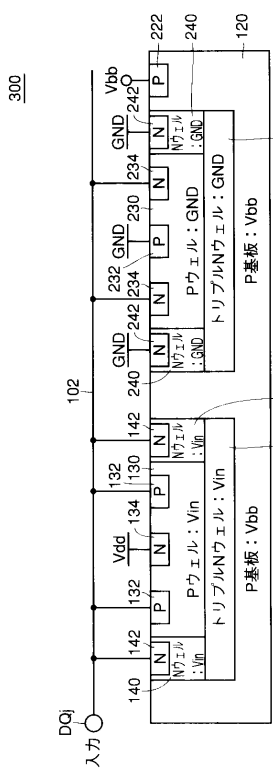
【図4】



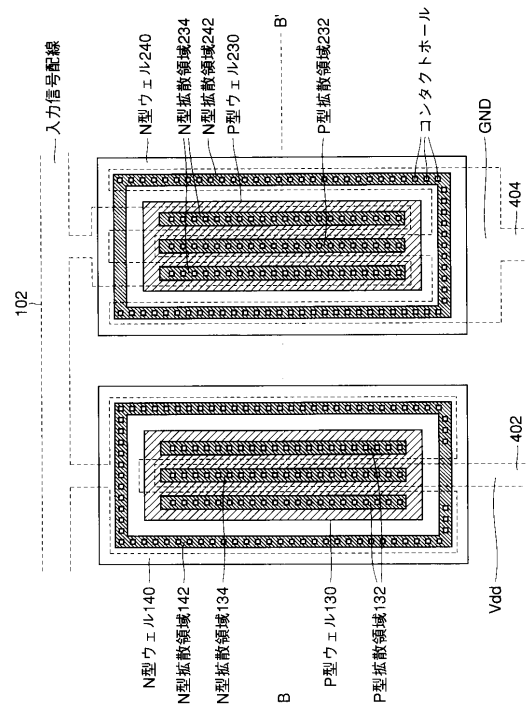
【図5】



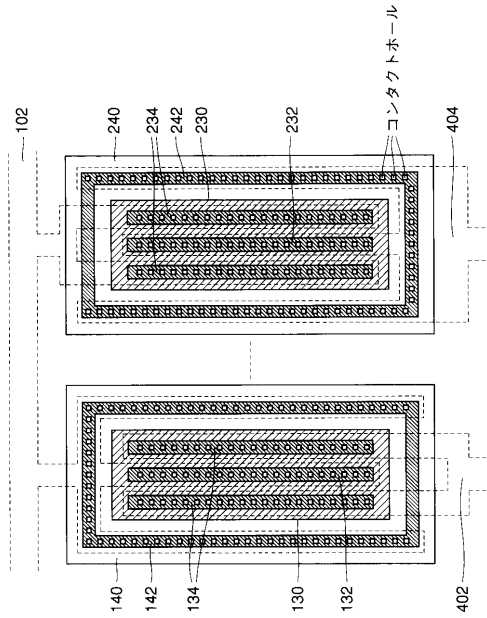
【図6】



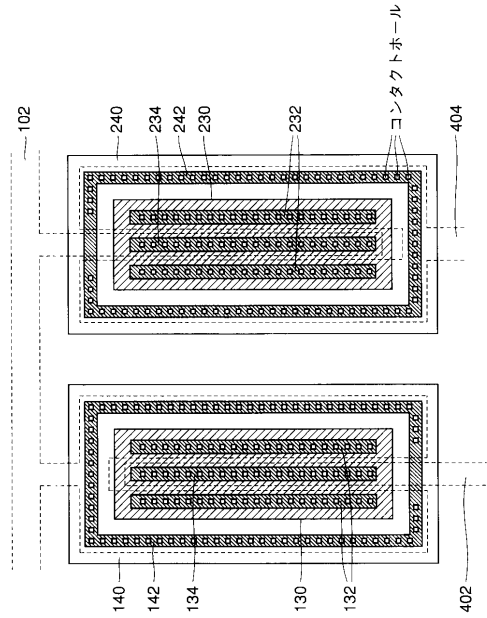
【図7】



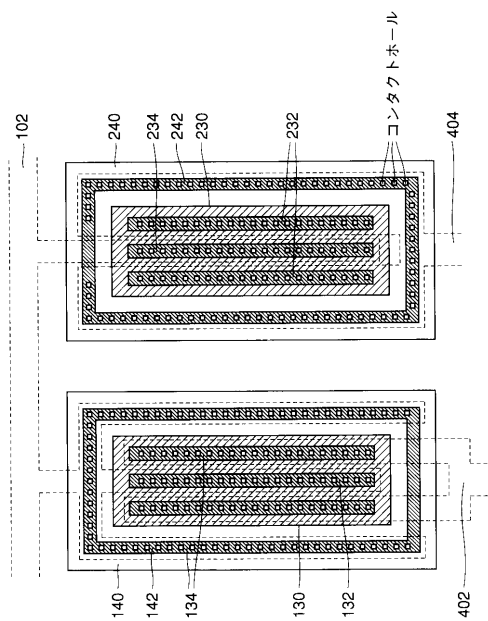
【圖 8】



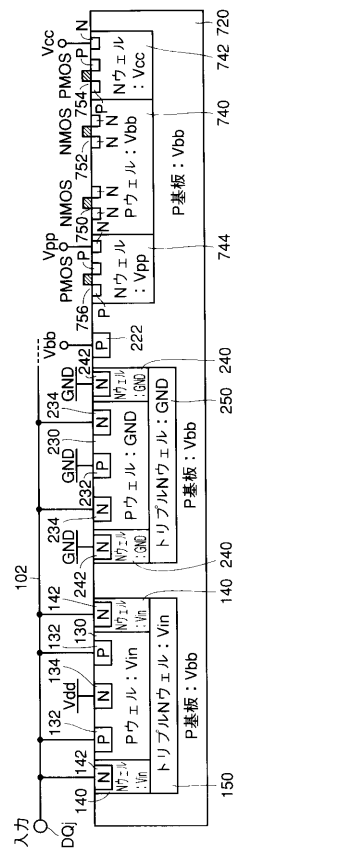
【 図 9 】



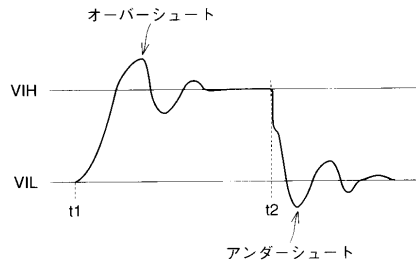
【 ㊦ 1 0 】



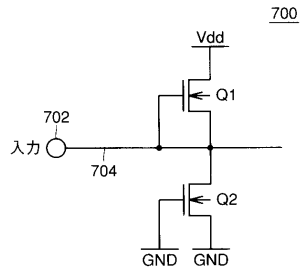
【 図 1 1 】



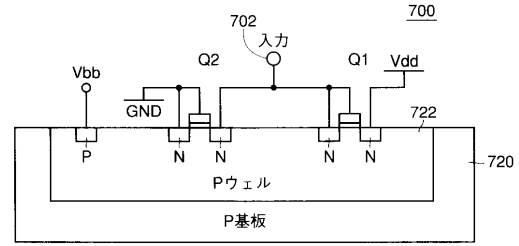
【図 1 2】



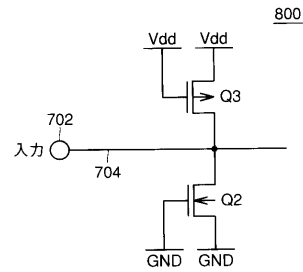
【図 1 3】



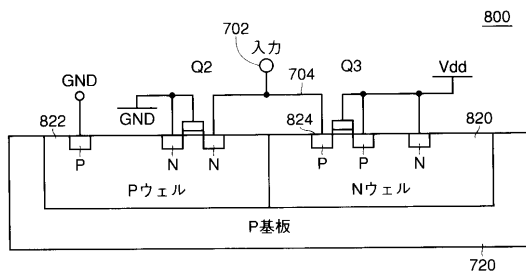
【図 1 4】



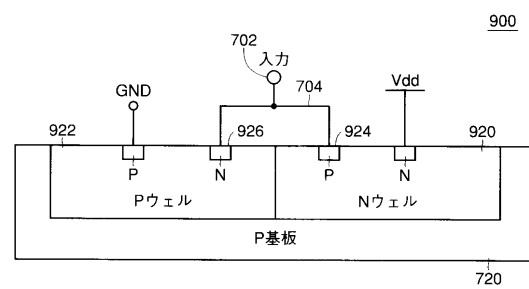
【図 1 5】



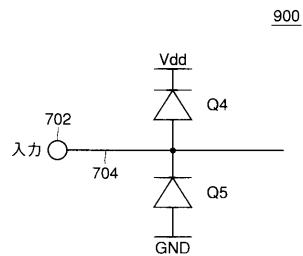
【図 1 6】



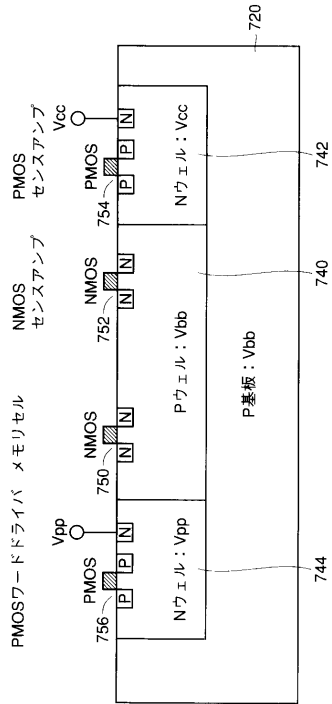
【図 1 8】



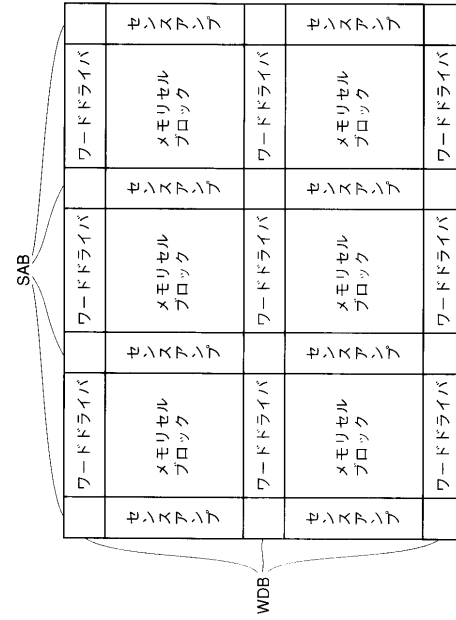
【図 1 7】



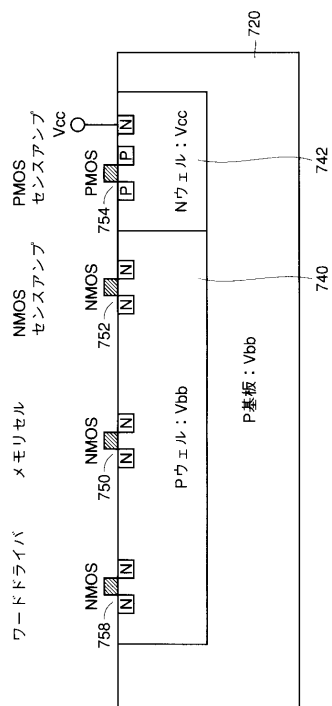
【 図 1 9 】



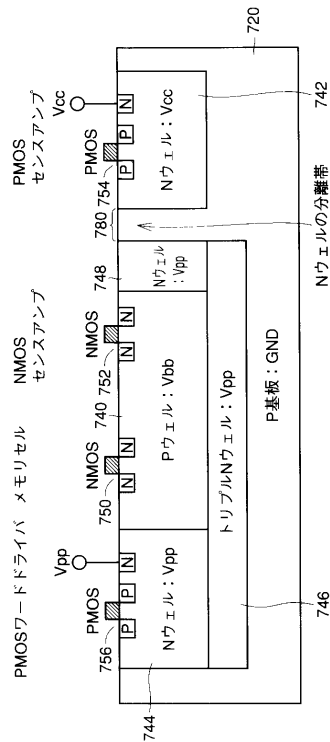
【 図 2 0 】



【 図 2 1 】



【 図 2 2 】



フロントページの続き

(72)発明者 月川 靖彦

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 河口 雅英

(56)参考文献 特開平06-069501(JP,A)

特開平05-063158(JP,A)

特開平06-085200(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/108

H01L 21/8242