

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-55729

(P2010-55729A)

(43) 公開日 平成22年3月11日(2010.3.11)

(51) Int.Cl.

G 1 1 C 11/4091 (2006.01)

F I

G 1 1 C 11/34 3 5 3 A

テーマコード (参考)

5 M 0 2 4

審査請求 未請求 請求項の数 12 O L (全 23 頁)

(21) 出願番号 特願2008-222928 (P2008-222928)
 (22) 出願日 平成20年8月29日 (2008. 8. 29)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100110881
 弁理士 首藤 宏平
 (72) 発明者 梶谷 一彦
 東京都中央区八重洲二丁目2番1号 エル
 ピーダメモリ株式会社内
 Fターム(参考) 5M024 AA37 AA93 BB14 BB35 CC53
 CC72 PP01 PP03 PP07

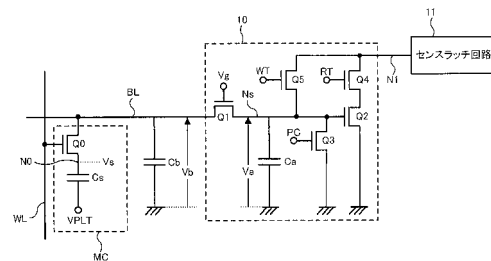
(54) 【発明の名称】 センスアンプ回路及び半導体記憶装置

(57) 【要約】

【課題】低電圧で読み出し動作を行う場合に十分な動作マージンを確保し得るセンスアンプ回路を提供する。

【解決手段】シングルエンド型のセンスアンプ回路は、ゲートに印加される制御電圧 V_g に応じてビット線 BL に電位 V_b を供給するとともにビット線 BL とセンスノード N_s との間の接続を制御するMOSトランジスタ Q_1 と、ゲートがセンスノード N_s に接続されビット線 BL からMOSトランジスタ Q_1 を介して伝送される信号を増幅するMOSトランジスタ Q_2 とを備えて構成される。メモリセル MC の読み出し動作に先立って電位 V_b がビット線 BL に供給されるとともに、この電位 V_b がメモリセル MC の読み出し電圧の範囲内において電荷転送モードと電荷分配モードとが切り換わる変化点の近傍で、メモリセル MC のハイ情報とロー情報をそれぞれ読み出した際にセンスノード N_s における所要の電圧差を確保可能な値に設定される。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

メモリセルから読み出されてビット線を伝送される信号を増幅するシングルエンド型のセンスアンプ回路であって、

ゲートに印加される制御電圧に応じて、前記ビット線に対して所定電位を供給するとともに、前記ビット線とセンスノードとの間の接続を制御する第 1 の MOS トランジスタと

ゲートが前記センスノードに接続され、前記ビット線から前記第 1 の MOS トランジスタを介して伝送される信号を増幅する第 2 の MOS トランジスタと、

を備え、前記メモリセルの読み出し動作に先立って前記所定電位が前記ビット線に供給されるとともに、当該所定電位は、前記メモリセルの読み出し電圧の範囲内において電荷転送モードと電荷分配モードとが切り換わる変化点の近傍で、前記メモリセルのハイ情報とロー情報をそれぞれ読み出した際に前記センスノードにおける所要の電圧差を確保可能な値に設定されることを特徴とするセンスアンプ回路。

10

【請求項 2】

前記第 1 の MOS トランジスタの閾値電圧のばらつき許容範囲と、前記第 2 の MOS トランジスタの閾値電圧のばらつき許容範囲は、前記センスノードにおける前記所要の電圧差の範囲内に設定されることを特徴とする請求項 1 に記載のセンスアンプ回路。

【請求項 3】

前記第 1 の MOS トランジスタ及び前記第 2 の MOS トランジスタを含む第 1 のセンスアンプと、

20

前記第 2 の MOS トランジスタのドレイン電流を供給される入出力ノードに接続され、前記入出力ノードの信号電圧のレベルを判定する信号電圧判定回路を含む第 2 のセンスアンプと、

を備えることを特徴とする請求項 1 に記載のセンスアンプ回路。

【請求項 4】

前記第 1 の MOS トランジスタ及び前記第 2 の MOS トランジスタを含み、前記ビット線としてのローカルビット線を介して伝送される信号を増幅するローカルセンスアンプと

前記ローカルセンスアンプを介して所定数の前記ローカルビット線と選択的に接続されるグローバルビット線に接続され、前記グローバルビット線の信号電圧のレベルを判定する信号電圧判定回路を含むグローバルセンスアンプと、

30

を備えることを特徴とする請求項 1 に記載のセンスアンプ回路。

【請求項 5】

ゲートに印加されるプリチャージ信号に応じて、前記センスノード及び前記ビット線を所定のプリチャージ電位にプリチャージする第 3 の MOS トランジスタをさらに備えることを特徴とする請求項 3 又は 4 に記載のセンスアンプ回路。

【請求項 6】

前記所定のプリチャージ電位は、前記ビット線に供給される前記所定電位よりも低い電位に設定されることを特徴とする請求項 5 に記載のセンスアンプ回路。

40

【請求項 7】

ゲートに印加される第 1 の制御信号に応じて、前記第 2 の MOS トランジスタのドレインと前記入出力ノードとの間の接続を制御する第 4 の MOS トランジスタと、

ゲートに印加される第 2 の制御信号に応じて、前記センスノードと前記入出力ノードとの間の接続を制御する第 5 の MOS トランジスタと、

をさらに備えることを特徴とする請求項 3 に記載のセンスアンプ回路。

【請求項 8】

ゲートに印加される第 1 の制御信号に応じて、前記第 2 の MOS トランジスタのドレインと前記グローバルビット線との間の接続を制御する第 4 の MOS トランジスタと、

ゲートに印加される第 2 の制御信号に応じて、前記センスノードと前記グローバルビッ

50

ト線との間の接続を制御する第 5 の MOS トランジスタと、
をさらに備えることを特徴とする請求項 4 に記載のセンスアンプ回路。

【請求項 9】

前記第 3 の MOS トランジスタを介して前記ビット線に対して前記所定電位を供給することを特徴とする請求項 6 に記載のセンスアンプ回路。

【請求項 10】

前記第 5 の MOS トランジスタを介して前記ビット線に対して前記所定電位を供給することを特徴とする請求項 7 又は 8 に記載のセンスアンプ回路。

【請求項 11】

入力された基準電圧に対し、前記第 1 の MOS トランジスタ又は前記第 2 の MOS トランジスタの閾値電圧の変動が補償された補償電圧を発生し、前記ローカルセンスアンプ又は前記グローバルセンスアンプに供給する補償電圧発生回路をさらに備えることを特徴とする請求項 4 に記載のセンスアンプ回路。

【請求項 12】

請求項 1 から 11 のいずれかに記載のセンスアンプ回路を備えたことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリセルから読み出されてビット線を介して伝送される信号を増幅するシングルエンド型のセンスアンプ回路とそれを備えた半導体記憶装置に関するものである。

【背景技術】

【0002】

近年、DRAM等の半導体記憶装置の微細化に伴い、各々のメモリセルの小型化を図るべく、メモリセルを構成するキャパシタの十分な容量を確保することが困難になっている。従来から、メモリセルから読み出した微小な信号電圧を増幅するために適したセンスアンプ回路として、電荷転送型のセンスアンプ回路が知られている。例えば、以下の特許文献 1～4 においては、多様な電荷転送型センスアンプの構成が開示されている。

【0003】

図 23 は、従来の典型的な電荷転送型のセンスアンプ回路の構成例を示している。図 23 においては、N 型の選択トランジスタ Q_0 及びキャパシタ C_s からなるメモリセル MC と、2 つの N 型の MOS トランジスタ Q_g 、 Q_p と、ラッチ型差動アンプ 100 が示されている。選択トランジスタ Q_0 は、ソースがビット線 BL に接続され、ゲートがワード線 WL に接続される。キャパシタ C_s は、選択トランジスタ Q_0 のドレインとグランド電位の間に接続される。MOS トランジスタ Q_g は、ゲートに印加された制御電圧 V_g に応じて、ビット線 BL とセンスノード N_s との間の接続を制御する。MOS トランジスタ Q_p は、ゲートに印加された制御信号 SET に応じて、電源電圧 VDD とセンスノード N_s との間の接続を制御する。ラッチ型差動アンプ 100 は、センスノード N_s の信号電圧と、参照電位 V_r とをそれぞれ入力し、差動増幅してラッチする。なお、参照電位 V_r は、メモリセル MC からハイ情報とロー情報をそれぞれ読み出したときのセンスノード N_s における各電位の概ね中間電位に設定される。

【0004】

図 23 において、ビット線 BL にはビット線容量 C_b が形成され、センスノード N_s には容量 C_a が形成される。発明者らの検討により、センスアンプ回路において想定される動作モードは、キャパシタの容量 C_s 、ビット線 BL の電位とビット線容量 C_b 、センスノード N_s の電位と容量 C_a (図 1 及びその説明を参照) などのパラメータに依存して定まり、後述の (式 1) ~ (式 3) に従って動作することが見出された。図 23 に示す従来の電荷転送型のセンスアンプ回路については、前述の動作モードのうち、電荷転送モードが支配的になることが確認されている。

10

20

30

40

50

【特許文献1】特開2000-195268号公報

【特許文献2】特開2002-157885号公報

【特許文献3】特開平11-16384号公報

【特許文献4】特開2007-73121号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、図23の電荷転送型のセンスアンプ回路を用いる場合は、比較的回路規模が大きいラッチ型差動アンプ100を採用しているため、センスノードNsの容量Caの増大が避けられない。例えば、1本のビット線BLに512個のメモリセルMCを設ける構成において、ビット線容量Cb = 50 fF程度に対し、センスノードNsの容量Ca = 10 fF程度になることが想定される。そして、かかる条件に基づき発明者らが検討を行った結果、電源電圧VDDが比較的高い場合（例えば、3Vや2V）、センスアンプ回路の増幅動作に支障はないものの、特に電源電圧VDDの低電圧化を図って、例えばVDD = 1Vで動作させる場合、増幅動作に支障を来すことが判明した（図5及び図6とその説明参照）。このような条件下では、メモリセルMCのハイ情報とロー情報をそれぞれ読み出したときにセンスノードNsにおける電圧差が小さくなり、動作マージンが十分確保できなくなる。また、このような傾向は、メモリセルMCを小型化して容量が小さいキャパシタCsを用いる場合には、一層顕著になることがわかった。以上のように、従来の電荷転送型センスアンプ回路は、低容量のメモリセルMCを用いて低電圧動作を図る構成に対して適用することが困難であるという問題がある。

【0006】

そこで、本発明はこれらの問題を解決するためになされたものであり、キャパシタの容量が小さいメモリセルを採用した半導体記憶装置において低電圧動作を図る場合、電荷転送モードと電荷分配モードの増幅動作を適切に制御することにより、読み出し動作時に十分な動作マージンを確保することが可能なセンスアンプ回路を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記課題を解決するために、本発明のセンスアンプ回路は、メモリセルから読み出されてビット線を伝送される信号を増幅するシングルエンド型のセンスアンプ回路であって、ゲートに印加される制御電圧に応じて、前記ビット線に対して所定電位を供給するとともに、前記ビット線とセンスノードとの間の接続を制御する第1のMOSトランジスタと、ゲートが前記センスノードに接続され、前記ビット線から前記第1のMOSトランジスタを介して伝送される信号を増幅する第2のMOSトランジスタとを備えて構成され、前記メモリセルの読み出し動作に先立って前記所定電位が前記ビット線に供給されるとともに、当該所定電位は、前記メモリセルの読み出し電圧の範囲内において電荷転送モードと電荷分配モードとが切り換わる変化点の近傍で、前記メモリセルのハイ情報とロー情報をそれぞれ読み出した際に前記センスノードにおける所要の電圧差を確保可能な値に設定されることを特徴とする。

【0008】

本発明のセンスアンプ回路によれば、メモリセルの読み出し動作に際し、第1のMOSトランジスタが制御電圧に応じた所定電位をビット線に供給した状態で、第1のMOSトランジスタが電荷転送ゲートとして機能し、電荷転送モードあるいは電荷分配モードに基づき、センスノードに接続される第2のMOSトランジスタによって信号電圧が増幅される。このとき、メモリセルのハイ情報とロー情報を読み出す場合、両者の電圧差が十分確保されるように電位関係が設定されるとともに、シングルエンド型を採用したためにセンスノードの容量を小さくできるので、低容量のメモリセルを採用した場合であっても、特に低電圧動作時の動作マージンの向上に有効な構成を実現することができる。

【0009】

本発明のセンスアンプ回路は、特に階層化されたメモリセルアレイに適用する場合に有効である。すなわち、所定数のローカルビット線がローカルセンスアンプを介してグローバルビット線と選択的に接続される構成において、差動構成を採用することなくシングルエンド型のローカルセンスアンプを用いて回路規模の小型化を図りつつ、センスアンプ回路の動作マージンを十分に確保することができる。

【 0 0 1 0 】

また、本発明のセンスアンプ回路は、特に、第 1 の MOS トランジスタ又は第 2 の MOS トランジスタの閾値電圧の変動が補償された補償電圧を発生する補償電圧発生回路と組み合わせる用いることが有効である。このような補償電圧をセンスアンプ回路に供給することにより、上述の動作マージンをより一層向上させることが可能となる。

10

【発明の効果】

【 0 0 1 1 】

以上述べたように本発明によれば、シングルエンド型のセンスアンプを採用し、電荷転送モードと電荷分配モードに基いて増幅動作を制御する場合、センスノードの容量を小さく設定できるので、1 V 程度の低電圧動作における動作マージンを十分に確保することができる。特に、5 f F 以下のように小さい容量のメモリセルを用いる場合に有利な構成を実現できる。

【 0 0 1 2 】

また、ビット線構成とセンスアンプ回路が階層化された半導体記憶装置において、特にローカルビット線の容量を小さく設定できるので、大容量の半導体記憶装置において良好な動作マージンを実現可能となる。

20

【 0 0 1 3 】

さらに、補償電圧発生回路を用いることで、MOS トランジスタの閾値電圧の製造プロセスや温度による変動を適切に補償することができ、センス時の動作マージンを一層向上させ、センスアンプ回路の動作の信頼性を高めることができる。あるいは、チップ内のばらつき許容範囲を拡大することができるので、小さい容量のメモリセルを用いる大容量の DRAM に多数のセンスアンプ回路を組み込む場合、製造歩留まりの向上と製造コストの低減が可能となる。

【発明を実施するための最良の形態】

【 0 0 1 4 】

本発明の実施形態について図面を参照しながら説明する。以下では、センスアンプ回路を備えた半導体記憶装置に対して本発明を適用した 3 つの実施形態について説明する。

30

【 0 0 1 5 】

[基本原理]

まず、本実施形態のセンスアンプ回路に関し、基本的な動作原理について図 1 を参照して説明する。以下では、センスアンプ回路の動作モードとして、主に電荷転送モード（チャージトランスファモード）と電荷分配モード（チャージシェアモード）を想定する。図 1 は、電荷転送モード及び電荷分配モードで動作するセンスアンプ回路の入力側の構成を模式的に示す図である。図 1 においては、N 型の選択トランジスタ Q_0 及びキャパシタ C_s からなるメモリセル MC と、2 つの N 型の MOS トランジスタ Q_g 、 Q_p からなるセン

40

【 0 0 1 6 】

選択トランジスタ Q_0 は、ソースがビット線 BL に接続され、ゲートがワード線 WL に接続される。また、選択トランジスタ Q_0 のドレインとグランド電位の間にキャパシタ C_s が接続される。電荷転送ゲートとして機能する MOS トランジスタ Q_g は、ビット線 BL とセンスノード N_s との間に接続されている。ビット線電位供給用の MOS トランジスタ Q_p は、電源電圧 V_{DD} とセンスノード N_s との間に接続されている。MOS トランジスタ Q_g のゲートには制御電圧 V_g が印加され、MOS トランジスタ Q_p のゲートには制御信号 SET が印加されている。図 1 には、ビット線 BL に形成されるビット線容量 C_b と、センスノード N_s に形成される容量 C_a と、ビット線 BL の電位 V_b と、センスノ

50

ド N s の電位 V_a をそれぞれ示している。このうち、ビット線容量 C_b 及びセンスノード N s の容量 C_a は、配線の寄生容量、トランジスタ等の入力容量、メモリセル M C の接続数などに依存して定まる。

【 0 0 1 7 】

メモリセル M C の読み出し動作に先立って、ビット線電位供給用の M O S トランジスタ Q p の動作により、センスノード N s が電源電圧 V_{DD} に設定される。このとき、ビット線 B L は、M O S トランジスタ Q g を介して、制御電圧 V_g と M O S トランジスタ Q g の閾値電圧 V_{t1} に基づき、 $V_b = V_g - V_{t1}$ となる電位 V_b (本発明の所定電位) が供給される。

【 0 0 1 8 】

その後、M O S トランジスタ Q p がオフし、続いてワード線 W L が駆動されて選択トランジスタ Q 0 がオンする。これにより、センスアンプ回路によるセンス動作が開始される。このときのメモリセル M C の電荷蓄積ノード N 0 の電圧を V_s とすると、 V_s 、 V_b 、 V_{DD} の各値の関係に応じて、次の 3 つの動作に分けることができる。

- (1) M O S トランジスタ Q g がオフを保持
- (2) M O S トランジスタ Q g を通して上述の電荷転送モードで電荷が移動
- (3) M O S トランジスタ Q g を通して上述の電荷分配モードで電荷が移動

【 0 0 1 9 】

ここで、上記の動作 (2) と動作 (3) の境界 (変化点) となる電位 V_b を V_c と定義する。この電圧 V_c を用いると、上記動作を完了した後のセンスノード N s の電位 V_a は、動作 (1)、(2)、(3) に対応して、それぞれ以下の (式 1)、(式 2)、(式 3) のように表現される。

$$(\text{式 1}) \quad V_b = V_s : V_a = V_{DD}$$

$$(\text{式 2}) \quad V_s < V_b = V_c : V_a = V_{DD} + (C_s / C_a) V_s - (C_s / C_a) V_b$$

$$(\text{式 3}) \quad V_c < V_b : V_a = (C_s V_s + C_a V_{DD}) / (C_s + C_b + C_a) + (C_b / (C_s + C_b + C_a)) V_b$$

【 0 0 2 0 】

ただし、電圧 V_c は次式で算出される。

$$V_c = ((C_s + C_b) C_a V_{DD}) + (C_s + C_b) C_s V_s / (C_s (C_s + C_b + C_a) + C_b C_a)$$

【 0 0 2 1 】

例えば、図 2 3 に示す従来のセンスアンプは、主に上記式 (2) の電荷転送モードにより動作させるものであるが (電荷転送型センスアンプ)、本実施形態のセンスアンプ回路は、電荷転送モードと電荷分配モードとを制御しつつ動作させることが特徴である。

【 0 0 2 2 】

[第 1 実施形態]

以下、本発明の第 1 実施形態について説明する。第 1 実施形態では、電荷転送・電荷分配制御型のシングルエンドセンスアンプ回路を採用した点が特徴である。図 2 は、第 1 実施形態の D R A M のうちセンス系の回路構成の一例を示す図であり、メモリセル M C と、上述のセンスアンプ回路の基本動作を担うプリアンプ 1 0 (本発明の第 1 のセンスアンプ) と、プリアンプ 1 0 の後段のセンスラッチ回路 1 1 (本発明の第 2 のセンスアンプ) が示されている。

【 0 0 2 3 】

メモリセル M C は、N M O S 型の選択トランジスタ Q 0 と、情報を電荷として保持するキャパシタ C_s とから構成される 1 T 1 C 型の D R A M メモリセルである。選択トランジスタ Q 0 は、ソースがビット線 B L に接続され、ゲートがワード線 W L に接続されている。キャパシタ C_s は、選択トランジスタ Q 0 のドレインとセルプレート電位 V_{PLT} との間に接続されている。図 2 では、1 つのメモリセル M C を示しているが、実際には複数のワード線 W L と複数のビット線 B L の各交点に配置された多数のメモリセル M C が設けら

10

20

30

40

50

れている。第1実施形態では、例えば、1本のビット線BLに512個のメモリセルMCが接続されることを想定する。この場合、1本のビット線BLに形成されるビット線容量Cbは、全体として例えば50fFとなる。

【0024】

プリアンプ10は、5つのN型のMOSトランジスタQ1、Q2、Q3、Q4、Q5から構成されている。電荷転送ゲートとして機能するMOSトランジスタQ1（本発明の第1のMOSトランジスタ）は、ビット線BLとプリアンプ10側のセンスノードNsの間に接続され、ゲートに制御電圧Vgが印加されている。増幅素子として機能するMOSトランジスタQ2（本発明の第2のMOSトランジスタ）は、ゲートがセンスノードNsに接続され、ビット線BLからMOSトランジスタQ1を介して伝送された信号をセンス・増幅してドレイン電流に変換する。このドレイン電流は、プリアンプ10の側の入出力ノードN1からMOSトランジスタQ4、Q2を通してグランドに流れる。

10

【0025】

ビット線BLのプリチャージ用トランジスタとして機能するMOSトランジスタQ3は、ゲートにプリチャージ信号PCが印加され、プリチャージ信号PCがハイのときにセンスノードNsをグランド電位にプリチャージする。センスノードNsがプリチャージされると、MOSトランジスタQ1を介してビット線BLがグランド電位にプリチャージされる。読み出し制御用のMOSトランジスタQ4は、ゲートに印加される制御信号RTに応じて、入出力ノードN1とMOSトランジスタQ2との間の接続を制御する。書き込み制御用のMOSトランジスタQ5は、ゲートに印加される制御信号WTに応じて、入出力ノードN1とセンスノードNsとの間の接続を制御する。

20

【0026】

図2においては、プリアンプ10がMOSトランジスタ5個からなるシンプルな構成であるため、プリアンプ10内のセンスノードNsに形成される容量Caは、例えば、1~2fF程度の値になり、上述のビット線容量Cbに比べて格段に小さい値になる。

【0027】

図3は、プリアンプ10の後段のセンスラッチ回路11の回路構成の一例を示している。図3に示すように、センスラッチ回路11には、入出力ノードN1、読み出し信号線/RDL、書き込み信号線/WDLが接続され、3個のP型のMOSトランジスタQ10、Q13、Q15と8個のN型のMOSトランジスタQ11、Q12、Q14、Q16~Q20を含んで構成される。電源電圧VDDと入出力ノードN1との間には、プリチャージ用のMOSトランジスタQ10が接続されている。MOSトランジスタQ10は、ゲートに印加される反転プリチャージ信号/PCがローのときに入出力ノードN1を電源電圧VDDにプリチャージする。MOSトランジスタQ11は、ゲートに印加されるラッチ制御信号LTCに応じて、入出力ノードN1とノードN2との間の接続を制御する。また、MOSトランジスタQ12は、ゲートに印加される制御信号RESに応じて、入出力ノードN1とノードN3との間の接続を制御する。

30

【0028】

信号電圧判定ラッチ11aは、MOSトランジスタQ13、Q14、Q15、Q16から構成され、プリアンプ10から入出力ノードN1に伝送された信号電位を2値で判定してラッチする。信号電圧判定ラッチ11aにおいて、それぞれゲートがノードN2に接続される一対のMOSトランジスタQ13、Q14により、比較的駆動力の大きなセンス用インバータが構成される。同様に、それぞれゲートがノードN3に接続される一対のMOSトランジスタQ15、Q16により、比較的駆動力の小さなラッチ用インバータが構成される。

40

【0029】

読み出し信号線/RDLとグランドの間には、読み出し回路としての2つのMOSトランジスタQ17、Q18が直列接続され、信号電圧判定ラッチ11aの出力信号SD（ノードN3）がMOSトランジスタQ17のゲートに入力される。書き込み信号線/WDLとノードN2の間には、書き込み回路としての2つのMOSトランジスタQ19、Q20

50

が直列接続され、M O S トランジスタ Q 1 9 のゲートに書き込みイネーブル信号 W E が入力される。M O S トランジスタ Q 1 8、Q 2 0 の各ゲートには、センスアンプ選択信号 Y S が共通に入力される。

【 0 0 3 0 】

読み出し動作時は、ラッチ制御信号 L T C がハイ、かつセンスアンプ選択信号 Y S がハイになり、センス用インバータの出力信号 S D が読み出し信号線 / R D L に出力される。このとき、ノード N 3 に現れる出力信号 S D は、入出力ノード N 1 の論理値を反転した電圧となっている。また、読み出し動作後のメモリセル M C のデータの破壊を回避するための再書き込み動作時は、ラッチ制御信号 L T C がロー、制御信号 R E S がハイとなり、出力信号 S D は M O S トランジスタ Q 1 2 を介して入出力ノード N 1 に出力される。

10

【 0 0 3 1 】

一方、書き込み動作時は、センスアンプ選択信号 Y S がハイ、書き込みイネーブル信号 W E がハイになり、書き込み信号線 / W D L から書き込みデータが入力される。この書き込みデータは、上述のセンス用インバータにより反転され、M O S トランジスタ Q 1 2 を介して入出力ノード N 1 に出力される。

【 0 0 3 2 】

次に、第 1 実施形態のセンスアンプ回路の増幅動作について、図 4 を用いて説明する。図 4 は、第 1 実施形態のセンスアンプ回路の増幅動作を説明するために、2 通りの容量の条件に対応する 2 つのグラフを示している。各グラフにおいて電源電圧 $V_{DD} = 1 \text{ V}$ を想定し、特性 $W 1 (H)$ はメモリセル M C からハイ情報を読み出すときの特性であり ($V_s = 1 \text{ V}$)、特性 $W 1 (L)$ は、メモリセル M C からロー情報を読み出すときの特性である ($V_s = 0 \text{ V}$)。なお、電圧 V_s は、キャパシタ C_s の電荷蓄積ノード N 0 の電圧である。また、ビット線容量 C_b と、メモリセル M C のキャパシタ C_s の容量 (以下、単に容量 C_s と呼ぶ) と、センスノード N s の容量 C_a に関し、図 4 (a) では、 $C_b = 50 \text{ fF}$ 、 $C_s = 5 \text{ fF}$ 、 $C_a = 2 \text{ fF}$ に設定され、図 4 (b) では、 $C_b = 50 \text{ fF}$ 、 $C_s = 2 \text{ fF}$ 、 $C_a = 1 \text{ fF}$ に設定されとする。

20

【 0 0 3 3 】

図 4 において、ハイ情報の読み出し時の特性 $W 1 (H)$ は、電源電圧 V_{DD} が 1 V であるため、上述の (式 1) に従って、電位 V_b の変化に対して電位 V_a が 1 V に保たれる。一方、ロー情報の読み出し時の特性 $W 1 (L)$ は、変化点 P 1 までの領域 (P 1 の左側) では上述の (式 2) に従って電荷転送モードで動作し、変化点 P 1 を過ぎた領域 (P 1 の右側) では上述の (式 3) に従って電荷分配モードで動作する。各グラフにおいて、特性 $W 1 (H)$ と特性 $W 1 (L)$ との電圧差により信号電圧の読み出し可能な範囲が定まる。

30

【 0 0 3 4 】

図 4 には、プリアンプ 1 0 における閾値電圧のばらつき許容範囲 R_{vt1} の設定例を重ねて示している。ばらつき許容範囲 R_{vt1} の縦軸方向の幅は、M O S トランジスタ Q 2 の閾値電圧 V_{t2} のばらつき許容範囲を表し、ばらつき許容範囲 R_{vt1} の横軸方向の幅は、M O S トランジスタ Q 1 の閾値電圧 V_{t1} のばらつき許容範囲を表している。なお、電位 V_b は、M O S トランジスタ Q 1 の一定の制御電圧 V_g から、M O S トランジスタ Q 1 の閾値電圧 V_{t1} だけ低い電圧に設定される。図 4 の例では、M O S トランジスタ Q 2 の閾値電圧 V_{t2} のばらつき許容範囲が $0.5 \sim 0.8 \text{ V}$ 、M O S トランジスタ Q 1 の閾値電圧 V_{t1} のばらつき許容範囲が $0.2 \sim 0.5 \text{ V}$ にある。このように、ばらつき許容範囲 R_{vt1} が全体的に特性 $W 1 (H)$ 、 $W 1 (L)$ に囲まれた範囲内に存在することが、プリアンプ 1 0 による安定な増幅動作の条件となる。この場合、特性 $W 1 (H)$ 、 $W 1 (L)$ に囲まれた範囲内でばらつき許容範囲 R_{vt1} が大きいほど、動作マージンが大きくなり増幅動作の信頼性が向上する。

40

【 0 0 3 5 】

ここで、図 4 に対する比較例として、従来のセンスアンプ回路 (図 2 3) の増幅動作に対応する 2 通りのグラフを図 5 及び図 6 に示す。図 5 及び図 6 の各々においては、電源電圧 V_{DD} の 3 V までの動作を想定し、 $V_{DD} = 3 \text{ V}$ 、 2 V 、 1 V の場合の 3 通りについて

50

、それぞれハイ情報とロー情報を読み出す場合の特性を示している。また、図 5 では、図 4 (a) に対応して $C_s = 5 f F$ に設定され、図 6 では、図 4 (b) に対応して $C_s = 2 f F$ に設定されとする。図 5 及び図 6 においては、ともに $C_b = 50 f F$ 、 $C_a = 10 f F$ に設定されとする。図 5 においては、特性 W 、変化点 P 、横軸方向及び縦軸方向の各許容範囲 X 、 Y のそれぞれに対し、カッコ書きにて V_{DD} の値 (3、2、1) とハイ情報 (H) / ロー情報 (L) を付加して表している。図 6 においても、特性 W' 、変化点 P' 、横軸方向及び縦軸方向の各許容範囲 X' 、 Y' のそれぞれに対し、同様に表している。ここで X 及び X' は電位 V_b の設定値の許容範囲を、 Y 及び Y' は許容範囲 X 及び X' におけるハイ情報とロー情報の読み出し信号電圧の差を示している。

【 0 0 3 6 】

従来のセンスアンプ回路では、電源電圧 $V_{DD} = 3 V$ 、 $2 V$ の場合、変化点 P 、 P' の位置が右側にシフトしており、電荷転送モードが支配的であることがわかる。この場合、 $C_s = 5 f F$ の図 5 に比べ、メモリセル MC を低容量化した $C_s = 2 f F$ の図 6 は、読み出し電圧の信号差が小さくなっている。また、図 5 及び図 6 から明らかなように、 $V_{DD} = 1 V$ の条件では、上述の許容範囲 X 、 Y を確保することが困難であり、かかる低電圧動作で従来のセンスアンプ回路を用いることは困難である。このように、特に $V_{DD} = 1 V$ の低電圧動作の条件下で、上述の図 4 の場合において、図 5 及び図 6 の動作と比べたときに動作マージンが大幅に向上する点で顕著な相違がある。これは、主にシングルエンド型のプリアンプ 10 を採用したことにより、センスノード N_s の容量 C_a を減少することによる効果である。なお、図 4 (a) においては、図 5 における $V_{DD} = 1 V$ のときの特性 $W(1L)$ を破線で示すとともに、図 4 (b) においては、図 6 における $V_{DD} = 1 V$ のときの特性 $W'(1L)$ を破線で示し、それぞれを比較している。

【 0 0 3 7 】

[第 2 実施形態]

次に、本発明の第 2 実施形態について説明する。第 2 実施形態は、階層化されたメモリセルアレイが構成され、ビット線とセンスアンプ回路がともに階層化された $DRAM$ に対し、電荷転送・電荷分配制御型のシングルエンドセンスアンプを適用したものである。図 7 は、第 2 実施形態の $DRAM$ のうちセンス系の回路構成の一例を示す図であり、メモリセル MC と、階層化されたビット線としてのローカルビット線 LBL 及びグローバルビット線 GBL と、階層化されたセンスアンプ回路としてのローカルセンスアンプ 20 及びグローバルセンスアンプ 21 とが示されている。メモリセル MC が接続されたローカルビット線 LBL は、ローカルセンスアンプ 20 を介して選択的にグローバルビット線 GBL に接続され、さらに対応するグローバルセンスアンプ 21 に伝送される。また、図 7 では一部のみが図示されるが、第 2 実施形態においては、各々のローカルセンスアンプ 20 を両側のローカルビット線 LBL が共有するとともに、各々のグローバルセンスアンプ 21 を両側のグローバルビット線 GBL が共有する構成が採用される。これにより、ローカルセンスアンプ 20 とグローバルセンスアンプ 21 の個数を減らしてチップ面積の削減が可能となる。

【 0 0 3 8 】

メモリセル MC の構造は、第 1 実施形態の図 2 と同様である。第 2 実施形態においては、1 本のローカルビット線 LBL に、例えば、32 個のメモリセル MC が接続されるものとする。この場合、ローカルビット線 LBL に形成されるビット線容量 C_b は、例えば、 $C_b = 3 f F$ となる。また、1 つのローカルセンスアンプ 20 は 2 本のローカルビット線 LBL に共有されるので、64 個のメモリセル MC が接続されることになる。ローカルセンスアンプ 20 の回路構成のうち、 MOS トランジスタ $Q_1 \sim Q_5$ を含む部分は第 1 実施形態のプリアンプ 10 と共通する。一方、ローカルセンスアンプ 20 においては、一方のローカルビット線 LBL の電荷転送ゲートとして機能する MOS トランジスタ Q_1 に加えて、他方のローカルビット線 LBL (ノード N_{10}) の電荷転送ゲートとして機能する MOS トランジスタ Q_6 が付加されている。図 7 の左側の MOS トランジスタ Q_1 のゲートには制御信号 CTL が印加され、図 7 の右側の MOS トランジスタ Q_6 のゲートには制御

10

20

30

40

50

信号 C T R が印加されている。

【 0 0 3 9 】

また、1本のグローバルビット線 G B L には、例えば、8個のローカルセンスアンプ 20 が接続されものとする。この場合、1本のグローバルビット線 G B L には、合計で 512 個のメモリセル M C を選択的に接続可能となる。各々のグローバルビット線 G B L には、寄生容量 C g b が形成されている。グローバルセンスアンプ 21 の両側には、一方のグローバルビット線 G B L との間の接続を制御する M O S トランジスタ Q 7 と、他方のグローバルビット線 G B L との間の接続を制御する M O S トランジスタ Q 8 が設けられている。そして、M O S トランジスタ Q 7 のゲートに印加される制御信号 S H L と、M O S トランジスタ Q 8 のゲートに印加される制御信号 S H R により、両側のグローバルビット線 G B L とグローバルセンスアンプ 21 を選択的に接続することができる。

10

【 0 0 4 0 】

図 8 は、グローバルセンスアンプ 21 の回路構成の一例を示している。図 8 に示すように、グローバルセンスアンプ 21 は第 1 実施形態のセンスラッチ回路 11 (図 3) と概ね同様の回路構成を有するので、説明を省略する。ただし、図 3 の入出力ノード N 1 に対応する図 8 のノード N 12 は、グローバルセンスアンプ 21 を挟んだ両側の上記 2 つの M O S トランジスタ Q 7、Q 8 に接続されている点で相違がある。

【 0 0 4 1 】

図 9 は、第 2 実施形態のセンスアンプ回路の増幅動作を説明するための 2 つのグラフを示している。図 9 に示す 2 つのグラフは、第 1 実施形態の図 4 と同様に電位 V a、V b の関係について 2 通りの容量の条件に対応する。特性 W 2 (H) はメモリセル M C からハイ情報を読み出すときの特性であり ($V_s = 1V$)、特性 W 2 (L) は、メモリセル M C からロー情報を読み出すときの特性である ($V_s = 0V$)。また、ビット線容量 C b と、メモリセル M C の容量 C s と、センスノード N s の容量 C a に関し、図 9 (a) では、 $C_b = 3fF$ 、 $C_s = 5fF$ 、 $C_a = 2fF$ に設定され、図 9 (b) は、 $C_b = 3fF$ 、 $C_s = 2fF$ 、 $C_a = 1fF$ に設定されとする。その他の条件については、図 4 の場合と同様である。

20

【 0 0 4 2 】

図 9 には、図 4 と同様、閾値電圧のばらつき許容範囲 R v t 2 の設定例を重ねて示している。図 9 のグラフを、図 4 のグラフと比較すると、特性 W 2 (H)、W 2 (L) で囲まれた範囲内で、ばらつき許容範囲 R v t 2 を大きく設定できることがわかる。すなわち、ローカルセンスアンプ 20 の動作マージンが増加することを意味する。これはビット線構成が階層化された結果、ローカルビット線 L B L のビット線容量 C b が減少したことの効果である。また、上述したように、しきい値電圧 V t 1 を有する M O S トランジスタ Q 1 を介して、ローカルビット線 L B L が電位 $V_b = V_g - V_{t1}$ に駆動されるが、その動作に要する時間がビット線容量 C b の減少に伴って短縮されるため、高速な読み出し動作が可能となる効果もある。

30

【 0 0 4 3 】

次に、第 2 実施形態の D R A M における読み出し動作について図 10 及び図 11 を参照して説明する。図 10 は、メモリセル M C からハイ情報を読み出す場合の動作波形を示す図であり、図 11 は、メモリセル M C からロー情報を読み出す場合の動作波形を示す図である。図 10 及び図 11 の上部に示すように、全体動作を 6 つの期間 (T 1 ~ T 6) に細分化して示している。

40

【 0 0 4 4 】

図 10 に示すように、ハイ情報の読み出し動作では、プリチャージ解除期間 T 1 の前の時点でローカルビット線 L B L 及びセンスノード N s はグラウンド電位 V S S (0V) にプリチャージされており、グローバルビット線 G B L は電源電圧 V D D にプリチャージされている。このとき、プリチャージ信号 P C、制御信号 S H R、C T L、C T R、ラッチ制御信号 L T C はそれぞれハイ、反転プリチャージ信号 / P C、制御信号 W T、R T、R E S はそれぞれローになっている。

50

【 0 0 4 5 】

プリチャージ解除期間 T_1 において、プリチャージ信号 PC がローに制御されて MOS トランジスタ Q_3 がオフし、ローカルビット線 LBL 及びセンスノード N_s はグラウンド電位 V_{SS} にプリチャージされた状態でフローティングとなる。また制御信号 SHR 、 CTR がともにローに制御され、非選択側のグローバルビット線 GBL がグローバルセンスアンプ 2_1 から切り離されるとともに、非選択側のローカルビット線 LBL がローカルセンスアンプ 2_0 から切り離される。ここで、制御信号 CTL の電圧値は、上記の制御電圧 V_g に設定される。なお、非選択側のローカルセンスアンプ 2_0 については、プリチャージ信号 PC 、制御信号 CTL 、 CTR がハイ、制御信号 RT 、 WT がローに制御された状態に保たれる。

10

【 0 0 4 6 】

ローカルビット線電位設定期間 T_2 において、制御信号 WT が正電圧 V_{PP} に制御され、その状態を一定期間保持する。正電圧 V_{PP} となった制御信号 WT によって MOS トランジスタ Q_5 がオンし、ローカルセンスアンプ 2_0 内のセンスノード N_s がグローバルビット線 GBL を通して電源電圧 V_{DD} に駆動される。その結果、ローカルビット線 LBL は、 MOS トランジスタ Q_1 を通して電圧 $V_g - V_{t1}$ に駆動される。その後、反転プリチャージ信号 PC がハイに制御され、グローバルビット線 GBL が電源電圧 V_{DD} にプリチャージされた状態で保持される。

【 0 0 4 7 】

セル選択期間 T_3 において、ワード線 WL が負電圧 V_{KK} から正電圧 V_{PP} に駆動され、これによりハイ情報を保持するメモリセル MC の信号電圧がローカルビット線 LBL に読み出される。このとき、ローカルビット線 LBL の電位 V_b は、電圧 $V_g - V_{t1}$ より高くなるので、 MOS トランジスタ Q_1 がオフの状態を保つ。よって、センスノード N_s は電源電圧 V_{DD} の状態を保ち続ける。

20

【 0 0 4 8 】

センス期間 T_4 において、制御信号 RT がハイに制御され、その状態を一定期間保持する。このとき、センスノード N_s が MOS トランジスタ Q_2 の閾値電圧 V_{t2} のばらつき許容範囲 R_{vt} の上限より高い電位にあるため、 MOS トランジスタ Q_2 には大きなドレイン電流が流れる。従って、グローバルビット線 GBL の寄生容量 C_{gb} に充電された電荷が MOS トランジスタ Q_2 により短時間で引き抜かれることになり、グローバルビット線 GBL が急速に放電されて、その電位が電源電圧 V_{DD} からグラウンド電位 V_{SS} に変化する。センス期間 T_4 の終了時点で、グローバルビット線 GBL の電位がグラウンド電位 V_{SS} となり、その電位がグローバルセンスアンプ 2_1 の信号電圧判定ラッチ 2_1a で反転され、出力信号 SD が電源電圧 V_{DD} に変化する。その後、ラッチ制御信号 LTC がローに制御され、センス期間 T_4 が終了する。

30

【 0 0 4 9 】

なお、 MOS トランジスタ Q_2 の閾値電圧 V_{t2} のばらつき許容範囲は、トランジスタ形成時の寸法の微細なばらつきやゲート絶縁膜厚のばらつき、あるいはチャネル不純物分布のランダムなゆらぎや温度などに依存して、全体的なばらつきが分布する範囲に依存して定まる。

40

【 0 0 5 0 】

続いてリストア期間 T_5 において、制御信号 RES が正電圧 V_{PP} に制御され、グローバルセンスアンプ 2_1 の出力信号 SD が MOS トランジスタ Q_{12} を介してグローバルビット線 GBL に出 force され、グローバルビット線 GBL の電位が電源電圧 V_{DD} に変化する。次いで制御信号 WT が再び正電圧 V_{PP} に制御され、グローバルビット線 GBL が MOS トランジスタ Q_5 を介してセンスノード N_s に接続される。そして、ほぼ同じタイミングで、制御電圧 V_g を保持する制御信号 CTL が正電圧 V_{PP} に制御され、ローカルビット線 LBL が MOS トランジスタ Q_1 を介してセンスノード N_s に接続される。これにより、メモリセル MC にハイ情報が再書き込みされる。

【 0 0 5 1 】

50

プリチャージ期間 T 6 において、ワード線 W L が負電圧 V K K に戻される。続いて、制御信号 W T、R E S がローに制御され、ラッチ制御信号 L T C がハイに制御される。続いて、プリチャージ信号 P C がハイ、かつ反転プリチャージ信号 / P C がローにそれぞれ制御され、ローカルビット線 L B L とセンスノード N s がともにグランド電位 V S S にプリチャージされるとともに、グローバルビット線 G B L が電源電圧 V D D にプリチャージされる。これにより、信号電圧判定ラッチ 2 1 a の出力信号 S D がローに変化する。最後に、制御信号 S H R、C T R がそれぞれ正電圧 V P P に制御され、読み出し動作が完了する。

【 0 0 5 2 】

次に図 1 1 に示すように、ロー情報の読み出し動作において、ローカルビット線電位設定間 T 2 までの動作は図 1 0 と同様となるので、説明を省略する。続くセル選択期間 T 3 において、ワード線 W L が負電圧 V K K から正電圧 V P P に駆動され、ロー情報を保持するメモリセル M C から信号電圧がローカルビット線 L B L に読み出さる。このとき、ローカルビット線 L B L の電位 V b は、電圧 V g - V t 1 より低くなるので、M O S トランジスタ Q 1 がオンする。その結果、電荷転送モード又は電荷分配モードにより、センスノード N s の容量 C a の電荷が M O S トランジスタ Q 1 を介してローカルビット線 L B L の側に移動するので、これによりセンスノード N s の電位 V a が低下する。

【 0 0 5 3 】

センス期間 T 4 において、制御信号 R T がハイに制御され、その状態を一定期間保持する。このとき、センスノード N s が M O S トランジスタ Q 2 の閾値電圧 V t 2 のばらつき許容範囲 R v t の下限より低い電位にあるため、M O S トランジスタ Q 2 にはドレイン電流が流れない。よって、グローバルビット線 G B L の電位は電源電圧 V D D を保持する。センス期間 T 4 の終了時点でグローバルビット線 G B L の電位が電源電圧 V D D となり、その電位がグローバルセンスアンプ 2 1 の信号電圧判定ラッチ 2 1 a で反転され、出力信号 S D がグランド電位 V S S を保つ。その後、ラッチ制御信号 L T C がローに制御され、センス期間 T 4 が終了する。

【 0 0 5 4 】

リストア期間 T 5 において、制御信号 R E S が正電圧 V P P に制御され、グローバルセンスアンプ 2 1 の出力信号 S D が M O S トランジスタ Q 1 2 を介してグローバルビット線 G B L に出力され、グローバルビット線 G B L の電位がグランド電位 V S S に変化する。次いで制御信号 W T が再び正電圧 V P P に制御され、グローバルビット線 G B L が M O S トランジスタ Q 5 を介してセンスノード N s に接続される。そして、ほぼ同じタイミングで、制御電圧 V g を保持する制御信号 C T L が正電圧 V P P に制御され、ローカルビット線 L B L が M O S トランジスタ Q 1 を介してセンスノード N s に接続される。これにより、メモリセル M C にロー情報が再書き込みされる。

【 0 0 5 5 】

プリチャージ期間 T 6 において、ワード線 W L、制御信号 W T、R E S、ラッチ制御信号 L T C、プリチャージ信号 P C、反転プリチャージ信号 / P C については、図 1 0 と同様に制御される。このとき、ローカルビット線 L B L 及びセンスノード N s とグローバルビット線 G B L がそれぞれプリチャージされて初期の状態に戻る。最後に、制御信号 S H R、C T R がそれぞれ正電圧 V P P に制御され、読み出し動作が完了する。

【 0 0 5 6 】

なお、図 1 0 及び図 1 1 に示す動作波形は、第 2 実施形態の読み出し動作に対して適用されるが、第 1 実施形態に対しても、概ね同様の動作波形を適用することができる。この場合、ローカルビット線 L B L をビット線 B L に置き換え、グローバルビット線 G B L を入出力ノード N 1 に置き換え、制御信号 C T L を制御電圧 V g に置き換えるとともに、制御信号 C T R、S H R を無視すればよい。

【 0 0 5 7 】

次に、第 2 実施形態の変形例について説明する。図 1 2 は、第 2 実施形態の変形例として、ローカルセンスアンプ 2 0 の一部を変更した場合の構成である。すなわち、図 1 2 に

10

20

30

40

50

おいては、図 7 と同様の回路構成において、ローカルセンスアンプ 20 の MOS トランジスタ Q3 のソースが、グランド電位と所定の電位とに駆動される電源 VPC に接続されている。この所定の電位は、例えば 1.5 V に設定される。なお、図 12 の他の回路部分は図 7 と共通であるため、説明を省略する。

【0058】

図 13 及び図 14 は、本変形例の DRAM における読み出し動作を説明する図であり、図 10 及び図 11 に対応する動作波形を示している。図 13 及び図 14 の動作波形の多くは図 10 及び図 11 と共通するので、以下では相違点のみを説明する。本変形例では、センスノード Ns が 1.5 V と高い値になるので、ローカルビット線電位設定期間 T2 において、プリチャージ信号 PC を正電圧 VPP に制御しつつ、電源 VPC をグランド電位 VSS から 1.5 V まで上昇させる。これにより、センスノード Ns が電源 VPC で駆動される。図 13 及び図 14 に示すように、センスノード Ns の電位 Va が上昇する結果、閾値電圧 Vt2 のばらつき許容範囲 Rvt が拡大するという効果がある。なお、センスノード Ns の電位駆動方法の変更により、反転プリチャージ信号 / PC の制御についても、図 10 及び図 11 とは異なっている。

【0059】

[第 3 実施形態]

次に、本発明の第 3 実施形態について説明する。第 3 実施形態の DRAM は、第 2 実施形態と同様、ビット線とセンスアンプ回路が階層化されているが、一部の構成が第 2 実施形態とは異なっている。第 2 実施形態の図 7 の回路構成は、第 3 実施形態でも概ね共通するが、一部の電源系の構成が変更されている。すなわち、MOS トランジスタ Q1 の閾値電圧 Vt1 の変動を補償した補償電圧発生回路と、MOS トランジスタ Q2 の閾値電圧 Vt2 の変動を補償した補償電圧発生回路を採用している。これらの具体的な構成については後述する。

【0060】

図 15 は、第 3 実施形態のグローバルセンスアンプ 21 の回路構成の一例を示している。図 15 の基本的な回路構成は、第 2 実施形態の図 8 と概ね共通であるが、上述したように電源系の構成が異なっている。すなわち、MOS トランジスタ Q10 及び信号電圧判定ラッチ 21a に供給される電源電圧 VDD が電圧 VSNH に置き換えられ、MOS トランジスタ Q17 及び信号判定ラッチ 21a に供給されるグランド電位が電圧 VSNL に置き換えられている。これらの各電圧 VSNH、VSNL を発生するために上述の補償電圧発生回路が採用されるが、具体的な構成については後述する。

【0061】

図 16 は、第 3 実施形態の上記補償電圧発生回路として機能する制御電圧発生回路の回路構成例を示す図である。この制御電圧発生回路は、MOS トランジスタ Q1 の閾値電圧 Vt1 の変動が補償された制御電圧 Vg を発生するフィードバック型電圧発生回路であり、例えば、MOS トランジスタ Q1 のゲートに制御信号 CTL のハイ電圧を印加するために用いられる。図 16 に示すように制御電圧発生回路は、レプリカ MOS トランジスタ Q1r と、定電流源 40 と、2 つのオペアンプ 41、42 とを含んで構成されている。また、一対の定電圧電源として正電圧 VDL と負電圧 VEL が用いられ、正電圧 VDL がレプリカ MOS トランジスタ Q1r とオペアンプ 41、42 に供給され、負電圧 VEL が定電流源 40 の一端とオペアンプ 41、42 に供給される。

【0062】

図 16 において、レプリカ MOS トランジスタ Q1r は、ローカルセンスアンプ 20 (図 7) の MOS トランジスタ Q1 のレプリカトランジスタとして機能し、MOS トランジスタ Q1 とほぼ同形状かつ同サイズとなるように形成される。レプリカ MOS トランジスタ Q1r には、ソースに接続された定電流源 40 を流れる一定の電流 Ib1 と等しいドレイン電流が流れる。オペアンプ 41 には、マイナス側入力端子にレプリカ MOS トランジスタ Q1r のソース電圧が抵抗を介して入力され、プラス側入力端子に電位 Vb が入力される。オペアンプ 41 の出力電圧は抵抗を介して、レプリカ MOS トランジスタ Q1r の

10

20

30

40

50

ゲートに入力される。この場合、オペアンプ 4 1 の出力電圧は、レプリカ MOS トランジスタ Q 1 r の閾値電圧 V_{t1} に電位 V_b を加えた値に一致するようにフィードバック制御される。一方、オペアンプ 4 1 の出力電圧が入力される後段のオペアンプ 4 2 は、電流駆動能力を強化するためのボルテージフォロアを構成し、 $V_b + V_{t1}$ に一致する制御電圧 V_g を出力する。

【0063】

図 1 6 の制御電圧発生回路から出力される制御電圧 V_g は、センス動作時に MOS トランジスタ Q 1 のゲートに印加される。図 7 の構成において、MOS トランジスタ Q 1 の閾値電圧 V_{t1} の変動に伴い、 $V_b = V_g - V_{t1}$ で与えられるローカルビット線 LBL の電位 V_b が変動する。一方、第 3 実施形態では、図 1 6 の制御電圧発生回路により、閾値電圧 V_{t1} の変動が補償された制御電圧 V_g を生成するので、製造プロセスや温度により MOS トランジスタの閾値電圧 V_t が変動しても、電位 V_b の値が常に一定になる。従って、図 4 や図 9 における閾値電圧のばらつき許容範囲 R_{vt} に対し、実際のばらつきを小さくできるので、センスアンプ回路の動作マージンを一層向上させることができる。図 1 6 の制御電圧発生回路を採用することで、実際に残存するばらつき要因は、MOS トランジスタ Q 1 とレプリカ MOS トランジスタ Q 1 r との特性の差に基づく限定的なものとなるため、製造プロセスや温度による変動要因を確実に補償することが可能となる。

【0064】

図 1 7 は、上記制御電圧発生回路により出力される制御電圧 V_g のプロセス / 温度依存性の一例を示すグラフである。図 1 7 では、製造プロセスのばらつきに対応して、標準的な動作特性 $S_a(typ)$ と、高速な動作特性 $S_a(fast)$ と、低速な動作特性 $S_a(slow)$ の 3 通りを比較し、それぞれについて温度と制御電圧 V_g の変動量の関係をグラフにして示している。なお、縦軸の制御電圧 V_g の変動量は、製造プロセスが “typ” で温度が 50 の場合を基準として求めた値である。ここで、図 1 6 の定電流源 4 0 の電流 I_{b1} は、例えば、1 nA 程度の小さい値に設定することが望ましい。これは、ローカルビット線 LBL を電位 V_b に駆動するとき MOS トランジスタ Q 1 を流れる電流は最終的に極めて小さい値となり、この値に電流 I_{b1} を合わせる必要があるからである。

【0065】

次に図 1 8 は、第 3 実施形態の補償電圧発生回路の他の例の構成を示すブロック図であり、例えば、図 1 5 の電圧 V_{SNH} 、 V_{SNL} 、図 1 2 のセルプレート電位 V_{PLT} 、電位 V_b を発生するために用いられる。図 1 8 に示すように、補償電圧発生回路は、ローカルセンスアンプ 2 0 の MOS トランジスタ Q 2 の閾値電圧 V_{t2} をモニタしてモニタ信号 S_m を生成する閾値電圧モニタ部 3 0 と、閾値電圧モニタ部 3 0 から出力されるモニタ信号 S_m を製造プロセスに応じた補正量だけシフトして補正信号 δV_t を生成するレベル補正部 3 1 と、参照電圧とレベル補正部 3 1 の補正信号 δV_t とを加算して補償電圧を生成する補償電圧加算部 3 2 とにより構成される。

【0066】

図 1 9 は、図 1 8 の閾値電圧モニタ部 3 0 の回路構成例を示す図である。図 1 9 に示すように閾値電圧モニタ部 3 0 は、レプリカ MOS トランジスタ Q 2 r と、定電流源 4 3 と、オペアンプ 4 4 とを含んで構成されている。レプリカ MOS トランジスタ Q 2 r は、モニタ対象である MOS トランジスタ Q 2 のレプリカトランジスタとして機能し、MOS トランジスタ Q 2 とほぼ同形状かつ同サイズとなるように形成される。一定の電流 I_{b2} が流れる定電流源 4 3 は、図 1 6 の定電流源 4 0 と同様の接続関係となっている。オペアンプ 4 4 には、マイナス側入力端子にレプリカ MOS トランジスタ Q 2 のソース電圧が抵抗を介して入力され、プラス側入力端子にグランド電位に接続される。オペアンプ 4 4 の出力電圧は抵抗を介して、レプリカ MOS トランジスタ Q 2 r のゲートに入力される。この場合、オペアンプ 4 4 の出力信号 S_m は、レプリカ MOS トランジスタ Q 2 r のソース電圧がグランド電位に一致するようにフィードバック制御される。従って、出力信号 S_m に基づき、グランド電位を基準とした MOS トランジスタ Q 2 の閾値電圧 V_{t2} をモニタす

ることができる。

【0067】

図20は、図18のレベル補正部31の回路構成例を示す図である。図20に示すように、レベル補正部31は、セクタ45と、タップ選択回路46と、ローパスフィルタ47と、3つのオペアンプ48、49、50とを含んで構成されている。セクタ45は、補正量設定回路として機能し、タップ選択回路46から送られる補正量情報に基づき、正の電源電圧 V_{DL} と負の電源電圧 V_{EL} の間の多数の中間電位の中から抵抗分割により所望の電位を選択的に設定し、補正量 V_m を出力する。タップ選択回路46には、セクタ45における中間電位の選択がプログラムされている。例えば、製造プロセスが“typ”で温度が50のときに後述の補正信号 δV_t が0Vになるように補正量 V_m が設定される。このように補正量 V_m を設定すると、温度50における製造プロセス変動によるMOSトランジスタQ2の閾値電圧 V_{t2} の変動が補償された補正信号 δV_t を得ることができる。補正量 V_m のプログラム手段としては、例えば、レーザヒューズ、電気ヒューズ、不揮発性メモリ素子、ワンタイムプログラマブル素子等を利用することができる。

10

【0068】

初段のオペアンプ48は、閾値電圧モニタ部30のモニタ信号 S_m を反転増幅し、反転モニタ信号 $-S_m$ を出力する。2段目のオペアンプ49には、反転モニタ信号 $-S_m$ がマイナス側入力端子に入力され、抵抗とキャパシタからなるローパスフィルタ47を通して平滑化された上述の補正量 V_m がプラス側入力端子のシフト電圧として入力される。図20に示すように各抵抗 R_1 、 R_2 を配置した場合、オペアンプ49から、信号 S_m に2V m が加算された信号 $S_m + 2V_m$ が出力される。3段目のオペアンプ50はボルテージフォロアを構成し、 $S_m + 2V_m$ に一致する補正信号 δV_t を出力する。

20

【0069】

図21は、上記レベル補正部31から出力される補正信号 δV_t のプロセス/温度依存性の一例を示すグラフである。図21では、図17と同様の3通りの動作特性 S_b をそれぞれグラフにして示している。ここで、図19の定電流源43の電流 I_{b2} は、例えば、1 μA 程度の比較的大きい値に設定することが望ましい。これは、グローバルビット線GBLをグランド電位 V_{SS} に駆動するときにMOSトランジスタQ2を流れる電流はある程度大きな値になるため、この値に電流 I_{b2} を合わせる必要があるからである。

【0070】

30

図22は、図18の補償電圧加算部32の回路構成例を示す図である。図22に示すように、補償電圧加算部32は、3つのオペアンプ51、52、53を含んで構成されている。初段のオペアンプ51は、基準電圧 V_{ref} と、レベル補正部31の補正信号 δV_t とを加算して反転増幅する。2段目のオペアンプ52は、オペアンプ51の出力をさらに反転増幅して電圧 $V_{ref} + \delta V_t$ を生成する。3段目のオペアンプ53はボルテージフォロアを構成し、電圧 $V_{ref} + \delta V_t$ を出力する。図22における基準電圧 V_{ref} としては、上述したように、電圧 V_{SNH} 、 V_{SNL} 、セルプレート電位 V_{PLT} 、電位 V_b に対応する所定の電圧をそれぞれ用いることができる。基準電圧 V_{ref} の値は、例えば、電圧 V_{SNH} に対して1.0V、電圧 V_{SNL} に対して0V、セルプレート電位に対して0.5Vに設定される。この場合、補正信号 δV_t の値を 0 ± 0.1 Vと仮定すると、それぞれの基準電圧 V_{ref} に対して変動成分 ± 0.1 を加えた電圧を生成し、目的の回路に供給することができる。

40

【0071】

以上説明したように、MOSトランジスタQ2の閾値電圧 V_{t2} の製造プロセスと温度による変動を、閾値電圧モニタ部30の動作に基づき、それぞれの電源に反映させることができる。よって、電圧 V_{SNH} 、 V_{SNL} 、セルプレート電位 V_{PLT} 、電位 V_b のそれぞれの値は、MOSトランジスタQ2の閾値電圧 V_{t2} の変動を補償するように適切に設定可能となる。例えば、ローカルセンスアンプ20内のセンスノード N_s のプリチャージに用いる電圧 V_{SNH} は、MOSトランジスタQ2の閾値電圧 V_{t2} の上昇に追従して高くなるようにし、逆に閾値電圧 V_{t2} の低下に追従して低くなるように制御できる。ま

50

た、メモリセルMCに書き込まれるハイ情報及びロー情報の電圧は、同様にMOSトランジスタQ2の閾値電圧 V_{t2} の変動に追随して、同様に高く又は低くなるように制御可能となる。さらに、電位 V_b 、あるいは電位 V_b を基準に生成される制御電圧 V_g についても、MOSトランジスタQ2の閾値電圧 V_{t2} の変動に追随して、同様に高く又は低くなるように制御可能となる。その結果、MOSトランジスタQ2の閾値電圧 V_{t2} の変動と同じだけセンス系全体の各電圧が変動することになるので、上述の閾値電圧のばらつき許容範囲 R_{vt} に対して実際のばらつきを減少させ、センスアンプ回路の動作マージンを一層向上させることができる。

【0072】

以上、本実施形態に基づいて本発明の内容を具体的に説明したが、本発明は上述の実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々の変更を施すことができる。例えば、上記実施形態においては、5つのMOSトランジスタから構成されるプリアンプ10/ローカルセンスアンプ20(センスアンプ回路)について説明したが、電荷転送ゲートとして機能する第1のMOSトランジスタと、第1のMOSトランジスタを介して信号電圧を増幅する第2のMOSトランジスタを備えていれば、他の構成要素については特に制約されることなく、多様なセンスアンプ回路に対して広く本発明を適用することができる。

【図面の簡単な説明】

【0073】

【図1】本実施形態のセンスアンプ回路に関し、基本的な動作原理を説明する図である。

【図2】第1実施形態のDRAMのうちセンス系の回路構成の一例を示す図である。

【図3】図2のセンスラッチ回路の回路構成の一例を示す図である。

【図4】第1実施形態のセンスアンプ回路の増幅動作について説明する図である。

【図5】従来のセンスアンプ回路の増幅動作に対応する第1の比較例を示す図である。

【図6】従来のセンスアンプ回路の増幅動作に対応する第2の比較例を示す図である。

【図7】第2実施形態のDRAMのうちセンス系の回路構成の一例を示す図である。

【図8】図7のグローバルセンスアンプの回路構成の一例を示す図である。

【図9】第2実施形態のセンスアンプ回路の増幅動作を説明する図である。

【図10】第2実施形態のDRAMにおける読み出し動作を説明する図であり、メモリセルからハイ情報を読み出す場合の動作波形を示す図である。

【図11】第2実施形態のDRAMにおける読み出し動作を説明する図であり、メモリセルからロー情報を読み出す場合の動作波形を示す図である。

【図12】第2実施形態の変形例におけるローカルセンスアンプの回路構成の一例を示す図である。

【図13】図12の読み出し動作を説明する図であり、メモリセルからハイ情報を読み出す場合の動作波形を示す図である。

【図14】図12の読み出し動作を説明する図であり、メモリセルからロー情報を読み出す場合の動作波形を示す図である。

【図15】第3実施形態のグローバルセンスアンプの回路構成の一例を示す図である。

【図16】第3実施形態の補償電圧発生回路として機能する制御電圧発生回路の回路構成例を示す図である。

【図17】図16の制御電圧発生回路により出力される制御電圧 V_g のプロセス/温度依存性の一例を示すグラフである。

【図18】第3実施形態の補償電圧発生回路の他の例の構成を示すブロック図である。

【図19】図18の閾値電圧モニタ部の回路構成例を示す図である。

【図20】図18のレベル補正部の回路構成例を示す図である。

【図21】図20のレベル補正部から出力される補正信号 δV_t のプロセス/温度依存性の一例を示すグラフである。

【図22】図18の補償電圧加算部の回路構成例を示す図である。

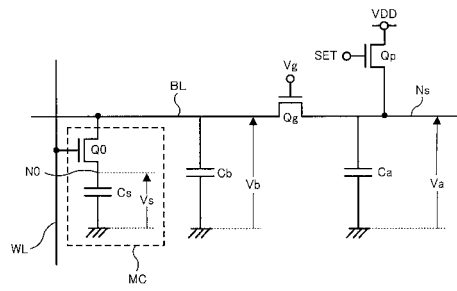
【図23】従来の典型的な電荷転送型のセンスアンプ回路の構成例を示す図である。

【符号の説明】

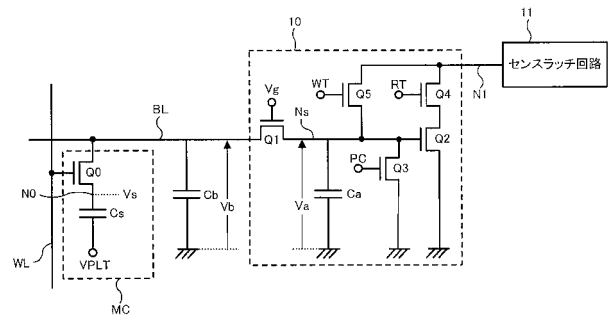
【 0 0 7 4 】

1 0 ...	プリアンプ	
1 1 ...	センスラッチ回路	
2 0 ...	ローカルセンスアンプ	
2 1 ...	グローバルセンスアンプ	
1 1 a、2 1 a ...	信号電圧判定ラッチ	
3 0 ...	閾値電圧モニタ部	
3 1 ...	レベル補正部	
3 2 ...	補償電圧加算部	10
4 0、4 3 ...	定電流源	
4 1、4 2、4 4、4 8、4 9、5 0、5 1、5 2、5 3 ...	オペアンプ	
4 5 ...	セレクタ	
4 6 ...	タップ選択回路	
4 7 ...	ローパスフィルタ	
W L ...	ワード線	
B L ...	ビット線	
G B L ...	グローバルビット線	
L B L ...	ローカルビット線	
M C ...	メモリセル	20
Q 0 ...	選択トランジスタ	
C s ...	キャパシタ	
Q 1 ~ Q 8、Q 1 0 ~ Q 2 0、Q g、Q p ...	M O S トランジスタ	
Q 1 r、Q 2 r ...	レプリカ M O S トランジスタ	
P C ...	プリチャージ信号	
/ P C ...	反転プリチャージ信号	
S E T、R T、W T、R E S、C T L、C T R、S H L、S H R ...	制御信号	
W E ...	書き込みイネーブル信号	
L T C ...	ラッチ制御信号	
S D ...	出力信号	30
Y S ...	センスアンプ選択信号	
/ R D L ...	読み出し信号線	
/ W D L ...	書き込み信号線	
V a ...	センスノードの電位	
V b ...	ビット線の電位	
V g ...	制御電圧	
V D D、V S N H、V S N L ...	電源電圧	
V S S ...	グラウンド電位	
V P L T ...	セルプレート電位	
N s ...	センスノード	40
N 0、N 1、N 2、N 3、N 1 0、N 1 1、N 1 2 ...	ノード	

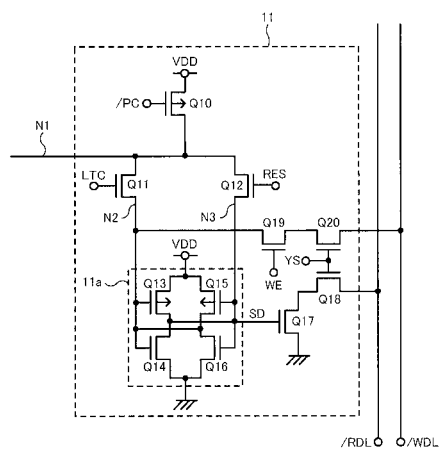
【図 1】



【図 2】

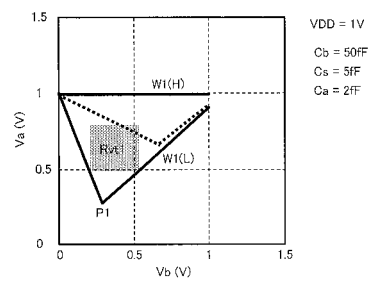


【図 3】

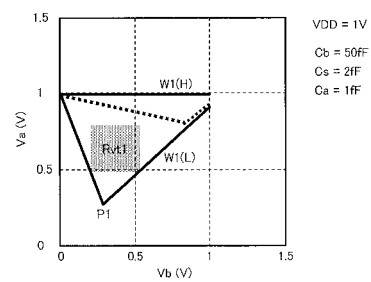


【図 4】

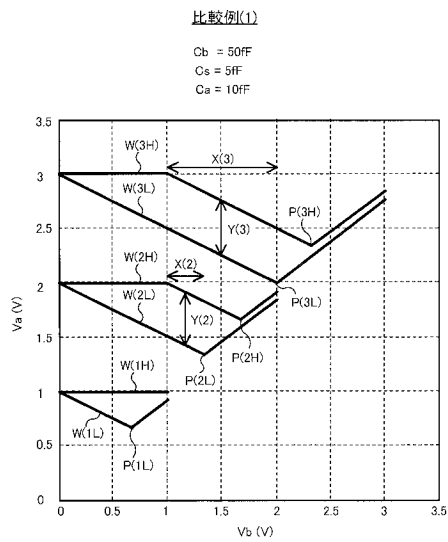
(a)



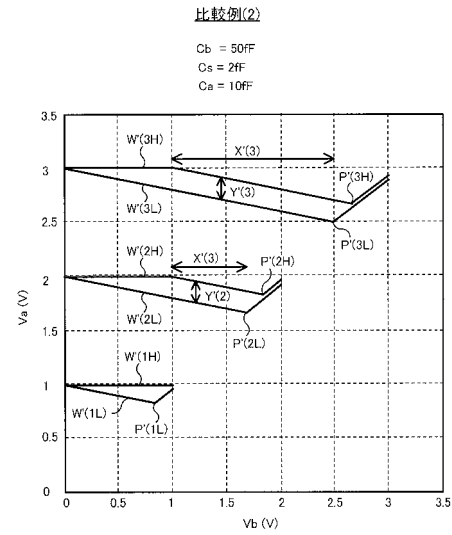
(b)



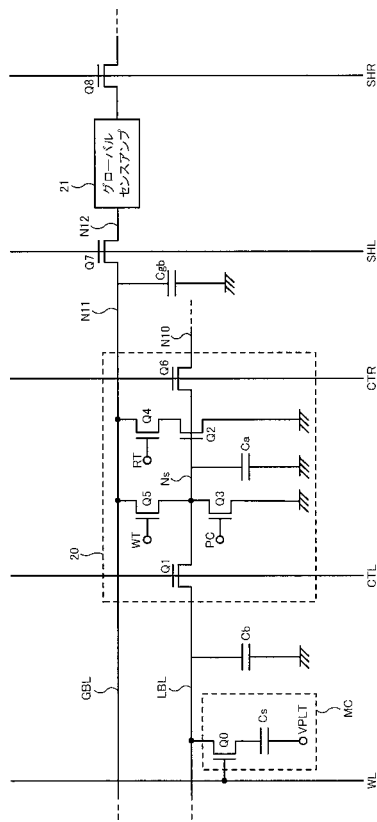
【図 5】



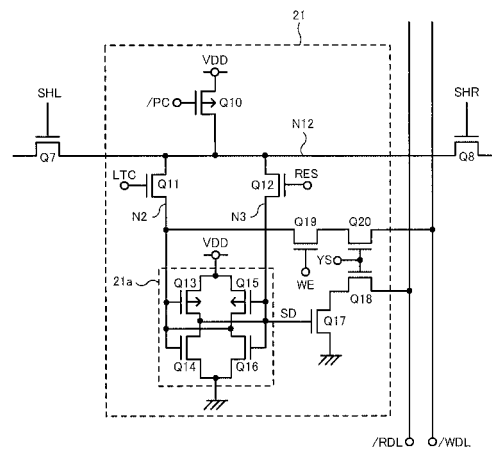
【図 6】



【図 7】

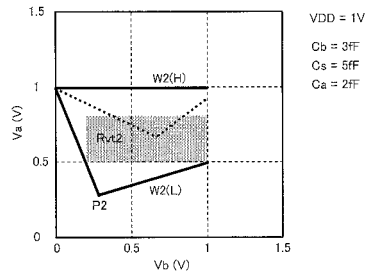


【図 8】

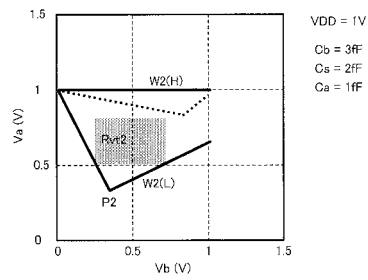


【図 9】

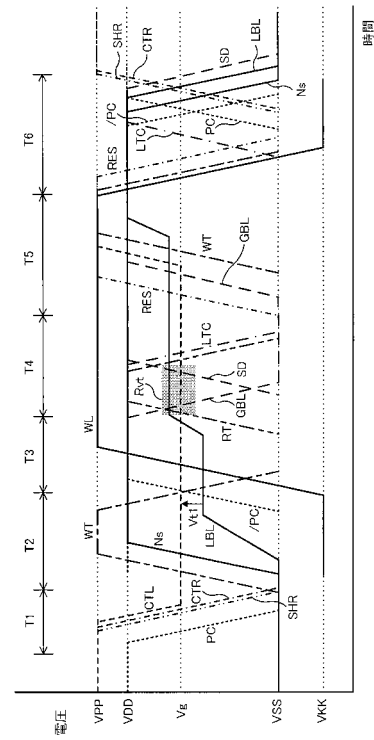
(a)



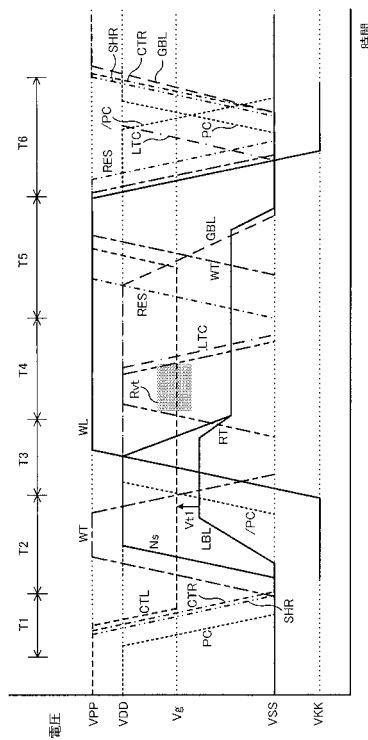
(b)



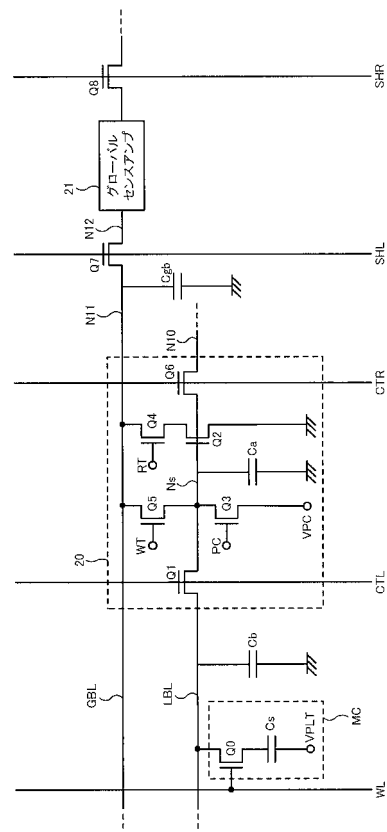
【図 10】



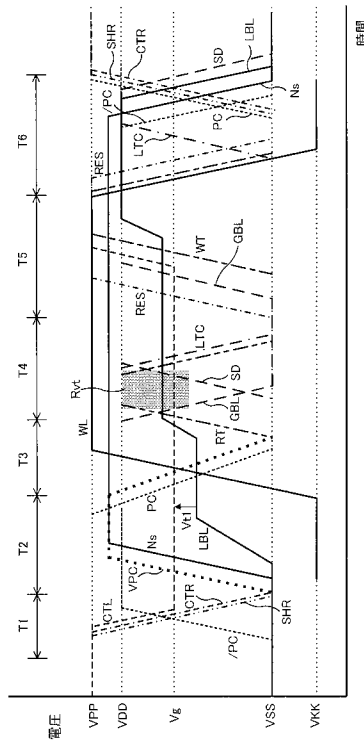
【図 11】



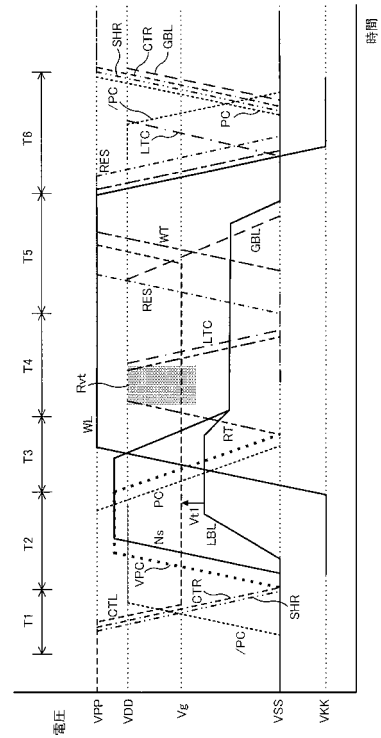
【図 12】



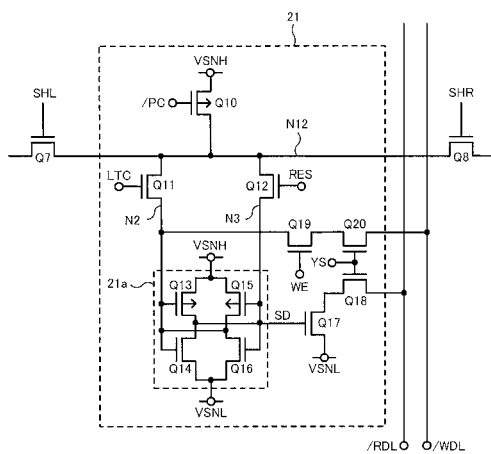
【図 13】



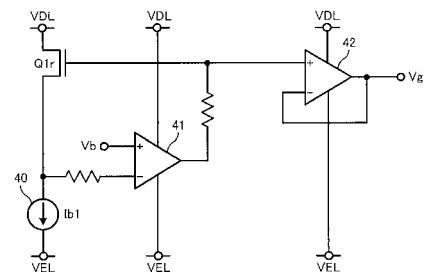
【図 14】



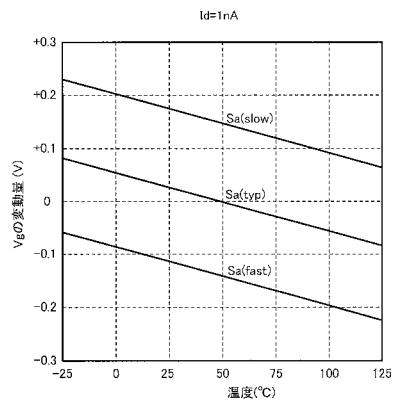
【図 15】



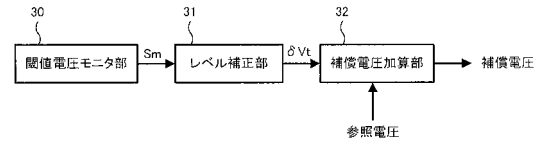
【図 16】



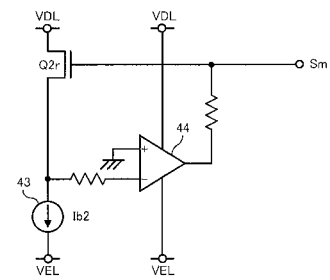
【図 17】



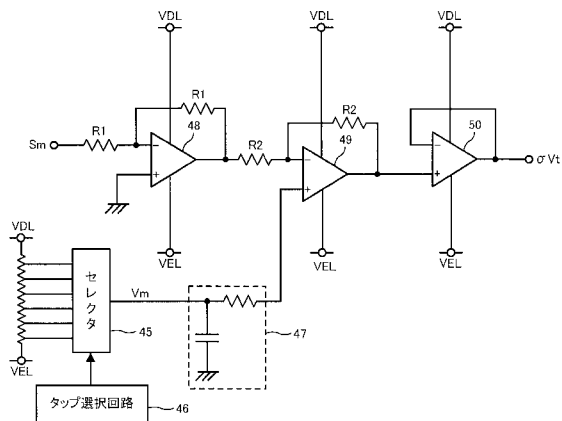
【図 18】



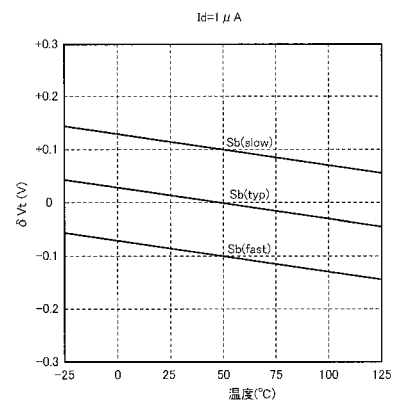
【図 19】



【図 20】



【図 21】



【 図 2 3 】

