

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-245160

(P2010-245160A)

(43) 公開日 平成22年10月28日(2010.10.28)

(51) Int.Cl.

H01L 21/8247 (2006.01)
H01L 27/115 (2006.01)
H01L 29/788 (2006.01)
H01L 29/792 (2006.01)
H01L 27/10 (2006.01)

F 1

H01L 27/10 434
H01L 29/78 371
H01L 27/10 481
H01L 27/10 461
G06K 19/00 N

テーマコード(参考)

5B035
5FO83

5F1O1

審査請求 未請求 請求項の数 22 O L (全 45 頁) 最終頁に続く

(21) 出願番号
(22) 出願日特願2009-90028(P2009-90028)
平成21年4月2日(2009.4.2)

(71) 出願人

ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地

(74) 代理人

100080001

弁理士 筒井 大和

(72) 発明者

山越 英明
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

(72) 発明者

八島 秀幸
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

(72) 発明者

阿部 真一郎
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

最終頁に続く

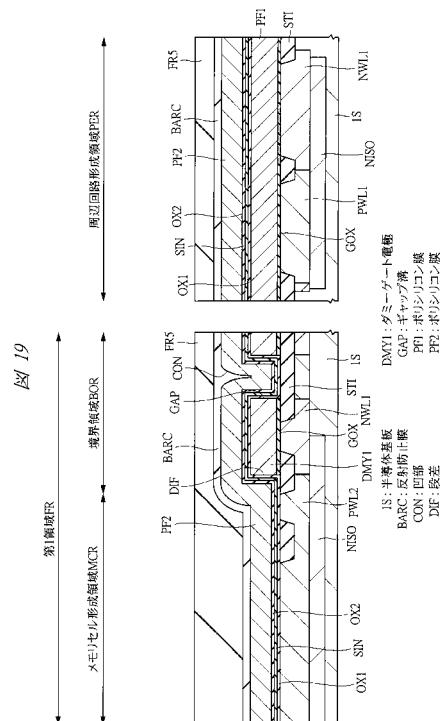
(54) 【発明の名称】半導体装置の製造方法

(57) 【要約】

【課題】不揮発性メモリを備える半導体装置において、不揮発性メモリを構成するメモリセルの加工精度を向上することができる技術を提供する。

【解決手段】ポリシリコン膜P F 1とダミーゲート電極D M Y 1を覆うようにポリシリコン膜P F 2を形成する。このとき、ポリシリコン膜P F 2は、段差D I Fおよびギャップ溝G A Pの形状を反映して形成される。特に、ギャップ溝G A Pを覆うポリシリコン膜P F 2には凹部C O Nが形成される。続いて、ポリシリコン膜P F 2上に反射防止膜B A R Cを形成する。このとき、流動性の高い反射防止膜B A R Cは、段差D I Fの高い領域から低い領域に流出するが、凹部C O Nに充分な反射防止膜B A R Cが蓄積されているので、流出する反射防止膜B A R Cを補充するように凹部C O Nから反射防止膜B A R Cが供給される。

【選択図】図19



【特許請求の範囲】

【請求項 1】

半導体基板上に第1領域と、前記第1領域内に複数のメモリセルが形成されるメモリセル形成領域とを有する半導体装置の製造方法であって、

- (a) 前記半導体基板上に第1絶縁膜を形成する工程と、
- (b) 前記第1絶縁膜上に第1導電膜を形成する工程と、
- (c) 前記第1導電膜をパターニングすることにより、前記第1領域内であって前記メモリセル形成領域を挟み、かつ、第1方向に延在する一対の第1ダミーゲート対と、前記第1領域内であって前記メモリセル形成領域を挟み、かつ、前記第1方向と交差する第2方向に延在する一対の第2ダミーゲート対とを形成し、さらに、前記第1領域外に形成されている前記第1導電膜を残す工程と、
- (d) 前記(c)工程後、前記半導体基板内に第1導電型の第1ウェルを形成する工程と、
- (e) 前記(d)工程後、前記第1ダミーゲート対および前記第2ダミーゲート対を覆う前記半導体基板上に第2絶縁膜を形成する工程と、
- (f) 前記第2絶縁膜上に第2導電膜を形成する工程と、
- (g) 前記第2導電膜上に反射防止膜を形成する工程と、
- (h) 前記反射防止膜上に第1レジスト膜を形成する工程と、
- (i) 前記第1レジスト膜をパターニングする工程と、
- (j) パターニングされた前記第1レジスト膜をマスクとして前記第2導電膜を加工することにより、前記複数のメモリセルのそれぞれにおけるメモリゲート電極を形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 2】

請求項1記載の半導体装置の製造方法であって、
前記第1方向に延在する前記第1ダミーゲート対と、前記第2方向に延在する前記第2ダミーゲート対は互いにつながって、前記メモリセル形成領域を囲むように形成されていることを特徴とする半導体装置の製造方法。

【請求項 3】

請求項1記載の半導体装置の製造方法であって、
(k) 前記(j)工程後、前記第1ウェル内であって前記第1ウェルに電圧を供給する給電領域に前記第1導電型の第1半導体領域を形成する工程と、
(l) 前記第1半導体領域の表面に第1シリサイド層を形成する工程と、
(m) 前記(l)工程後、前記半導体基板上に層間絶縁膜を形成する工程と、
(n) 前記層間絶縁膜を貫通し、かつ、底面が前記第1シリサイド層に達する第1コンタクトホールを形成する工程と、
(o) 前記第1コンタクトホール内に導電膜を埋め込むことにより、前記第1半導体領域の表面に形成された前記第1シリサイド層と電気的に接続された第1プラグを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 4】

請求項3記載の半導体装置の製造方法であって、
前記第1プラグは、前記第1ダミーゲート対と前記第2ダミーゲート対の両方に挟まれた領域内に形成されていることを特徴とする半導体装置の製造方法。

【請求項 5】

請求項1記載の半導体装置の製造方法であって、
(p) 前記(a)工程前、前記半導体基板内であって前記第1ウェルよりも深い領域に前記第1導電型と反対の第2導電型である第2ウェルを形成し、かつ、前記第1ダミーゲート対を形成する領域と平面的に重なる前記半導体基板内に前記第2導電型の第3ウェルを前記第2ウェルに達するように形成する工程を含み、
(q) 前記(j)工程後、前記第1ダミーゲート対の一部に開口部を形成し、前記開口部の底部で前記第3ウェルを露出する工程と、

10

20

30

40

50

(r) 前記(q)工程後、前記開口部から露出している前記第3ウェル内に前記第2導電型の第2半導体領域を形成する工程と、

(s) 前記第2半導体領域の表面に第2シリサイド層を形成する工程と、

(t) 前記(s)工程後、前記半導体基板上に層間絶縁膜を形成する工程と、

(u) 前記開口部内を通って前記層間絶縁膜を貫通し、かつ、底面が前記第2シリサイド層に達する第2コンタクトホールを形成する工程と、

(v) 前記第2コンタクトホール内に導電膜を埋め込むことにより、前記第2半導体領域の表面に形成された前記第2シリサイド層と電気的に接続された第2プラグを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】

10

請求項1記載の半導体装置の製造方法であって、

前記(c)工程は、

(c1) 前記第1導電膜上に第2レジスト膜を形成する工程と、

(c2) 前記第2レジスト膜をパターニングする工程と、

(c3) パターニングした前記第2レジスト膜をマスクにして前記第1導電膜を加工することにより、前記第1ダミーゲート対と前記第2ダミーゲート対を形成する工程を含み、

前記(d)工程は、前記(c2)工程でパターニングした前記第2レジスト膜を除去せずにそのままマスクに使用して、前記半導体基板内に第1導電型の第1ウェルを形成することを特徴とする半導体装置の製造方法。

20

【請求項7】

請求項1記載の半導体装置の製造方法であって、

前記半導体基板には、複数の前記メモリセル形成領域が形成されており、複数の前記メモリセル形成領域のそれぞれは、前記第1方向に延在する一対の前記第1ダミーゲート対と、前記第2方向に延在する一対の前記第2ダミーゲート対とで挟まれていることを特徴とする半導体装置の製造方法。

【請求項8】

請求項7記載の半導体装置の製造方法であって、

複数の前記メモリセル形成領域のそれぞれの前記半導体基板内には、前記第1ウェルがそれぞれ形成されており、互いに異なる前記メモリセル形成領域の前記半導体基板内に形成されているそれぞれの前記第1ウェルは、互いに電気的に分離されていることを特徴とする半導体装置の製造方法。

30

【請求項9】

請求項1記載の半導体装置の製造方法であって、

前記(e)工程は、

(e1) 前記第1ダミーゲート対および前記第2ダミーゲート対を覆う前記半導体基板上に第1電位障壁膜を形成する工程と、

(e2) 前記第1電位障壁膜上に電荷蓄積膜を形成する工程と、

(e3) 前記電荷蓄積膜上に第2電位障壁膜を形成する工程とを含み、

前記第2絶縁膜は、前記第1電位障壁膜と、前記電荷蓄積膜と、前記第2電位障壁膜とを有する膜であることを特徴とする半導体装置の製造方法。

40

【請求項10】

請求項9記載の半導体装置の製造方法であって、

前記電荷蓄積膜は、窒化シリコン膜であることを特徴とする半導体装置の製造方法。

【請求項11】

請求項1記載の半導体装置の製造方法であって、

前記第1導電型はp型であり、前記第2導電型はn型であることを特徴とする半導体装置の製造方法。

【請求項12】

半導体基板上に第1領域と、前記第1領域内に複数のメモリセルが形成されるメモリセ

50

ル形成領域と、前記第1領域外に複数のMISFETが形成される周辺領域とを有する半導体装置の製造方法であって、

(a) 前記周辺領域の前記半導体基板内に第1導電型である第1ウェルと、前記第1導電型と反対の第2導電型である第2ウェルを形成する工程と、

(b) 前記第1領域および前記周辺領域の前記半導体基板上に第1絶縁膜を形成し、前記周辺領域では前記第1絶縁膜からなる第1ゲート絶縁膜を形成する工程と、

(c) 前記第1絶縁膜上に第1導電膜を形成する工程と、

(d) 前記第1導電膜をパターニングすることにより、前記第1領域内であって前記メモリセル形成領域を挟み、かつ、第1方向に延在する一対の第1ダミーゲート対と、前記第1領域内であって前記メモリセル形成領域を挟み、かつ、前記第1方向と交差する第2方向に延在する一対の第2ダミーゲート対とを形成し、さらに、前記第1領域外の前記周辺領域に形成されている前記第1導電膜を残す工程と、

(e) 前記(d)工程後、前記半導体基板内に第1導電型の第3ウェルを形成する工程と、

(f) 前記(e)工程後、前記第1ダミーゲート対および前記第2ダミーゲート対を覆う前記半導体基板上に第2絶縁膜を形成する工程と、

(g) 前記第2絶縁膜上に第2導電膜を形成する工程と、

(h) 前記第2導電膜上に反射防止膜を形成する工程と、

(i) 前記反射防止膜上に第1レジスト膜を形成する工程と、

(j) 前記第1レジスト膜をパターニングする工程と、

(k) パターニングされた前記第1レジスト膜をマスクとして前記第2導電膜を加工することにより、前記複数のメモリセルのそれぞれにおけるメモリゲート電極を形成する工程と、

(l) 前記(k)工程後、前記周辺領域に形成されている前記第1導電膜を加工することにより、前記複数のMISFETのそれぞれにおけるゲート電極を形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項13】

請求項12記載の半導体装置の製造方法であって、

前記第1方向に延在する前記第1ダミーゲート対と、前記第2方向に延在する前記第2ダミーゲート対は互いにつながって、前記メモリセル形成領域を囲むように形成されていることを特徴とする半導体装置の製造方法。

【請求項14】

請求項12記載の半導体装置の製造方法であって、

(m) 前記(l)工程後、前記第3ウェル内であって前記第3ウェルに電圧を供給する給電領域に前記第1導電型の第1半導体領域を形成する工程と、

(n) 前記第1半導体領域の表面に第1シリサイド層を形成する工程と、

(o) 前記(n)工程後、前記半導体基板上に層間絶縁膜を形成する工程と、

(p) 前記層間絶縁膜を貫通し、かつ、底面が前記第1シリサイド層に達する第1コンタクトホールを形成する工程と、

(q) 前記第1コンタクトホール内に導電膜を埋め込むことにより、前記第1半導体領域の表面に形成された前記第1シリサイド層と電気的に接続された第1プラグを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項15】

請求項14記載の半導体装置の製造方法であって、

前記第1プラグは、前記第1ダミーゲート対と前記第2ダミーゲート対の両方に挟まれた領域内に形成されていることを特徴とする半導体装置の製造方法。

【請求項16】

請求項12記載の半導体装置の製造方法であって、

(r) 前記(a)工程は、前記第1領域の前記半導体基板内であって前記第3ウェルよりも深い領域に前記第1導電型と反対の第2導電型である第4ウェルを形成し、かつ、前

記第1ダミーゲート対を形成する領域と平面的に重なる前記半導体基板内に前記第2導電型の第5ウェルを前記第4ウェルに達するように形成する工程を含み、

(s) 前記(1)工程は、さらに、前記第1ダミーゲート対の一部に開口部を形成し、前記開口部の底部で前記第5ウェルを露出する工程を含み、

(t) 前記(s)工程後、前記開口部から露出している前記第5ウェル内に前記第2導電型の第2半導体領域を形成する工程と、

(u) 前記第2半導体領域の表面に第2シリサイド層を形成する工程と、

(v) 前記(u)工程後、前記半導体基板上に層間絶縁膜を形成する工程と、

(w) 前記開口部内を通って前記層間絶縁膜を貫通し、かつ、底面が前記第2シリサイド層に達する第2コンタクトホールを形成する工程と、

(x) 前記第2コンタクトホール内に導電膜を埋め込むことにより、前記第2半導体領域の表面に形成された前記第2シリサイド層と電気的に接続された第2プラグを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項17】

請求項12記載の半導体装置の製造方法であって、

前記(d)工程は、

(d1) 前記第1導電膜上に第2レジスト膜を形成する工程と、

(d2) 前記第2レジスト膜をパターニングする工程と、

(d3) パターニングした前記第2レジスト膜をマスクにして前記第1導電膜を加工することにより、前記第1ダミーゲート対と前記第2ダミーゲート対を形成する工程を含み、

前記(e)工程は、前記(d2)工程でパターニングした前記第2レジスト膜を除去せずにそのままマスクに使用して、前記半導体基板内に第1導電型の第3ウェルを形成することを特徴とする半導体装置の製造方法。

【請求項18】

請求項12記載の半導体装置の製造方法であって、

前記半導体基板には、複数の前記メモリセル形成領域が形成されており、複数の前記メモリセル形成領域のそれぞれは、前記第1方向に延在する一対の第1ダミーゲート対と、前記第2方向に延在する一対の第2ダミーゲート対とで挟まれていることを特徴とする半導体装置の製造方法。

【請求項19】

請求項18記載の半導体装置の製造方法であって、

前記複数の前記メモリセル形成領域のそれぞれの前記半導体基板内には、前記第3ウェルがそれぞれ形成されており、互いに異なる前記メモリセル形成領域の前記半導体基板内に形成されているそれぞれの前記第3ウェルは、互いに電気的に分離されていることを特徴とする半導体装置の製造方法。

【請求項20】

請求項12記載の半導体装置の製造方法であって、

前記(f)工程は、

(f1) 前記第1ダミーゲート対および前記第2ダミーゲート対を覆う前記半導体基板上に第1電位障壁膜を形成する工程と、

(f2) 前記第1電位障壁膜上に電荷蓄積膜を形成する工程と、

(f3) 前記電荷蓄積膜上に第2電位障壁膜を形成する工程とを含み、

前記第2絶縁膜は、前記第1電位障壁膜と、前記電荷蓄積膜と、前記第2電位障壁膜とを有する膜であることを特徴とする半導体装置の製造方法。

【請求項21】

請求項20記載の半導体装置の製造方法であって、

前記電荷蓄積膜は、窒化シリコン膜であることを特徴とする半導体装置の製造方法。

【請求項22】

請求項12記載の半導体装置の製造方法であって、

10

20

30

40

50

前記第1導電型はp型であり、前記第2導電型はn型であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造技術に関し、特に、電気的に書き換え可能な不揮発性メモリの製造に適用して有効な技術に関するものである。

【背景技術】

【0002】

特開2007-234861号公報（特許文献1）には、例えば、特許文献1の図20～図24に図示されている半導体装置の製造工程が記載されている。具体的には、半導体基板20上にゲート絶縁膜34を形成し、このゲート絶縁膜34上にポリシリコン膜37とキャップ絶縁膜38を形成している（特許文献1の図20）。次に、メモリセル形成領域のキャップ絶縁膜38、ポリシリコン膜37およびゲート絶縁膜34を除去する（特許文献1の図21）。そして、半導体基板20の正面の全面に、ゲート絶縁膜26、電荷蓄積膜27、絶縁膜28、ポリシリコン膜29およびキャップ絶縁膜32を順次形成する（特許文献1の図22）。続いて、メモリセル形成領域にメモリセルのゲート電極44を形成し（特許文献1の図23）、その後、低耐圧MISFET形成領域と高耐圧MISFET形成領域に、それぞれ、ゲート電極39、40を形成するとしている。

10

【先行技術文献】

20

【特許文献】

【0003】

【特許文献1】特開2007-234861号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明者が検討した結果、上述した特許文献1に記載されている技術では、以下に示す問題点が存在することが明らかになった。すなわち、メモリセル形成領域にメモリセルのゲート電極44を形成する際、フォトリソグラフィ技術が使用される。具体的に、メモリセル形成領域に形成されているキャップ絶縁膜32と、低耐圧MISFET形成領域および高耐圧MISFET形成領域（以下では、周辺領域と呼ぶ）に形成されているキャップ絶縁膜32との間には段差がある。そして、フォトリソグラフィ技術では、この段差のあるキャップ絶縁膜32上に反射防止膜を塗布し、この反射防止膜上にレジスト膜を形成する。そして、形成したレジスト膜に対して露光・現像処理を施すことによりパターニングする。このパターニングは、メモリセル形成領域のうちメモリセルのゲート電極44を形成する領域にレジスト膜が残存するように実施される。特許文献1の図23では、メモリセル形成領域に1つのゲート電極44が形成されているが、実際には、メモリセル形成領域には複数のゲート電極44が形成される。

30

【0005】

40

ここで、レジスト膜に対してマスクを介して露光処理を施す際、レジスト膜の下層に存在する膜からの乱反射により、マスクで覆われる領域にもレジスト膜に露光光が照射される結果、設計値通りのパターニングができなくなるおそれがある。そこで、レジスト膜の下層に反射防止膜を形成することにより、レジスト膜の下層に形成されている膜からの乱反射を抑制することが行なわれている。しかし、上述したようにメモリセル形成領域と周辺領域が存在する場合、メモリセル形成領域と周辺領域に形成されている被加工膜（例えば、キャップ絶縁膜32）に段差が生じるため、このキャップ絶縁膜32上に形成される反射防止膜も段差を反映して形成される。このとき、反射防止膜は、通常、塗布法で形成され流動性が高いため、段差近傍において、段差の高い領域に形成されている反射防止膜が段差の低い領域に流れてしまい、段差の高い領域に塗布されている反射防止膜が消失することが生じることを本発明者は新たに見出した。この場合、段差の高い領域では反射防

50

止膜が充分に形成されていないことになるので、この領域に入射した露光光が乱反射を起こして、意図しない感光が生じるおそれがある。具体的に、段差はメモリセル形成領域と周辺領域の境界領域に形成されており、この段差近傍での乱反射は、メモリセル形成領域の最外周領域に形成されているゲート電極44が最も影響を受ける。つまり、メモリセル形成領域の最外周に形成されているゲート電極44では、パターニングされたレジスト膜に意図しない露光が生じてしまう。この結果、レジスト膜のパターンがゲート電極44の設計寸法よりも小さくなり、メモリセル形成領域の最外周に形成されるゲート電極44のゲート長が設計値よりも小さくなる現象が生じる。したがって、メモリセルの加工精度が劣化してしまう問題点が生じるのである。

【0006】

本発明の目的は、不揮発性メモリを備える半導体装置において、不揮発性メモリを構成するメモリセル（具体的にはメモリセルのメモリゲート電極）の加工精度を向上することができる技術を提供することにある。

【0007】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0008】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0009】

代表的な実施の形態による半導体装置の製造方法は、半導体基板上に第1領域と、前記第1領域内に複数のメモリセルが形成されるメモリセル形成領域とを有する半導体装置の製造方法に関するものである。このとき、半導体装置の製造方法は、(a)前記半導体基板上に第1絶縁膜を形成する工程と、(b)前記第1絶縁膜上に第1導電膜を形成する工程と、(c)前記第1導電膜をパターニングすることにより、前記第1領域内であって前記メモリセル形成領域を挟み、かつ、第1方向に延在する一対の第1ダミーゲート対と、前記第1領域内であって前記メモリセル形成領域を挟み、かつ、前記第1方向と交差する第2方向に延在する一対の第2ダミーゲート対とを形成し、さらに、前記第1領域外に形成されている前記第1導電膜を残す工程とを備える。そして、(d)前記(c)工程後、前記半導体基板内に第1導電型の第1ウェルを形成する工程と、(e)前記(d)工程後、前記第1ダミーゲート対および前記第2ダミーゲート対を覆う前記半導体基板上に第2絶縁膜を形成する工程とを備える。さらに、(f)前記第2絶縁膜上に第2導電膜を形成する工程と、(g)前記第2導電膜上に反射防止膜を形成する工程と、(h)前記反射防止膜上に第1レジスト膜を形成する工程と、(i)前記第1レジスト膜をパターニングする工程とを備える。続いて、(j)パターニングされた前記第1レジスト膜をマスクとして前記第2導電膜を加工することにより、前記複数のメモリセルのそれぞれにおけるメモリゲート電極を形成する工程とを備えるものである。

【0010】

また、代表的な実施の形態による半導体装置の製造方法は、半導体基板上に第1領域と、前記第1領域内に複数のメモリセルが形成されるメモリセル形成領域と、前記第1領域外に複数のMISFETが形成される周辺領域とを有する半導体装置の製造方法に関するものである。このとき、半導体装置の製造方法は、(a)前記周辺領域の前記半導体基板内に第1導電型である第1ウェルと、前記第1導電型と反対の第2導電型である第2ウェルを形成する工程と、(b)前記第1領域および前記周辺領域の前記半導体基板上に第1絶縁膜を形成し、前記周辺領域では前記第1絶縁膜からなる第1ゲート絶縁膜を形成する工程とを備える。そして、(c)前記第1絶縁膜上に第1導電膜を形成する工程と、(d)前記第1導電膜をパターニングすることにより、前記第1領域内であって前記メモリセル形成領域を挟み、かつ、第1方向に延在する一対の第1ダミーゲート対と、前記第1領域内であって前記メモリセル形成領域を挟み、かつ、前記第1方向と交差する第2方向に

10

20

30

40

50

延在する一対の第2ダミーゲート対とを形成し、さらに、前記第1領域外の前記周辺領域に形成されている前記第1導電膜を残す工程とを備える。さらに、(e)前記(d)工程後、前記半導体基板内に第1導電型の第3ウェルを形成する工程と、(f)前記(e)工程後、前記第1ダミーゲート対および前記第2ダミーゲート対を覆う前記半導体基板上に第2絶縁膜を形成する工程と、(g)前記第2絶縁膜上に第2導電膜を形成する工程とを備える。次に、(h)前記第2導電膜上に反射防止膜を形成する工程と、(i)前記反射防止膜上に第1レジスト膜を形成する工程と、(j)前記第1レジスト膜をパターニングする工程とを備える。続いて、(k)パターニングされた前記第1レジスト膜をマスクとして前記第2導電膜を加工することにより、前記複数のメモリセルのそれぞれにおけるメモリゲート電極を形成する工程と、(l)前記(k)工程後、前記周辺領域に形成されている前記第1導電膜を加工することにより、前記複数のMISFETのそれぞれにおけるゲート電極を形成する工程とを備えるものである。

10

【発明の効果】

【0011】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0012】

不揮発性メモリを備える半導体装置において、不揮発性メモリを構成するメモリセル（具体的にはメモリセルのメモリゲート電極）の加工精度を向上することができる。

20

【図面の簡単な説明】

【0013】

【図1】本発明の実施の形態1におけるICカードの外観構成を示す図である。

【図2】実施の形態1における半導体チップのレイアウト構成を示す図である

【図3】フラッシュメモリを構成するメモリセルアレイを模式的に示す図である。

【図4】実施の形態1における半導体装置の構成を示す断面図である。

【図5】フラッシュメモリの動作条件を示す図である。

【図6】本発明者が検討した技術において、半導体装置の製造工程を示す断面図である。

【図7】図6に続く半導体装置の製造工程を示す断面図である。

【図8】図7に続く半導体装置の製造工程を示す断面図である。

30

【図9】図8の代わりに反射防止膜を形成した半導体装置の製造工程を示す断面図である。

。

【図10】図9に続く半導体装置の製造工程を示す断面図である。

【図11】本発明の実施の形態1における半導体装置の製造工程を示す断面図である。

【図12】図11に続く半導体装置の製造工程を示す断面図である。

【図13】図12に続く半導体装置の製造工程を示す断面図である。

【図14】図13に続く半導体装置の製造工程を示す断面図である。

【図15】図14に続く半導体装置の製造工程を示す断面図である。

【図16】図15に続く半導体装置の製造工程を示す断面図である。

【図17】図16に続く半導体装置の製造工程を示す断面図である。

40

【図18】図17に続く半導体装置の製造工程を示す断面図である。

【図19】図18に続く半導体装置の製造工程を示す断面図である。

【図20】図19に続く半導体装置の製造工程を示す断面図である。

【図21】図20に続く半導体装置の製造工程を示す断面図である。

【図22】図21に続く半導体装置の製造工程を示す断面図である。

【図23】図22に続く半導体装置の製造工程を示す断面図である。

【図24】図23に続く半導体装置の製造工程を示す断面図である。

【図25】実施の形態2におけるメモリセルアレイを模式的に示す図である。

【図26】実施の形態2における半導体装置の構成を示す断面図である。

【図27】実施の形態2における半導体装置の製造工程を示す断面図である。

【図28】図27に続く半導体装置の製造工程を示す断面図である。

50

【図29】図28に続く半導体装置の製造工程を示す断面図である。

【図30】実施の形態3におけるメモリセルアレイを模式的に示す図である。

【図31】実施の形態3における半導体装置の構成を示す断面図である。

【図32】実施の形態3における半導体装置の製造工程を示す断面図である。

【図33】図32に続く半導体装置の製造工程を示す断面図である。

【図34】図33に続く半導体装置の製造工程を示す断面図である。

【図35】実施の形態4におけるメモリセルアレイのレイアウト構成の一例を示す図である。

【図36】実施の形態4におけるメモリセルアレイのレイアウト構成の一例を示す図である。

【図37】実施の形態4におけるメモリセルアレイのレイアウト構成の一例を示す図である。

【図38】実施の形態4におけるメモリセルアレイのレイアウト構成の一例を示す図である。

【発明を実施するための形態】

【0014】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0015】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0016】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0017】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0018】

また、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。なお、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

【0019】

（実施の形態1）

図1は、本実施の形態1におけるICカードの外観構成を示す図である。図1に示すように、本実施の形態1におけるICカード1Cは、矩形形状をしており、このICカード1Cの表面に端子TEが形成されている。ICカード1Cの内部には半導体チップが埋め込まれており、埋め込まれている半導体チップと端子TEとは電気的に接続されている。ICカード1Cは、端子TEを介して、ICカード1Cの外部にあるリーダ／ライタから電源供給を受けるとともに、リーダ／ライタとデータ通信を行なうように構成されている。ICカード1Cに形成されている端子TEには、供給電圧端子、グランド端子、リセット端子、入出力端子およびクロック端子が含まれている。

【0020】

本実施の形態1では、端子TEを介してリーダ／ライタとデータ通信を行なう接触型ICカードを例に挙げているが、ICカード利用者の利便性を考慮した非接触型のICカードにも適用できる。非接触型のICカードとは、端子TEが形成されておらず、電磁誘導

10

20

30

40

50

現象を利用して電源供給やリーダ／ライタとのデータ通信を行なうように構成されている I C カードである。

【0021】

続いて、I C カード I C の内部に埋め込まれている半導体チップのレイアウト構成について説明する。図2は、本実施の形態1における半導体チップCHPのレイアウト構成を示す図である。図2において、半導体チップCHPは、CPU(Central Processing Unit)1、RAM(Random Access Memory)2、アナログ回路3、EEPROM(Electrically Erasable Programmable Read Only Memory)4、フラッシュメモリ5およびI/O(Input/Output)回路6を有している。

【0022】

CPU(回路)1は、中央演算処理装置とも呼ばれ、コンピュータなどの心臓部にあたる。このCPU1は、記憶装置から命令を読み出して解読し、それに基づいて多種多様な演算や制御を行なうものである。

【0023】

RAM(回路)2は、記憶情報をランダムに、すなわち随時記憶されている記憶情報を読み出したり、記憶情報を新たに書き込んだりすることができるメモリであり、随時書き込み読み出しができるメモリとも呼ばれる。I C メモリとしてのRAMには、ダイナミック回路を用いたDRAM(Dynamic RAM)とスタティック回路を用いたSRAM(Static RAM)の2種類がある。DRAMは、記憶保持動作が必要な随時書き込み読み出しメモリであり、SRAMは、記憶保持動作が不要な随時書き込み読み出しメモリである。

【0024】

アナログ回路3は、時間的に連続して変化する電圧や電流の信号、すなわちアナログ信号を扱う回路であり、例えば增幅回路、変換回路、変調回路、発振回路、電源回路などから構成されている。

【0025】

EEPROM4およびフラッシュメモリ5は、書き込み動作および消去動作とも電気的に書き換え可能な不揮発性メモリの一種であり、電気的消去可能なプログラマブル読み出し専用メモリとも呼ばれる。このEEPROM4およびフラッシュメモリ5のメモリセルは、記憶(メモリ)用の例えばMONOS(Metal Oxide Nitride Oxide Semiconductor)型トランジスタやMNO_S(Metal Nitride Oxide Semiconductor)型トランジスタから構成される。EEPROM4およびフラッシュメモリ5の書き込み動作および消去動作には、例えばファウラーノルドハイム型トンネル現象を利用する。なお、ホットエレクトロンやホットホールを用いて書き込み動作や消去動作させることも可能である。EEPROM4とフラッシュメモリ5の相違点は、EEPROM4が、例えば、バイト単位で消去のできる不揮発性メモリであるのに対し、フラッシュメモリ5が、例えば、ワード線単位で消去できる不揮発性メモリである点である。一般に、フラッシュメモリ5には、CPU1で種々の処理を実行するためのプログラムなどが記憶されている。これに対し、EEPROM4には、書き換え頻度の高い各種データが記憶されている。例えば、携帯電話機のI C カード用半導体チップを例にとれば、EEPROM4には、電話番号、課金情報、通話メモなどのデータが記憶される。

【0026】

I/O回路6は、入出力回路であり、半導体チップCHP内から半導体チップCHPの外部に接続された機器へのデータの出力や、半導体チップCHPの外部に接続された機器から半導体チップ内へのデータの入力を行なうための回路である。

【0027】

次に、例えば、半導体チップCHPに形成されるフラッシュメモリ5の構成について説明する。図3は、フラッシュメモリ5を構成するメモリセルアレイを模式的に示す図である。図3には、メモリセル形成領域MCRと、このメモリセル形成領域MCRの外側に形成されている境界領域BORが図示されている。メモリセル形成領域MCRと境界領域BORを合わせた領域を第1領域FRと定義している。そして、図3には図示されていない

10

20

30

40

50

が、第1領域F Rの外側に周辺回路が形成されている周辺回路形成領域が存在する。

【0028】

まず、図3において、メモリセル形成領域M C Rには、複数のメモリセルが形成されている。具体的には、Y軸方向に沿って複数のメモリゲート電極M G(ワード線)が延在している。そして、Y軸方向と直交するX軸方向に複数のソース領域／ドレイン領域S / Dが延在している。このメモリゲート電極M Gと、ソース領域／ドレイン領域S / Dが交差する領域にメモリセルが形成されている。したがって、図3では、複数のメモリセルがアレイ状(行列状)に配置されていることになる。複数のメモリセルがアレイ状に配置されている領域がフラッシュメモリ5の記憶部にあたる。個々のメモリセルは、1ビットの単位情報を記憶するための回路であり、記憶部であるMONOS型トランジスタから構成されている。複数のメモリセルが形成されている領域の外側には、給電領域P Sが形成されている。この給電領域P Sから、各メモリセルに共通のウェル(図示せず)に電位が供給されるようになっている。

10

【0029】

次に、メモリセル形成領域M C Rの外側には境界領域B O Rが形成されている。本実施の形態1では、この境界領域B O Rにダミーゲート電極(ダミーゲート)D M Y 1およびダミーゲート電極D M Y 2が形成されている。ダミーゲート電極D M Y 1およびダミーゲート電極D M Y 2は、ゲート電極として機能しないダミーパターンを示している。図3では、ダミーゲート電極D M Y 1はメモリセル形成領域M C Rを挟むように2対形成されている。すなわち、ダミーゲート電極D M Y 1は、メモリセル形成領域M C Rを左右から挟むように2対で形成されている。同様に、ダミーゲート電極D M Y 2は、メモリセル形成領域M C Rを上下から挟むように2対で形成されている。ここで、2対のダミーゲート電極D M Y 1としているが、例えば、内側のダミーゲート電極D M Y 1と外側のダミーゲート電極D M Y 1を中心部に開口部を有する1つのダミーゲート電極とみなすこともできる。この場合、メモリセル形成領域M C Rは、中央部に開口部を有する1対のダミーゲート電極で左右から挟まれている構造をしているということもできる。同様に、例えば、内側のダミーゲート電極D M Y 2と外側のダミーゲート電極D M Y 2を中心部に開口部を有する1つのダミーゲート電極とみなすこともできる。この場合も、メモリセル形成領域M C Rは、中央部に開口部を有する1対のダミーゲート電極で上下から挟まれている構造をしているということもできる。ダミーゲート電極D M Y 1とダミーゲート電極D M Y 2とは互いに接続されており、互いに接続されたダミーゲート電極D M Y 1とダミーゲート電極D M Y 2により、メモリセル形成領域M C Rの周囲が囲まれている。

20

【0030】

図3では、図示されていないが、第1領域の外側の周辺回路形成領域には、メモリセルを駆動する駆動回路や、C P U 1、R A M 2およびアナログ回路3を構成する周辺回路が形成されている。具体的に、周辺回路は、例えば、nチャネル型M I S F E Tやpチャネル型M I S F E Tから構成されている。

30

【0031】

続いて、図4に示すように、第1領域F R内のメモリセル形成領域M C Rに形成されているMONOS型トランジスタQ₁、第1領域F R内の境界領域B O Rに形成されているダミーゲート電極D M Y 1、および、周辺回路形成領域P E Rに形成されているnチャネル型M I S F E T Q₂、pチャネル型M I S F E T Q₃の構成について説明する。

40

【0032】

まず、図4において、メモリセルを構成するMONOS型トランジスタQ₁の構成について説明する。半導体基板1 S上には素子を分離する素子分離領域S T Iが形成されており、この素子分離領域S T Iで分離された活性領域にMONOS型トランジスタQ₁が形成されている。メモリセル形成領域M C Rの半導体基板1 S内には、ウェル分離層N I S Oが形成されており、このウェル分離層N I S O上にp型ウェルP W L 2が形成されている。半導体基板1 Sおよびp型ウェルP W L 2には、ボロン(ホウ素)などのp型不純物が導入されている。一方、ウェル分離層N I S Oには、リンや砒素などのn型不純物が導

50

入されている。半導体基板 1 S に形成された p 型ウェル P W L 2 上に M O N O S 型トランジスタ Q₁ が形成されている。

【 0 0 3 3 】

具体的に、半導体基板 1 S 内に形成された p 型ウェル P W L 2 上に第 1 電位障壁膜 E B 1 が形成されており、この第 1 電位障壁膜 E B 1 上に電荷蓄積膜 E C が形成されている。そして、この電荷蓄積膜 E C 上に第 2 電位障壁膜 E B 2 が形成され、この第 2 電位障壁膜 E B 2 上に導電膜からなるメモリゲート電極 M G が形成されている。メモリゲート電極 M G は、低抵抗化を図るため、例えば、ポリシリコン膜 P F 2 とコバルトシリサイド膜 C S の積層膜から構成されている。なお、本実施の形態 1 では、シリサイド膜としてコバルトシリサイド膜 C S を例示しているが、これに限らず、ニッケルシリサイド、または、プラチナシリサイド等の他の膜を使用することもできる。以降の説明におけるコバルトシリサイド膜 C S についても同様である。メモリゲート電極 M G の両側の側壁には、L D D (Lightly Doped Drain) 構造を形成するため、例えば、絶縁膜からなるサイドウォール S W 2 が形成されている。10

【 0 0 3 4 】

サイドウォール S W 2 直下の半導体基板 1 S 内には、半導体領域として、浅い n 型不純物拡散領域 E X 1 が形成されており、この浅い n 型不純物拡散領域 E X 1 の外側に、深い n 型不純物拡散領域 N R 1 が形成されている。そして、深い n 型不純物拡散領域 N R 1 の表面には、低抵抗化のためのコバルトシリサイド膜 C S が形成されている。20

【 0 0 3 5 】

上記のように構成された M O N O S 型トランジスタ Q₁ において、第 1 電位障壁膜 E B 1 は、例えば、酸化シリコン膜から形成されている。この第 1 電位障壁膜 E B 1 は、電荷蓄積膜 E C に蓄積された電荷が半導体基板 1 S リークすることを抑制する電位障壁膜として機能するとともに、トンネル絶縁膜としても機能する。すなわち、M O N O S 型トランジスタ Q₁ は、半導体基板 1 S から第 1 電位障壁膜 E B 1 を介して電荷蓄積膜 E C に電子を注入したり、電荷蓄積膜 E C に蓄積した電子を半導体基板 1 S に放出したりすることにより、データの記憶や消去を行なうので、第 1 電位障壁膜 E B 1 は、トンネル絶縁膜としても機能するのである。なお、この電位障壁膜 E B 1 は、酸化シリコン膜に限らず、窒素を導入した酸化シリコン膜で形成することもできる。30

【 0 0 3 6 】

そして、この電位障壁膜 E B 1 上に形成されている電荷蓄積膜 E C は、電荷を蓄積する機能を有している。具体的に、本実施の形態 1 では、電荷蓄積膜 E C を窒化シリコン膜から形成している。本実施の形態 1 におけるメモリセルの記憶部は、電荷蓄積膜 E C に蓄積される電荷の有無によって、メモリゲート電極 M G 下の半導体基板 1 S 内を流れる電流を制御することにより、情報を記憶するようになっている。つまり、電荷蓄積膜 E C に蓄積される電荷の有無によって、メモリゲート電極 M G 下の半導体基板 1 S 内を流れる電流のしきい値電圧が変化することを利用して情報を記憶している。40

【 0 0 3 7 】

本実施の形態 1 では、電荷蓄積膜 E C としてトラップ準位を有する絶縁膜を使用している。このトラップ準位を有する絶縁膜の一例として窒化シリコン膜が挙げられるが、窒化シリコン膜に限らず、例えば、酸化アルミニウム膜（アルミナ）、酸化ハフニウム膜または酸化タンタル膜など、窒化シリコン膜よりも高い誘電率を有する高誘電率膜を使用してもよい。電荷蓄積膜 E C としてトラップ準位を有する絶縁膜を使用する場合、電荷は絶縁膜に形成されているトラップ準位に捕獲される。このようにトラップ準位に電荷を捕獲することにより、絶縁膜中に電荷を蓄積するようになっている。50

【 0 0 3 8 】

従来、電荷蓄積膜 E C としてポリシリコン膜が主に使用されてきたが、電荷蓄積膜 E C としてポリシリコン膜を使用した場合、電荷蓄積膜 E C を取り囲む絶縁膜のどこか一部に欠陥があると、電荷蓄積膜 E C が導電膜であるため、異常リークにより電荷蓄積膜 E C に蓄積された電荷がすべて抜けてしまうことが起こりうる。

【0039】

そこで、本実施の形態1では、電荷蓄積膜ECとして、絶縁膜である窒化シリコン膜が使用されている。この場合、データ記憶に寄与する電荷は、窒化シリコン膜中に存在する離散的なトラップ準位（捕獲準位）に蓄積される。したがって、電荷蓄積膜ECを取り囲む絶縁膜中の一部に欠陥が生じても、電荷は電荷蓄積膜ECの離散的なトラップ準位に蓄積されているため、すべての電荷が電荷蓄積膜ECから抜け出てしまうことがない。このため、本実施の形態1におけるMONOS型トランジスタQ₁によれば、データ保持の信頼性向上を図ることができる。

【0040】

このような理由から、電荷蓄積膜ECとして、窒化シリコン膜に限らず、離散的なトラップ準位を含むような膜を使用することにより、データ保持特性の向上を図ることができる。さらに、本実施の形態1では、電荷蓄積膜ECとしてデータ保持特性に優れた窒化シリコン膜を使用している。このため、電荷蓄積膜ECからの電荷の流出を防止するために設けられている電位障壁膜EB1および電位障壁膜EB2の膜厚を薄くすることができる。これにより、メモリセルを駆動する電圧を低電圧化することができる利点も有していることになる。また、電荷蓄積膜ECとして、シリコンを複数の粒状に形成したシリコン・ナノドットを用いてもよい。

10

【0041】

サイドウォールSW2は、MONOS型トランジスタQ₁の半導体領域であるソース領域およびドレイン領域をLDD構造とするために形成されたものである。すなわち、MONOS型トランジスタQ₁のソース領域およびドレイン領域は、浅いn型不純物拡散領域EX1と深いn型不純物拡散領域NR1より形成されている。このとき、浅いn型不純物拡散領域EX1の不純物濃度は、深いn型不純物拡散領域NR1の不純物濃度よりも低くなっている。したがって、サイドウォールSW2下のソース領域およびドレイン領域を低濃度の浅いn型不純物拡散領域EX1とすることにより、メモリゲート電極MGの端部下における電界集中を抑制できる。

20

【0042】

以上のようにして、メモリセル形成領域MCRにMONOS型トランジスタQ₁が形成されている。さらに、MONOS型トランジスタQ₁が形成されているメモリセル形成領域MCRの外側領域であって、境界領域BORとの近傍領域には、ウェル給電領域が形成されている。具体的に、図4では、MONOS型トランジスタQ₁を形成した領域と素子分離領域STIを介した領域にp型半導体領域PR2が形成されている。このp型半導体領域PR2は、p型ウェルPWL2内に形成されており、p型ウェルPWL2とp型半導体領域PR2は電気的に接続されることになる。さらに、このp型半導体領域PR2の表面にはコバルトシリサイド膜CSが形成されている。このようにメモリセル形成領域には、MONOS型トランジスタQ₁とウェル給電領域が形成されている。

30

【0043】

このメモリセル形成領域MCRを覆うように、例えば、酸化シリコン膜からなる層間絶縁膜IL1が形成されており、この層間絶縁膜IL1を貫通するようにコンタクトホールCNT1およびコンタクトホールCNT2が形成されている。コンタクトホールCNT1は、MONOS型トランジスタQ₁のソース領域やドレイン領域に達するように形成されており、このコンタクトホールCNT1内にプラグPLG1が形成されている。プラグPLG1は、コンタクトホールCNT1内に、例えば、チタン/窒化チタン膜よりなるバリア導体膜と、タンゲステン膜とを埋め込むことにより形成されている。一方、コンタクトホールCNT2は、ウェル給電領域のp型半導体領域PR2に達するように形成されており、このコンタクトホールCNT2内にプラグPLG2が形成されている。プラグPLG2も、プラグPLG1と同様に、コンタクトホールCNT2内に、例えば、チタン/窒化チタン膜よりなるバリア導体膜と、タンゲステン膜とを埋め込むことにより形成されている。

40

【0044】

50

そして、プラグ P L G 1 およびプラグ P L G 2 を形成した層間絶縁膜 I L 1 上に層間絶縁膜 I L 2 が形成されている。この層間絶縁膜 I L 2 も、例えば、酸化シリコン膜から形成されている。層間絶縁膜 I L 2 には配線溝が形成されており、この配線溝を埋め込むように配線 L 1 が形成されている。配線 L 1 は、例えば、タンタル／窒化タンタル膜よりなるバリア導体膜と銅膜とを配線溝に埋め込むことにより形成されている。このようにして、MONOS型トランジスタ Q₁ のソース領域およびドレイン領域は、プラグ P L G 1 を介して配線 L 1 と電気的に接続されていることになる。同様に、ウェル給電領域である p 型半導体領域 P R 2 は、プラグ P L G 2 を介して配線 L 1 と電気的に接続されることになる。これにより、p 型半導体領域 P R 2 と電気的に接続されている p 型ウェル P W L 2 には、配線 L 1 およびプラグ P L G 2 を介して所定の電位が供給される。このウェル給電領域である p 型半導体領域 P R 2 は、メモリセル形成領域 M C R 内に形成されている。言い換えれば、ダミーゲート電極（図 3 のダミーゲート電極 D M Y 1 とダミーゲート電極 D M Y 2 ）で囲まれた領域に p 型半導体領域 P R 2 およびプラグ P L G 2 が形成されている。

10

【0045】

次に、境界領域 B O R に形成されているダミーゲート電極 D M Y 1 の構成について説明する。図 4において、境界領域 B O R の半導体基板 1 S には、素子分離領域 S T I が形成されており、この素子分離領域 S T I 上にゲート絶縁膜 G O X を介してダミーゲート電極 D M Y 1 が形成されている。このダミーゲート電極 D M Y 1 は、活性領域を挟む 2 つの素子分離領域 S T I 上に形成されている。すなわち、2 つのダミーゲート電極 D M Y 1 の間には活性領域が形成されており、この活性領域内に n 型半導体領域 N R 3 が形成されている。2 つのダミーゲート電極 D M Y 1 を 1 つのダミーゲート電極とみなし、この 1 つのダミーゲート電極の中央部に開口部が形成されて、この開口部から n 型半導体領域 N R 3 が露出しているということもできる。

20

【0046】

ダミーゲート電極 D M Y 1 は、ポリシリコン膜 P F 1 とコバルトシリサイド膜 C S から形成されており、ダミーゲート電極 D M Y 1 の側壁には、サイドウォール S W 1 およびサイドウォール S W 2 が形成されている。そして、n 型半導体領域 N R 3 の表面には、コバルトシリサイド膜 C S が形成されている。n 型半導体領域 N R 3 は、n 型ウェル N W L 1 に形成されており、この n 型ウェル N W L 1 は、ウェル分離層 N I S O と電気的に接続されている。

30

【0047】

この境界領域 B O R を覆うように、例えば、酸化シリコン膜からなる層間絶縁膜 I L 1 が形成されており、この層間絶縁膜 I L 1 を貫通するようにコンタクトホール C N T 3 が形成されている。コンタクトホール C N T 3 は、n 型半導体領域 N R 3 （コバルトシリサイド膜 C S ）に達するように形成されており、このコンタクトホール C N T 3 内にプラグ P L G 3 が形成されている。プラグ P L G 3 は、コンタクトホール C N T 3 内に、例えば、チタン／窒化チタン膜よりなるバリア導体膜と、タンゲステン膜とを埋め込むことにより形成されている。

40

【0048】

そして、プラグ P L G 3 を形成した層間絶縁膜 I L 1 上に層間絶縁膜 I L 2 が形成されている。この層間絶縁膜 I L 2 も、例えば、酸化シリコン膜から形成されている。層間絶縁膜 I L 2 には配線溝が形成されており、この配線溝を埋め込むように配線 L 1 が形成されている。配線 L 1 は、例えば、タンタル／窒化タンタル膜よりなるバリア導体膜と銅膜とを配線溝に埋め込むことにより形成されている。このようにして、n 型半導体領域 N R 3 は、プラグ P L G 3 を介して配線 L 1 と電気的に接続されていることになる。これにより、n 型半導体領域 N R 3 と電気的に接続されている n 型ウェル N W L 1 およびウェル分離層 N I S O には、配線 L 1 およびプラグ P L G 3 を介して所定の電位が供給される。

【0049】

続いて、周辺回路形成領域 P E R に形成されている n チャネル型 M I S F E T Q₂ およ

50

び p チャネル型 M I S F E T Q₃ の構成について説明する。周辺回路形成領域 P E R においては、半導体基板 1 S に素子を分離する素子分離領域 S T I が形成されているとともに、半導体基板 1 S の内部には、ウェル分離層 N I S O が形成されている。そして、素子分離領域 S T I で分割された活性領域のうち、n チャネル型 M I S F E T Q₂ を形成する領域（半導体基板 1 S 内）には、p 型ウェル P W L 1 が形成されており、p チャネル型 M I S F E T Q₃ を形成する領域（半導体基板 1 S 内）には、n 型ウェル N W L 1 が形成されている。

【 0 0 5 0 】

n チャネル型 M I S F E T Q₂ は、半導体基板 1 S 内に形成された p 型ウェル P W L 1 上にゲート絶縁膜 G O X が形成されており、このゲート絶縁膜 G O X 上にゲート電極 G 1 が形成されている。ゲート絶縁膜 G O X は、例えば、酸化シリコン膜から形成され、ゲート電極 G 1 は、低抵抗化のため、例えば、ポリシリコン膜 P F 1 とコバルトシリサイド膜 C S の積層膜から形成されている。

10

【 0 0 5 1 】

ゲート電極 G 1 の両側の側壁には、サイドウォール S W 2 が形成されており、このサイドウォール S W 2 下の半導体基板 1 S 内には、半導体領域として、浅い n 型不純物拡散領域 E X 2 が形成されている。サイドウォール S W 2 は、例えば、酸化シリコン膜などの絶縁膜から形成されている。そして、浅い n 型不純物拡散領域 E X 2 の外側に深い n 型不純物拡散領域 N R 2 が形成され、この深い n 型不純物拡散領域 N R 2 の表面にコバルトシリサイド膜 C S が形成されている。

20

【 0 0 5 2 】

サイドウォール S W 2 は、n チャネル型トランジスタ Q₂ の半導体領域であるソース領域およびドレイン領域を L D D 構造とするために形成されたものである。すなわち、n チャネル型トランジスタ Q₂ のソース領域およびドレイン領域は、浅い n 型不純物拡散領域 E X 2 と深い n 型不純物拡散領域 N R 2 より形成されている。このとき、浅い n 型不純物拡散領域 E X 2 の不純物濃度は、深い n 型不純物拡散領域 N R 2 の不純物濃度よりも低くなっている。したがって、サイドウォール S W 2 下のソース領域およびドレイン領域を低濃度の浅い n 型不純物拡散領域 E X 2 とすることにより、ゲート電極 G 1 の端部下における電界集中を抑制できる。

30

【 0 0 5 3 】

次に、p チャネル型 M I S F E T Q₃ は、半導体基板 1 S 内に形成された n 型ウェル N W L 1 上にゲート絶縁膜 G O X が形成されており、このゲート絶縁膜 G O X 上にゲート電極 G 2 が形成されている。ゲート絶縁膜 G O X は、例えば、酸化シリコン膜から形成され、ゲート電極 G 2 は、低抵抗化のため、例えば、ポリシリコン膜 P F 1 とコバルトシリサイド膜 C S の積層膜から形成されている。

30

【 0 0 5 4 】

ゲート電極 G 2 の両側の側壁には、サイドウォール S W 2 が形成されており、このサイドウォール S W 2 下の半導体基板 1 S 内には、半導体領域として、浅い p 型不純物拡散領域 E X 3 が形成されている。サイドウォール S W 2 は、例えば、酸化シリコン膜などの絶縁膜から形成されている。そして、浅い p 型不純物拡散領域 E X 3 の外側に深い p 型不純物拡散領域 P R 1 が形成され、この深い p 型不純物拡散領域 P R 1 の表面にコバルトシリサイド膜 C S が形成されている。

40

【 0 0 5 5 】

サイドウォール S W 2 は、p チャネル型トランジスタ Q₃ の半導体領域であるソース領域およびドレイン領域を L D D 構造とするために形成されたものである。すなわち、p チャネル型トランジスタ Q₃ のソース領域およびドレイン領域は、浅い p 型不純物拡散領域 E X 3 と深い p 型不純物拡散領域 P R 1 より形成されている。このとき、浅い p 型不純物拡散領域 E X 3 の不純物濃度は、深い p 型不純物拡散領域 P R 1 の不純物濃度よりも低くなっている。したがって、サイドウォール S W 2 下のソース領域およびドレイン領域を低濃度の浅い p 型不純物拡散領域 E X 3 とすることにより、ゲート電極 G 2 の端部下における電界集中を抑制できる。

50

る電界集中を抑制できる。

【0056】

以上のようにして、周辺回路形成領域 P E R に n チャネル型トランジスタ Q₂ および p チャネル型トランジスタ Q₃ が形成されている。この周辺回路形成領域 P E R を覆うように、例えば、酸化シリコン膜からなる層間絶縁膜 I L 1 が形成されており、この層間絶縁膜 I L 1 を貫通するようにコンタクトホール C N T 4 が形成されている。コンタクトホール C N T 4 は、n チャネル型トランジスタ Q₂ のソース領域やドレイン領域や、p チャネル型トランジスタ Q₃ のソース領域やドレイン領域に達するように形成されており、このコンタクトホール C N T 4 内にプラグ P L G 4 が形成されている。プラグ P L G 4 は、コンタクトホール C N T 4 内に、例えば、チタン／窒化チタン膜よりなるバリア導体膜と、タンクステン膜とを埋め込むことにより形成されている。10

【0057】

そして、プラグ P L G 4 を形成した層間絶縁膜 I L 1 上に層間絶縁膜 I L 2 が形成されている。この層間絶縁膜 I L 2 も、例えば、酸化シリコン膜から形成されている。層間絶縁膜 I L 2 には配線溝が形成されており、この配線溝を埋め込むように配線 L 1 が形成されている。配線 L 1 は、例えば、タンタル／窒化タンタル膜よりなるバリア導体膜と銅膜とを配線溝に埋め込むことにより形成されている。このようにして、n チャネル型トランジスタ Q₂ のソース領域およびドレイン領域や、p チャネル型トランジスタ Q₃ のソース領域およびドレイン領域は、プラグ P L G 4 を介して配線 L 1 と電気的に接続されていることになる。20

【0058】

本実施の形態 1 における半導体装置は上記のように構成されており、次に、メモリセル形成領域 M C R に形成されているメモリセル (MONOS 型トランジスタ Q₁) の動作について図面を参照しながら説明する。

【0059】

図 5 は、図 2 に示すフラッシュメモリ 5 のメモリアレイ構造と動作条件 (1 セル / 1 トランジスタ) の一例を示す説明図である。図 5 に示す各メモリセルは、電荷を蓄積する MONOS 型トランジスタのみで構成されている。すなわち、メモリセルは、図 4 に示す MONOS 型トランジスタ Q₁ から構成され、それぞれ、図 5 に示すように、セルトランジスタ C T 1 ~ C T 8 を構成している。セルトランジスタ C T 1 ~ C T 8 のゲート電極は、ワード線 W L 1 ~ W L 2 に接続され、ソース領域は、ソース線 S L 1 ~ S L 4 に接続されている。また、セルトランジスタ C T 1 ~ C T 8 のドレイン領域は、データ線 D L 1 ~ D L 4 に接続されている。さらに、セルトランジスタ C T 1 ~ C T 8 のバックゲートは、それぞれ、ウェル W E に接続されている。30

【0060】

図 5 では、説明を簡単にするために、メモリセルを 2 行 4 列に配列する場合を示しているが、これに限定されるものではなく、実際には、さらに多くのメモリセルがマトリクス状に配置され、メモリセルアレイを構成している。この場合、メモリセルの消去は、ワード線単位で行なわれる。

【0061】

続いて、図 5 を参照しながら、メモリセルの消去動作、書き込み動作および読み出し動作について説明する。まず、消去動作から説明する。例えば、データを消去するメモリセル (選択メモリセル) として、セルトランジスタ C T 1 ~ C T 8 に蓄積されたデータを消去する場合を考える。この場合、ウェル W E の電位を 1.5 V とし、ワード線 W L 1 ~ W L 2 の電位を -8.5 V とする。そして、ソース線 S L 1 ~ S L 4 の電位を 1.5 V とし、データ線 D L 1 ~ D L 4 の電位をフローティング状態とする。これにより、セルトランジスタ C T 1 ~ C T 8 の電荷蓄積膜 (窒化シリコン膜) に蓄積されている電荷がウェル W E 側に引き抜かれてデータが消去される。40

【0062】

次に、書き込み動作を説明する。例えば、データを書き込むメモリセル (選択メモリセ

10

20

30

40

50

ル)として、セルトランジスタCT1にデータを書き込む場合を考える。この場合、ウェルWEの電位を-10.5Vとし、ワード線WL1の電位を1.5Vとする。そして、ソース線SL1～SL4の電位を-10.5Vとし、データ線DL1～DL4の電位をフローティング状態とする。これにより、セルトランジスタCT1の電荷蓄積膜に電荷が注入されて、セルトランジスタCT1にデータが書き込まれる。このとき、書き込みを行なわない他のメモリセル(非選択メモリセル)CT2～CT8については、ウェルWEの電位を-10.5Vとし、ワード線WL2の電位を-10.5Vとする。そして、ソース線SL1～SL4の電位を-10.5Vとし、データ線DL1～DL4の電位をフローティング状態とする。これにより、セルトランジスタCT2～CT8の電荷蓄積膜に電荷が注入されず、セルトランジスタCT2～CT8ではデータの書き込みが行なわれない。

10

【0063】

次に、読み出し動作について説明する。例えば、セルトランジスタCT1に「1」データが書き込まれていて、セルトランジスタCT1のしきい値電圧が高くなっている一方、セルトランジスタCT2には「0」データが格納されていて、セルトランジスタCT2のしきい値電圧が低くなっているとする。この状態で、セルトランジスタCT1～CT2のデータを読み出す場合を考える。この場合、ウェルWEの電位を-2V、ワード線WL1の電位を0Vとする。また、ソース線SL1～SL2の電位を0Vとし、データ線DL1～DL2の電位を1Vとする。これにより、セルトランジスタCT1～CT2のデータが読み出される。このとき、セルトランジスタCT1のしきい値電圧は高い一方、セルトランジスタCT2のしきい値電圧は低くなっている。このため、データ線DL1の電位は変化しない一方、データ線DL2の電位は下がる。これにより、セルトランジスタCT1～CT2に記憶されているデータを読み出すことができる。なお、読み出しを行なわない他のメモリセルトランジスタCT3～CT8については、ウェルWEの電位を-2V、ワード線WL2の電位を-2Vとする。また、ソース線SL3～SL4の電位を0Vとし、データ線DL3～DL4の電位を0Vとする。これにより、セルトランジスタCT3～CT8はオンしない。以上のようにして、メモリセル形成領域に形成されているメモリセル(MONOS型トランジスタ)を動作させることができる。

20

【0064】

次に、本実施の形態1における半導体装置の製造方法について説明するが、まず、始めに本発明者が検討した技術における問題点を説明し、その後、本実施の形態1における半導体装置の製造方法について説明する。

30

【0065】

以下に、本発明者が検討した技術における問題点を図6～図10で説明する。図6～図10は、第1領域FR(メモリセル形成領域MCRと境界領域BOR)が図示されている。まず、図6に示すように、半導体基板1Sに素子分離領域STIを形成した後、半導体基板1S内に、フォトリソグラフィ技術およびイオン注入法を使用することにより、ウェル分離層NISO、p型ウェルPWL2およびn型ウェルNWL1を形成する。そして、半導体基板1S上に、例えば、酸化シリコン膜からなるゲート絶縁膜GDXを形成し、このゲート絶縁膜GDX上にポリシリコン膜PF1を形成する。ポリシリコン膜PF1は、例えば、CVD(Chemical Vapor Deposition)法を使用することにより形成することができる。

40

【0066】

このポリシリコン膜PF1は、半導体基板1Sの正面の全面に形成される。したがって、メモリセル形成領域MCRおよび境界領域BORを含む第1領域FR上にポリシリコン膜PF1が形成される。その後、フォトリソグラフィ技術およびエッティング技術を使用することにより、ポリシリコン膜PF1をパターニングする。ポリシリコン膜PF1のパターニングは、メモリセル形成領域MCRに形成されているポリシリコン膜PF1を除去するように行なわれる。この結果、図6に示すように、メモリセル形成領域MCRのポリシリコン膜PF1は除去される一方、境界領域BORにはポリシリコン膜PF1が残存する。このため、メモリセル形成領域MCRと境界領域BORの間にはポリシリコン膜PF1

50

による段差が生じることになる。

【0067】

続いて、図7に示すように、半導体基板1Sの主面上に酸化シリコン膜OX1、窒化シリコン膜SiNおよび酸化シリコン膜OX2を順次形成する。そして、酸化シリコン膜OX2上にポリシリコン膜PF2を形成する。ポリシリコン膜PF2も、例えば、CVD法により形成することができる。ポリシリコン膜PF2は、メモリセル形成領域MCRおよび境界領域BORにわたって形成されるので、ポリシリコン膜PF2は、メモリセル形成領域MCRと境界領域BORとの間に形成されている段差を反映して形成されることになる。

【0068】

そして、図8に示すように、ポリシリコン膜PF2上にレジスト膜FR5を形成する。その後、レジスト膜FR5に対して露光処理を行なう。具体的には、マスクMKを介して露光光をレジスト膜FR5に照射する。このマスクMKは、メモリセル形成領域MCRに形成されるメモリゲート電極を加工するためのマスクである。このとき、メモリゲート電極を設計値通りに加工するためには、マスクMKが形成されていない領域にあるレジスト膜FR5にだけ露光光が照射され、マスクMKが形成されている領域にあるレジスト膜FR5には露光光が遮光されることが望ましい。ところが、図8に示すように、レジスト膜FR5に照射された露光光は、レジスト膜FR5の下層に形成されているポリシリコン膜PF2などによって乱反射される。この乱反射した露光光がマスクMKで遮光されているレジスト膜FR5に達すると、マスクMKで遮光されるべきレジスト膜FR5にも乱反射による露光光が照射され感光することになる。このようにして露光処理が施されたレジスト膜FR5に対して現像処理を施してレジスト膜FR5をパターニングする。このレジスト膜FR5のパターニングは、乱反射による意図しない領域への露光により設計値通りのパターニングにならなくなる。この結果、ポリシリコン膜PF2を加工して形成されるメモリゲート電極の形状も設計値からはずれて、メモリゲート電極の加工精度が劣化することになる。

【0069】

そこで、露光時にレジスト膜FR5の下層に形成されている下地膜からの乱反射を防止するため、下地膜上に反射防止膜を形成し、この反射防止膜上にレジスト膜FR5を形成することが行なわれている。図9は、ポリシリコン膜PF2上に反射防止膜BARCを形成し、この反射防止膜BARC上にレジスト膜FR5を形成している。これにより、マスクMKを介した露光処理の際、レジスト膜FRの下層に形成された膜からの乱反射を反射防止膜BARCによって抑制することができる。この結果、レジスト膜FR5のパターニング精度が向上してメモリゲート電極の加工精度を向上することができる。

【0070】

しかし、レジスト膜FR5の下層に反射防止膜BARCを形成しても、本発明者が検討した技術では、メモリセル形成領域MCRと境界領域BORの間に段差が形成されているため、露光光による乱反射を効果的に防止することができない状況が発生するのである。すなわち、レジスト膜FR5の下層に形成される反射防止膜BARCは、通常、塗布法によって形成される。このため、下地膜であるポリシリコン膜PF2に段差があると、段差の高い領域に形成されている反射防止膜BARCが段差の低い領域に流れてしまい、段差の高い領域に塗布されている反射防止膜が消失することが生じる。つまり、段差近傍の高い領域に形成されている反射防止膜BARCが低い領域に流れてしまい、段差の上部では反射防止膜BARCを形成しているにもかかわらず、反射防止膜BARCが形成されていない事態が生じることになる。このことから、段差の上部に照射された露光光は乱反射を起こす。この結果、乱反射した露光光がマスクMKで遮光されている領域のレジスト膜FR5に照射されてしまい意図しない露光（感光）が行なわれてしまう。したがって、レジスト膜FR5の下層に反射防止膜BARCを形成しても、下地膜（ポリシリコン膜PF2）に段差が生じていると、反射防止膜BARCの効果が低減してしまうことになる。

【0071】

10

20

30

40

50

このようにして露光処理が施されたレジスト膜 F R 5 に対して現像処理を施してレジスト膜 F R 5 をパターニングする。このレジスト膜 F R 5 のパターニングは、乱反射による意図しない領域への露光により設計値通りのパターニングにならなくなる。この結果、ポリシリコン膜 P F 2 を加工して形成されるメモリゲート電極の形状も設計値からずれて、メモリゲート電極の加工精度が劣化することになる。

【 0 0 7 2 】

具体的には、図 10 に示すように、加工されるメモリゲート電極 M G 1、M G 2 の加工精度が劣化することになる。例えば、図 10 には、2 つのメモリゲート電極 M G 1、M G 2 が形成されているが、段差からの乱反射によって最外周に形成されているメモリゲート電極 M G 1 のゲート幅が内側に形成されているメモリゲート電極 M G 2 のゲート幅よりも細くなる現象が生じる。以上より、レジスト膜 F R 5 の下層に反射防止膜 B A R C を形成しても、下地膜（ポリシリコン膜 P F 2）に段差があると、段差の近傍で反射防止膜 B A R C が流れてしまうことが起こる。このため、レジスト膜 F R 5 の下層に反射防止膜 B A R C を形成しても、段差領域では実質的に反射防止膜 B A R C の効果が低減して露光光の乱反射を抑制できなくなる。したがって、段差領域に近い領域に形成されるメモリゲート M G 1 が最も乱反射の影響を受けて加工精度が劣化するのである。つまり、メモリセル形成領域 M C R と境界領域 B O R との境界に近い領域に形成されるメモリゲート電極 M G 1 の加工精度が乱反射による影響を受けることになる。言い換えれば、メモリセル形成領域 M C R の最外周に形成されるメモリゲート M G 1 の加工精度は、レジスト膜 F R 5 の下層に形成される下地膜からの乱反射に大きく影響を受けることになる。

10

20

30

40

【 0 0 7 3 】

ここで、段差の影響により反射防止膜 B A R C の機能が低減されることに注目すると、下地膜であるポリシリコン膜 P F 2 に形成される段差を無くすことが考えられるが、以下に示す理由により本発明者が検討した技術では、下地膜であるポリシリコン膜 P F 2 に段差が生じているのである。このことについて説明する。まず、本発明者が検討した技術では、メモリセル形成領域 M C R に M O N O S 型トランジスタを形成し、周辺回路形成領域に M I S F E T を形成することを前提としている。したがって、メモリセル形成領域 M C R に M O N O S 型トランジスタのメモリゲート電極を形成し、周辺回路形成領域に M I S F E T のゲート電極を形成することになる。このため、本発明者が検討した技術では、まず、周辺回路形成領域に形成される M I S F E T のゲート電極加工用のポリシリコン膜 P F 1 を形成し、その後、メモリセル形成領域 M C R に M O N O S 型トランジスタのメモリゲート電極加工用のポリシリコン膜 P F 2 を形成しているのである。つまり、M I S F E T のゲート電極加工用のポリシリコン膜 P F 1 と、M O N O S 型トランジスタのメモリゲート電極加工用のポリシリコン膜 P F 2 の2つの膜が必要となるのである。このとき、まず、始めに、M I S F E T のゲート電極加工用のポリシリコン膜 P F 1 を半導体基板 1 S 上に形成した後、メモリセル形成領域 M C R に形成されているポリシリコン膜 P F 1 を除去している（図 6 参照）。これにより、メモリセル形成領域 M C R と境界領域 B O R の間に段差が生じることになる。その後、メモリセル形成領域を含む半導体基板 1 S にポリシリコン膜 P F 2 を形成するので、ポリシリコン膜 P F 2 は、下地の段差を反映して段差を有することになる。

【 0 0 7 4 】

このとき、先に、メモリゲート電極加工用のポリシリコン膜 P F 2 を形成してメモリゲート電極を加工し、その後、半導体基板 1 S 上に、周辺回路を構成する M I S F E T のゲート電極加工用のポリシリコン膜 P F 1 を形成することが考えられる。この場合、メモリゲート電極加工用のポリシリコン膜 P F 2 は段差のない半導体基板 1 S 上に形成されて、かつ、周辺回路を構成する M I S F E T のゲート電極加工用のポリシリコン膜 P F 1 を形成する前にメモリゲート電極が加工される。このため、メモリゲート電極の加工の際、レジスト膜 F R 5 の下地膜（ポリシリコン膜 P F 2）に段差が生じず、段差による反射防止膜 B A R C の流出という現象を抑制することができると考えられる。したがって、レジスト膜 F R 5 の下層にはほぼ均一に反射防止膜 B A R C が形成され、レジスト膜 F R 5 の下

50

層に形成されている下地膜（ポリシリコン膜 P F 2）からの乱反射の影響を抑制することができると考えられる。

【 0 0 7 5 】

しかし、先に、メモリゲート電極を形成した後、周辺回路を構成する M I S F E T のゲート電極加工用のポリシリコン膜 P F 1 を形成する場合には以下に示す不都合が生じる。例えば、上述した製造工程では、メモリゲート電極を形成した後、周辺回路を構成する M I S F E T のゲート絶縁膜を形成する工程が存在することになる。この工程は、例えば、熱酸化法で実施されるが、この熱酸化工程で、メモリゲート電極にバースピークが生じるのである。メモリゲート電極にバースピークが生じると、M O N O S 型トランジスタの特性劣化が生じる。このことから、メモリゲート電極を形成した後、周辺回路を構成する M I S F E T のゲート電極加工用のポリシリコン膜 P F 1 を形成することは望ましくないである。以上より、本発明者が検討した技術では、まず、半導体基板 1 S 上に周辺回路を構成する M I S F E T のゲート電極加工用のポリシリコン膜 P F 1 を形成し、その後、メモリセル形成領域 M C R に形成されているポリシリコン膜 P F 1 を除去する。そして、メモリセル形成領域 M C R を含む半導体基板 1 S 上にメモリゲート電極加工用のポリシリコン膜 P F 2 を形成しているのである。このような製造工程では、メモリゲート電極を形成する前に、周辺回路を構成する M I S F E T のゲート絶縁膜を形成する工程が存在することから、メモリゲート電極にバースピークが発生することを抑制できる利点があることになる。

【 0 0 7 6 】

ところが、このような製造工程をとると、半導体基板 1 S 上に周辺回路を構成する M I S F E T のゲート電極加工用のポリシリコン膜 P F 1 を形成し、その後、メモリセル形成領域 M C R に形成されているポリシリコン膜 P F 1 を除去することになるので、メモリセル形成領域 M C R と境界領域 B O R の間に段差が生じることになる。そして、この段差を反映してメモリゲート電極加工用のポリシリコン膜 P F 2 が形成され、さらに、ポリシリコン膜 P F 2 上に反射防止膜 B A R C が塗布されることになる。この結果、上述したように、本発明者が検討した技術によれば、段差に起因した反射防止膜 B A R C の効果の低減という問題が顕在化するのである。

【 0 0 7 7 】

そこで、本実施の形態 1 における半導体製造方法では、本発明者が検討した技術と同様に、半導体基板 1 S 上に周辺回路を構成する M I S F E T のゲート電極加工用のポリシリコン膜 P F 1 を形成し、メモリセル形成領域 M C R に形成されているポリシリコン膜 P F 1 を除去する。そして、メモリセル形成領域 M C R を含む半導体基板 1 S にメモリゲート電極加工用のポリシリコン膜 P F 2 を形成することを前提とする。この場合、本発明者が検討した技術では、段差による反射防止膜 B A R C の消失に起因したメモリゲート電極の加工精度の劣化が問題となるが、本実施の形態 1 では、以下に示す工夫を施している。この工夫を施した本実施の形態 1 における半導体装置の製造方法について図面を参照しながら説明する。本実施の形態 1 では、第 1 領域 F R （メモリセル形成領域 M C R と境界領域 B O R ）と第 1 領域 F R の外部にある周辺回路形成領域 P E R を図示して説明することにする。

【 0 0 7 8 】

まず、図 1 1 に示すように、ホウ素（B）などの p 型不純物を導入したシリコン単結晶よりなる半導体基板 1 S を用意する。このとき、半導体基板 1 S は、略円盤形状をした半導体ウェハの状態になっている。そして、半導体基板 1 S の活性領域を分離する素子分離領域 S T I を形成する。素子分離領域 S T I は、素子が互いに干渉しないようにするために設けられる。この素子分離領域 S T I は、例えば L O C O S (local Oxidation of silicon) 法や S T I (shallow trench isolation) 法を用いて形成することができる。例えば、S T I 法では、以下のようにして素子分離領域 S T I を形成している。すなわち、半導体基板 1 S にフォトリソグラフィ技術およびエッチング技術を使用して素子分離溝を形成する。そして、素子分離溝を埋め込むように半導体基板 1 S 上に酸化シリコン膜を形成

10

20

30

40

50

し、その後、化学的機械的研磨法（C M P ; chemical mechanical polishing）により、半導体基板 1 S 上に形成された不要な酸化シリコン膜を除去する。これにより、素子分離溝内にだけ酸化シリコン膜を埋め込んだ素子分離領域 S T I を形成することができる。

【 0 0 7 9 】

続いて、図 1 2 に示すように、半導体基板 1 S 上にレジスト膜 F R 1 を形成する。そして、レジスト膜 F R 1 に対して露光、現像処理を施すことにより、レジスト膜 F R 1 をパターニングする。レジスト膜 F R 1 のパターニングは、メモリセル形成領域 M C R から境界領域 B O R 内の素子分離領域 S T I が形成されていない領域の一部にかけてレジスト膜 F R 1 が残存しないように、かつ、周辺回路形成領域 P E R にレジスト膜 F R 1 が残存しないように行なわれる。このようにしてパターニングされたレジスト膜 F R 1 をマスクにしたイオン注入法により、半導体基板 1 S 内にウェル分離層 N I S O を形成する。このウェル分離層 N I S O は、半導体基板 1 S 内にリンや砒素などの n 型不純物を導入することにより形成された半導体領域である。ウェル分離層 N I S O は、メモリセル形成領域 M C R と周辺回路形成領域 P E R に形成される。

10

【 0 0 8 0 】

次に、図 1 3 に示すように、半導体基板 1 S 上にレジスト膜 F R 2 を形成する。そして、レジスト膜 F R 2 に対して露光、現像処理を施すことにより、レジスト膜 F R 2 をパターニングする。レジスト膜 F R 2 のパターニングは、メモリセル形成領域 M C R 、境界領域 B O R および周辺回路形成領域 P E R のうち p チャネル型 M I S F E T 形成領域にレジスト膜 F R 2 が残存し、周辺回路形成領域 P E R のうち n チャネル型 M I S F E T 形成領域にレジスト膜 F R 2 が残存しないように行なわれる。このようにしてパターニングされたレジスト膜 F R 2 をマスクにしたイオン注入法により、半導体基板 1 S 内に p 型ウェル P W L 1 を形成する。この p 型ウェル P W L 1 は、半導体基板 1 S 内にホウ素（ボロン）などの p 型不純物を導入することにより形成された半導体領域である。 p 型ウェル P W L 1 は、周辺回路形成領域 P E R の n チャネル型 M I S F E T 形成領域に形成される。

20

【 0 0 8 1 】

続いて、図 1 4 に示すように、半導体基板 1 S 上にレジスト膜 F R 3 を形成する。そして、レジスト膜 F R 3 に対して露光、現像処理を施すことにより、レジスト膜 F R 3 をパターニングする。レジスト膜 F R 3 のパターニングは、メモリセル形成領域 M C R 、境界領域 B O R の一部および周辺回路形成領域 P E R のうち n チャネル型 M I S F E T 形成領域にレジスト膜 F R 3 が残存し、境界領域 B O R 内で素子分離領域 S T I が形成されていない領域を含む境界領域 B O R の一部および周辺回路形成領域 P E R のうち p チャネル型 M I S F E T 形成領域にレジスト膜 F R 3 が残存しないように行なわれる。このようにしてパターニングされたレジスト膜 F R 3 をマスクにしたイオン注入法により、半導体基板 1 S 内に n 型ウェル N W L 1 を形成する。この n 型ウェル N W L 1 は、半導体基板 1 S 内にリンや砒素などの n 型不純物を導入することにより形成された半導体領域である。 n 型ウェル N W L 1 は、境界領域 B O R の一部および周辺回路形成領域 P E R の p チャネル型 M I S F E T 形成領域に形成される。このとき、境界領域 B O R の一部においては、 n 型ウェル N W L 1 が形成されるが、この n 型ウェル N W L 1 は、深い領域に形成されているウェル分離層 N I S O と接続するように形成されている。すなわち、境界領域 B O R に形成されている n 型ウェル N W L 1 は、ウェル分離層 N I S O と電気的に接続されることになる。

30

【 0 0 8 2 】

次に、図 1 5 に示すように、半導体基板 1 S 上にゲート絶縁膜 G O X を形成する。このゲート絶縁膜 G O X は、周辺回路形成領域 P E R に形成される M I S F E T のゲート絶縁膜となる膜である。したがって、ゲート絶縁膜 G O X は、例えば、酸化シリコン膜から形成され、例えば熱酸化法を使用して形成することができる。ただし、ゲート絶縁膜 G O X は、酸化シリコン膜に限定されるものではなく種々変更可能であり、例えば、ゲート絶縁膜 G O X を酸窒化シリコン膜（S i O N）としてもよい。すなわち、ゲート絶縁膜 G O X と半導体基板 1 S との界面に窒素を偏析させる構造としてもよい。酸窒化シリコン膜は、

40

50

酸化シリコン膜に比べて膜中における界面準位の発生を抑制したり、電子トラップを低減する効果が高い。したがって、ゲート絶縁膜G O Xのホットキャリア耐性を向上でき、絶縁耐性を向上させることができる。また、酸窒化シリコン膜は、酸化シリコン膜に比べて不純物が貫通しにくい。このため、ゲート絶縁膜G O Xに酸窒化シリコン膜を用いることにより、ゲート電極中の不純物が半導体基板1 S側に拡散することに起因するしきい値電圧の変動を抑制することができる。酸窒化シリコン膜を形成するのは、例えば、半導体基板1 SをN O、N O₂またはN H₃といった窒素を含む雰囲気中で熱処理すればよい。また、半導体基板1 Sの表面に酸化シリコン膜からなるゲート絶縁膜G O Xを形成した後、窒素を含む雰囲気中で半導体基板1 Sを熱処理し、ゲート絶縁膜G O Xと半導体基板1 Sとの界面に窒素を偏析させることによっても同様の効果を得ることができる。

10

【0083】

また、ゲート絶縁膜G O Xは、例えば酸化シリコン膜より誘電率の高い高誘電率膜から形成してもよい。従来、絶縁耐性が高い、シリコン・酸化シリコン界面の電気的・物性的安定性などが優れているとの観点から、ゲート絶縁膜G O Xとして酸化シリコン膜が使用されている。しかし、素子の微細化に伴い、ゲート絶縁膜G O Xの膜厚について、極薄化が要求されるようになってきている。このように薄い酸化シリコン膜をゲート絶縁膜G O Xとして使用すると、M I S F E Tのチャネルを流れる電子が酸化シリコン膜によって形成される障壁をトンネルしてゲート電極に流れる、いわゆるトンネル電流が発生してしまう。

20

【0084】

そこで、酸化シリコン膜より誘電率の高い材料を使用することにより、容量が同じでも物理的膜厚を増加させることができる高誘電率膜が使用されるようになってきている。高誘電率膜によれば、容量を同じにしても物理的膜厚を増加させることができるので、リーキ電流を低減することができる。

【0085】

例えば、高誘電率膜として、ハフニウム酸化物の一つである酸化ハフニウム膜(H f O₂膜)が使用されるが、酸化ハフニウム膜に変えて、ハフニウムアルミネート膜、H f O N膜(ハフニウムオキシナイトライド膜)、H f S i O膜(ハフニウムシリケート膜)、H f S i O N膜(ハフニウムシリコンオキシナイトライド膜)、H f A l O膜のような他のハフニウム系絶縁膜を使用することもできる。さらに、これらのハフニウム系絶縁膜に酸化タンタル、酸化ニオブ、酸化チタン、酸化ジルコニア、酸化ランタン、酸化イットリウムなどの酸化物を導入したハフニウム系絶縁膜を使用することもできる。ハフニウム系絶縁膜は、酸化ハフニウム膜と同様、酸化シリコン膜や酸窒化シリコン膜より誘電率が高いので、酸化ハフニウム膜を用いた場合と同様の効果が得られる。

30

【0086】

続いて、ゲート絶縁膜G O X上にポリシリコン膜P F 1を形成する。ポリシリコン膜P F 1は、例えば、C V D法を使用することにより形成することができる。このポリシリコン膜P F 1は、第1領域F Rおよび周辺回路形成領域P E Rを含む半導体基板1 S上に形成される。そして、図16に示すように、ポリシリコン膜P F 1上にレジスト膜F R 4を形成する。このレジスト膜F R 4に対して露光、現像処理を施すことにより、レジスト膜F R 4をパターニングする。レジスト膜F R 4のパターニングは、境界領域B O Rのうち、ダミーゲート電極形成領域と周辺回路形成領域P E Rにレジスト膜F R 4が残存し、それ以外の領域にレジスト膜F R 4が残存しないように行なわれる。その後、パターニングしたレジスト膜F R 4をマスクにしたエッチング技術により、ポリシリコン膜P F 1を加工する。これにより、境界領域B O Rにダミーゲート電極D M Y 1を形成することができる。

40

【0087】

次に、図17に示すように、ダミーゲート電極D M Y 1を形成する際に使用したレジスト膜F R 4をそのままマスクに使用してイオン注入法を実施する。これにより、メモリセル形成領域M C Rにp型ウェルP W L 2を形成する。p型ウェルP W L 2は、半導体基板

50

1S内にホウ素(ボロン)などのp型不純物を導入することにより形成された半導体領域である。本実施の形態1では、ダミーゲート電極DMY1を形成する際に使用したマスク(レジスト膜FR4)をそのままイオン注入法のマスクに使用することにより、マスクの削減を図ることができる。

【0088】

続いて、パターニングしたレジスト膜FR4を除去した後、図18に示すように、半導体基板1Sの正面の全面に、酸化シリコン膜OX1、窒化シリコン膜SiNおよび酸化シリコン膜OX2を順次形成する。酸化シリコン膜OX1は、例えば、熱酸化法を使用して形成され、酸化シリコン膜OX2は、例えば、ISSG(In situ Steam Generation)酸化法を使用して形成され、窒化シリコン膜SiNは、例えば、CVD法を使用することにより形成することができる。そして、酸化シリコン膜OX2上にポリシリコン膜PF2を形成する。ポリシリコン膜PF2は、例えば、CVD法により形成することができる。ポリシリコン膜PF1は、ダミーゲート電極DMY1を形成したことによる段差DIFおよびギャップ溝GAPの形状を反映して形成される。具体的に、ポリシリコン膜PF2は、ギャップ溝GAPを埋め込むように形成されるので、ギャップ溝GAP上でポリシリコン膜PF2の凹部CONが形成される。

【0089】

次に、図19に示すように、ポリシリコン膜PF2上に反射防止膜BARCを形成する。この反射防止膜BARCは例えば塗布法により形成することができる。そして、この反射防止膜BARC上にレジスト膜FR5を形成する。このとき、本実施の形態1の特徴は、反射防止膜BARCがほぼ均一にポリシリコン膜PF2上に形成される点にある。詳細には、本実施の形態1では、ポリシリコン膜PF1よりなるダミーゲート電極DMY1を形成しているので、メモリセル形成領域MCRと境界領域BORの境界にポリシリコン膜PF1による段差DIFが形成されるとともに、境界領域BOR内にギャップ溝GAPが形成されている。つまり、ダミーゲート電極DMY1を形成することにより、ダミーゲート電極DMY1と周辺回路形成領域PERを覆うポリシリコン膜PF1の間にギャップ溝GAPが形成される。この結果、ダミーゲート電極DMY1を含むポリシリコン膜PF1を覆うように形成されるポリシリコン膜PF2は、ダミーゲート電極DMY1の端部による段差DIFと境界領域BOR内部のギャップ溝GAPの形状を反映して形成される。このため、ポリシリコン膜PF2は、段差DIFにおいてステップ形状となるとともに、ギャップ溝GAPを埋め込む凹部CONが形成される。このような形状にポリシリコン膜PF2が形成される結果、ポリシリコン膜PF2上に形成される反射防止膜BARCを半導体基板1Sの全体にわたってほぼ均一に形成することができる。

【0090】

この理由について説明する。ポリシリコン膜PF2においても段差DIFの形状を反映してステップ形状になっている。したがって、このステップ形状をしたポリシリコン膜PF2上に形成される流動性の高い反射防止膜BARCは、段差DIF近傍の高い領域に形成されている反射防止膜BARCが低い領域に流れてしまい、段差DIFの上部では反射防止膜BARCを形成しているにもかかわらず、反射防止膜BARCが形成されていない事態が生じることになる。しかし、本実施の形態1では、ポリシリコン膜PF1を加工してダミーゲート電極DMY1を形成している。このダミーゲート電極DMY1を形成することにより、ダミーゲート電極DMY1とポリシリコン膜PF1との間にギャップ溝GAPが形成される。このギャップ溝GAPが形成されることにより、ダミーゲート電極DMY1およびポリシリコン膜PF1を覆うように形成されるポリシリコン膜PF2に、凹部CONが形成される。この凹部CONには反射防止膜BARCが埋め込まれることになる。このことから、本実施の形態1では、段差DIF近傍の高い領域に形成されている反射防止膜BARCが低い領域に流れてしまっても、凹部CONに蓄えられた流動性の高い反射防止膜BARC(反射防止膜BARCを構成する材料)が段差DIF近傍の高い領域に供給される。この結果、段差DIF近傍の高い領域において、低い領域に反射防止膜BARCの一部が流出しても、凹部CONから反射防止膜BARCが逐次補充されるので、段

10

20

30

40

50

差DIF近傍の高い領域でも反射防止膜BARCが消失することなく所定の膜厚の反射防止膜BARCを確保することができる。このため、段差DIF近傍の領域においても反射防止を抑制できるのに充分な膜厚の反射防止膜BARCを形成することができる。

【0091】

次に、図20に示すように、マスクMKを介してレジスト膜FR5に露光処理を実施する。このとき、マスクMKを形成している領域のレジスト膜FR5は露光光の照射が遮断される。一方、マスクMKが形成されていない領域のレジスト膜FR5には露光光が照射される。そして、露光光が照射されたレジスト膜FR5は感光するが、露光光の一部はレジスト膜FR5を透過する。このレジスト膜FR5を透過した露光光が下地膜（ポリシリコン膜PF2）で乱反射するとマスクMKで覆われている領域のレジスト膜FR5にも意図しない露光が行なわれることになる。しかし、本実施の形態1では、レジスト膜FR5と下地膜であるポリシリコン膜PF2の間に反射防止膜BARCが形成されているので、レジスト膜FR5を透過した露光光が下地膜で乱反射することを抑制できる。特に、本実施の形態1では、ダミーゲート電極DMY1を形成し、このダミーゲート電極DMY1を覆うようにポリシリコン膜PF2が形成されているので、ポリシリコン膜PF2は、段差DIFを反映したステップ状の形状になるとともに、ギャップ溝GAPを反映して凹部CONが形成される。したがって、段差DIFによって段差DIF近傍の高い領域から低い領域へ流動性の高い反射防止膜BARCが流出しても、凹部CONに反射防止膜BARCが蓄積されているので、段差DIF近傍の領域で消失した反射防止膜BARCが凹部CONから充分な反射防止膜BARCが補充される。このため、本実施の形態1によれば、段差DIFにおいても、露光光の乱反射を充分に抑制できる程度の膜厚の反射防止膜BARCを形成することができる。このことから、本実施の形態1によれば、露光光の意図しない乱反射を抑制することができ、レジスト膜FR5のパターニング精度を向上することができる。

10

20

30

40

【0092】

続いて、図21に示すように、パターニングしたレジスト膜FR5をマスクにしてポリシリコン膜PF2を加工することにより、メモリセル形成領域MCRにメモリゲート電極MGを形成する。このとき、レジスト膜FR5のパターニング精度が向上しているので、メモリゲート電極MGの加工精度も向上することができる。つまり、メモリセル形成領域MCRの最外周に形成されているメモリゲート電極MGにおいても、ゲート幅が他のメモリゲート電極MGに比べて細くなることを防止できる。このことから、本実施の形態1によれば、段差による反射防止膜BARCの消失に起因したレジスト膜FR5のパターニング精度の劣化を改善することができるので、メモリゲート電極MGの加工精度を向上することができる。なお、図21に示すように、メモリゲート電極MGを加工した後、このメモリゲート電極MGの下層にある酸化シリコン膜OX2、窒化シリコン膜SINおよび酸化シリコン膜OX1も加工される。これにより、メモリゲート電極MGの下層に、酸化シリコン膜OX1からなる第1電位障壁膜EB1を形成し、この第1電位障壁膜EB1上に形成されている窒化シリコン膜からなる電荷蓄積膜ECを形成することができる。さらに、この電荷蓄積膜EC上に酸化シリコン膜OX2からなる第2電位障壁膜EB2を形成することができる。メモリゲート電極MGを加工する工程において、ダミーゲート電極DMY1の側壁にはサイドウォールSW1が形成される。この工程においては、メモリセル形成領域MCRの外周側にメモリゲート電極MGの加工精度を確保するのに必要なスペースを置く必要がある。

【0093】

次に、図22に示すように、フォトリソグラフィ技術およびエッチング技術を使用することにより、周辺回路形成領域PERに形成されているポリシリコン膜PF1を加工する。これにより、周辺回路形成領域PERにポリシリコン膜PF1よりなるゲート電極G1およびゲート電極G2を形成する。このとき、同時に境界領域BORに形成されているダミーゲート電極DMY1も加工して、ダミーゲート電極DMY1の中央部に開口部OPを

50

形成する。この開口部 O P からは、半導体基板 1 S に形成されている n 型ウェル N W L 1 が露出することになる。

【 0 0 9 4 】

続いて、図 2 3 に示すように、メモリセル形成領域 M C R において、フォトリソグラフィ技術およびイオン注入法を使用することにより、メモリゲート電極 M G に整合した半導体基板 1 S 内に浅い n 型不純物拡散領域 E X 1 を形成する。この浅い n 型不純物拡散領域 E X 1 は、リンや砒素などの n 型不純物を半導体基板 1 S 内に導入した半導体領域である。同様に、周辺回路形成領域 P E R において、フォトリソグラフィ技術およびイオン注入法を使用することにより、ゲート電極 G 1 に整合した半導体基板 1 S 内に浅い n 型不純物拡散領域 E X 2 を形成する。この浅い n 型不純物拡散領域 E X 2 もリンや砒素などの n 型不純物を半導体基板 1 S 内に導入した半導体領域である。さらに、周辺回路形成領域 P E R においては、フォトリソグラフィ技術およびイオン注入法を使用することにより、ゲート電極 G 2 に整合した半導体基板 1 S 内に浅い p 型不純物拡散領域 E X 3 を形成する。この浅い p 型不純物拡散領域 E X 3 は、例えば、ボロンなどの p 型不純物を半導体基板 1 S 内に導入した半導体領域である。10

【 0 0 9 5 】

その後、図 2 4 に示すように、半導体基板 1 S 上に、例えば、酸化シリコン膜などからなる絶縁膜を形成した後、この絶縁膜を異方性エッチングすることにより、サイドウォール S W 2 を形成する。具体的には、メモリゲート電極 M G の両側の側壁にサイドウォール S W 2 が形成され、ダミーゲート電極 D M Y 1 の側壁にもサイドウォール S W 2 が形成される。さらに、周辺回路形成領域 P E R においても、ゲート電極 G 1 およびゲート電極 G 2 の側壁にサイドウォール S W 2 が形成される。20

【 0 0 9 6 】

そして、メモリセル形成領域 M C R において、フォトリソグラフィ技術およびイオン注入法を使用することにより、メモリゲート電極 M G の側壁に形成されているサイドウォール S W 2 に整合した半導体基板 1 S 内に深い n 型不純物拡散領域 N R 1 を形成する。この深い n 型不純物拡散領域 N R 1 は、リンや砒素などの n 型不純物を半導体基板 1 S 内に導入した半導体領域である。このとき、深い n 型不純物拡散領域 N R 1 には、浅い n 型不純物拡散領域 E X 1 よりも高濃度に n 型不純物が導入されている。浅い n 型不純物拡散領域 E X 1 と深い n 型不純物拡散領域 N R 1 により、M O N O S 型トランジスタのソース領域およびドレイン領域が形成される。30

【 0 0 9 7 】

同様に、周辺回路形成領域 P E R において、フォトリソグラフィ技術およびイオン注入法を使用することにより、ゲート電極 G 1 の側壁に形成されたサイドウォール S W 2 に整合した半導体基板 1 S 内に深い n 型不純物拡散領域 N R 2 を形成する。この深い n 型不純物拡散領域 N R 2 もリンや砒素などの n 型不純物を半導体基板 1 S 内に導入した半導体領域である。このとき、深い n 型不純物拡散領域 N R 2 には、浅い n 型不純物拡散領域 E X 2 よりも高濃度に n 型不純物が導入されている。浅い n 型不純物拡散領域 E X 2 と深い n 型不純物拡散領域 N R 2 により、n チャネル型 M I S F E T のソース領域およびドレイン領域が形成される。40

【 0 0 9 8 】

同様に、周辺回路形成領域 P E R においては、フォトリソグラフィ技術およびイオン注入法を使用することにより、ゲート電極 G 2 の側壁に形成されたサイドウォール S W 2 に整合した半導体基板 1 S 内に深い p 型不純物拡散領域 P R 1 を形成する。この深い p 型不純物拡散領域 P R 1 は、例えば、ボロンなどの p 型不純物を半導体基板 1 S 内に導入した半導体領域である。このとき、深い p 型不純物拡散領域 P R 1 には、浅い p 型不純物拡散領域 E X 3 よりも高濃度に n 型不純物が導入されている。浅い p 型不純物拡散領域 E X 3 と深い n 型不純物拡散領域 P R 1 により、p チャネル型 M I S F E T のソース領域およびドレイン領域が形成される。50

【 0 0 9 9 】

さらに、メモリセル形成領域において、最外周に形成されているメモリゲート電極M Gの外側に露出しているp型ウェルP W L 2の表面にp型半導体領域P R 2を形成する。そして、境界領域B O Rにおいて、ダミーゲート電極D M Y 1の中央部に形成された開口部O Pから露出しているn型ウェルN W L 1の表面にn型半導体領域N R 3を形成する。

【0100】

次に、シリサイド工程について図24を参照しながら説明する。半導体基板1 S上にコバルト膜を形成する。このとき、メモリセル形成領域M C Rでは、露出しているメモリゲート電極M Gと、半導体基板1 Sに露出している深いn型不純物拡散領域N R 1にもコバルト膜が直接接する。さらに、半導体基板1 Sの表面に形成されているp型半導体領域P R 2上にも直接コバルト膜が接触する。また、境界領域B O Rにおいても、ダミーゲート電極D M Y 1や、半導体基板1 Sの表面に形成されているn型半導体領域N R 3にも直接コバルト膜が接触する。一方、周辺回路形成領域P E Rでも、ゲート電極G 1、G 2、深いn型不純物拡散領域N R 2および深いp型不純物拡散領域P R 1にも直接コバルト膜が接触する。

10

【0101】

その後、半導体基板1 Sに対して熱処理を実施する。これにより、メモリセル形成領域M C Rにおいては、メモリゲート電極M Gと、深いn型不純物拡散領域N R 1と、p型半導体領域P R 2にコバルトシリサイド膜C Sを形成する。これにより、メモリゲート電極M Gは、ポリシリコン膜P F 2とコバルトシリサイド膜C Sの積層構造となる。コバルトシリサイド膜C Sは、メモリゲート電極M Gの低抵抗化のために形成される。同様に、上述した熱処理により、p型半導体領域P R 2や深いn型不純物拡散領域N R 1の表面においてもシリコンとコバルト膜が反応してコバルトシリサイド膜C Sが形成される。このため、p型半導体領域P R 2や深いn型不純物拡散領域N R 1においても低抵抗化を図ることができる。

20

【0102】

同様に、境界領域B O Rにおいても、ダミーゲート電極D M Y 1と、n型半導体領域N R 3にコバルトシリサイド膜C Sを形成する。これにより、ダミーゲート電極D M Y 1は、ポリシリコン膜P F 1とコバルトシリサイド膜C Sの積層構造となる。上述した熱処理により、n型半導体領域N R 3の表面においてもシリコンとコバルト膜が反応してコバルトシリサイド膜C Sが形成される。このため、n型半導体領域N R 3においても低抵抗化を図ることができる。

30

【0103】

さらに、周辺回路形成領域P E Rにおいても、ゲート電極G 1、G 2を構成するポリシリコン膜P F 1とコバルト膜を反応させて、コバルトシリサイド膜C Sを形成する。これにより、ゲート電極G 1、G 2は、それぞれ、ポリシリコン膜P F 1とコバルトシリサイド膜C Sの積層構造となる。コバルトシリサイド膜C Sは、ゲート電極G 1、G 2の低抵抗化のために形成される。上述した熱処理により、深いn型不純物拡散領域N R 2や深いp型不純物拡散領域P R 1の表面においてもシリコンとコバルト膜が反応してコバルトシリサイド膜C Sが形成される。このため、深いn型不純物拡散領域N R 2や深いp型不純物拡散領域P R 1においても低抵抗化を図ることができる。

40

【0104】

そして、未反応のコバルト膜は、半導体基板1 S上から除去される。なお、本実施の形態1では、コバルトシリサイド膜C Sを形成するように構成しているが、例えば、コバルトシリサイド膜C Sに代えてニッケルシリサイド膜やチタンシリサイド膜を形成するようにしてもよい。以上のようにして、半導体基板1 Sのメモリセル形成領域M C Rに複数のメモリセル(MONOS型トランジスタ)とp型ウェル給電領域を形成し、周辺回路形成領域P E Rにnチャネル型M I S F E Tおよびpチャネル型M I S F E Tを形成することができる。そして、境界領域においては、n型ウェル給電領域を形成することができる。

【0105】

次に、配線工程について、図4を参照しながら説明する。図4に示すように、半導体基

50

板 1 S の主面上に層間絶縁膜 I L 1 を形成する。この層間絶縁膜 I L 1 は、例えば、酸化シリコン膜から形成され、例えば T E O S (tetra ethyl ortho silicate) を原料とした C V D 法を使用して形成することができる。その後、層間絶縁膜 I L 1 の表面を、例えば C M P (Chemical Mechanical Polishing) 法を使用して平坦化する。なお、層間絶縁膜 I L 1 を窒化シリコン膜と酸化シリコン膜の積層膜から形成してもよい。つまり、窒化シリコン膜を層間絶縁膜 I L 1 にコンタクトホールを形成する際のエッチングストップ膜として使用することもできる (S A C (Self Align Contact))。

【 0 1 0 6 】

続いて、フォトリソグラフィ技術およびエッチング技術を使用して、層間絶縁膜 I L 1 にコンタクトホール C N T 1 ~ C N T 4 を形成する。このコンタクトホール C N T 1 ~ C N T 2 はメモリセル形成領域 M C R に形成され、コンタクトホール C N T 3 は境界領域 B O R に形成される。そして、コンタクトホール C N T 4 は周辺回路形成領域 P E R に形成される。

10

【 0 1 0 7 】

ここで、コンタクトホール C N T 2 は、メモリセル形成領域 M C R 内でメモリゲート電極 M G の加工精度を確保するのに必要なスペースに形成されるが、メモリセル形成領域 M C R の外側の境界領域 F R に形成されたダミーゲート電極 D M Y 1 の外側に形成することも可能である。しかし、その場合には、半導体チップの面積が大きくなってしまうという不具合が生じてしまう。そのため、本実施の形態 1 では、メモリセル領域 M C R 内のメモリゲート電極 M G の加工精度を確保するのに必要なスペースとして置かれた領域にコンタクトホール C N T 2 を形成することで、半導体チップの面積が拡大しないようなレイアウトを可能にしている。

20

【 0 1 0 8 】

次に、コンタクトホール C N T 1 ~ C N T 4 の底面および内壁を含む層間絶縁膜 I L 1 上にチタン / 窒化チタン膜を形成する。チタン / 窒化チタン膜は、チタン膜と窒化チタン膜の積層膜から構成され、例えばスパッタリング法を使用することにより形成することができる。このチタン / 窒化チタン膜は、例えば、後の工程で埋め込む膜の材料であるタングステンがシリコン中へ拡散するのを防止する、いわゆるバリア性を有する。

30

【 0 1 0 9 】

続いて、コンタクトホール C N T 1 ~ C N T 4 を埋め込むように、半導体基板 1 S の正面の全面にタングステン膜を形成する。このタングステン膜は、例えば C V D 法を使用して形成することができる。そして、層間絶縁膜 I L 1 上に形成された不要なチタン / 窒化チタン膜およびタングステン膜を例えば C M P 法を使用して除去することにより、プラグ P L G 1 ~ P L G 4 を形成することができる。

40

【 0 1 1 0 】

次に、図 4 に示すように、プラグ P L G 1 ~ P L G 4 を形成した層間絶縁膜 I L 1 上に層間絶縁膜 I L 2 を形成する。そして、フォトリソグラフィ技術およびエッチング技術を使用することにより、層間絶縁膜 I L 2 に溝を形成する。その後、溝内を含む層間絶縁膜 I L 2 上にタンタル / 窒化タンタル膜を形成する。このタンタル / 窒化タンタル膜は、例えば、スパッタリング法により形成することができる。続いて、タンタル / 窒化タンタル膜上に薄い銅膜となるシード膜を、例えば、スパッタリング法で形成した後、このシード膜を電極とする電解めっき法により、溝を形成した層間絶縁膜 I L 2 上に銅膜を形成する。その後、溝の内部以外の層間絶縁膜 I L 2 上に露出している銅膜を、例えば、C M P 法で研磨して除去することにより、層間絶縁膜 I L 2 に形成された溝内にだけ銅膜を残す。これにより、配線 L 1 を形成することができる。さらに、配線 L 1 の上層に多層配線を形成するが、ここでの説明は省略する。このようにして、最終的に本実施の形態 1 における半導体装置を製造することができる。

【 0 1 1 1 】

本実施の形態 1 では、ポリシリコン膜 P F 1 よりなるダミーゲート電極 D M Y 1 を形成しているので、メモリセル形成領域 M C R と境界領域 B O R の境界にポリシリコン膜 P F

50

1による段差D I Fが形成されるとともに、境界領域B O R内にギャップ溝G A Pが形成されている。つまり、ダミーゲート電極D M Y 1を形成することにより、ダミーゲート電極D M Y 1と周辺回路形成領域P E Rを覆うポリシリコン膜P F 1の間にギャップ溝G A Pが形成される。この結果、ダミーゲート電極D M Y 1を含むポリシリコン膜P F 1を覆うように形成されるポリシリコン膜P F 2は、ダミーゲート電極D M Y 1の端部による段差D I Fと境界領域B O R内部のギャップ溝G A Pの形状を反映して形成される。このため、ポリシリコン膜P F 2は、段差D I Fにおいてステップ形状となるとともに、ギャップ溝G A Pを埋め込む凹部C O Nが形成される。このような形状にポリシリコン膜P F 2が形成される結果、段差D I F近傍の高い領域に形成されている反射防止膜B A R Cが高い領域に流れてしまっても、凹部C O Nに蓄えられた流動性の高い反射防止膜B A R Cが段差D I F近傍の高い領域に供給される。この結果、段差D I F近傍の高い領域において、低い領域に反射防止膜B A R Cの一部が流出しても、凹部C O Nから反射防止膜B A R Cが逐次補充されるので、段差D I F近傍の高い領域でも反射防止膜B A R Cが消失することなく所定の膜厚の反射防止膜B A R Cを確保することができる。このため、段差D I F近傍の領域においても反射防止を抑制できるのに充分な膜厚の反射防止膜B A R Cを形成することができる。このことから、本実施の形態1によれば、露光光の意図しない乱反射を抑制することができ、レジスト膜F R 5のパターニング精度を向上することができる。したがって、レジスト膜F R 5のパターニング精度が向上しているので、メモリゲート電極M Gの加工精度も向上することができる顕著な効果が得られる。

【0112】

さらに、本実施の形態1では、ダミーゲート電極D M Y 1の中央部に開口部O Pを形成し、この開口部O Pで露出するn型ウェルN W L 1に給電している。つまり、ダミーゲート電極D M Y 1は、主に、製造工程中における反射防止膜B A R Cの流出を抑制する目的で形成されているが、この目的を実現した後は、n型ウェルN W L 1およびウェル分離層N I S O(ディープウェル)への給電領域として機能することになる。すなわち、ダミーゲート電極D M Y 1を形成することにより、ダミーゲート電極D M Y 1直下の半導体基板1 S内にはウェル分離層N I S Oと接続するn型ウェルN W L 1が形成できるので、このダミーゲート電極D M Y 1を形成した境界領域B O Rを、n型ウェルN W L 1への給電領域として利用しているものである。これにより、n型ウェルN W L 1やウェル分離層N I S Oへの新たな給電領域を設ける必要がなくなるので、半導体装置の小型化を図ることができる。

【0113】

なお、本実施の形態1では、ダミーゲート電極D M Y 1を形成することにより、メモリゲート電極M Gの加工精度を向上することができる。特に、メモリセル形成領域M C Rの最外周領域に形成されているメモリゲート電極の加工不良を抑制することができる。ただし、ダミーゲート電極D M Y 1を形成することにより、メモリセル形成領域M C Rの最外周に形成されているメモリゲート電極M Gに加工不良を軽減できるが、さらに、メモリゲート電極M Gの加工精度が要求される場合には、最外周に形成されているメモリゲート電極M Gを使用しないようにすることもできる。すなわち、メモリセル形成領域M C Rの最外周に形成されているメモリゲート電極M Gの加工精度が問題となるので、このメモリゲート電極M Gをメモリセルとして機能させないことも有効である。

【0114】

(実施の形態2)

前記実施の形態1では、図4に示すように、ダミーゲート電極D M Y 1の中央部に開口部を設けることにより、ダミーゲート電極D M Y 1下に形成されるn型ウェルN W L 1に電位を供給するプラグP L G 3を形成する例を示した。本実施の形態2では、ダミーゲート電極D M Y 1をそのまま残存させる例について説明する。すなわち、本実施の形態2では、ダミーゲート電極D M Y 1の中央部に開口部を設けない例について説明する。

【0115】

図25は、本実施の形態2におけるメモリセルアレイを模式的に示す図である。図25

10

20

30

40

50

には、メモリセル形成領域 M C R と、このメモリセル形成領域 M C R の外側に形成されている境界領域 B O R が図示されている。メモリセル形成領域 M C R と境界領域 B O R を合わせた領域を第 1 領域 F R と定義している。そして、図 2 5 には図示されていないが、第 1 領域 F R の外側に周辺回路が形成されている周辺回路形成領域が存在する。

【 0 1 1 6 】

まず、図 2 5 において、メモリセル形成領域 M C R には、複数のメモリセルが形成されている。具体的には、Y 軸方向に沿って複数のメモリゲート電極 M G (ワード線) が延在している。そして、Y 軸方向と直交する X 軸方向に複数のソース領域 / ドレイン領域 S / D が延在している。このメモリゲート電極 M G と、ソース領域 / ドレイン領域 S / D が交差する領域にメモリセルが形成されている。したがって、図 2 5 では、複数のメモリセルがアレイ状 (行列状) に配置されていることになる。複数のメモリセルがアレイ状に配置されている領域がフラッシュメモリの記憶部にあたる。個々のメモリセルは、1 ビットの単位情報を記憶するための回路であり、記憶部である M O N O S 型トランジスタから構成されている。複数のメモリセルが形成されている領域の外側には、給電領域 P S が形成されている。この給電領域 P S から、各メモリセルに共通のウェル (図示せず) に電位が供給されるようになっている。

10

【 0 1 1 7 】

次に、メモリセル形成領域 M C R の外側には境界領域 B O R が形成されている。本実施の形態 2 では、この境界領域 B O R にダミーゲート電極 (ダミーゲート) D M Y 1 およびダミーゲート電極 D M Y 2 が形成されている。ダミーゲート電極 D M Y 1 およびダミーゲート電極 D M Y 2 は、ゲート電極として機能しないダミーパターンを示している。図 2 5 では、ダミーゲート電極 D M Y 1 はメモリセル形成領域 M C R を挟むように 1 対形成されている。すなわち、ダミーゲート電極 D M Y 1 は、メモリセル形成領域 M C R を左右から挟むように 1 対で形成されている。同様に、ダミーゲート電極 D M Y 2 は、メモリセル形成領域 M C R を上下から挟むように 1 対で形成されている。ダミーゲート電極 D M Y 1 とダミーゲート電極 D M Y 2 とは互いに接続されており、互いに接続されたダミーゲート電極 D M Y 1 とダミーゲート電極 D M Y 2 により、メモリセル形成領域 M C R の周囲が囲まれている。

20

【 0 1 1 8 】

続いて、図 2 6 は、第 1 領域 F R 内のメモリセル形成領域 M C R に形成されている M O N O S 型トランジスタ Q₁、第 1 領域 F R 内の境界領域 B O R に形成されているダミーゲート電極 D M Y 1、および、周辺回路形成領域 P E R に形成されている n チャネル型 M I S F E T Q₂、p チャネル型 M I S F E T Q₃ の構成を示す図である。図 2 6 に示す本実施の形態 2 における半導体装置の構成は、図 4 に示す前記実施の形態 1 における半導体装置の構成とほぼ同様である。異なる点は、ダミーゲート電極 D M Y 1 の構成である。前記実施の形態 1 では、ダミーゲート電極 D M Y 1 の中央部に開口部が設けられ、この開口部の中にプラグ P L G 3 が形成されている。これに対し、本実施の形態 2 では、ダミーゲート電極 D M Y 1 には開口部が設けられていない。つまり、本実施の形態 2 におけるダミーゲート電極 D M Y 1 は、前記実施の形態 1 におけるダミーゲート電極 D M Y 1 に比べて簡素化された構成をしているということができる。

30

【 0 1 1 9 】

本実施の形態 2 における半導体装置は上記のように構成されており、以下に、その製造方法について図面を参照しながら説明する。図 1 1 から図 2 1 に示す工程までは、前記実施の形態 1 と同様である。これにより、本実施の形態 2 でも前記実施の形態 1 と同様の効果が得られる。すなわち、本実施の形態 2 でも、図 1 9 および図 2 0 に示すように、ポリシリコン膜 P F 1 よりなるダミーゲート電極 D M Y 1 を形成しているので、メモリセル形成領域 M C R と境界領域 B O R の境界にポリシリコン膜 P F 1 による段差 D I F が形成されるとともに、境界領域 B O R 内にギャップ溝 G A P が形成されている。つまり、ダミーゲート電極 D M Y 1 を形成することにより、ダミーゲート電極 D M Y 1 と周辺回路形成領域 P E R を覆うポリシリコン膜 P F 1 の間にギャップ溝 G A P が形成される。この結果、

40

50

ダミーゲート電極 D M Y 1 を含むポリシリコン膜 P F 1 を覆うように形成されるポリシリコン膜 P F 2 は、ダミーゲート電極 D M Y 1 の端部による段差 D I F と境界領域 B O R 内部のギャップ溝 G A P の形状を反映して形成される。このため、ポリシリコン膜 P F 2 は、段差 D I F においてステップ形状となるとともに、ギャップ溝 G A P を埋め込む凹部 C O N が形成される。このような形状にポリシリコン膜 P F 2 が形成される結果、段差 D I F 近傍の高い領域に形成されている反射防止膜 B A R C が低い領域に流れてしまっても、凹部 C O N に蓄えられた流動性の高い反射防止膜 B A R C が段差 D I F 近傍の高い領域に供給される。この結果、段差 D I F 近傍の高い領域において、低い領域に反射防止膜 B A R C の一部が流出しても、凹部 C O N から反射防止膜 B A R C が逐次補充されるので、段差 D I F 近傍の高い領域でも反射防止膜 B A R C が消失することなく所定の膜厚の反射防止膜 B A R C を確保することができる。このため、段差 D I F 近傍の領域においても反射防止を抑制できるのに充分な膜厚の反射防止膜 B A R C を形成することができる。このことから、本実施の形態 1 によれば、露光光の意図しない乱反射を抑制することができ、レジスト膜 F R 5 のパターニング精度を向上することができる。したがって、レジスト膜 F R 5 のパターニング精度が向上しているので、メモリゲート電極 M G の加工精度も向上することができる顕著な効果が得られる。

10

【 0 1 2 0 】

続いて、図 2 7 に示すように、フォトリソグラフィ技術およびエッチング技術を使用することにより、周辺回路形成領域 P E R に形成されているポリシリコン膜 P F 1 を加工する。これにより、周辺回路形成領域 P E R にポリシリコン膜 P F 1 よりなるゲート電極 G 1 およびゲート電極 G 2 を形成する。このとき、前記実施の形態 1 では、境界領域 B O R に形成されているダミーゲート電極 D M Y 1 も加工して開口部を形成していたが、本実施の形態 2 では、ダミーゲート電極 D M Y 1 に開口部を形成する加工は行なわない。これにより、製造工程の簡素化を図ることができる。

20

【 0 1 2 1 】

次に、図 2 8 に示すように、フォトリソグラフィ技術およびイオン注入法を使用することにより、メモリセル形成領域 M C R において、メモリゲート電極 M G に整合した浅い n 型不純物拡散領域 E X 1 を形成する。同様に、周辺回路形成領域 P E R において、ゲート電極 G 1 に整合した浅い n 型不純物拡散領域 E X 2 を形成し、ゲート電極 G 2 に整合した浅い p 型不純物拡散領域 E X 3 を形成する。

30

【 0 1 2 2 】

続いて、図 2 9 に示すように、メモリゲート電極 M G 、ダミーゲート電極 D M Y 1 、ゲート電極 G 1 およびゲート電極 G 2 の側壁にサイドウォール S W 2 を形成する。その後、メモリセル形成領域 M C R においては、メモリゲート電極 M G の側壁に形成されたサイドウォール S W 2 に整合した深い n 型不純物拡散領域 N R 1 を形成する。さらに、最外周に形成されているメモリゲート電極 M G の外側に露出している p 型ウェル P W L 2 の表面に p 型半導体領域 P R 2 を形成する。一方、周辺回路形成領域 P E R においては、ゲート電極 G 1 の側壁に形成されたサイドウォール S W 2 に整合した深い n 型不純物拡散領域 N R 2 を形成し、ゲート電極 G 2 の側壁に形成されたサイドウォール S W 2 に整合した深い p 型不純物拡散領域 P R 1 を形成する。

40

【 0 1 2 3 】

次に、メモリゲート電極 M G 、深い n 型不純物拡散領域 N R 1 、 p 型半導体領域 P R 2 、ダミーゲート電極 D M Y 1 、ゲート電極 G 1 、深い n 型不純物拡散領域 N R 2 、ゲート電極 G 2 および深い p 型不純物拡散領域 P R 1 のそれぞれの表面にコバルトシリサイド膜 C S を形成する。

【 0 1 2 4 】

その後、前記実施の形態 1 と同様に配線工程を実施する。このようにして、図 2 6 に示すような本実施の形態 2 における半導体装置を製造することができる。

【 0 1 2 5 】

(実施の形態 3)

50

前記実施の形態1および前記実施の形態2では、ダミーゲート電極D M Y 1を残存させる例を示したが、本実施の形態3では、ダミーゲート電極D M Y 1を最終的に除去する例について説明する。

【0126】

図30は、本実施の形態3におけるメモリセルアレイを模式的に示す図である。図30には、メモリセル形成領域M C Rと、このメモリセル形成領域M C Rの外側に形成されている境界領域B O Rが図示されている。メモリセル形成領域M C Rと境界領域B O Rを合わせた領域を第1領域F Rと定義している。そして、図30には図示されていないが、第1領域F Rの外側に周辺回路が形成されている周辺回路形成領域が存在する。

【0127】

まず、図30において、メモリセル形成領域M C Rには、複数のメモリセルが形成されている。具体的には、Y軸方向に沿って複数のメモリゲート電極M G（ワード線）が延在している。そして、Y軸方向と直交するX軸方向に複数のソース領域／ドレイン領域S／Dが延在している。このメモリゲート電極M Gと、ソース領域／ドレイン領域S／Dが交差する領域にメモリセルが形成されている。したがって、図30では、複数のメモリセルがアレイ状（行列状）に配置されていることになる。複数のメモリセルがアレイ状に配置されている領域がフラッシュメモリの記憶部にあたる。個々のメモリセルは、1ビットの単位情報を記憶するための回路であり、記憶部であるM O N O S型トランジスタから構成されている。複数のメモリセルが形成されている領域の外側には、給電領域P Sが形成されている。この給電領域P Sから、各メモリセルに共通のウェル（図示せず）に電位が供給されるようになっている。

10

20

30

40

50

【0128】

次に、メモリセル形成領域M C Rの外側には境界領域B O Rが形成されている。本実施の形態2では、この境界領域B O Rにダミーゲート電極（ダミーゲート）は形成されていない。つまり、本実施の形態3では、最終的にダミーゲート電極は除去されるように構成されている。

【0129】

続いて、図31は、第1領域F R内のメモリセル形成領域M C Rに形成されているM O N O S型トランジスタQ₁、および、周辺回路形成領域P E Rに形成されているnチャネル型M I S F E T Q₂、pチャネル型M I S F E T Q₃の構成を示す図である。図31に示す本実施の形態3における半導体装置の構成は、図4に示す前記実施の形態1における半導体装置の構成とほぼ同様である。異なる点は、本実施の形態3において、ダミーゲート電極が最終的に除去されている点である。

【0130】

本実施の形態3における半導体装置は上記のように構成されており、以下に、その製造方法について図面を参照しながら説明する。図11から図21に示す工程までは、前記実施の形態1と同様である。これにより、本実施の形態3でも前記実施の形態1と同様の効果が得られる。すなわち、本実施の形態3でも、図19および図20に示すように、ポリシリコン膜P F 1よりなるダミーゲート電極D M Y 1を形成しているので、メモリセル形成領域M C Rと境界領域B O Rの境界にポリシリコン膜P F 1による段差D I Fが形成されるとともに、境界領域B O R内にギャップ溝G A Pが形成されている。つまり、ダミーゲート電極D M Y 1を形成することにより、ダミーゲート電極D M Y 1と周辺回路形成領域P E Rを覆うポリシリコン膜P F 1の間にギャップ溝G A Pが形成される。この結果、ダミーゲート電極D M Y 1を含むポリシリコン膜P F 1を覆うように形成されるポリシリコン膜P F 2は、ダミーゲート電極D M Y 1の端部による段差D I Fと境界領域B O R内部のギャップ溝G A Pの形状を反映して形成される。このため、ポリシリコン膜P F 2は、段差D I Fにおいてステップ形状となるとともに、ギャップ溝G A Pを埋め込む凹部C O Nが形成される。このような形状にポリシリコン膜P F 2が形成される結果、段差D I F近傍の高い領域に形成されている反射防止膜B A R Cが低い領域に流れてしまっても、凹部C O Nに蓄えられた流動性の高い反射防止膜B A R Cが段差D I F近傍の高い領域に

供給される。この結果、段差 D I F 近傍の高い領域において、低い領域に反射防止膜 B A R C の一部が流出しても、凹部 C O N から反射防止膜 B A R C が逐次補充されるので、段差 D I F 近傍の高い領域でも反射防止膜 B A R C が消失することなく所定の膜厚の反射防止膜 B A R C を確保することができる。このため、段差 D I F 近傍の領域においても反射防止を抑制できるのに充分な膜厚の反射防止膜 B A R C を形成することができる。このことから、本実施の形態 1 によれば、露光光の意図しない乱反射を抑制することができ、レジスト膜 F R 5 のパターニング精度を向上することができる。したがって、レジスト膜 F R 5 のパターニング精度が向上しているので、メモリゲート電極 M G の加工精度も向上することができる顕著な効果が得られる。

【0131】

続いて、図 3 2 に示すように、フォトリソグラフィ技術およびエッチング技術を使用することにより、周辺回路形成領域 P E R に形成されているポリシリコン膜 P F 1 を加工する。これにより、周辺回路形成領域 P E R にポリシリコン膜 P F 1 よりなるゲート電極 G 1 およびゲート電極 G 2 を形成する。このとき、前記実施の形態 1 では、境界領域 B O R に形成されているダミーゲート電極 D M Y 1 も加工して開口部を形成していたが、本実施の形態 3 では、ダミーゲート電極 D M Y 1 を除去する。

【0132】

次に、図 3 3 に示すように、フォトリソグラフィ技術およびイオン注入法を使用することにより、メモリセル形成領域 M C R において、メモリゲート電極 M G に整合した浅い n 型不純物拡散領域 E X 1 を形成する。同様に、周辺回路形成領域 P E R において、ゲート電極 G 1 に整合した浅い n 型不純物拡散領域 E X 2 を形成し、ゲート電極 G 2 に整合した浅い p 型不純物拡散領域 E X 3 を形成する。

【0133】

続いて、図 3 4 に示すように、メモリゲート電極 M G 、ゲート電極 G 1 およびゲート電極 G 2 の側壁にサイドウォール S W 2 を形成する。その後、メモリセル形成領域 M C R においては、メモリゲート電極 M G の側壁に形成されたサイドウォール S W 2 に整合した深い n 型不純物拡散領域 N R 1 を形成する。さらに、最外周に形成されているメモリゲート電極 M G の外側に露出している p 型ウェル P W L 2 の表面に p 型半導体領域 P R 2 を形成する。一方、周辺回路形成領域 P E R においては、ゲート電極 G 1 の側壁に形成されたサイドウォール S W 2 に整合した深い n 型不純物拡散領域 N R 2 を形成し、ゲート電極 G 2 の側壁に形成されたサイドウォール S W 2 に整合した深い p 型不純物拡散領域 P R 1 を形成する。

【0134】

次に、メモリゲート電極 M G 、深い n 型不純物拡散領域 N R 1 、 p 型半導体領域 P R 2 、ゲート電極 G 1 、深い n 型不純物拡散領域 N R 2 、ゲート電極 G 2 および深い p 型不純物拡散領域 P R 1 のそれぞれの表面にコバルトシリサイド膜 C S を形成する。

【0135】

その後、前記実施の形態 1 と同様に配線工程を実施する。このようにして、図 3 1 に示すような本実施の形態 3 における半導体装置を製造することができる。

【0136】

(実施の形態 4)

本実施の形態 4 では、フラッシュメモリの様々なレイアウトについて説明する。図 3 5 は、本実施の形態 4 におけるフラッシュメモリのレイアウト例を示す図である。図 3 5 は、図 2 5 とほぼ同様のレイアウトをしている。異なる点は、図 3 5 において、Y 軸方向に延在するダミーゲート電極 D M Y 1 と、X 軸方向に延在するダミーゲート電極 D M Y 2 が接続されていない点である。このようにダミーゲート電極 D M Y 1 とダミーゲート電極 D M Y 2 を配置する場合であっても、前記実施の形態 1 ~ 3 と同様に、メモリゲート電極の加工精度を向上することができる。

【0137】

図 3 6 は、本実施の形態 4 におけるフラッシュメモリのレイアウト例を示す図である。

10

20

30

40

50

図36では、図25と異なり、フラッシュメモリ形成領域に複数のメモリセル形成領域MCR1～MCR4が形成されている。これらのメモリセル形成領域MCR1～MCR4のそれぞれに形成されているメモリセルアレイは、図25と同様の構成をしている。図36では、各メモリセル形成領域MCR1～MCR4にそれぞれp型ウェル(図示せず)が形成されているが、それぞれのp型ウェルは電気的に独立するように構成されている。このように本実施の形態4では、フラッシュメモリ形成領域に複数のメモリセル形成領域MCR1～MCR4が形成されているが、それぞれのメモリセル形成領域MCR1～MCR4を囲むようにダミーゲート電極DMY1A～DMY4Aが形成されている。これにより、各メモリセル形成領域MCR1～MCR4に形成されているメモリゲート電極の加工精度を向上することができる。

10

【0138】

図37は図36の変形例を示す図である。図37においても、フラッシュメモリ形成領域に複数のメモリセル形成領域MCR1～MCR4が形成されており、各メモリセル形成領域MCR1～MCR4を囲むようにダミーゲート電極DMY5が形成されている。この場合も、各メモリセル形成領域MCR1～MCR4に形成されているメモリゲート電極の加工精度を向上することができる。

【0139】

図38は、本実施の形態4におけるフラッシュメモリのレイアウト例を示す図である。図38では、メモリセル形成領域MCR5に2つの独立したメモリセルアレイが形成されている。そして、この2つの独立したメモリセルアレイを囲むようにダミーゲート電極DMY6が形成されている。この場合でも、メモリセル形成領域MCR5に形成されているメモリゲート電極の加工精度を向上することができる。

20

【0140】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【産業上の利用可能性】

【0141】

本発明は、半導体装置を製造する製造業に幅広く利用することができる。

30

【符号の説明】

【0142】

1 C P U

1 C I C カード

1 S 半導体基板

2 R A M

3 アナログ回路

4 E E P R O M

5 フラッシュメモリ

6 I / O 回路

B A R C 反射防止膜

40

B O R 境界領域

C N T 1 ~ C N T 4 コンタクトホール

C O N 凹部

C S コバルトシリサイド膜

C T 1 ~ C T 8 セルトランジスタ

D I F 段差

D L 1 ~ D L 4 データ線

D M Y 1 ダミーゲート電極

D M Y 1 A ~ 4 A ダミーゲート電極

D M Y 2 ダミーゲート電極

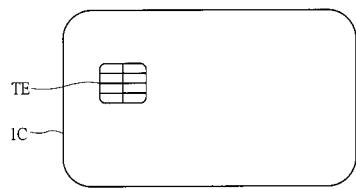
50

D M Y 5	ダミーゲート電極	
D M Y 6	ダミーゲート電極	
E B 1	第1電位障壁膜	
E B 2	第2電位障壁膜	
E C	電荷蓄積膜	
E X 1	浅いn型不純物拡散領域	
E X 2	浅いn型不純物拡散領域	
E X 3	浅いp型不純物拡散領域	
F R	第1領域	10
F R 1	レジスト膜	
F R 2	レジスト膜	
F R 3	レジスト膜	
F R 4	レジスト膜	
F R 5	レジスト膜	
G A P	ギャップ溝	
G O X	ゲート絶縁膜	
G 1	ゲート電極	
G 2	ゲート電極	
I L 1	層間絶縁膜	
I L 2	層間絶縁膜	20
L 1	配線	
M C R	メモリセル形成領域	
M C R 1 ~ M C R 4	メモリセル形成領域	
M C R 5	メモリセル形成領域	
M G	メモリゲート電極	
M G 1	メモリゲート電極	
M G 2	メモリゲート電極	
M K	マスク	
N I S O	ウェル分離層	
N R 1	深いn型不純物拡散領域	30
N R 2	深いn型不純物拡散領域	
N R 3	n型半導体領域	
N W L 1	n型ウェル	
O P	開口部	
O X 1	酸化シリコン膜	
O X 2	酸化シリコン膜	
P E R	周回路形成領域	
P F 1	ポリシリコン膜	
P F 2	ポリシリコン膜	
P L G 1 ~ P L G 4	プラグ	40
P R 1	深いp型不純物拡散領域	
P R 2	p型半導体領域	
P S	給電領域	
P W L 1	p型ウェル	
P W L 2	p型ウェル	
Q 1	M O N O S型トランジスタ	
Q 2	nチャネル型M I S F E T	
Q 3	pチャネル型M I S F E T	
S / D	ソース領域 / ドレイン領域	
S I N	窒化シリコン膜	50

S L 1 ~ S L 4 ソース線
 S T I 素子分離領域
 S W 1 サイドウォール
 S W 2 サイドウォール
 T E 端子
 W E ウェル
 W L 1、W L 2 ワード線

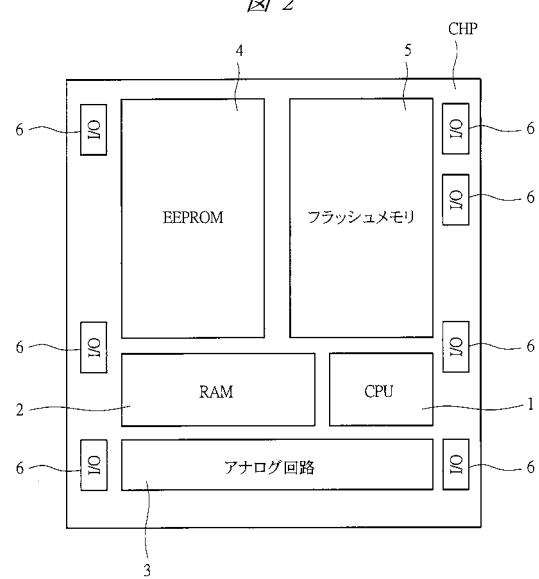
【図 1】

図 1

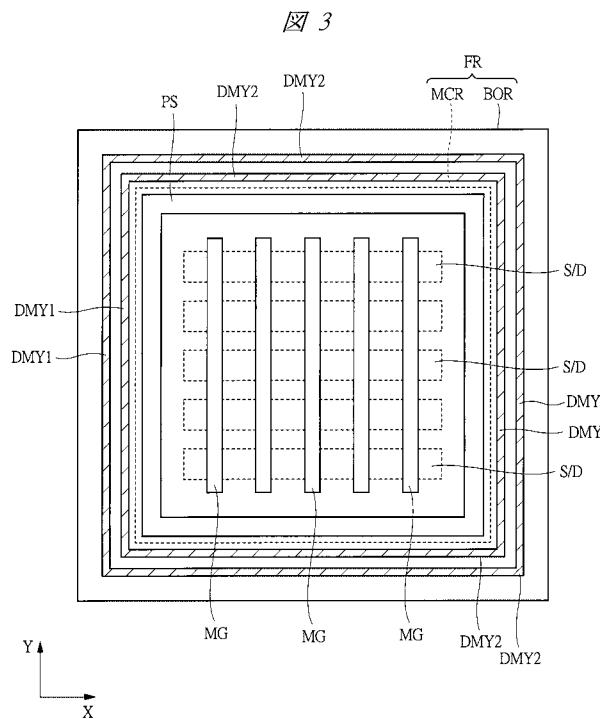


【図 2】

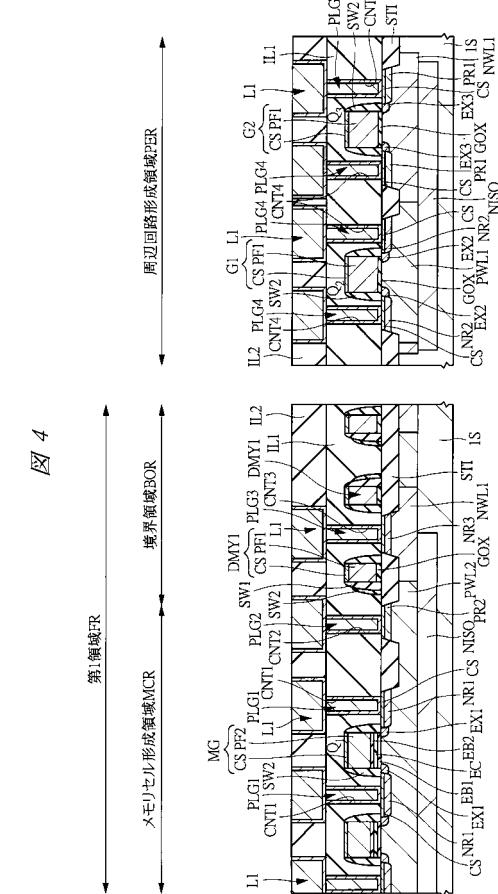
図 2



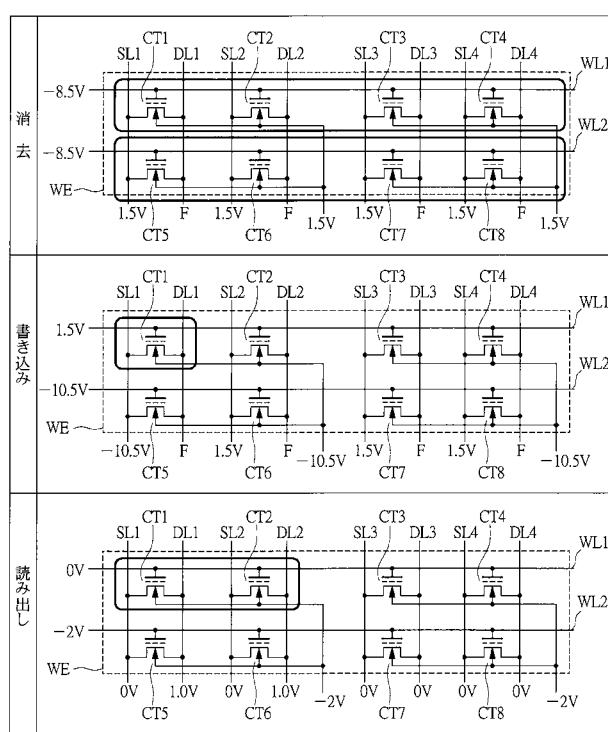
【 図 3 】



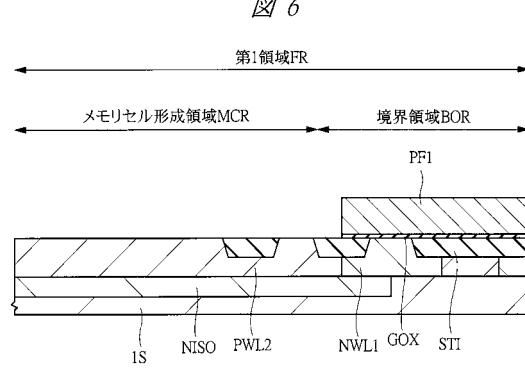
【 図 4 】



【 図 5 】

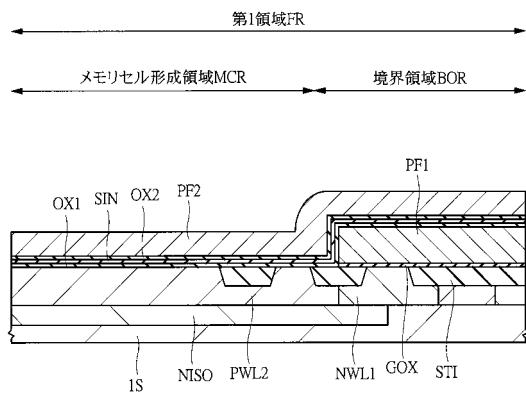


【 図 6 】



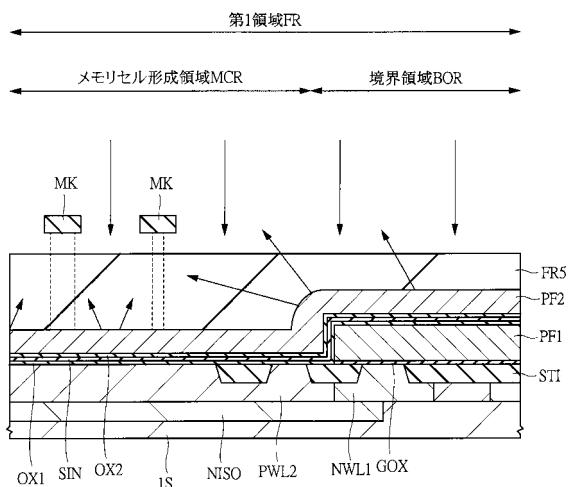
【図7】

図7



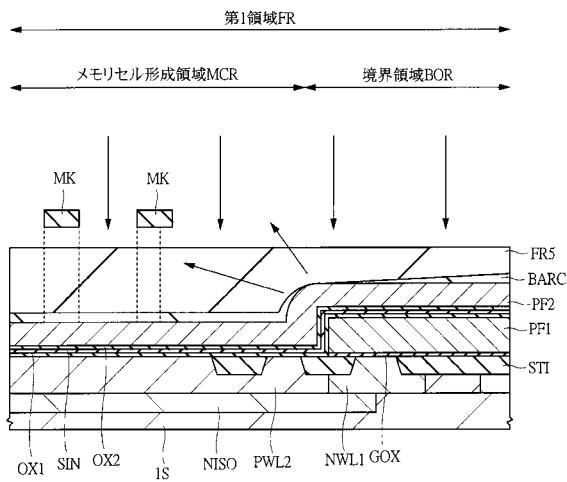
【図8】

図8



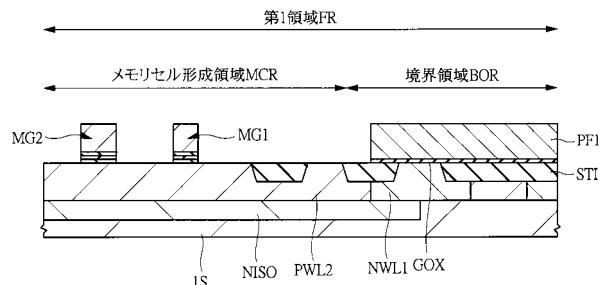
【図9】

図9

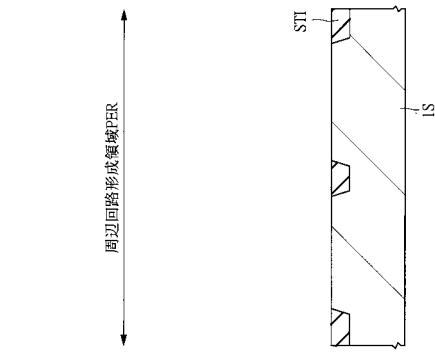


【図10】

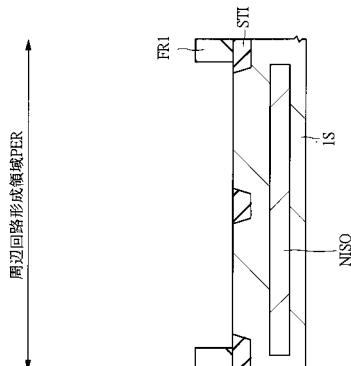
図10



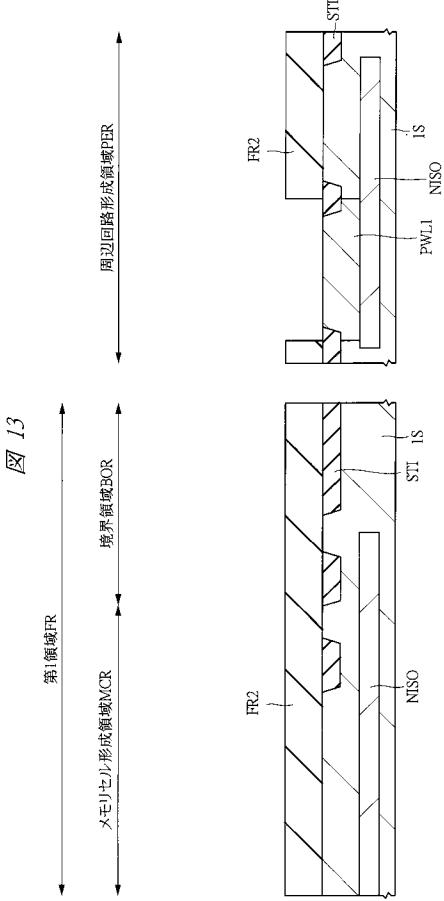
【図 1 1】



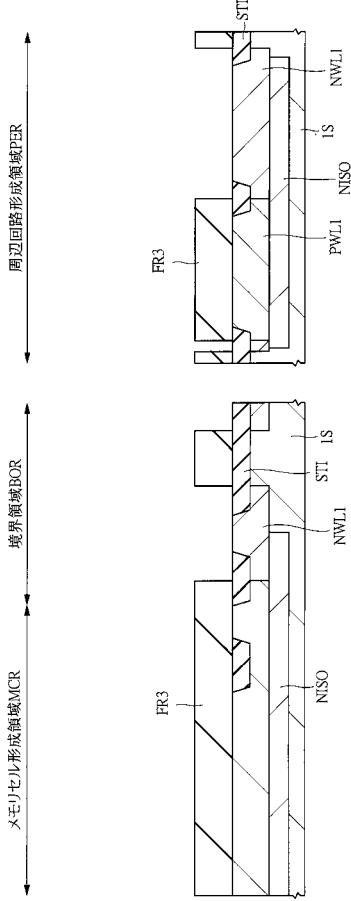
【図 1 2】



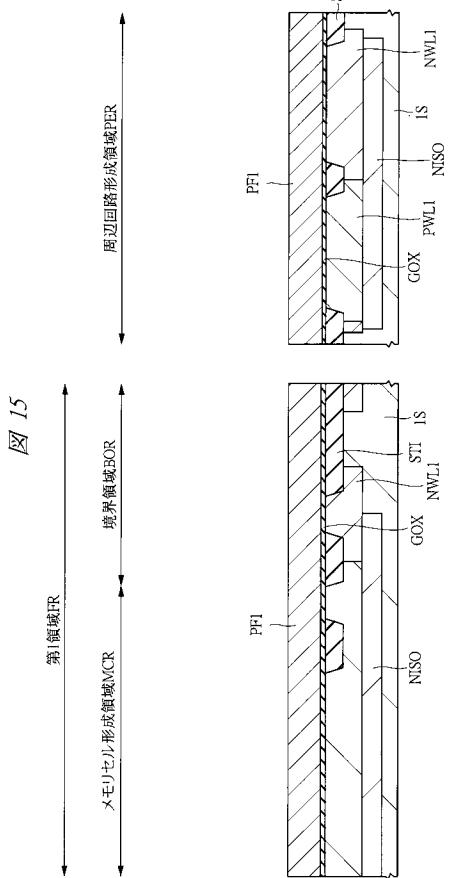
【図 1 3】



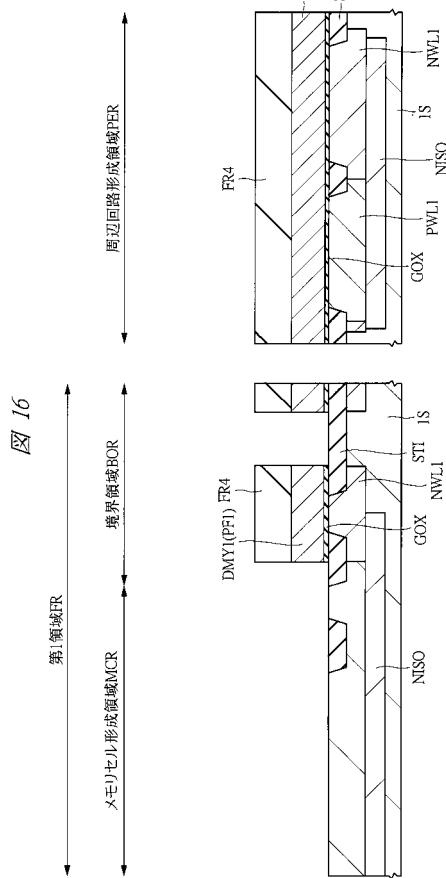
【図 1 4】



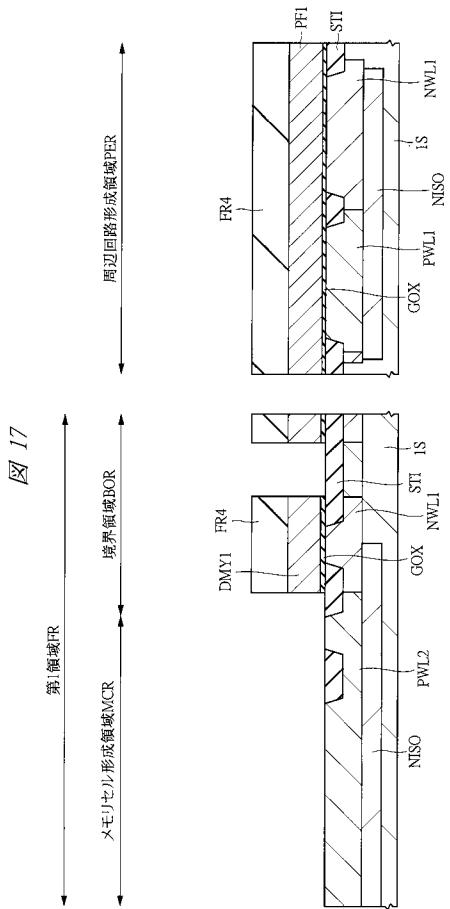
【図 15】



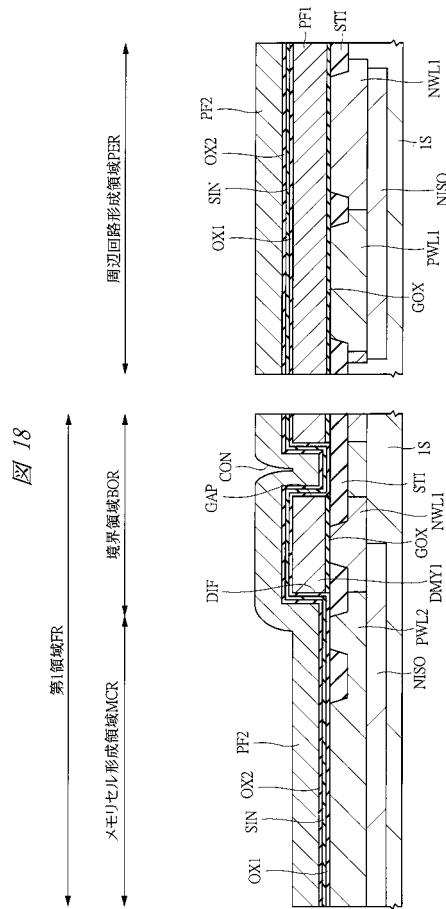
【図 16】



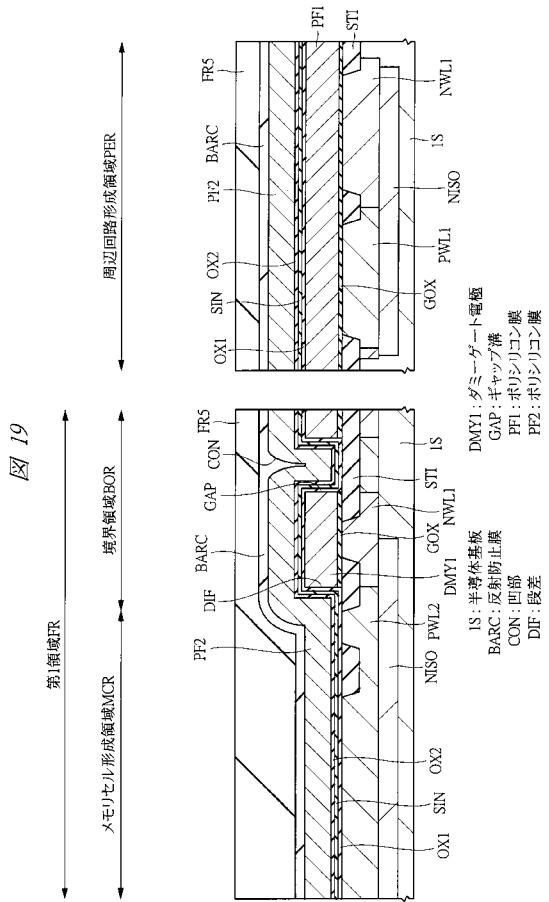
【図 17】



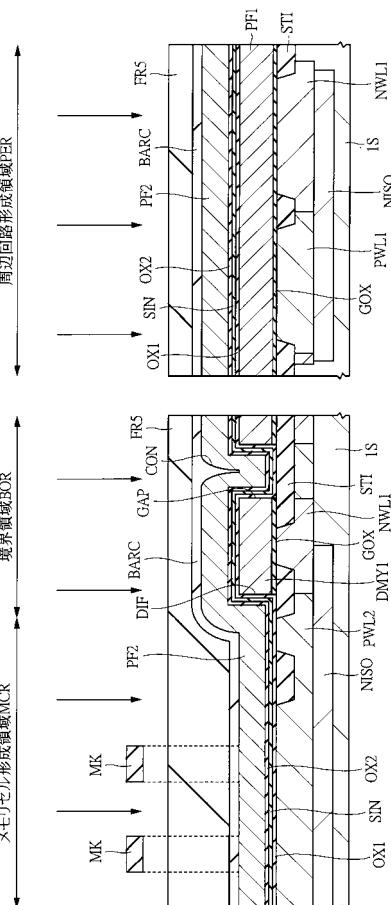
【図 18】



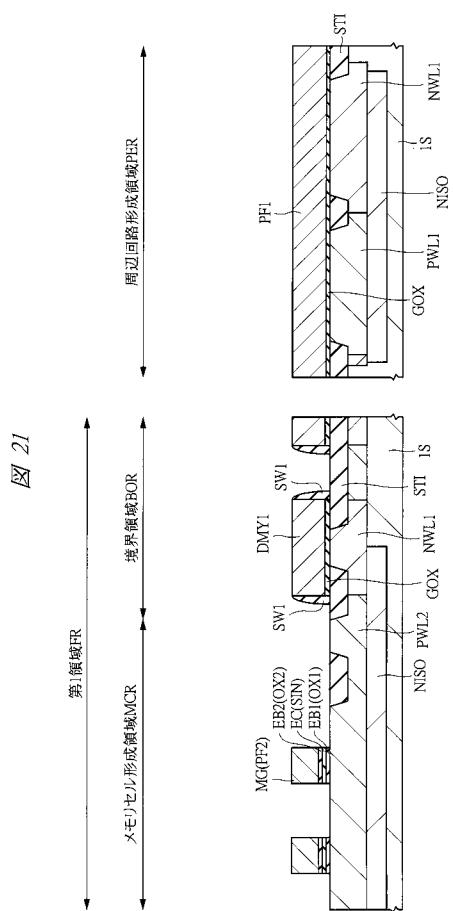
【 図 1 9 】



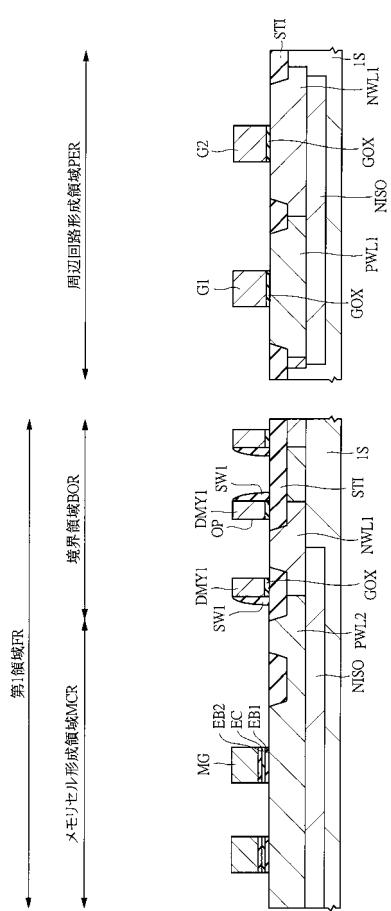
【 図 2 0 】



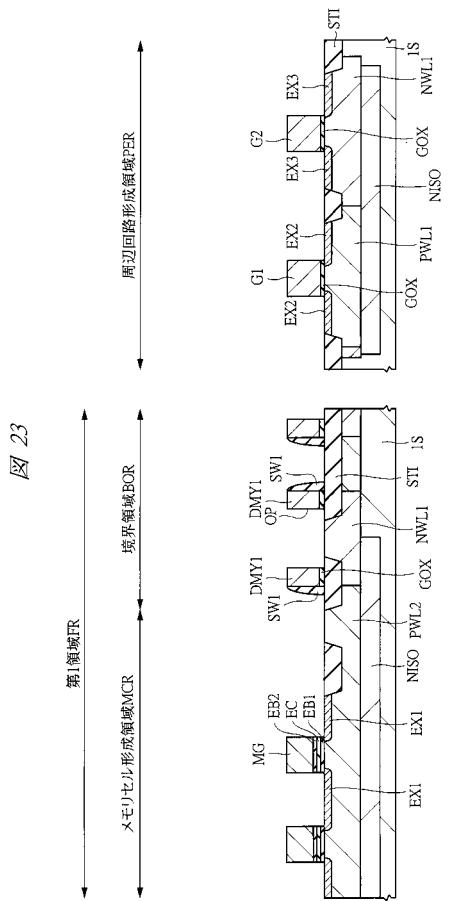
【 図 2 1 】



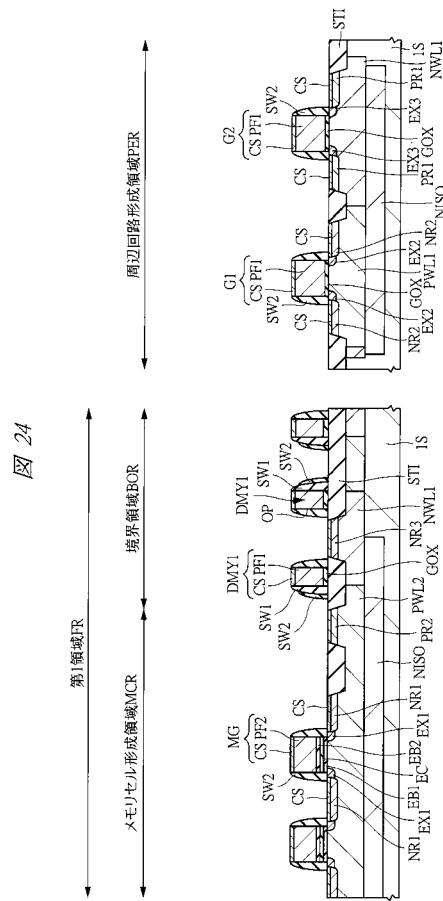
【図22】



【 図 2 3 】

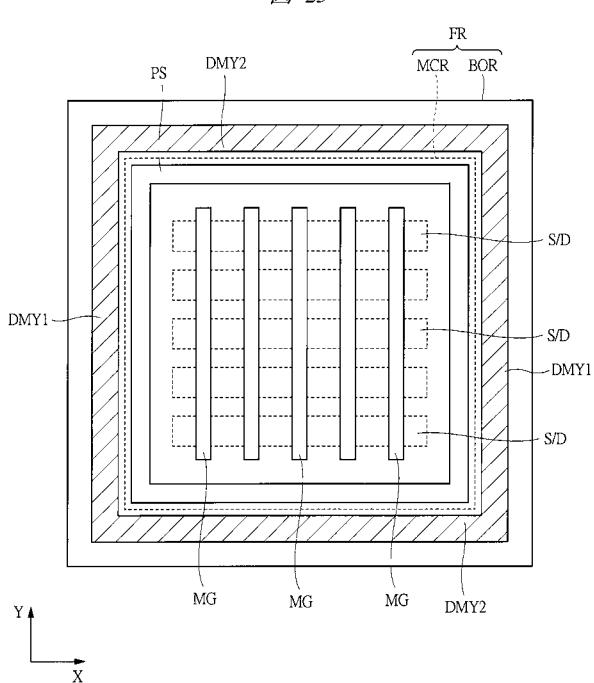


【図25】

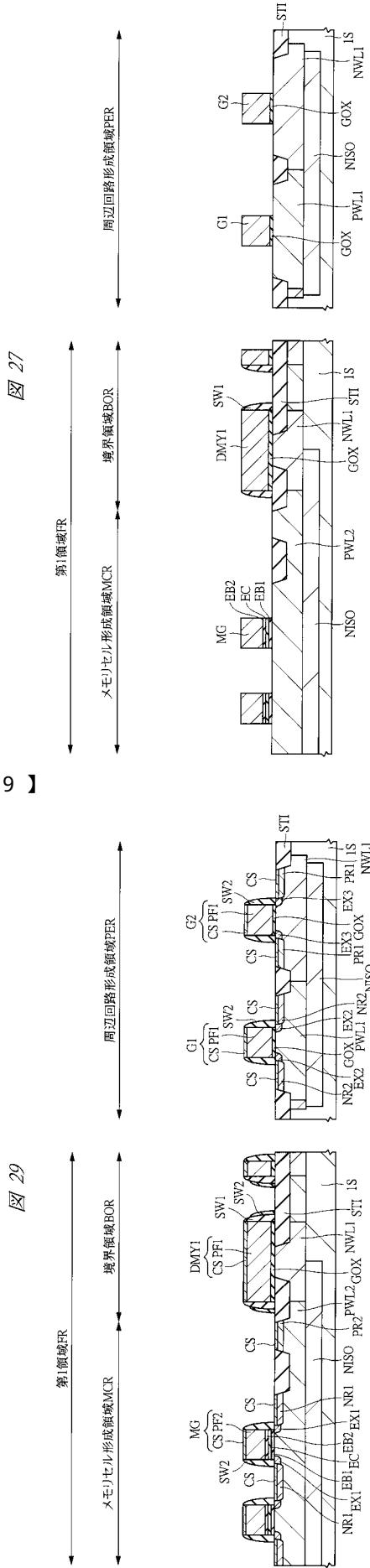


【図26】

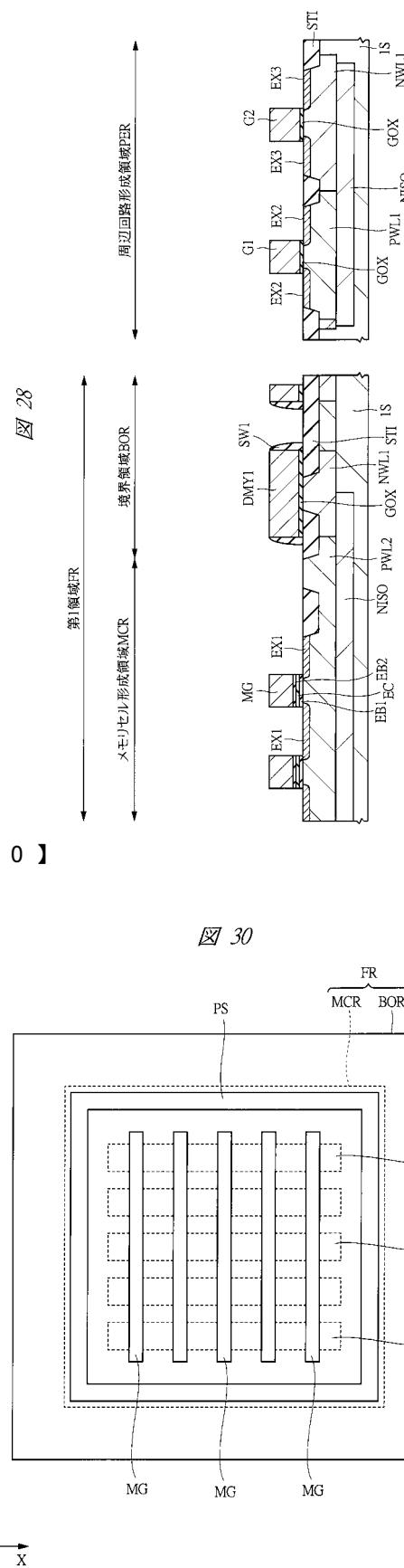
图 25



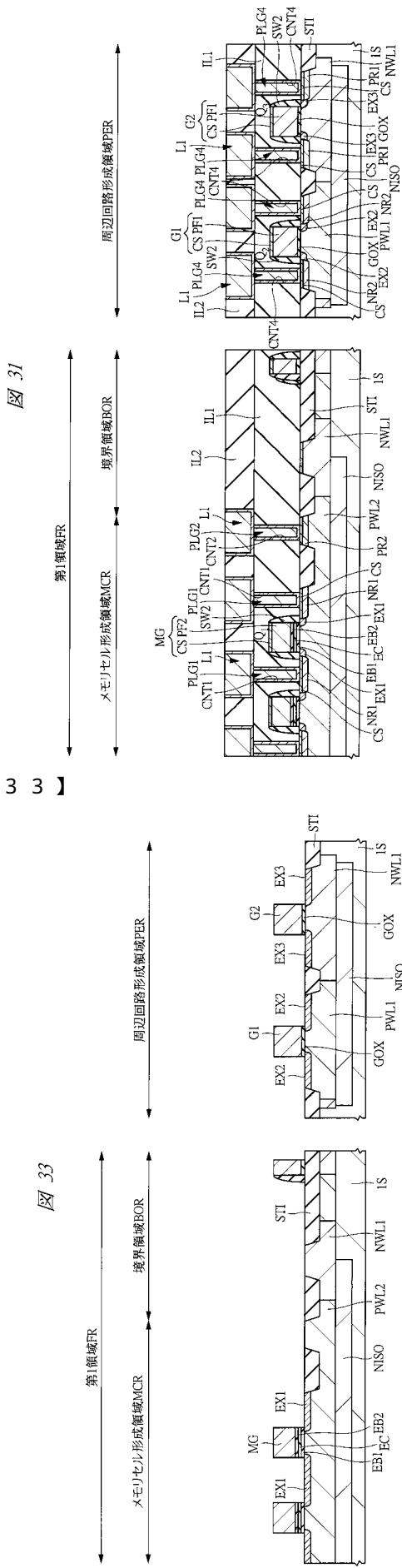
【図27】



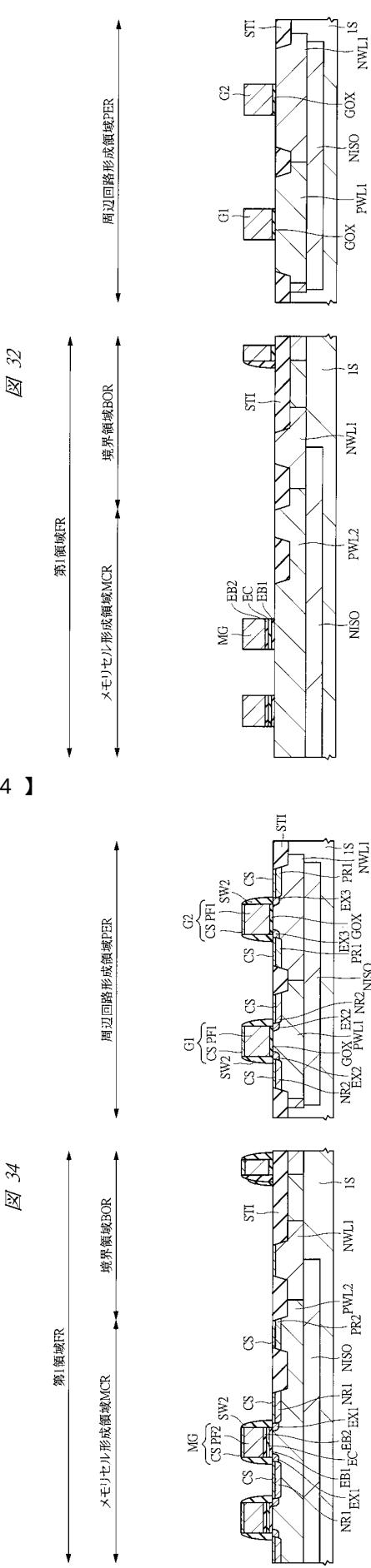
【 図 2 8 】



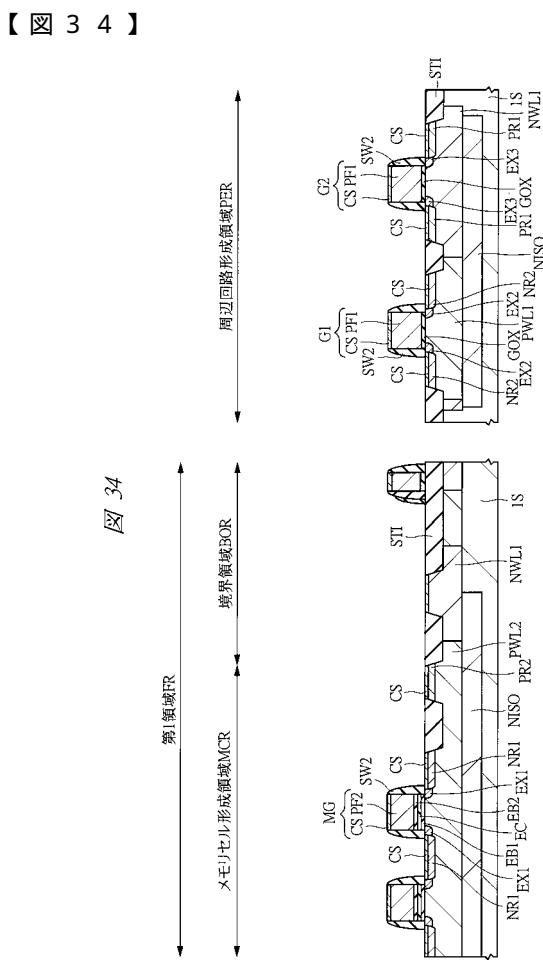
【 図 3-1 】



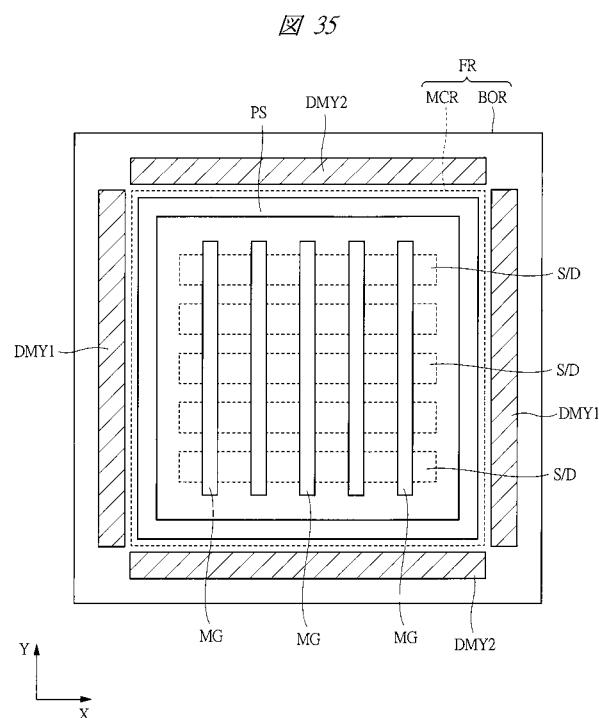
【 図 3 2 】



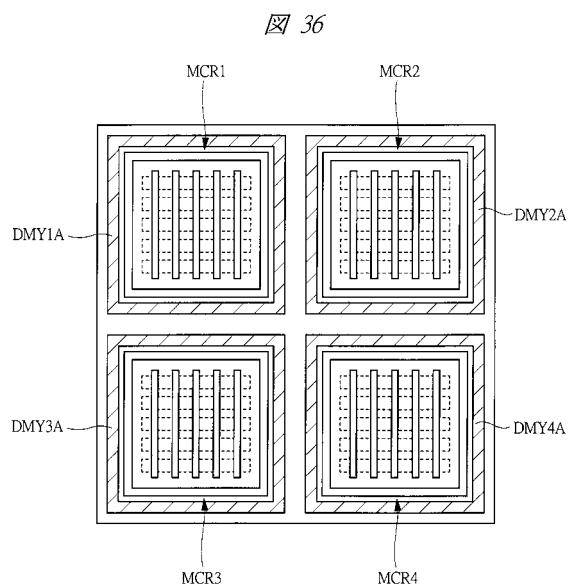
【図33】



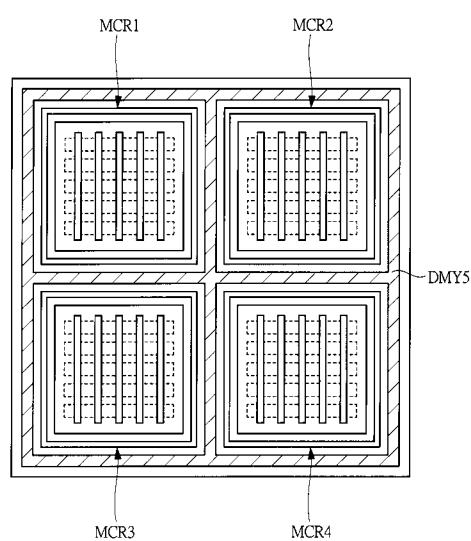
【図 3 5】



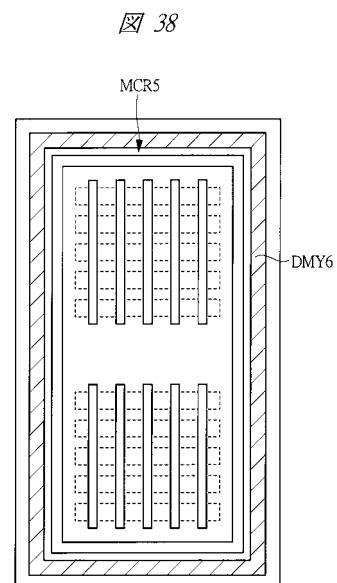
【図 3 6】



【図 3 7】



【図 3 8】



フロントページの続き

(51) Int.Cl. F I テーマコード(参考)
G 06 K 19/07 (2006.01)

(72) 発明者 谷口 泰弘
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

F ターム(参考) 5B035 BA03 BB09 CA23

5F083 EP17 EP18 EP22 EP63 EP68 EP75 ER02 ER03 ER06 ER09
ER11 ER14 ER19 ER21 ER23 ER29 ER30 GA27 JA02 JA03
JA05 JA06 JA12 JA35 JA37 JA39 JA40 JA53 JA56 JA60
KA01 LA01 LA11 LA16 LA25 MA02 MA05 MA06 MA19 NA01
NA03 PR06 PR40 PR45 PR46 PR55 PR56 ZA07 ZA08 ZA12
ZA13 ZA14 ZA28 ZA30
5F101 BA42 BA45 BA46 BA47 BA54 BB02 BC02 BC05 BC11 BD07
BD27 BD32 BD34 BD35 BD36 BE02 BE05 BE07 BG10 BH19
BH21