

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7600657号
(P7600657)

(45)発行日 令和6年12月17日(2024.12.17)

(24)登録日 令和6年12月9日(2024.12.9)

(51)国際特許分類

F I

H 0 2 M 1/00 (2007.01) H 0 2 M 1/00 H

H 0 3 K 17/16 (2006.01) H 0 3 K 17/16 M

請求項の数 9 (全15頁)

(21)出願番号	特願2020-203244(P2020-203244)	(73)特許権者	000005234
(22)出願日	令和2年12月8日(2020.12.8)		富士電機株式会社
(65)公開番号	特開2022-90753(P2022-90753A)		神奈川県川崎市川崎区田辺新田 1 番 1 号
(43)公開日	令和4年6月20日(2022.6.20)	(74)代理人	110000176
審査請求日	令和5年11月13日(2023.11.13)		弁理士法人一色国際特許事務所
		(72)発明者	山田 隆二
			神奈川県川崎市川崎区田辺新田 1 番 1 号
			富士電機株式会社内
		(72)発明者	荒海 竜之介
			神奈川県川崎市川崎区田辺新田 1 番 1 号
			富士電機株式会社内
		審査官	清水 康

最終頁に続く

(54)【発明の名称】 電子回路、電力変換装置

(57)【特許請求の範囲】

【請求項 1】

電源側の第 1 ラインと、接地側の第 2 ラインと、の間に設けられた前記電源側の第 1 スイッチング素子及び前記接地側の第 2 スイッチング素子の前記第 2 スイッチング素子の出力側のノードに接続される第 1 コンデンサと、
前記第 1 コンデンサにカソードが接続される第 1 ダイオードと、
前記ノードに接続される第 2 コンデンサと、
前記第 2 コンデンサにカソードが接続される第 2 ダイオードと、
前記第 1 スイッチング素子がオンし、前記第 2 スイッチング素子がオフする際の前記第 1 コンデンサの電流に基づいて、接地された第 3 コンデンサを放電する第 1 カレントミラー回路と、
前記第 1 スイッチング素子がオフし、前記第 2 スイッチング素子がオンする際の前記第 2 コンデンサの電流に基づいて、前記第 3 コンデンサを充電する第 2 カレントミラー回路と、
を備え、
前記第 1 カレントミラー回路は、前記第 1 コンデンサを介して流れる電流が供給されることにより動作し、前記第 3 コンデンサを放電し、
前記第 2 カレントミラー回路は、前記第 2 コンデンサを介して流れる電流が出力されることにより動作し、前記第 3 コンデンサを充電する、
電子回路。

10

【請求項 2】

請求項 1 に記載の電子回路であって、
前記第 1 ダイオードのアノードは、前記第 2 ラインに接続され、
前記第 2 ダイオードのアノードは、前記第 2 ラインに接続される、
電子回路。

【請求項 3】

請求項 1 または請求項 2 に記載の電子回路であって、
前記第 2 カレントミラー回路の電源電圧が印加される第 3 ラインに一端が接続され、前記第 2 ラインに他端が接続される第 4 コンデンサを備える、
電子回路。

10

【請求項 4】

請求項 3 に記載の電子回路であって、
前記ノードの電圧に基づいて、前記電源電圧を生成する電源回路を備える、
電子回路。

【請求項 5】

請求項 4 に記載の電子回路であって、
前記電源回路は、
前記第 4 コンデンサと、
前記ノードに接続される第 5 コンデンサと、
前記第 5 コンデンサにアノードが接続され、前記第 4 コンデンサにカソードが接続される第 3 ダイオードと、
前記第 5 コンデンサにカソードが接続される第 4 ダイオードと、
を含む電子回路。

20

【請求項 6】

請求項 5 に記載の電子回路であって、
前記第 4 ダイオードのアノードは、前記第 2 ラインに接続される、
電子回路。

【請求項 7】

請求項 5 または請求項 6 に記載の電子回路であって、
前記電源回路は、
前記電源電圧が所定電圧より高くないよう、前記電源電圧をクランプするクランプ素子をさらに含む、
電子回路。

30

【請求項 8】

請求項 1 ～ 請求項 7 の何れか一項に記載の電子回路と、
前記第 1 及び第 2 スwitchング素子を含む半導体モジュールと、
接地される接地端子と、
を備える電力変換装置。

【請求項 9】

請求項 8 に記載の電力変換装置は、
前記電子回路が実装された回路基板を備え、
前記半導体モジュールは、前記ノードに接続された第 1 端子と、前記第 2 ラインに接続された第 2 端子と、を有し、
前記回路基板において、前記第 1 及び第 2 コンデンサは、前記第 1 及び第 2 カレントミラー回路を構成する素子より前記第 1 端子側に設けられる、
電力変換装置。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、電子回路及び電力変換装置に関する。

50

【背景技術】

【0002】

電力変換回路において、スイッチング素子の寄生容量を介して漏洩電流が流れると、入力端子に雑音端子電圧が発生することがある（例えば、特許文献1）。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2009-77533号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0004】

ところで、特許文献1では、漏洩電流を打ち消すべく、補助電流を発生させるためのコイルが用いられているため、一般に電力変換回路の製造コストが高くなる。

【0005】

本発明は、上記のような従来の問題に鑑みてなされたものであって、その目的は、安価な構成で漏洩電流を打ち消すことができる電子回路を提供することにある。

【課題を解決するための手段】

【0006】

前述した課題を解決する本発明の電子回路は、電源側の第1ラインと、接地側の第2ラインと、の間に設けられたスイッチング素子の電源側のノードに接続される第1コンデンサと、前記第1コンデンサにカソードが接続される第1ダイオードと、前記ノードに接続される第2コンデンサと、前記第2コンデンサにカソードが接続される第2ダイオードと、前記スイッチング素子がオフする際の前記第1コンデンサの電流に基づいて、接地された第3コンデンサを放電する第1カレントミラー回路と、前記スイッチング素子がオンする際の前記第2コンデンサの電流に基づいて、前記第3コンデンサを充電する第2カレントミラー回路と、を備える。

20

【発明の効果】

【0007】

安価な構成で漏洩電流を打ち消すことができる電子回路を提供することができる。

【図面の簡単な説明】

30

【0008】

【図1】電力変換回路10の一例を示す図である。

【図2】電力変換回路10の構成の一例を示す図である。

【図3】電力変換回路10に流れる電流経路の一例を示す図である。

【図4】電力変換回路10に流れる電流経路の一例を示す図である。

【図5】電力変換回路10の主要な波形を示す図である。

【図6】電力変換装置200の構造の一例を示す図である。

【図7】電力変換回路15の一例を示す図である。

【発明を実施するための形態】

【0009】

40

本明細書及び添付図面の記載により、少なくとも以下の事項が明らかとなる。

【0010】

＝＝＝＝＝本実施形態＝＝＝＝＝

<<<電力変換回路10の概要>>>

図1は、本発明の一実施形態である電力変換回路10の構成を示す図である。電力変換回路10は、例えば、入力電圧 V_{in} から、三相（U，V，W）の交流電圧のうち、U相の交流電圧を生成する回路である。電力変換回路10は、ラインL1，L2、コンデンサCd，Ce，Cc、NMOSトランジスタ30，31、及び充放電回路32を含んで構成される。

【0011】

50

電源側（P端子側）のラインL1と、接地側（N端子側）のラインL2との間に設けられたコンデンサC_dは、整流回路（不図示）により整流された電圧を平滑化するための素子である。なお、本実施形態では、コンデンサC_dに印加される電圧を、入力電圧V_{in}とする。コンデンサC_eは、電力変換回路10を接地するための素子である。なお、ラインL1は、「第1ライン」に相当し、ラインL2は、「第2ライン」に相当する。

【0012】

NMOSトランジスタ30は、ハイサイド側のスイッチング素子であり、NMOSトランジスタ31は、ローサイド側のスイッチング素子である。本実施形態では、ラインL1と、ラインL2との間に設けられたNMOSトランジスタ30、31が、駆動回路（不図示）により相補的にオンオフされることにより、U相の交流電圧が生成される。なお、本実施形態では、NMOSトランジスタ30のソース電極と、NMOSトランジスタ31のドレイン電極と、U端子（後述）と、が接続されたノードを、ノードN0とする。また、ノードN0は、「電源側のノード」に相当する。

10

【0013】

ところで、NMOSトランジスタ30、31は、電力変換に用いられるパワートランジスタである。このため、例えば、NMOSトランジスタ31のドレイン電極と、接地との間には、寄生容量C_sが発生する。そして、NMOSトランジスタ30、31がスイッチングされ、ノードN0の電圧が変化すると、寄生容量C_sを介してコンデンサC_eに漏洩電流I_Lが流れることになる。

【0014】

具体的には、NMOSトランジスタ30がオンし、NMOSトランジスタ31がオフすると、ノードN0の電圧は、入力電圧V_{in}のレベル（例えば、数百Vであり、以降Hレベルとする。）まで上昇する。この結果、寄生容量C_sから、コンデンサC_eに、一点鎖線で示す漏洩電流I_Lが流れる。一方、NMOSトランジスタ30がオフし、NMOSトランジスタ31がオンすると、ノードN0の電圧は、接地レベル（例えば、0Vであり、以降Lレベルとする。）まで低下する。この結果、コンデンサC_eから、寄生容量C_sに点線で示す漏洩電流I_Lが流れる。したがって、NMOSトランジスタ30、31がオン、オフすると、コンデンサC_eには、漏洩電流I_Lに応じた雑音端子電圧が発生することになる。

20

【0015】

そして、コンデンサC_eに発生する雑音端子電圧は、例えば接地側のラインL2を介して接続される他の回路や電子機器に悪影響を与えることがある。したがって、コンデンサC_eに発生する雑音端子電圧を抑制することが好ましい。本実施形態では、このような雑音端子電圧を抑制すべく、漏洩電流I_Lをキャンセルするための補償電流を生成するコンデンサC_c及び充放電回路32が設けられている。なお、電力変換回路10においては、実際には漏洩電流I_Lはキャンセルされるが、図1では、理解を容易にするために、便宜上漏洩電流I_Lを描いている。

30

【0016】

<<コンデンサC_c及び充放電回路32の詳細>>

ここで、図2を参照しつつ、コンデンサC_c及び充放電回路32の詳細について説明する。コンデンサC_cは、補償電流を流すための素子であり、一端が接地されている。充放電回路32は、漏洩電流I_Lとは逆向きに流れる補償電流を、コンデンサC_cを介して流すための回路である。充放電回路32は、電源回路40、放電回路41、及び充電回路42を含んで構成される。なお、本実施形態において、コンデンサC_cを含む充放電回路32は、「電子回路」に相当する。

40

【0017】

<<電源回路40>>

電源回路40は、ノードN0からの電圧に基づいて、充電回路42が動作するための電源電圧V_{dd}を生成する回路である。電源回路40は、コンデンサ50、52、ダイオード51、53、及びツェナーダイオード54を含んで構成される。ノードN0と、接地側

50

のライン L 2 との間には、コンデンサ 5 0、ダイオード 5 1、及びコンデンサ 5 2 が直列に接続されている。また、ダイオード 5 1 のアノードは、コンデンサ 5 0 に接続され、カソードは、コンデンサ 5 2 に接続されている。なお、詳細は後述するが、本実施形態のコンデンサ 5 2 には、充電回路 4 2 を動作させることができるよう、充電回路 4 2 の充放電電荷に対し、電圧変動を十分に抑制できる容量を有するものとする。

【 0 0 1 8 】

このため、ノード N 0 が L レベルから H レベルになると、コンデンサ 5 0、及びダイオード 5 1 を介してコンデンサ 5 2 が充電される。また、コンデンサ 5 0 と、ライン L 2 との間には、ダイオード 5 3 が接続されている。具体的には、ダイオード 5 3 のカソードは、コンデンサ 5 0 に接続され、アノードは、ライン L 2 に接続されている。したがって、ノード N 0 が H レベルから L レベルになると、コンデンサ 5 0 は、ダイオード 5 3 を介してノード N 0 へと放電されることになる。

10

【 0 0 1 9 】

ここで、上述のようにコンデンサ 5 2 には、カソードが接続されたダイオード 5 1 が接続されている。したがって、ノード N 0 が H レベルから L レベルになった場合であっても、コンデンサ 5 2 に充電された電荷を放電されることはない。つまり、コンデンサ 5 2 は、スイッチング周期毎にノード N 0 から充電されるため、コンデンサ 5 2 には、充電回路 4 2 を安定に動作させることができる電源電圧 V d d が生じることになる。

【 0 0 2 0 】

なお、コンデンサ 5 2 と、接地側のライン L 2 との間には、カソードがコンデンサ 5 2 に接続され、アノードがライン L 2 に接続されたツェナーダイオード 5 4 が接続されている。したがって、ツェナーダイオード 5 4 は、電源電圧 V d d が所定電圧より高くないよう、電源電圧 V d d をクランプする素子として動作する。なお、本実施形態における「所定電圧」は、ツェナーダイオード 5 4 のツェナー電圧（例えば、1 0 V）である。このため、電源回路 4 0 は、例えば 1 0 V の電源電圧 V d d を充電回路 4 2 に供給することになる。

20

【 0 0 2 1 】

なお、本実施形態では、電源電圧 V d d が印加される配線を、「ライン L 3」とし、ライン L 3 は、「第 3 ライン」に相当する。また、コンデンサ 5 2 は、「第 4 コンデンサ」に相当し、コンデンサ 5 0 は、「第 5 コンデンサ」に相当する。さらに、ダイオード 5 1 は、「第 3 ダイオード」に相当し、ダイオード 5 3 は、「第 4 ダイオード」に相当し、ツェナーダイオード 5 4 は、「クランプ素子」に相当する。

30

【 0 0 2 2 】

< < 放電回路 4 1 > >

放電回路 4 1 は、寄生容量 C s が充電される際に、漏洩電流 I L がコンデンサ C e に流れないように、コンデンサ C c を放電する回路である。放電回路 4 1 は、コンデンサ 6 0、ダイオード 6 1、及び N P N トランジスタ 6 2、6 3 を含んで構成される。

【 0 0 2 3 】

コンデンサ 6 0 は、寄生容量 C s と同様に、ノード N 0 の電圧レベルの変化に応じた電流を流す素子である。コンデンサ 6 0 の一端は、ノード N 0 に接続され、他端は、ダイオード 6 1 と、ダイオード接続された N P N トランジスタ 6 2 と、に接続されている。このため、ノード N 0 が H レベルになると、コンデンサ 6 0 を介してダイオード接続された N P N トランジスタ 6 2 に、寄生容量 C s と同様の電流が流れることになる。

40

【 0 0 2 4 】

図 3 は、ノード N 0 が H レベルに変化した際に、電力変換回路 1 0 に流れる電流の経路の一例を説明するための図である。また、図 4 は、電力変換回路 1 0 の主要な波形の一例を示す図である。まず、図 4 の時刻 t 1 に、N M O S トランジスタ 3 0 がオンし、N M O S トランジスタ 3 1 がオフすると、ノード N 0 は H レベルとなる。この結果、図 3 に示すように、寄生容量 C s から接地へと一点鎖線に示す電流が流れるとともに、コンデンサ 6 0 を介し、N P N トランジスタ 6 2 へと、二点鎖線で示す電流が流れる。

50

【 0 0 2 5 】

ここで、NPNトランジスタ62と、NPNトランジスタ63とはカレントミラー回路を構成する。したがって、NPNトランジスタ63は、NPNトランジスタ62に流れる電流に基づいて、コンデンサCcを放電する。具体的には、NPNトランジスタ63は、NPNトランジスタ62に流れる電流に応じた補償電流Ic（実線）を生成し、コンデンサCcからの電荷を吸い込む。この結果、寄生容量Csから接地へと流れる漏洩電流IL（一点鎖線）は、補償電流Ic（ここでは、放電電流）として、コンデンサCcを介して、NPNトランジスタ63に吸い込まれることになる。

【 0 0 2 6 】

そして、NPNトランジスタ62、63からの電流は、例えば、接地側のラインL2、コンデンサCd、電源側のラインL1、NMOSTランジスタ30を介してノードN0へと循環する。

10

【 0 0 2 7 】

ここで、本実施形態では、図4の時刻t1の波形の拡大図に示すように、漏洩電流IL（実線）と、補償電流Ic（一点鎖線）との大きさ（絶対値）の時間変化が等しくなるよう、コンデンサ60、Ccの容量値等が定められている。なお、ここでは、電力変換回路10から、接地へと流れる電流の向きを「正方向」とし、接地から、電力変換回路10へと流れる電流の向きを「負方向」としている。

【 0 0 2 8 】

したがって、電力変換回路10においては、ノードN0がHレベルになった際に、漏洩電流ILが、補償電流Icとして、コンデンサCcを介してNPNトランジスタ63に流れることになる。したがって、漏洩電流ILがコンデンサCeに流れることを防ぐことができるため、コンデンサCeの電圧Vceの変化を抑制できる。なお、図4では、参考波形として、充放電回路32及びコンデンサCcが無い場合の電圧Vceの波形を描いている。このように、本実施形態では、ノードN0がHレベルとなる際、コンデンサCeに雑音端子電圧が発生することを精度良く抑制できる。

20

【 0 0 2 9 】

なお、ノードN0がLレベルになると、ダイオード61がオンするため、コンデンサ60の電荷は、ダイオード61、コンデンサ60、及びノードN0を経由する電流により放電される。したがって、コンデンサ60には、ノードN0がHレベルになる毎に、寄生容量Csの電流と、波形が相似形となる電流が流れる。

30

【 0 0 3 0 】

本実施形態のコンデンサ60は、「第1コンデンサ」に相当し、ダイオード61は、「第1ダイオード」に相当する。また、コンデンサCcは、「第3コンデンサ」に相当し、NPNトランジスタ62、63で構成されるカレントミラー回路は、「第1カレントミラー回路」に相当する。

【 0 0 3 1 】

< < 充電回路42 > >

充電回路42は、寄生容量Csが放電される際に、漏洩電流ILがコンデンサCeに流れないように、コンデンサCcを充電する回路である。充電回路42は、コンデンサ70、ダイオード71、及びPNPトランジスタ72、73を含んで構成される。

40

【 0 0 3 2 】

コンデンサ70は、寄生容量Csと同様に、ノードN0の電圧レベルの変化に応じた電流を流す素子である。コンデンサ70の一端は、ノードN0に接続され、他端は、ダイオード71と、ダイオード接続されたPNPトランジスタ72と、に接続されている。このため、ノードN0がLレベルになると、コンデンサ70を介してダイオード接続されたPNPトランジスタ72に、寄生容量Csと同様の電流が流れることになる。

【 0 0 3 3 】

図5は、NMOSTランジスタ30がオフし、NMOSTランジスタ31がオンすることによりノードN0がLレベルに変化した際に、電力変換回路10に流れる電流の経路の

50

一例を説明するための図である。例えば、図 4 の時刻 t_2 に、NMOS トランジスタ 30 がオフし、NMOS トランジスタ 31 がオンすると、ノード N0 は L レベルとなる。この結果、図 5 に示すように、寄生容量 C_s からノード N0 (または、NMOS トランジスタ 31 のドレイン電極) へと一点鎖線に示す電流が流れる。また、この際には、PNP トランジスタ 72 から、コンデンサ 70 を介してノード N0 へと二点鎖線で示す電流が流れる。
【0034】

ここで、PNP トランジスタ 72 と、PNP トランジスタ 73 とはカレントミラー回路を構成する。したがって、PNP トランジスタ 73 は、PNP トランジスタ 72 に流れる電流に基づいて、コンデンサ C_c を充電する。具体的には、PNP トランジスタ 73 は、PNP トランジスタ 72 に流れる電流に応じた補償電流 I_c (実線) を生成し、コンデンサ C_c へ供給する。この結果、PNP トランジスタ 73 からコンデンサ C_c を介して接地へと流れる補償電流 I_c (ここでは、充電電流) が、寄生容量 C_s を介して流れる漏洩電流 I_L として供給されることになる。

10

【0035】

そして、ノード N0 への電流は、例えば、NMOS トランジスタ 31、接地側のライン L2、コンデンサ 52、を介して電源回路 40 のライン L3 へと循環する。なお、上述のように、コンデンサ 52 は充電回路 42 の充放電電荷に対し、電圧変動を十分に抑制できる容量を有する。このため、コンデンサ 52 から、充電回路 42 のカレントミラー回路に電流が供給されても、電源回路 40 は、安定した電圧 V_{dd} を生成することができる。

【0036】

20

ここで、本実施形態では、図 4 の時刻 t_2 の波形の拡大図に示すように、漏洩電流 I_L (実線) と、補償電流 I_c (一点鎖線) との大きさ (絶対値) の時間変化が等しくなるよう、コンデンサ 70、 C_c の容量値等が定められている。したがって、電力変換回路 10 においては、ノード N0 が L レベルになった際に、補償電流 I_c が、漏洩電流 I_L として、コンデンサ C_s を介して流れることになる。したがって、漏洩電流 I_L がコンデンサ C_e に流れることを防ぐことができるため、コンデンサ C_e の電圧 V_{ce} の変化を抑制できる。このように、本実施形態では、ノード N0 が L レベルとなる際、コンデンサ C_e に雑音端子電圧が発生することを精度良く抑制できる。

【0037】

なお、本実施形態のコンデンサ 70 は、「第 2 コンデンサ」に相当し、ダイオード 71 は、「第 2 ダイオード」に相当する。また、PNP トランジスタ 72、73 で構成されるカレントミラー回路は、「第 2 カレントミラー回路」に相当する。

30

【0038】

<<< 電力変換装置の一例 >>>

図 6 は、電力変換回路 10 を含む電力変換装置 200 の平面図の一例である。なお、電力変換回路 10 と、電力変換装置 200 とで同じ符号が付された構成は同じである。電力変換装置 200 は、筐体 210、ヒートシンク 220、半導体モジュール 230、及び回路基板 240 を含んで構成される。

【0039】

筐体 210 は、例えば樹脂で形成され、おもて面に開口を有する略矩形の箱状部材であり、ヒートシンク 220、半導体モジュール 230、及び回路基板 240 を収納する。筐体の底面には、例えば銅で形成された金属製のヒートシンク 220 が取り付けられ、ヒートシンク 220 のおもて面には、半導体モジュール 230 が取り付けられている。

40

【0040】

半導体モジュール 230 は、NMOS トランジスタ 30、31 を内部に含む電子部品であり、おもて面には、端子 P、N、U が設けられている。なお、端子 P は、例えば、NMOS トランジスタ 30 のドレイン電極と、電源側のライン L1 に接続される端子であり、端子 N は、NMOS トランジスタ 31 のソース電極と、接地側のライン L2 に接続される端子である。また、端子 U は、NMOS トランジスタ 30、31 が接続されたノード N0 に接続される端子である。

50

【 0 0 4 1 】

回路基板 2 4 0 は、電力変換回路 1 0 のうち、充放電回路 3 2 と、コンデンサ C c とが実装された矩形状のプリント基板であり、端子 U に接続された金属板 2 5 0 と、端子 N に接続された金属板 2 5 1 と、を介して半導体モジュール 2 3 0 に固定されている。なお、回路基板 2 4 0 には、端子 U と、端子 N との夫々に接続される導電パターン（不図示）が形成されている。

【 0 0 4 2 】

また、回路基板 2 4 0 のおもて面には、端子 U の辺側の領域には、放電回路 4 1 のコンデンサ 6 0 と、充電回路 4 2 のコンデンサ 7 0 と、コンデンサ C c と、が実装されている。そして、回路基板 2 4 0 の中央付近には、コンデンサ 6 0 を除く放電回路 4 1 を構成する部品と、コンデンサ 7 0 を除く充電回路 4 2 を構成する部品と、が実装されている。さらに、回路基板 2 4 0 の端子 U から遠い辺側の領域には、電源回路 4 0 を構成する部品が実装されている。なお、コンデンサ C c の一端は、金属製のワイヤ 2 5 2 と、端子 2 5 3 とを介して、接地として機能するヒートシンク 2 2 0 に取り付けられている。

10

【 0 0 4 3 】

このように、コンデンサ 6 0 , 7 0 を、放電回路 4 1 、充電回路 4 2 のそれぞれのカレントミラー回路より、端子 U に近い領域に配置しているため、端子 U と、コンデンサ 6 0 , 7 0 との間のインピーダンスを小さくすることができる。したがって、コンデンサ 6 0 , 7 0 に印加される電圧と、NMOS トランジスタ 3 0 の寄生容量 C s に印加される電圧とを略等しくなる。このため、電力変換装置 2 0 0 では、補償電流 I c の波形と、漏洩電流 I L の波形とを精度良く一致させることが可能となる。

20

【 0 0 4 4 】

なお、電力変換装置 2 0 0 において、端子 U は、「第 1 端子」に相当し、端子 N は、「第 2 端子」に相当し、端子 2 5 3 は、「接地端子」に相当する。

【 0 0 4 5 】

< < < 電力変換回路 1 5 の一例 > > >

図 7 は、電力変換回路 1 5 の一例を示す図である。電力変換回路 1 5 は、例えば 3 レベルインバータの U 相の電圧を生成する際に用いられる回路である。電力変換回路 1 5 は、ライン L 1 , L 2 、コンデンサ C d p , C d n , C e , C c 、NMOS トランジスタ 3 5 ~ 3 8 、ダイオード D 1 , D 2 、及び充放電回路 3 9 を含んで構成される。なお、図 2 等に図示した電力変換回路 1 0 と、電力変換回路 1 5 とで同じ符号が付された回路や素子は同じである。このため、ここでは、電力変換回路 1 0 と異なる回路や素子を中心に説明する。

30

【 0 0 4 6 】

電源側（P 端子側）のライン L 1 と、接地側（N 端子側）のライン L 2 との間には、直列接続されたコンデンサ C d p , C d n が設けられている。コンデンサ C d p , C d n が接続されたノードは、M 端子（不図示）に接続されるノードであり、例えば、入力電圧 V i n の半分の電圧（ $V_{in}/2$ ）が、電圧 V m として印加される。

【 0 0 4 7 】

また、ライン L 1 と、ライン L 2 との間には、4 つの NMOS トランジスタ 3 5 ~ 3 8 が直列に接続されている。そして、本実施形態では、NMOS トランジスタ 3 5 のソース電極と、NMOS トランジスタ 3 6 のドレイン電極とが接続されたノード N 1 には、NMOS トランジスタ 3 5 ~ 3 8 を含む半導体モジュールの端子 U p （不図示）が接続される。

40

【 0 0 4 8 】

また、NMOS トランジスタ 3 6 のソース電極と、NMOS トランジスタ 3 7 のドレイン電極とが接続されたノード N 2 には、半導体モジュールの端子 U （不図示）が接続される。さらに、NMOS トランジスタ 3 7 のソース電極と、NMOS トランジスタ 3 8 のドレイン電極とが接続されたノード N 3 には、半導体モジュールの端子 U n （不図示）が接続される。

【 0 0 4 9 】

50

また、直列に接続されたダイオード D_1 、 D_2 は、ノード N_1 と、ノード N_3 との間に接続され、ダイオード D_1 、 D_2 の接続ノードには、電圧 V_m が印加されている。そして、 $NMOS$ トランジスタ $35 \sim 38$ が、駆動回路（不図示）に所定のタイミングでオンオフされることにより、3つのレベル（ 0 、 $V_{in}/2$ 、 V_{in} ）に応じた U 相の電圧が、ノード $N_1 \sim N_3$ から出力される。

【0050】

ところで、 $NMOS$ トランジスタ $35 \sim 38$ は、電力変換に用いられるパワートランジスタである。このため、例えば、 $NMOS$ トランジスタ 36 のドレイン電極と、接地との間には、寄生容量 C_{s1} が発生する。そして、例えば、 $NMOS$ トランジスタ 35 、 36 が相補的にスイッチングされ、ノード N_1 の電圧が変化すると、寄生容量 C_{s1} を介してコンデンサ C_e に漏洩電流 I_L が流れることになる。

10

【0051】

本実施形態では、 $NMOS$ トランジスタ 37 のドレイン電極と、接地との間には、寄生容量 C_{s2} が発生し、 $NMOS$ トランジスタ 38 のドレイン電極と、接地との間には、寄生容量 C_{s3} が発生する。このため、上述した漏洩電流 I_L は、ノード N_2 、 N_3 の電圧が変化した際にも発生する。そこで、電力変換回路 15 には、電力変換回路 10 と同様に、漏洩電流 I_L をキャンセル（または、抑制）するためのコンデンサ C_c 及び充放電回路 39 が設けられている。

【0052】

<<コンデンサ C_c 及び充放電回路 39 の詳細>>

20

コンデンサ C_c は、補償電流を流すための素子であり、一端が接地されている。充放電回路 39 は、漏洩電流 I_L とは逆向きに流れる補償電流を、コンデンサ C_c を介して流すための回路である。充放電回路 39 は、電源回路 40 、放電回路 45 、及び充電回路 46 を含んで構成される。なお、電源回路（ PS ） 40 は、上述した図2の回路と同じであるため、ここでは詳細な説明は省略する。

【0053】

<<放電回路 45 >>

放電回路 45 は、寄生容量 $C_{s1} \sim C_{s3}$ の夫々が充電される際に、漏洩電流 I_L がコンデンサ C_e に流れないように、コンデンサ C_c を放電する回路である。放電回路 45 は、ダイオード 61 、 NPN トランジスタ 62 、 63 、及びコンデンサ $64 \sim 66$ を含んで構成される。なお、ダイオード 61 、 NPN トランジスタ 62 、 63 は、上述した図2の素子と同じであるため、ここでは詳細な説明は省略する。

30

【0054】

コンデンサ 64 は、寄生容量 C_{s1} と同様に、ノード N_1 の電圧レベルの変化に応じた電流を流す素子である。コンデンサ 64 の一端は、ノード N_1 に接続され、他端は、ダイオード 61 と、ダイオード接続された NPN トランジスタ 62 と、に接続されている。このため、ノード N_1 のレベルが高くなると、コンデンサ 64 を介してダイオード接続された NPN トランジスタ 62 に、寄生容量 C_{s1} と同様の電流が流れることになる。

【0055】

コンデンサ 65 は、寄生容量 C_{s2} と同様に、ノード N_2 の電圧レベルの変化に応じた電流を流す素子である。コンデンサ 65 の一端は、ノード N_2 に接続され、他端は、ダイオード 61 と、ダイオード接続された NPN トランジスタ 62 と、に接続されている。このため、ノード N_2 のレベルが高くなると、コンデンサ 65 を介してダイオード接続された NPN トランジスタ 62 に、寄生容量 C_{s2} と同様の電流が流れることになる。

40

【0056】

コンデンサ 66 は、寄生容量 C_{s3} と同様に、ノード N_3 の電圧レベルの変化に応じた電流を流す素子である。コンデンサ 66 の一端は、ノード N_3 に接続され、他端は、ダイオード 61 と、ダイオード接続された NPN トランジスタ 62 と、に接続されている。このため、ノード N_3 のレベルが高くなると、コンデンサ 66 を介してダイオード接続された NPN トランジスタ 62 に、寄生容量 C_{s3} と同様の電流が流れることになる。

50

【 0 0 5 7 】

このように、本実施形態では、N M O S トランジスタ 3 6 ~ 3 8 の寄生容量 $C_{s1} \sim C_{s3}$ に流れる漏洩電流 I_L と同様の電流を生成可能なコンデンサ 6 4 ~ 6 6 が、ノード $N_1 \sim N_3$ に接続されている。そして、これらのコンデンサ 6 4 ~ 6 6 に生成される電流に基づいて、コンデンサ C_c には、漏洩電流 I_L とは逆向きの補償電流 I_c が生成される。したがって、本実施形態では、ノード $N_1 \sim N_3$ の夫々の電圧レベルが高くなった際、コンデンサ C_e に雑音端子電圧が発生することを精度良く抑制できる。

【 0 0 5 8 】

< < 充電回路 4 6 > >

充電回路 4 6 は、寄生容量 $C_{s1} \sim C_{s3}$ の夫々が放電される際に、漏洩電流 I_L がコンデンサ C_e に流れないように、コンデンサ C_c を充電する回路である。充電回路 4 6 は、ダイオード 7 1 , P N P トランジスタ 7 2 , 7 3、及びコンデンサ 7 4 ~ 7 6 を含んで構成される。なお、ダイオード 7 1 , P N P トランジスタ 7 2 , 7 3 は、上述した図 2 の素子と同じであるため、ここでは詳細な説明は省略する。

10

【 0 0 5 9 】

コンデンサ 7 4 は、寄生容量 C_{s1} と同様に、ノード N_1 の電圧レベルの変化に応じた電流を流す素子である。コンデンサ 7 4 の一端は、ノード N_1 に接続され、他端は、ダイオード 7 1 と、ダイオード接続された P N P トランジスタ 7 2 と、に接続されている。このため、ノード N_1 のレベルが低くなると、コンデンサ 7 4 を介してダイオード接続された P N P トランジスタ 7 2 に、寄生容量 C_{s1} と同様の電流が流れることになる。

20

【 0 0 6 0 】

コンデンサ 7 5 は、寄生容量 C_{s2} と同様に、ノード N_2 の電圧レベルの変化に応じた電流を流す素子である。コンデンサ 7 5 の一端は、ノード N_2 に接続され、他端は、ダイオード 7 1 と、ダイオード接続された P N P トランジスタ 7 2 と、に接続されている。このため、ノード N_2 のレベルが低くなると、コンデンサ 7 5 を介してダイオード接続された P N P トランジスタ 7 2 に、寄生容量 C_{s2} と同様の電流が流れることになる。

【 0 0 6 1 】

コンデンサ 7 6 は、寄生容量 C_{s3} と同様に、ノード N_3 の電圧レベルの変化に応じた電流を流す素子である。コンデンサ 7 6 の一端は、ノード N_3 に接続され、他端は、ダイオード 7 1 と、ダイオード接続された P N P トランジスタ 7 2 と、に接続されている。このため、ノード N_3 のレベルが低くなると、コンデンサ 7 6 を介してダイオード接続された P N P トランジスタ 7 2 に、寄生容量 C_{s3} と同様の電流が流れることになる。

30

【 0 0 6 2 】

このように、本実施形態では、N M O S トランジスタ 3 6 ~ 3 8 の寄生容量 $C_{s1} \sim C_{s3}$ に流れる漏洩電流 I_L と同様の電流を生成可能なコンデンサ 7 4 ~ 7 6 が、ノード $N_1 \sim N_3$ に接続されている。そして、これらのコンデンサ 7 4 ~ 7 6 に生成される電流に基づいて、コンデンサ C_c には、漏洩電流 I_L とは逆向きの補償電流 I_c が生成される。したがって、本実施形態では、ノード $N_1 \sim N_3$ の夫々の電圧レベルが低くなった際、コンデンサ C_e に雑音端子電圧が発生することを精度良く抑制できる。

【 0 0 6 3 】

= = = ま と め = = =

以上、本実施形態の電力変換回路 1 0 , 1 5 について説明した。例えば、電力変換回路 1 0 においては、コンデンサ 6 0 , 7 0 が、N M O S トランジスタ 3 1 の対地間の寄生容量 C_s が発生するノード N_0 に接続されている。そして、充放電回路 3 2 は、コンデンサ 6 0 , 7 0 に流れる電流に基づいて、漏洩電流 I_L をキャンセルする補償電流 I_c をコンデンサ C_c に生成する。したがって、電力変換回路 1 0 は、例えば補助コイル等の電子部品を用いる必要がないため、安価な構成で漏洩電流 I_L を抑制することができる。

40

【 0 0 6 4 】

また、ダイオード 6 1 , 7 1 の夫々のアノードはライン L_2 に接続されているため、ダイオード 6 1 , 7 1 は、コンデンサ 6 0 , 7 0 を適切に放電することができる。なお、例

50

例えば、ダイオード 6 1 , 7 1 の夫々のアノードは接地しても良い。しかしながら、例えば、電力変換装置 2 0 0 においてダイオード 6 1 , 7 1 を接地する場合、夫々のアノードを例えば、ワイヤ（不図示）を介してヒートシンク 2 2 0 に接続する必要がある。本実施形態では、ダイオード 6 1 , 7 1 の夫々のアノードを回路基板 2 4 0 のライン L 2（つまり、端子 N）に接続された導電パターン（不図示）に接続できるため、ワイヤ等の部品点数を削減できる。

【 0 0 6 5 】

また、例えば、図 5 に示すように、充電回路 4 2 から出力される補償電流 I_c は、コンデンサ C_c 、NMOS トランジスタ 3 1、ライン L 2、コンデンサ 5 2、ライン L 3 を介して、PNP トランジスタ 7 2 , 7 3 のカレントミラー回路へと流れる。このような経路で電流が流れることにより、漏洩電流 I_L がコンデンサ C_e に流れることを防ぐことができる。

10

【 0 0 6 6 】

また、例えば、充電回路 4 2 を動作させる電源電圧 V_{dd} は、例えばライン L 1 , L 2 を分圧する分圧回路を用いて生成しても良い。しかしながら、そのような分圧回路を用いると、分圧回路で消費する電力が大きくなってしまふ。本実施形態の電源回路 4 0 は、H レベルと、L レベルとの間で変化するノード N 0 の電圧に基づいて、電源電圧 V_{dd} を生成しているため、消費電力を削減できる。

【 0 0 6 7 】

また、電源回路 4 0 は、ノード N 0 の電圧を分圧するコンデンサ 5 0 , 5 2 と、コンデンサ 5 2 の放電を防止するダイオード 5 1 と、を含んでいる。さらに、コンデンサ 5 2 がスイッチング周期毎に充電されるよう、ノード N 0 が L レベルになるとコンデンサ 5 0 を放電するダイオード 5 3 を含んでいる。このような構成の電源回路 4 0 を用いることにより、ノード N 0 の電圧に基づいて、安定な電源電圧 V_{dd} を生成することができる。

20

【 0 0 6 8 】

また、コンデンサ 5 0 を放電するダイオード 5 3 のアノードは、接地でなく、接地側のライン L 2 に接続されている。このため、例えば、電力変換装置 2 0 0 において、ワイヤ等の部品点数を削減することができる。

【 0 0 6 9 】

また、電源回路 4 0 には、電源電圧 V_{dd} がツェナー電圧（例えば、1 0 V）より高くないよう、電源電圧 V_{dd} をクランプするツェナーダイオード 5 4 が設けられている。したがって、本実施形態では、PNP トランジスタ 7 2 , 7 3 に高い電圧が印加されることを防ぐことができる。

30

【 0 0 7 0 】

また、一般に、スイッチング素子を含む装置を動作させた際、漏洩電流が発生し、大きな雑音端子電圧が発生してしまうことがある。このような場合、例えば、図 6 の電力変換装置 2 0 0 に示すように、コンデンサ C_c 及び充放電回路 3 2 が実装された回路基板 2 4 0 を、半導体モジュール 2 3 0 に取り付けても良い。このような回路基板 2 4 0 を半導体モジュール 2 3 0 に取り付けることにより、確実に漏洩電流はキャンセルされるため、雑音端子電圧の発生を抑制できる。

40

【 0 0 7 1 】

また、寄生容量 C_s と同様の機能を有するコンデンサ 6 0 , 7 0 は、回路基板 2 4 0 において、端子 U の近くに実装することが好ましい。そのような位置にコンデンサ 6 0 , 7 0 を配置することにより、より高い精度で補償電流 I_c と、漏洩電流 I_L と、を一致させることができる。

【 0 0 7 2 】

なお、本実施形態では、ライン L 1 と、ライン L 2 との間に設けられる電力変換用のスイッチング素子として、MOS トランジスタが用いられることとしたが、例えば、バイポーラトランジスタ、IGBT（Insulated Gate Bipolar Transistor）であっても良い。また、NMOS トランジスタ 3 0 , 3 1 の夫々には、例えば、ドレイン—ソース間、ゲー

50

ト—ソース間に寄生容量があるが、本実施形態では省略している。

【 0 0 7 3 】

また、充放電回路 3 2 のカレントミラー回路には、バイポーラトランジスタが用いられているが、例えば M O S トランジスタを用いても良い。

【 0 0 7 4 】

上記の実施形態は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。また、本発明は、その趣旨を逸脱することなく、変更や改良され得るとともに、本発明にはその等価物が含まれるのはいうまでもない。

【符号の説明】

【 0 0 7 5 】

1 0 , 1 5 電力変換回路

3 0 , 3 1 , 3 5 ~ 3 8 N M O S トランジスタ

3 2 , 3 9 充放電回路

4 0 電源回路

4 1 放電回路

4 2 充電回路

5 0 , 5 2 , 6 0 , 6 5 , 6 6 , 7 0 , 7 5 , 7 6 , C d , C d p , C d n , C e , C c , C s , C s 1 ~ C s 3 コンデンサ

5 1 , 5 3 , 6 1 , 7 1 , D 1 , D 2 ダイオード

5 4 ツェナーダイオード

6 2 , 6 3 N P N トランジスタ

7 2 , 7 3 P N P トランジスタ

2 0 0 電力変換装置

2 1 0 筐体

2 2 0 ヒートシンク

2 3 0 半導体モジュール

2 4 0 回路基板

2 5 0 , 2 5 1 金属板

2 5 2 ワイヤ

2 5 3 , U , N , P 端子

L 1 ~ L 3 ライン

N 0 ~ N 3 ノード

10

20

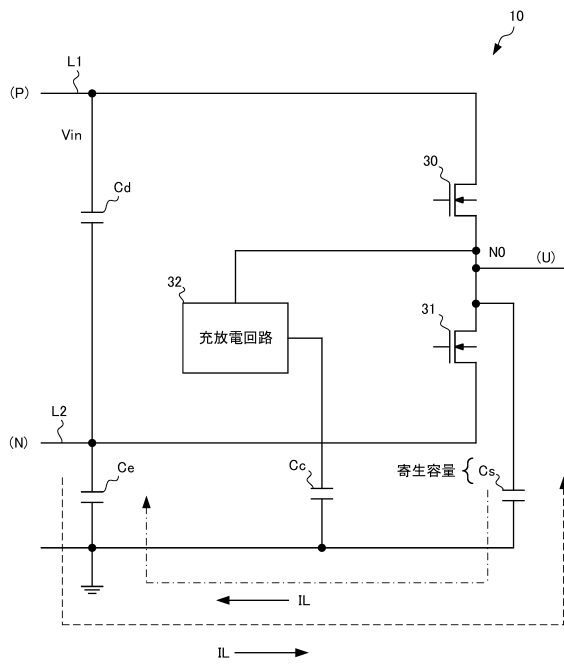
30

40

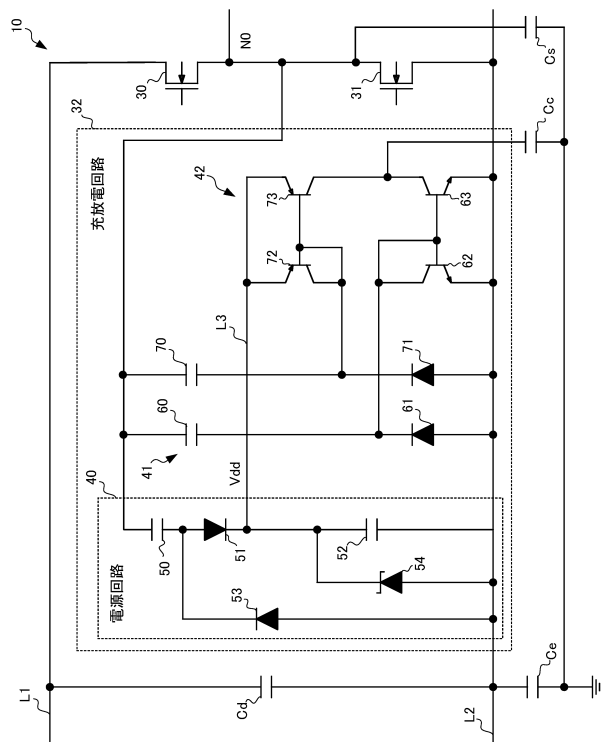
50

【 図面 】

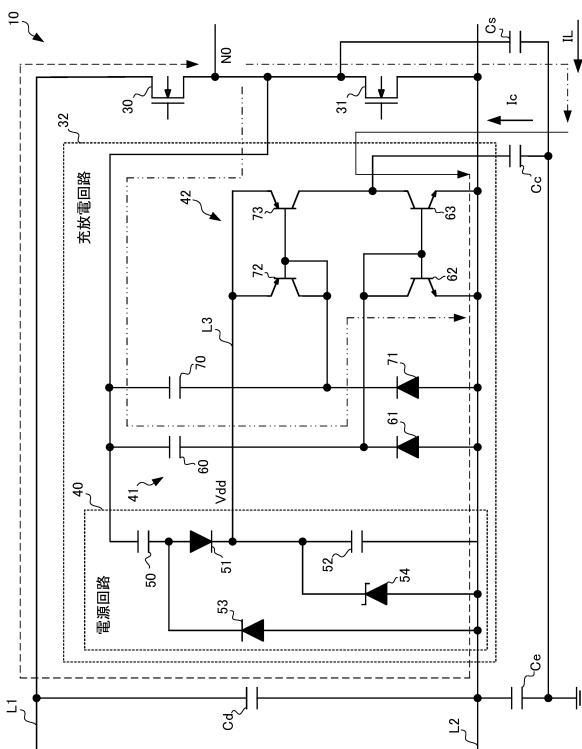
【 図 1 】



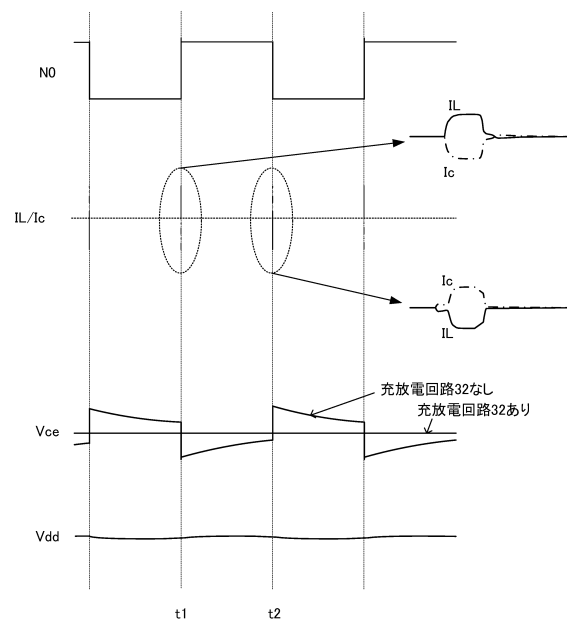
【 図 2 】



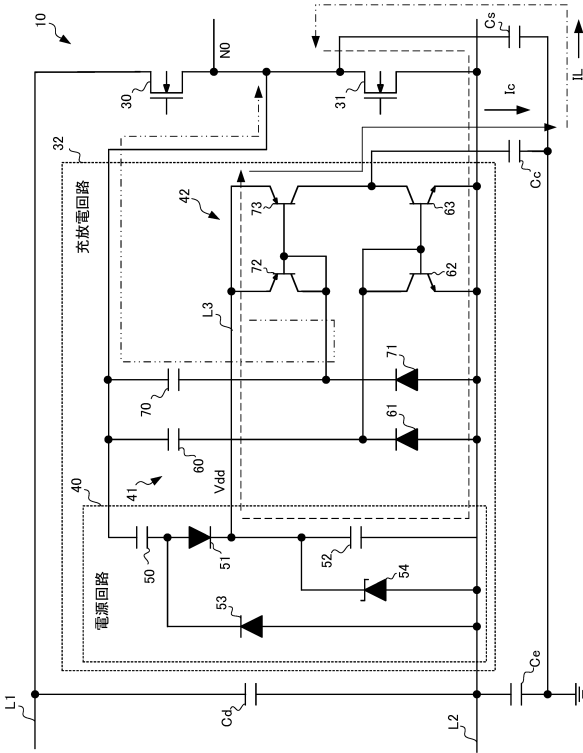
【 図 3 】



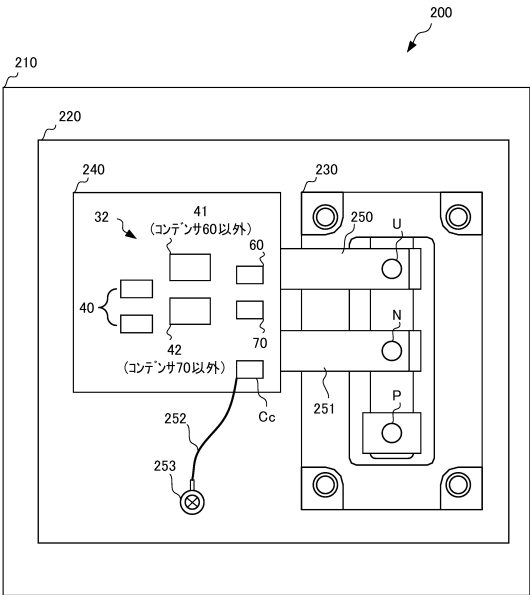
【圖 4】



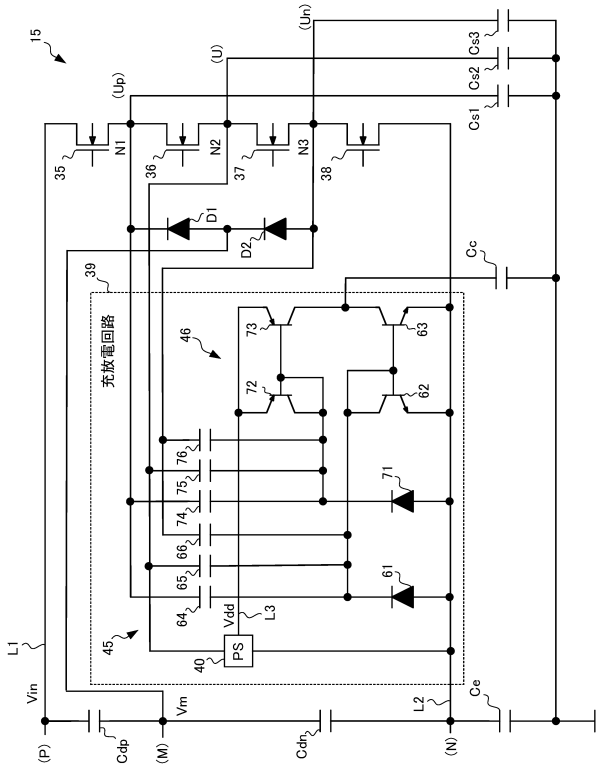
【図 5】



【図 6】



【図 7】



10

20

30

40

50

フロントページの続き

(56)参考文献 特開 2 0 2 0 - 0 9 6 5 0 4 (J P , A)
 特開 2 0 1 9 - 1 1 4 9 0 4 (J P , A)
 特開平 0 9 - 2 3 3 8 3 7 (J P , A)
 特開 2 0 0 1 - 2 5 1 8 4 8 (J P , A)
 特開 2 0 0 5 - 0 8 6 9 4 0 (J P , A)
 特開 2 0 1 6 - 1 0 0 9 5 2 (J P , A)
 特開 2 0 1 9 - 2 0 5 2 1 8 (J P , A)
 米国特許出願公開第 2 0 1 4 / 0 3 1 2 9 6 6 (U S , A 1)

(58)調査した分野 (Int.Cl., D B 名)

 H 0 2 M 1 / 0 0 - 1 / 4 4
 H 0 2 M 7 / 4 2 - 7 / 9 8
 H 0 3 K 1 7 / 1 6