

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 10 月 26 日 (26.10.2023)



(10) 国际公布号
WO 2023/201825 A1

(51) 国际专利分类号:
H01L 27/108 (2006.01) **H01L 21/8242** (2006.01)

(21) 国际申请号: PCT/CN2022/094055

(22) 国际申请日: 2022 年 5 月 20 日 (20.05.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210429923.3 2022 年 4 月 22 日 (22.04.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

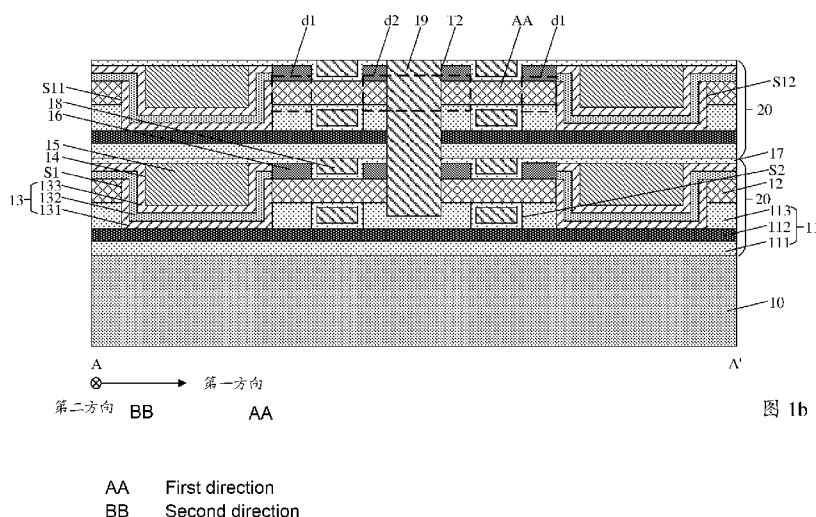
(72) 发明人: 邵光速 (SHAO, Guangsu); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。肖德元 (XIAO, Deyuan); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。白卫平 (BAI, Weiping); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。白杰 (BAI, Jie); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路 21 号中关村知识产权大厦 B 座 2 层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 一种半导体器件及其制造方法



(57) Abstract: Embodiments of the present disclosure provide a semiconductor device and a manufacturing method therefor. The semiconductor device comprises a substrate and a plurality of storage structures stacked on the substrate; each storage structure comprises: a first dielectric layer and a channel layer located in the first dielectric layer and extending in the first direction, a first groove for partitioning the channel layer being provided in the first dielectric layer; and a capacitor structure covering the side wall and bottom surface of the first groove.

(57) 摘要: 本公开实施例提供了一种半导体器件及其制造方法, 所述半导体器件包括: 衬底以及堆叠在所述衬底上的多个存储结构; 所述存储结构包括: 第一介质层及位于所述第一介质层内且沿第一方向延伸的沟道层, 所述第一介质层内具有隔断所述沟道层的第一凹槽; 电容结构, 覆盖所述第一凹槽的侧壁及底表面。

[见续页]

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

一种半导体器件及其制造方法

相关的交叉引用

本公开基于申请号为 202210429923.3、申请日为 2022 年 04 月 22 日、发明名称为“一种半导体器件及其制造方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体制造领域，尤其涉及一种半导体器件及其制造方法。

背景技术

在包含电容的半导体器件中，例如动态随机存储器（DRAM），通常由单层存储单元配置形成，所述存储单元通常包括一个晶体管和一个电容柱，晶体管位于衬底内，电容柱位于衬底上。

然而，随着各类电子设备对集成度和数据存储密度的需求的不断提高，普通的二维半导体器件越来越难以满足需求。

发明内容

本公开实施例提供一种半导体器件，包括：

衬底以及堆叠在所述衬底上的多个存储结构；

所述存储结构包括：第一介质层及位于所述第一介质层内且沿第一方向延伸的沟道层，所述第一介质层内具有隔断所述沟道层的第一凹槽；电容结构，覆盖所述第一凹槽的侧壁及底表面。

在一些实施例中，所述第一介质层包括自下而上设置的第二介质子层、刻蚀阻挡层以及第二介质子层，所述第一凹槽穿透所述第二介质子层，且暴露所述刻蚀阻挡层。

在一些实施例中，所述沟道层的数量为多个，多个所述沟道层沿第二方向排布，且多个所述沟道层被多个所述第一凹槽隔断，多个所述第一凹槽沿第二方向排列分布。

在一些实施例中，所述电容结构包括：

第一电极，所述第一电极覆盖所述第一凹槽的侧壁及底表面；

第二介质层，所述第二介质层覆盖所述第一电极；

第二电极，所述第二电极覆盖所述第二介质层。

在一些实施例中，所述存储结构还包括：第三介质层，所述第三介质层覆盖所述沟道层以及所述第一介质层，所述第三介质层及所述第一介质层内具有沿第二方向延伸的第二凹槽，所述第二凹槽暴露出所述沟道层。

在一些实施例中，所述存储结构还包括：沿第二方向延伸的字线层，所述字线层位于所述第二凹槽内。

在一些实施例中，所述存储结构还包括：第四介质层，所述第四介质层覆盖所述沟道层被所述第二凹槽暴露的表面，且覆盖所述第二凹槽的侧壁及底表面、所述第三介质层及所述电容结构。

在一些实施例中，所述半导体器件还包括：位线层，所述位线层从最顶层的存储结构往下延伸至最底层的存储结构，并与多个所述存储结构中的所述沟道层连接。

在一些实施例中，在第一方向上，单个所述沟道层被多个所述第一凹槽隔断，相邻的两个所述第一凹槽之间设置有两个字线层，所述两个字线层之间设置有一个位线层。

在一些实施例中，所述沟道层的材料包括氧化钨、氧化锡、钨氧化物、锡氧化物、铝氧化物、钨氧化物、钨锡氧化物、钨铝氧化物、钨锡氧化物、锡氧化物、铝氧化物、锡铝氧化物中的一种或多种。

本公开实施例还提供了一种半导体器件的制造方法，包括：

提供衬底；

在所述衬底上形成存储结构，包括：形成第一介质层；在所述第一介质层内形成沿第一方向延伸的沟道层；在所述第一介质层内形成隔断所述沟道层的第一凹槽；形成电容结构，所述电容结构覆盖所述第一凹槽的侧壁及底表面；

在所述存储结构上再堆叠形成一个或多个所述存储结构。

在一些实施例中，所述第一介质层包括第二介质子层、刻蚀阻挡层以及第二介质子层；形成所述第一介质层，包括：形成所述第二介质子层；在所述第二介质子层上形成所述刻蚀阻挡层；在所述刻蚀阻挡层上形成所述第二介质子层。

在一些实施例中，所述沟道层的数量为多个，多个所述沟道层沿第二方向排布；在所述第一介质层内形成所述沟道层，包括：

刻蚀所述第二介质子层，在所述第二介质子层内形成多条沿第一方向延伸的第一沟槽，多条所述第一沟槽沿第二方向排布；

在所述第一沟槽内形成所述沟道层。

在一些实施例中，多个所述沟道层被多个所述第一凹槽隔断，多个所述第一凹槽沿第二方向排布；在所述第一介质子层内形成隔断所述沟道层的所述第一凹槽，包括：从上往下刻蚀所述沟道层以及所述第二介质子层至暴露出所述刻蚀阻挡层，形成所述第一凹槽。

在一些实施例中，所述电容结构包括第一电极、第二介质子层以及第二电极；形成所述电容结构，包括：

在所述第一凹槽内形成所述第一电极，所述第一电极覆盖所述第一凹槽的侧壁及底表面；

在所述第一介质子层、所述沟道层以及所述第一电极上形成第二介质子材料层，在所述第二介质子材料层上形成第二电极材料层；

移除部分所述第二电极材料层、部分所述第二介质子材料层以分别形成所述第二电极和所述第二介质子层，所述第二电极和所述第二介质子层覆盖所述第一电极。

在一些实施例中，所述存储结构还包括第三介质子层及沿第二方向延伸的第二凹槽；在形成所述电容结构之后，所述方法还包括：

在所述沟道层以及所述第一介质子层上形成所述第三介质子层；

移除部分所述第一介质子层和部分所述第三介质子层，在所述第一介质子层和所述第三介质子层内形成所述第二凹槽，所述第二凹槽暴露出所述沟道层。

在一些实施例中，所述存储结构还包括沿第二方向延伸的字线层；在形成所述第二凹槽之后，所述方法还包括：

在所述第二凹槽内形成所述字线层。

在一些实施例中，所述存储结构还包括第四介质子层；在所述第二凹槽内形成字线层之前，所述方法还包括：

形成所述第四介质子层，所述第四介质子层覆盖所述沟道层被所述第二凹槽暴露的表面，且覆盖所述第二凹槽的侧壁及底表面、所述第三介质子层及所述电容结构。

在一些实施例中，在所述存储结构上再堆叠一个或多个所述存储结构之后，所述方法还包括：

从上往下刻蚀多个所述存储结构，形成第二沟槽，所述第二沟槽从最顶层的存储结构往下延伸至最底层的存储结构，并贯穿多个所述存储结构中的所述沟道层；

在所述第二沟槽内形成位线层。

本公开实施例提供的半导体器件及其制造方法，其中，所述半导体器件包括：衬底以及堆叠在所述衬底上的多个存储结构；所述存储结构包括：第一介质子层及位于所述第一介质子层内且沿第一方向延伸的沟道层，所述第一介质子层内具有隔断所述沟道层的第一凹槽；电容结构，覆盖所述第一凹槽的侧壁及底表面。本公开实施例提供的半导体器件包括堆叠在衬底上的多个存储结构，相比相关技术中的具有单层存储单元的半导体器件，提高了所述半导体器件的集成度和存储密度。同时，本公开实施例提供的电容结构覆盖所述第一凹槽的侧壁及底表面，相比相关技术中的具有高深宽比的电容柱，所述电容结构的制造工艺将更加简单。

本公开的一个或多个实施例的细节在下面的附图和描述中提出。本公开的其它特征和优点将从说明书附图以及权利要求书变得明显。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1a 至图 1c 为本公开实施例提供的半导体器件的示意图；

图 2 为本公开实施例提供的半导体器件的制造方法流程框图；

图 3a 至图 16c 为本公开实施例提供的半导体器件的工艺流程图。

具体实施方式

下面将参照附图更详细地描述本公开公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开公开的范围完整的传达给本领域的技术人员。

在下文的描述中，给出了大量具体的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标

记表示相同的元件。

应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论的第二元件、部件、区、层或部分时，并不表明本公开必然存在第一元件、部件、区、层或部分。

空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……之下”、“在……之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在……下面”和“在……下”可包括上和两个取向。器件可以另外地取向（旋转 90 度或其它取向）并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

在包含电容的半导体器件中，例如动态随机存储器（DRAM），通常由单层存储单元配置形成，所述存储单元通常包括一个晶体管和一个电容柱，晶体管位于衬底内，电容柱位于衬底上。然而，随着各类电子设备对集成度和数据存储密度的需求的不断提高，普通的二维半导体器件越来越难以满足需求。此外，在相关技术中，所述电容柱往往具有较大的深宽比，所述电容柱的制造工艺比较复杂，且单位体积能够容纳的电容柱较少，半导体器件的存储密度较低。

基于此，提出了本公开实施例的以下技术方案：

本公开实施例提供了一种半导体器件，包括：衬底以及堆叠在所述衬底上的多个存储结构；所述存储结构包括：第一介质层及位于所述第一介质层内且沿第一方向延伸的沟道层，所述第一介质层内具有隔断所述沟道层的第一凹槽；电容结构，覆盖所述第一凹槽的侧壁及底表面。

本公开实施例提供的半导体器件包括堆叠在衬底上的多个存储结构，相比相关技术中的具有单层存储单元的半导体器件，提高了所述半导体器件的集成度和存储密度。同时，本公开实施例提供的电容结构覆盖所述第一凹槽的侧壁及底表面，相比相关技术中的具有高深宽比的电容柱，所述电容结构的制造工艺将更加简单。

本公开实施例提供的半导体器件可以是动态随机存储器（DRAM），但不限于此，所述半导体器件还可以是任何具有电容的半导体器件。

下面结合附图对本公开的具体实施方式做详细的说明。在详述本公开实施例时，为便于说明，示意图会不依一般比例做局部放大，而且所述示意图只是示例，其在此不应限制本公开的保护范围。

图 1a 至图 1c 为本公开实施例提供的半导体器件的示意图；其中，图 1a 为本公开实施例提供的半导体器件的俯视示意图，图 1b 为沿着图 1a 的线 AA' 截取的剖面结构示意图，图 1c 为沿着图 1a 的线 BB' 截取的剖面结构示意图。以下结合图 1a 至图 1c 对本公开实施例提供的半导体器件的制造方法再作进一步详细的说明。

如图所示，所述半导体器件包括：衬底 10 以及堆叠在所述衬底 10 上的多个存储结构 20；所述存储结构 20 包括：第一介质层 11 及位于所述第一介质层 11 内且沿第一方向延伸的沟道层 12，所述第一介质层 11 内具有隔断所述沟道层 12 的第一凹槽 S1；电容结构 13，覆盖所述第一凹槽 S1 的侧壁及底表面。

所述衬底可以为半导体衬底，并且可以包括至少一个单质半导体材料（例如为硅（Si）衬底、锗（Ge）衬底）、至少一个 III-V 化合物半导体材料、至少一个 II-VI 化合物半导体材料、至少一个有机半导体材料或者在本领域已知的其他半导体材料。在一具体实施例中，所述衬底为硅衬底，所述硅衬底可经掺杂或未经掺杂。

如图 1b 所示，在一实施例中，所述第一介质层 11 包括自下而上设置的第一介质子层 111、刻蚀阻挡层 112 以及第二介质子层 113，所述第一凹槽 S1 穿透所述第二介质子层 113，且暴露所述刻蚀阻挡层 112。所述刻蚀阻挡层 112 的作用是在形成所述第一凹槽 S1 的过程中，避免所述第一凹槽 S1 穿透所述第一介质层 11，从而避免了所述第一凹槽 S1 内的所述电容结构 13 与所述衬底 10 电连接。所述刻蚀阻挡层 112 的材料可以是氮化物，例如氮化硅。所述第一介质子层 111 和所述第二介质子层 113 的材料可以是氧化物。在一些实施例中，所述第一介质子层 111 和所述第二介质子层 113 的材料相同，例如，氧化硅。

在一实施例中,所述沟道层 12 的数量为多个,多个所述沟道层 12 沿第二方向排布,且多个所述沟道层 12 被多个所述第一凹槽 S1 隔断,多个所述第一凹槽 S1 沿第二方向排列分布。在一些实施例中,所述沟道层 12 位于所述第二介质层 113 内,且所述沟道层 12 的上表面与所述第二介质层 113 的上表面齐平。所述沟道层 12 的材料包括氧化铟、氧化锡、铟锌氧化物、锡锌氧化物、铝锌氧化物、铟镓氧化物、铟镓锌氧化物、铟铝锌氧化物、铟锡锌氧化物、锡镓锌氧化物、铝镓锌氧化物、锡铝锌氧化物中的一种或多种。所述沟道层 12 的材料还可以包括硅、锗、硅锗等。所述沟道层 12 可经掺杂或未经掺杂。当使用铟镓锌氧化物 (IGZO) 作为所述沟道层 12 的材料时,能够提高电子迁移率,从而提高所述半导体器件的写入速度。

在一实施例中,第一方向、第二方向与所述衬底 10 的表面平行。在一些实施例中,第一方向与第二方向垂直。但不限于此,第一方向也可以与第二方向斜交。

在一实施例中,多个所述第一凹槽 S1 分别沿第一方向和第二方向呈阵列分布,也就是说,在第一方向上,单个所述沟道层 12 被多个所述第一凹槽 S1 隔断,多个所述在第一方向上相邻的两个第一凹槽 S1,例如图 1b 中示出的第一凹槽 S11 和第一凹槽 S12。

在一实施例中,在第一方向上,相邻的两个所述第一凹槽 S11、S12 将所述沟道层 12 切割为一个有源区 AA,所述有源区 AA 包括位于所述有源区 AA 两端的第一源/漏掺杂区 d1、位于所述有源区 AA 中间区域的第二源/漏掺杂区 d2,所述第一源/漏掺杂区 d1 和所述第二源/漏掺杂区 d2 可以通过离子注入的方式形成于所述沟道层 12 内。在一具体实施例中,所述第一源/漏掺杂区 d1 和所述第二源/漏掺杂区 d2 的导电类型相同,如 n 型。在一更具体的实施例中,位于所述第一源/漏掺杂区 d1 和所述第二源/漏掺杂区 d2 之间的区域具有 p 型掺杂。

如图 1b 所示,在一实施例中,所述电容结构 13 包括:第一电极 131,所述第一电极 131 覆盖所述第一凹槽 S1 的侧壁及底表面;第二介质层 132,所述第二介质层 132 覆盖所述第一电极 131;第二电极 133,所述第二电极 133 覆盖所述第二介质层 132。所述第一电极 131 与所述沟道层 12 连接,且所述第一电极 131 的上表面与所述沟道层 12 的上表面齐平。在一具体实施例中,所述第一电极 131 与所述第一源/漏掺杂区(未标识)连接。所述第二介质层 132 的材料可以为高介电常数材料,例如可以为氧化钽、氧化铪、氧化锆、氧化铌、氧化钛、氧化钡、氧化锶、氧化钇、氧化镧、氧化镨或者钛酸锶钡等。所述第一电极 131 和所述第二电极 133 的材料可以包括钨 (W)、铜 (Cu)、钛 (Ti)、钽 (Ta)、氮化钛 (TiN)、氮化钽 (TaN)、金属硅化物、金属合金中的一种或多种。在一些实施例中,所述第一电极 131 和所述第二电极 133 的材料相同,例如,氮化钛 (TiN)。在一些其他实施例中,所述第一电极 131 和所述第二电极 133 的材料可以不相同。

在一些实施例中,所述第一凹槽 S1 具有较小的深宽比,与形成相关技术中具有较大的深宽比的电容柱相比,在所述第一凹槽 S1 的侧壁和底表面形成所述电容结构 13 的工艺更加简单,也就是说本公开实施例形成所述存储结构 20 的工艺更为简单,且有利于在所述衬底 10 上堆叠数量更多的所述存储结构 20,增加了所述半导体器件的存储容量。此外,所述第一凹槽 S1 的深度较浅,即所述电容结构 13 的高度较小,单位体积内能够容纳更多的所述电容结构 13,提高了所述半导体器件的集成度和存储密度。

在一实施例中,所述电容结构 13 的数量为多个,多个所述电容结构 13 分别沿第一方向和第二方向呈阵列排布。在一些实施例中,沿第二方向排布的多个所述电容结构 13 的所述第二介质层 132 彼此相连,沿第二方向排布的多个所述电容结构 13 的所述第二电极 133 亦彼此相连,所述第二介质层 132 覆盖所述第一电极 131 的同时还覆盖部分所述第一介质层 11。换句话说,沿第二方向排布的多个所述电容结构 13 具有共用的所述第二介质层 132 和共用的所述第二电极 133,所述第二介质层 132 和所述第二电极 133 沿第二方向延伸,如此,简化了所述半导体器件的制造工艺。在一些实施例中,所述第二介质层 132 还覆盖部分所述沟道层 12。

在一实施例中,在第一方向上,位于该相邻的两个所述第一凹槽 S1 的侧壁和底表面上的两个电容结构 13 具有共用的第二介质层 132 和第一电极 133,如此,进一步简化了所述半导体器件的制造工艺。

在一实施例中,所述存储结构 20 还包括位于所述第一凹槽 S1 内及其上方的开口 14 以及位于所述开口 14 内的填充层 15,所述开口 14 是由于所述电容结构 13 未完全填充所述第一凹槽 S1 形成的。所述填充层 15 的上表面与所述第二电极 133 的上表面齐平。所述填充层 15 的材料包括氮化物,例如氮化硅。

在一实施例中,所述存储结构 20 还包括:第三介质层 16,所述第三介质层 16 覆盖所述沟道层 12 以及所述第一介质层 11,所述第三介质层 16 及所述第一介质层 11 内具有沿第二方向延伸的第二凹槽 S2,所述第二凹槽 S2 暴露出所述沟道层 12。在一具体的实施例中,所述存储结构 20 还包括:沿第二方向延伸的字线层 18,所述字线层 18 位于所述第二凹槽 S2 内。所述第三介质层 16 的材料包括氧化物,例如氧化硅。所述字线层 18 的材料包括钨 (W)、铜 (Cu)、钛 (Ti)、钽 (Ta)、氮化钛 (TiN)、氮化钽 (TaN)、金属硅化物、金属合金中的一种或多种。

这里,所述第三介质层 16 的上表面与所述第三电极 133、所述填充层 15 的上表面齐平,所述第二凹槽 S2 从上往下贯穿所述第三介质层 16 和所述第二介质层 113,并暴露出所述刻蚀阻挡层 112 和所述沟道层 12,位于所述第二凹槽 S2 内的所述字线层 18 沿第二方向延伸且环绕所述沟道层

12, 所述字线层 18 的制造工艺较为简单。

在一实施例中, 所述第二凹槽 S2 的数量为多个, 多个所述第二凹槽 S2 沿第一方向排布; 所述字线层 18 的数量为多条, 多条所述字线层 18 沿第一方向排布。在一具体实施例中, 在第一方向上, 相邻的两个第一凹槽 S11、S12 之间设置有两条字线层 18。在一更具体的实施例中, 所述字线层 18 设置于所述第一源/漏掺杂区 d1 和所述第二源/漏掺杂区 d2 之间, 将所述第一源/漏掺杂区 d1 和所述第二源/漏掺杂区 d2 分隔开。

在一实施例中, 所述存储结构 20 还包括: 第四介质层 17, 所述第四介质层 17 覆盖所述沟道层 12 被所述第二凹槽 S2 暴露的表面, 且覆盖所述第二凹槽 S2 的侧壁及底表面、所述第三介质层 16 及所述电容结构 13。所述字线层 18 与所述沟道层 12 之间由所述第四介质层 17 分隔开, 且所述字线层 18 的上表面与所述第四介质层 17 的上表面齐平。在一些实施例中, 所述第四介质层 17 还覆盖所述填充层 15。所述第四介质层 17 可以是氧化物, 例如氧化硅。

在一实施例中, 所述半导体器件还包括: 位线层 19, 所述位线层 19 从最顶层的存储结构 20 往下延伸至最底层的存储结构 20, 并与多个所述存储结构 20 中的所述沟道层 12 连接。所述位线层 19 的材料包括钨 (W)、铜 (Cu)、钛 (Ti)、钽 (Ta)、氮化钛 (TiN)、氮化钽 (Ta₂N₃)、金属硅化物、金属合金中的一种或多种。

在一实施例中, 所述位线层 19 的形成方法可以是: 首先, 从上往下刻蚀多个所述存储结构 20, 形成第二沟槽 T2, 所述第二沟槽 T2 从最顶层的存储结构 20 往下延伸至最底层的存储结构 20, 并贯穿多个所述存储结构 20 中的所述沟道层 12; 然后, 在所述第二沟槽 T2 内形成所述位线层 19。本公开实施例通过一步打孔的方式形成连接多个所述沟道层 12 的第二沟槽 T2, 并在所述第二沟槽 T2 内形成所述位线层 19, 简化了所述位线层 19 的制造工艺。在一些实施例中, 在第一方向上, 位于相邻的两个所述第一凹槽 S11、S12 之间的所述两条字线层 18 之间设置有一个位线层 19。如此, 两个所述电容结构 13, 以及相邻的所述两条字线层 18 共用一个所述位线层 19, 进一步简化了所述半导体器件的制造工艺, 同时节省了空间, 提高了所述半导体器件的存储密度。在一具体实施例中, 所述位线层 19 与所述第二源/漏掺杂区 d2 连接。

在一实施例中, 所述位线层 19 的数量为多条, 多条所述位线层 19 沿第二方向排布, 如图 1a 所示。在一些实施例中, 所述位线层 19 还可以分别沿第一方向和第二方向呈阵列排布。

可以看出, 本公开实施例提供的半导体器件包括堆叠在所述衬底 10 上的多个所述存储结构 20, 提高了所述半导体器件的集成度和存储密度。

本公开实施例还提供了一种半导体器件的制造方法, 如图 2 所示, 所述方法包括以下步骤:

步骤 201、提供衬底;

步骤 202、在所述衬底上形成存储结构, 包括: 形成第一介质层; 在所述第一介质层内形成沿第一方向延伸的沟道层; 在所述第一介质层内形成隔断所述沟道层的第一凹槽; 形成电容结构, 所述电容结构覆盖所述第一凹槽的侧壁及底表面;

步骤 203、在所述存储结构上再堆叠形成一个或多个所述存储结构。

图 3a 至图 16c 为本公开实施例提供的半导体器件的工艺流程图。其中, 图 3a、图 4a、图 5a、图 6a、图 7a、图 8a、图 9a、图 10a、图 11a、图 12a、图 13a、图 14a、图 15a、图 16a 为本公开实施例提供的半导体器件的制造方法在不同工艺步骤中的俯视示意图, 图 3b、图 4b、图 5b、图 6b、图 7b、图 8b、图 9b、图 10b、图 11b、图 12b、图 13b、图 14b、图 15b、图 16b 分别为沿着图 3a、图 4a、图 5a、图 6a、图 7a、图 8a、图 9a、图 10a、图 11a、图 12a、图 13a、图 14a、图 15a、图 16a 的线 AA' 截取的剖面结构示意图; 图 3c、图 4c、图 5c、图 6c、图 7c、图 8c、图 9c、图 10c、图 11c、图 12c、图 13c、图 14c、图 15c、图 16c 分别为沿着图 3a、图 4a、图 5a、图 6a、图 7a、图 8a、图 9a、图 10a、图 11a、图 12a、图 13a、图 14a、图 15a、图 16a 的线 BB' 截取的剖面结构示意图。下面, 结合图 3a 至图 16c 对本公开实施例的半导体器件的制造方法再做进一步详细的说明。

首先, 执行步骤 201, 如图 3a 至图 3c 所示, 提供衬底 10。

所述衬底可以为半导体衬底, 并且可以包括至少一个单质半导体材料 (例如为硅 (Si) 衬底、锗 (Ge) 衬底)、至少一个 III-V 化合物半导体材料、至少一个 II-VI 化合物半导体材料、至少一个有机半导体材料或者在本领域已知的其他半导体材料。在一具体实施例中, 所述衬底为硅衬底, 所述硅衬底可经掺杂或未经掺杂。

接着, 执行步骤 202, 如图 4a 至图 16c 所示, 在所述衬底 10 上形成存储结构 20, 包括: 形成第一介质层 11; 在所述第一介质层 11 内形成沿第一方向延伸的沟道层 12; 在所述第一介质层 11 内形成隔断所述沟道层 12 的第一凹槽 S1; 形成电容结构 13, 所述电容结构 13 覆盖所述第一凹槽 S1 的侧壁及底表面。

具体的, 首先, 如图 4a 至图 4c 所示, 所述第一介质层 11 包括第一介质子层 111、刻蚀阻挡层 112 以及第二介质子层 113。形成所述第一介质层 11, 具体包括: 形成所述第一介质子层 111; 在所述第一介质子层 111 上形成所述刻蚀阻挡层 112; 在所述刻蚀阻挡层 112 上形成所述第二介质子层 113。所述刻蚀阻挡层 112 的材料可以是氮化物, 例如氮化硅。所述第一介质子层 111 和所述第二介质子层 113 的材料可以是氧化物。在一些实施例中, 所述第一介质子层 111 和所述第二介质子层 113 的材料相同, 例如, 氧化硅。

接下来,如图5a至图6c所示,所述沟道层12的数量为多个,多个所述沟道层12沿第二方向排布。在所述第一介质层11内形成所述沟道层12,具体包括:

刻蚀所述第二介质层 113, 在所述第二介质层 113 内形成多条沿第一方向延伸的第一沟槽 T1, 多条所述第一沟槽 T1 沿第二方向排布 (如图 5a 至图 5c);

在所述第一沟槽 T1 内形成所述沟道层 12 (如图 6a 至图 6c)。

在一实施例中，第一方向、第二方向与所述衬底 10 的表面平行。在一些实施例中，第一方向与第二方向垂直。但不限于此，第一方向也可以与第二方向斜交。

如图 6c 所示, 所述沟道层 12 位于所述第二介质子层 113 内, 且所述沟道层 12 的上表面与所述第二介质子层 113 的上表面齐平。所述沟道层 12 的材料包括硅、锗、硅锗、氧化铟、氧化锡、铟锌氧化物、锡锌氧化物、铝锌氧化物、铟镓氧化物、铟镓锌氧化物、铟铝锌氧化物、铟锡锌氧化物、锡镓锌氧化物、铝镓锌氧化物、锡铝锌氧化物中的一种或多种。所述沟道层 12 可经掺杂或未经掺杂。当使用铟镓锌氧化物 (IGZO) 作为所述沟道层 12 的材料时, 能够提高电子迁移率, 从而提高所述半导体器件的写入速度。

接下来,如图 7a 至图 7c 所示,多个所述沟道层 12 被多个所述第一凹槽 S1 隔断,多个所述第一凹槽 S1 沿第二方向排布。在所述第一介质层 11 内形成隔断所述沟道层 12 的所述第一凹槽 S1,具体包括:从上往下刻蚀所述沟道层 12 以及所述第二介质层 113 至暴露出所述刻蚀阻挡层 112,形成所述第一凹槽 S1。在上述刻蚀工艺中,所述刻蚀阻挡层 112 的作用是在形成所述第一凹槽 S1 的过程中,避免所述第一凹槽 S1 穿透所述第一介质层 11,从而避免了所述第一凹槽 S1 内的所述电容结构 13 与所述衬底 10 电连接。

在一实施例中，多个所述第一凹槽 S1 分别沿第一方向和第二方向呈阵列分布，也就是说，在第一方向上，单个所述沟道层 12 被多个所述第一凹槽 S1 隔断，在第一方向上相邻的两个第一凹槽 S1，即第一凹槽 S11、第一凹槽 S12。

接下来,如图 8a 至图 11c 所示,所述电容结构 13 包括第一电极 131、第二介质层 132 以及第二电极 133; 形成所述电容结构 13, 包括:

在所述第一凹槽 S1 内形成所述第一电极 131, 所述第一电极 131 覆盖所述第一凹槽 S1 的侧壁及底表面 (如图 8a 至图 8c 所示);

在所述第一介质层 11、所述沟道层 12 以及所述第一电极 131 上形成第二介质材料层 132a, 在所述第二介质材料层 132a 上形成第二电极材料层 133a (如图 9a 至图 9c 所示);

移除部分所述第二电极材料层 133a、部分所述第二介质材料层 132a 以分别形成所述第二电极 133 和所述第二介质层 132，所述第二电极 133 和所述第二介质层 132 覆盖所述第一电极 131（如图 11a 至图 11c 所示）。

如图 11b 所示, 所述第一电极 131 与所述沟道层 12 连接, 且所述第一电极 131 的上表面与所述沟道层 12 的上表面齐平。在实际操作中, 所述第二介质层 132 的材料可以为高介电常数材料, 例如可以为氧化钽、氧化铪、氧化锆、氧化铌、氧化钛、氧化钡、氧化锶、氧化钕、氧化镧、氧化镨或者钛酸锶钽等。所述第一电极 131 和所述第二电极 133 的材料可以包括钨 (W)、铜 (Cu)、钛 (Ti)、钽 (Ta)、氮化钛 (TiN)、氮化钽 (TaN)、金属硅化物、金属合金中的一种或多种。在一些实施例中, 所述第一电极 131 和所述第二电极 133 的材料相同, 例如, 氮化钛 (TiN)。

在一实施例中,所述电容结构 13 的数量为多个,多个所述电容结构 13 分别沿第一方向和第二方向呈阵列排布。在一些实施例中,沿第二方向排布的多个所述电容结构 13 的所述第二介质层 132 彼此相连,沿第二方向排布的多个所述电容结构 13 的所述第二电极 133 亦彼此相连,所述第二介质层 132 覆盖所述第一电极 131 的同时还覆盖部分所述第一介质层 11,如图 11a 所示。换句话说,沿第二方向排布的多个所述电容结构 13 具有共用的所述第二介质层 132 和共用的所述第二电极 133,所述第二介质层 132 和所述第二电极 133 沿第二方向延伸,如此,简化了所述半导体器件的制造工艺。在一些实施例中,所述第二介质层 132 还覆盖部分所述沟道层 12。

再次参见图 9a 至图 9c, 在一实施例中, 在所述第二介质材料层 132a 上形成第二电极材料层 133a 之后, 所述存储结构 20 形成位于所述第一凹槽 S1 内及其上方的开口 14, 所述开口 14 是由于所述第一电极 131、所述第二介质材料层 132a 及所述第二电极材料层 133a 未完全填充所述第一凹槽 S1 形成的。在一具体实施例中, 形成所述存储结构 20 还包括: 在所述开口 14 内形成填充层 15, 所述填充层 15 的上表面与所述第二电极材料层 133a 的上表面齐平, 如图 10a 至图 10c 所示。所述填充层 15 的材料包括氮化物, 例如氮化硅。

接下来,如图 12a 至图 13c 所示,所述存储结构 20 还包括第三介质层 16 及沿第二方向延伸的第二凹槽 S2,在形成所述电容结构 13 之后,所述方法还包括:

在所述沟道层 12 以及所述第一个介质层 11 上形成所述第三介质层 16 (如图 12a 至图 12c 所示); 所述第三介质层 16 的材料包括氧化物, 例如氧化硅;

移除部分所述第一介质层 11 和部分所述第三介质层 16, 在所述第一介质层 11 和所述第三介质层 16 内形成所述第二凹槽 S2, 所述第二凹槽 S2 暴露出所述沟道层 12 (如图 13a 至图 13c 所示)。

接着,如图 15a 至图 15c 所示,所述存储结构还包括沿第二方向延伸的字线层 18;在形成所述第二凹槽 S2 之后,所述方法还包括:在所述第二凹槽 S2 内形成所述字线层 18。所述字线层 18 的

材料包括钨 (W)、铜 (Cu)、钛 (Ti)、钽 (Ta)、氮化钛 (TiN)、氮化钽 (TaN)、金属硅化物、金属合金中的一种或多种。

在一实施例中,所述第三介质层 16 的上表面与所述第三电极 133、所述填充层 15 的上表面齐平,所述第二凹槽 S2 从上往下贯穿所述第三介质层 16 和所述第二介质层 113,并暴露出所述刻蚀阻挡层 112 和所述沟道层 12,位于所述第二凹槽 S2 内的所述字线层 18 沿第二方向延伸且环绕所述沟道层 12,所述字线层 18 的制造工艺较为简单。

在一些实施例中,所述第二凹槽 S2 的数量为多个,多个所述第二凹槽 S2 沿第一方向排布;所述字线层 18 的数量为多条,多条所述字线层 18 沿第一方向排布。在一具体实施例中,在第一方向上,相邻的两个第一凹槽 S11、S12 之间设置有两条字线层 18。

接下来,如图 14a 至图 14c 所示,所述存储结构 20 还包括第四介质层 17;在所述第二凹槽 S2 内形成字线层 18 之前,所述方法还包括:形成所述第四介质层 17,所述第四介质层 17 覆盖所述沟道层 12 被所述第二凹槽 S2 暴露的表面,且覆盖所述第二凹槽 S2 的侧壁及底表面、所述第三介质层 16 及所述电容结构 13。在形成所述字线层 18 之前形成所述第四介质层 17,所述字线层 18 与所述沟道层 12 之间由所述第四介质层 17 分隔开,且所述字线层 18 的上表面与所述第四介质层 17 的上表面齐平。在一些实施例中,所述第四介质层 17 还覆盖所述填充层 15。所述第四介质层 17 可以是氧化物,例如氧化硅。

接着,执行步骤 203,如图 16a 至图 16c 所示,在所述存储结构 20 上再堆叠形成一个或多个所述存储结构 20。

本公开实施例通过在所述衬底 10 上叠置多个所述存储结构 20,提高了所述半导体器件的集成度和存储密度。

在一些实施例中,所述第一凹槽 S1 具有较小的深宽比,与形成相关技术中具有较大的深宽比的电容柱相比,在所述第一凹槽 S1 的侧壁和底表面形成所述电容结构 13 的工艺更加简单,也就是说本公开实施例形成所述存储结构 20 的工艺更为简单,且有利于在所述衬底 10 上堆叠数量更多的所述存储结构 20,增加了所述半导体器件的存储容量。此外,所述第一凹槽 S1 的深度较浅,即所述电容结构 13 的高度较小,单位体积内能够容纳更多的所述电容结构 13,提高了所述半导体器件的集成度和存储密度。

接下来,在所述存储结构 20 上再堆叠一个或多个所述存储结构 20 之后,所述方法还包括:从上往下刻蚀多个所述存储结构 20,形成第二沟槽 T2,所述第二沟槽 T2 从最顶层的存储结构 20 往下延伸至最底层的存储结构 20,并贯穿多个所述存储结构 20 中的所述沟道层 12;在所述第二沟槽 T2 内形成位线层 19,最终形成如图 1a 至图 1c 所示的结构。所述位线层 19 的材料包括钨 (W)、铜 (Cu)、钛 (Ti)、钽 (Ta)、氮化钛 (TiN)、氮化钽 (TaN)、金属硅化物、金属合金中的一种或多种。

本公开实施例通过一步打孔的方式形成连接多个所述沟道层 12 的所述第二沟槽 T2,并在所述第二沟槽 T2 内形成所述位线层 19,简化了所述位线层 19 的制造工艺。在一些实施例中,在第一方向上,位于相邻的两个所述第一凹槽 S11、S12 之间的所述两条字线层 18 之间设置有一个位线层 19。如此,位于相邻的两个所述第一凹槽 S11、S12 侧壁和底表面上的两个所述电容结构 13,以及相邻的所述两条字线层 18 共用一个所述位线层 19,进一步简化了所述半导体器件的制造工艺,同时节省了空间,提高了所述半导体器件的存储密度。

在一实施例中,所述位线层 19 的数量为多条,多条所述位线层 19 沿第二方向排布,如图 1a 所示。在一些实施例中,所述位线层 19 还可以分别沿第一方向和第二方向呈阵列排布。

应当说明的是,本领域技术人员能够对上述步骤顺序进行变换而并不离开本公开的保护范围,以上所述,仅为本公开的可选实施例而已,并非用于限定本公开的保护范围,凡在本公开的精神和原则之内所作的任何修改、等同替换和改进等,均应包含在本公开的保护范围之内。

工业实用性

本公开实施例提供的半导体器件包括堆叠在衬底上的多个存储结构,相比相关技术中的具有单层存储单元的半导体器件,提高了所述半导体器件的集成度和存储密度。同时,本公开实施例提供的电容结构覆盖所述第一凹槽的侧壁及底表面,相比相关技术中的具有高深宽比的电容柱,所述电容结构的制造工艺将更加简单。

权利要求书

1、一种半导体器件，包括：

衬底以及堆叠在所述衬底上的多个存储结构；

所述存储结构包括：第一介质层及位于所述第一介质层内且沿第一方向延伸的沟道层，所述第一介质层内具有隔断所述沟道层的第一凹槽；电容结构，覆盖所述第一凹槽的侧壁及底表面。

2、根据权利要求1所述的半导体器件，其中，所述第一介质层包括自下而上设置的第一介质子层、刻蚀阻挡层以及第二介质子层，所述第一凹槽穿透所述第二介质子层，且暴露所述刻蚀阻挡层。

3、根据权利要求1所述的半导体器件，其中，所述沟道层的数量为多个，多个所述沟道层沿第二方向排布，且多个所述沟道层被多个所述第一凹槽隔断，多个所述第一凹槽沿第二方向排列分布。

4、根据权利要求3所述的半导体器件，其中，所述电容结构包括：

第一电极，所述第一电极覆盖所述第一凹槽的侧壁及底表面；

第二介质层，所述第二介质层覆盖所述第一电极；

第二电极，所述第二电极覆盖所述第二介质层。

5、根据权利要求3所述的半导体器件，其中，所述存储结构还包括：第三介质层，所述第三介质层覆盖所述沟道层以及所述第一介质层，所述第三介质层及所述第一介质层内具有沿第二方向延伸的第二凹槽，所述第二凹槽暴露出所述沟道层。

6、根据权利要求5所述的半导体器件，其中，所述存储结构还包括：沿第二方向延伸的字线层，所述字线层位于所述第二凹槽内。

7、根据权利要求6所述的半导体器件，其中，所述存储结构还包括：第四介质层，所述第四介质层覆盖所述沟道层被所述第二凹槽暴露的表面，且覆盖所述第二凹槽的侧壁及底表面、所述第三介质层及所述电容结构。

8、根据权利要求6所述的半导体器件，其中，所述半导体器件还包括：位线层，所述位线层从最顶层的存储结构往下延伸至最底层的存储结构，并与多个所述存储结构中的所述沟道层连接。

9、根据权利要求8所述的半导体器件，其中，在第一方向上，单个所述沟道层被多个所述第一凹槽隔断，相邻的两个所述第一凹槽之间设置有两个字线层，所述两个字线层之间设置有一个位线层。

10、根据权利要求1所述的半导体器件，其中，所述沟道层的材料包括氧化铟、氧化锡、铟锌氧化物、锡锌氧化物、铝锌氧化物、铟镓氧化物、铟镓锌氧化物、铟铝锌氧化物、铟锡锌氧化物、锡镓锌氧化物、铝镓锌氧化物、锡铝锌氧化物中的一种或多种。

11、一种半导体器件的制造方法，包括：

提供衬底；

在所述衬底上形成存储结构，包括：形成第一介质层；在所述第一介质层内形成沿第一方向延伸的沟道层；在所述第一介质层内形成隔断所述沟道层的第一凹槽；形成电容结构，所述电容结构覆盖所述第一凹槽的侧壁及底表面；

在所述存储结构上再堆叠形成一个或多个所述存储结构。

12、根据权利要求11所述的制造方法，其中，所述第一介质层包括第一介质子层、刻蚀阻挡层以及第二介质子层；形成所述第一介质层，包括：形成所述第一介质子层；在所述第一介质子层上形成所述刻蚀阻挡层；在所述刻蚀阻挡层上形成所述第二介质子层。

13、根据权利要求12所述的制造方法，其中，所述沟道层的数量为多个，多个所述沟道层沿第二方向排布；在所述第一介质层内形成所述沟道层，包括：

刻蚀所述第二介质子层，在所述第二介质子层内形成多条沿第一方向延伸的第一沟槽，多条所述第一沟槽沿第二方向排布；

在所述第一沟槽内形成所述沟道层。

14、根据权利要求13所述的制造方法，其中，多个所述沟道层被多个所述第一凹槽隔断，多个所述第一凹槽沿第二方向排布；在所述第一介质层内形成隔断所述沟道层的所述第一凹槽，包括：从上往下刻蚀所述沟道层以及所述第二介质子层至暴露出所述刻蚀阻挡层，形成所述第一凹槽。

15、根据权利要求14所述的制造方法，其中，所述电容结构包括第一电极、第二介质层以及第二电极；形成所述电容结构，包括：

在所述第一凹槽内形成所述第一电极，所述第一电极覆盖所述第一凹槽的侧壁及底表面；

在所述第一介质层、所述沟道层以及所述第一电极上形成第二介质材料层，在所述第二介质材料层上形成第二电极材料层；

移除部分所述第二电极材料层、部分所述第二介质材料层以分别形成所述第二电极和所述第二介质层，所述第二电极和所述第二介质层覆盖所述第一电极。

16、根据权利要求14所述的制造方法，其中，所述存储结构还包括第三介质层及沿第二方向延伸的第二凹槽；在形成所述电容结构之后，所述方法还包括：

在所述沟道层以及所述第一介质层上形成所述第三介质层；

移除部分所述第一介质层和部分所述第三介质层，在所述第一介质层和所述第三介质层内形成

所述第二凹槽，所述第二凹槽暴露出所述沟道层。

17、根据权利要求 16 所述的制造方法，其中，所述存储结构还包括沿第二方向延伸的字线层；在形成所述第二凹槽之后，所述方法还包括：

在所述第二凹槽内形成所述字线层。

5 18、根据权利要求 17 所述的制造方法，其中，所述存储结构还包括第四介质层；在所述第二凹槽内形成字线层之前，所述方法还包括：

形成所述第四介质层，所述第四介质层覆盖所述沟道层被所述第二凹槽暴露的表面，且覆盖所述第二凹槽的侧壁及底表面、所述第三介质层及所述电容结构。

10 19、根据权利要求 18 所述的制造方法，其中，在所述存储结构上再堆叠一个或多个所述存储结构之后，所述方法还包括：

从上往下刻蚀多个所述存储结构，形成第二沟槽，所述第二沟槽从最顶层的存储结构往下延伸至最底层的存储结构，并贯穿多个所述存储结构中的所述沟道层；

在所述第二沟槽内形成位线层。

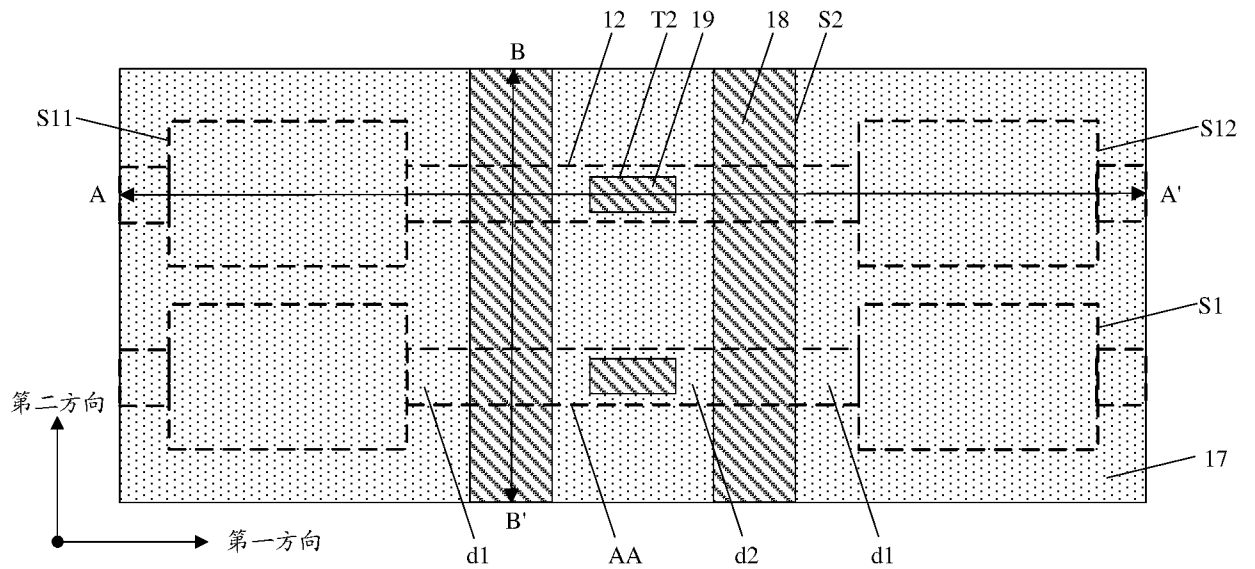


图 1a

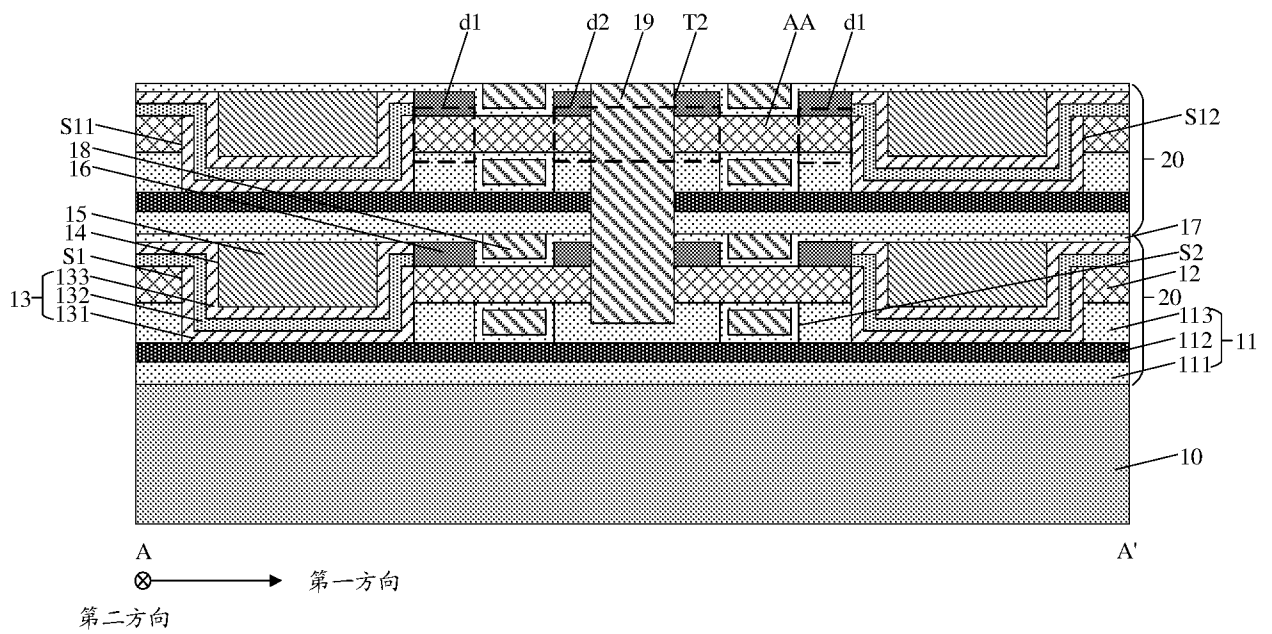


图 1b

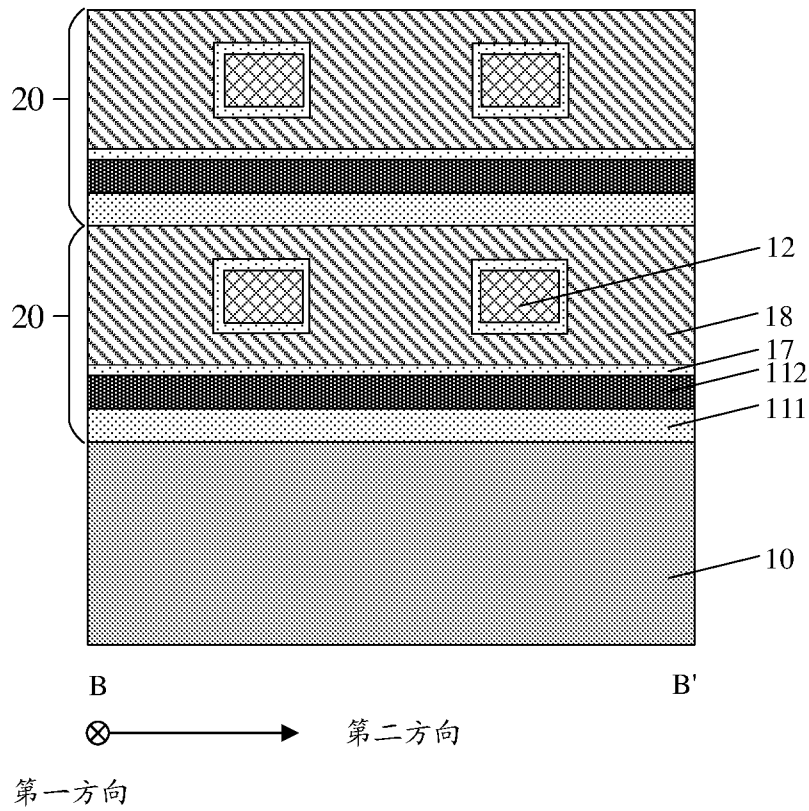


图 1c

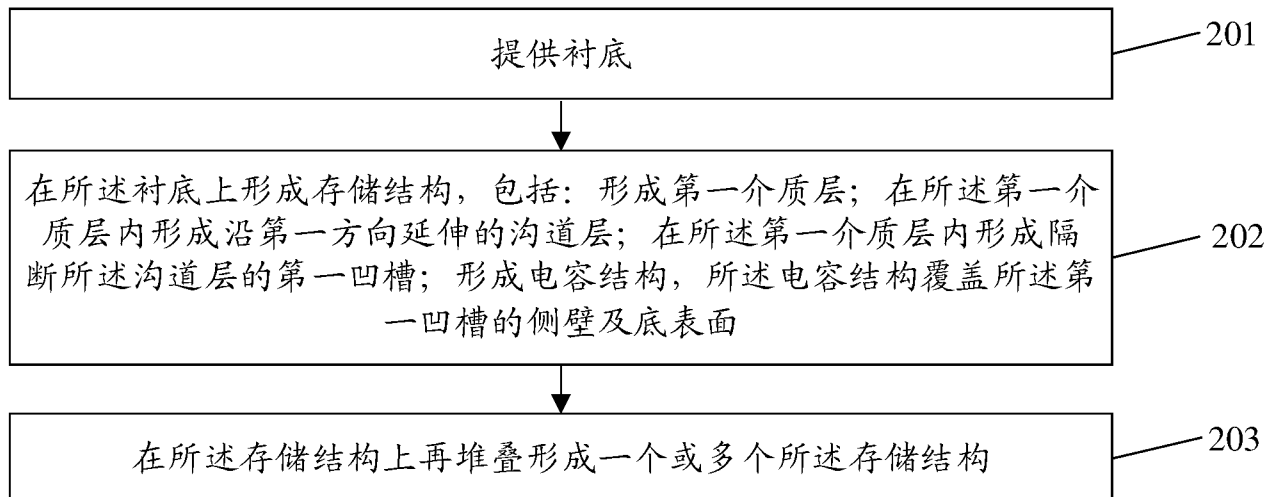


图 2

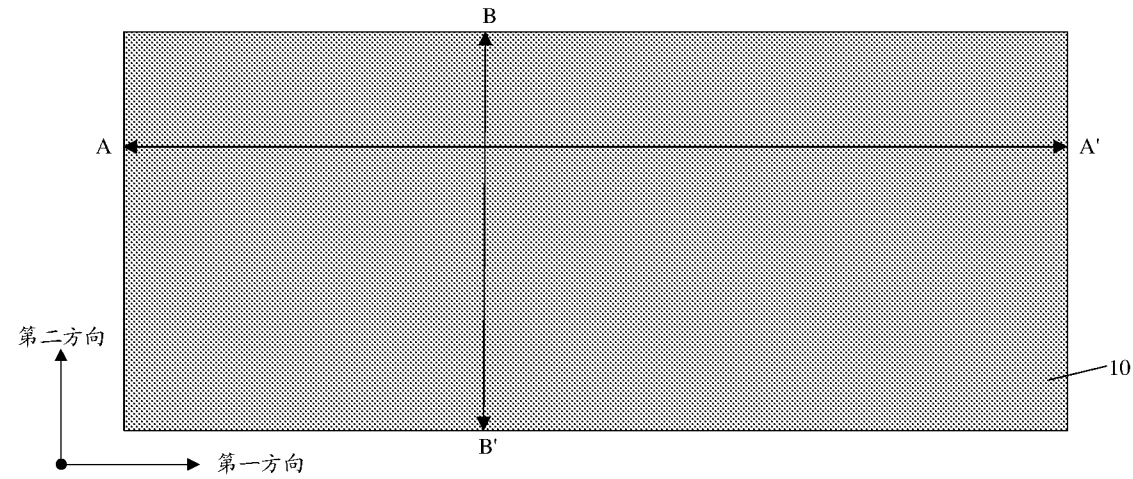


图 3a

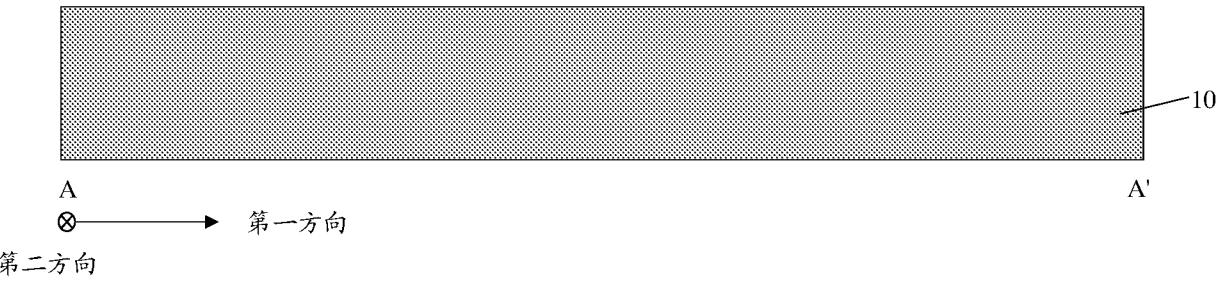


图 3b

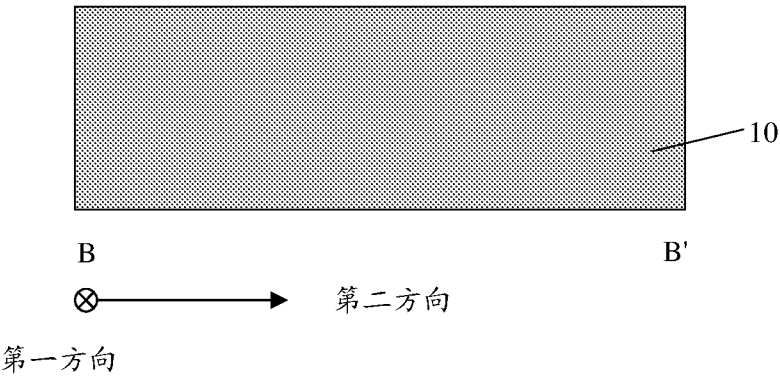


图 3c

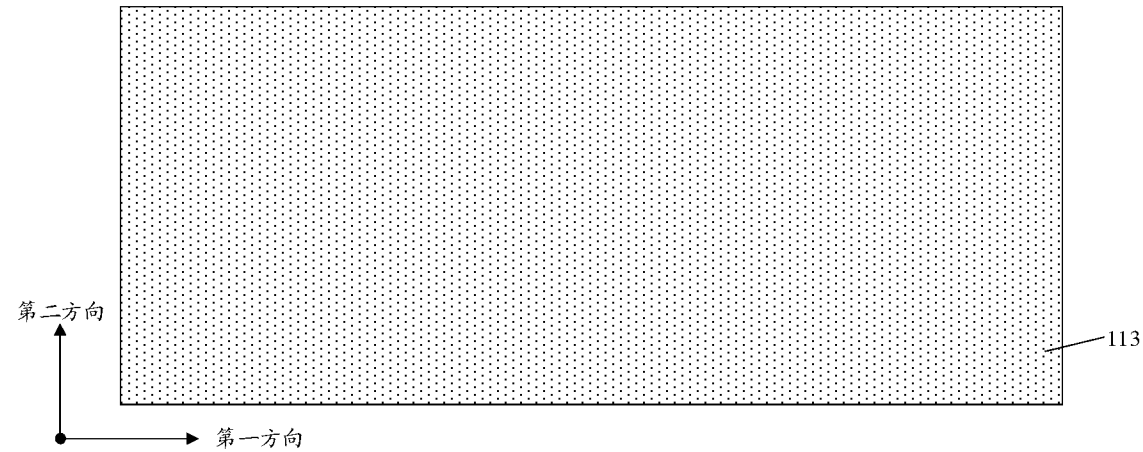


图 4a

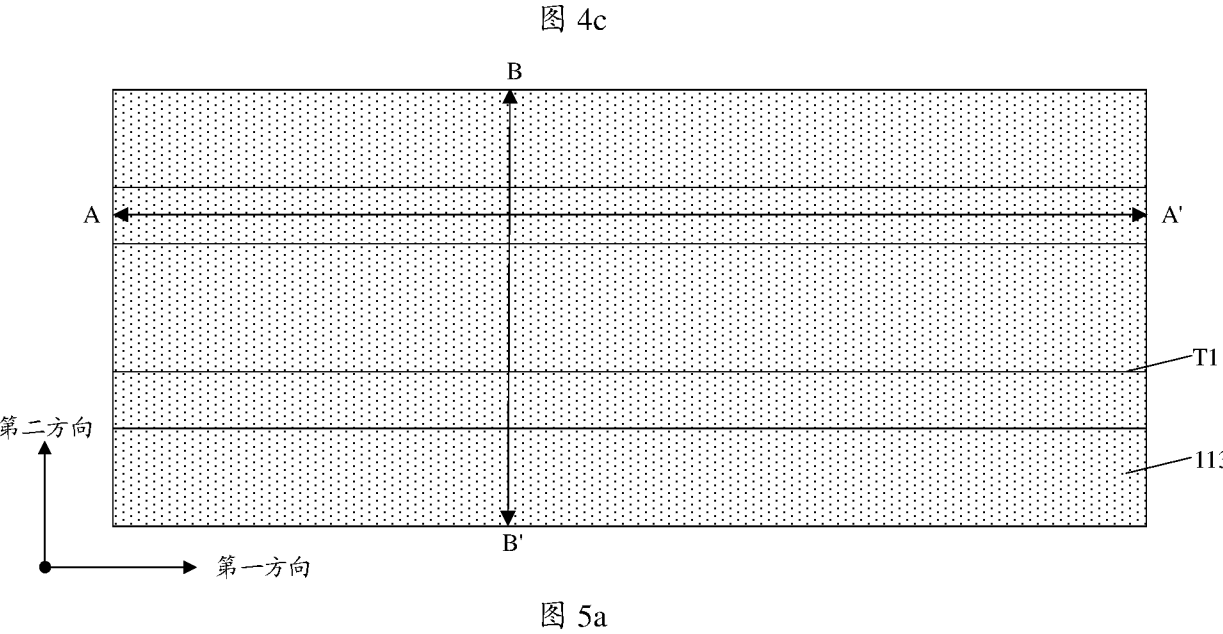
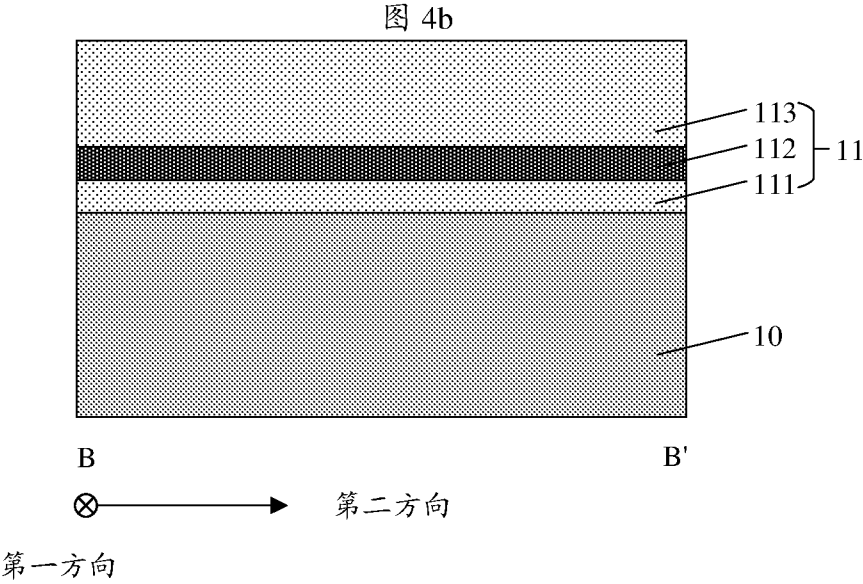
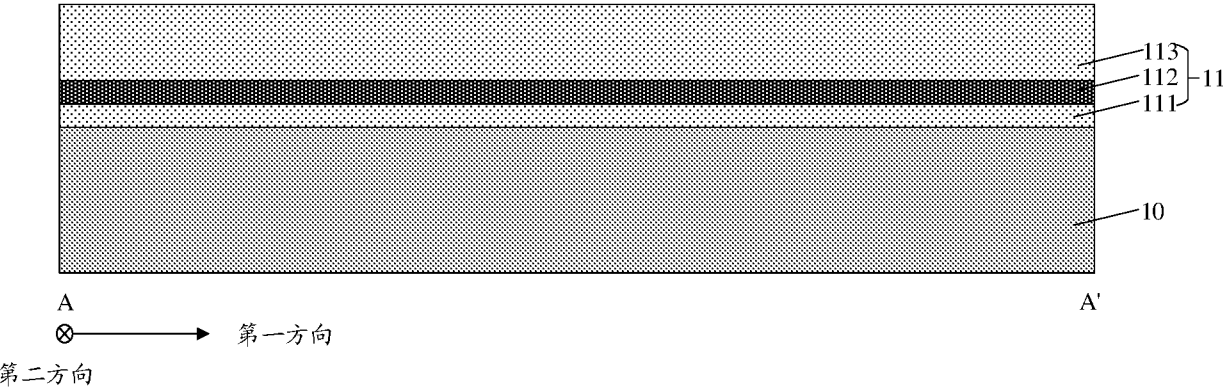




图 5b

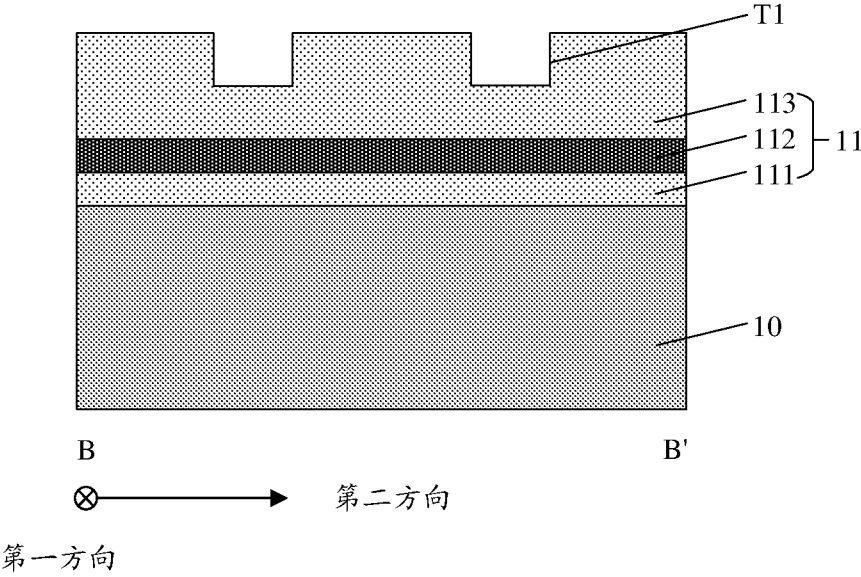


图 5c

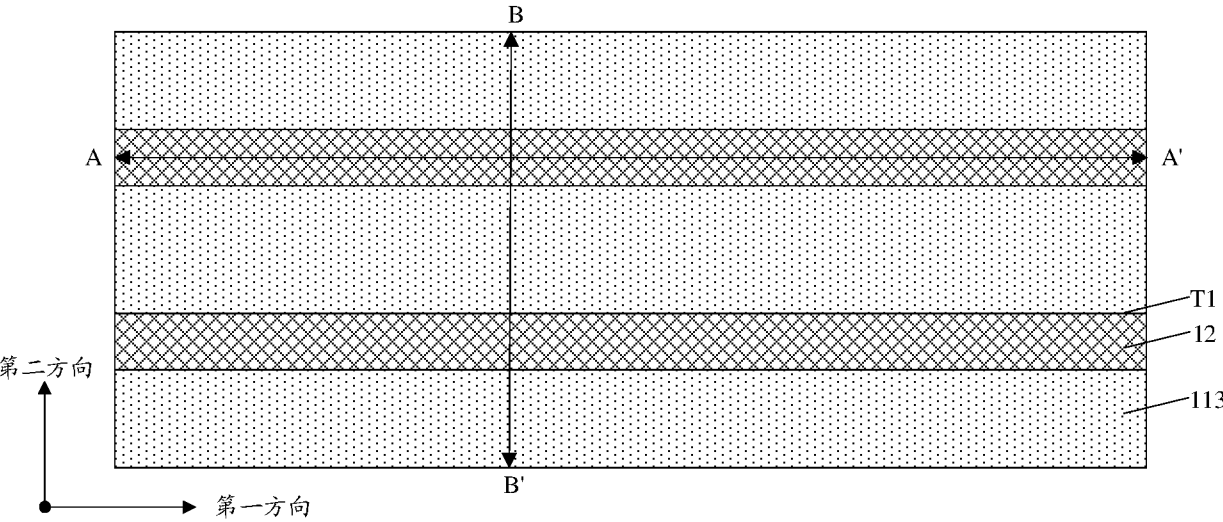


图 6a

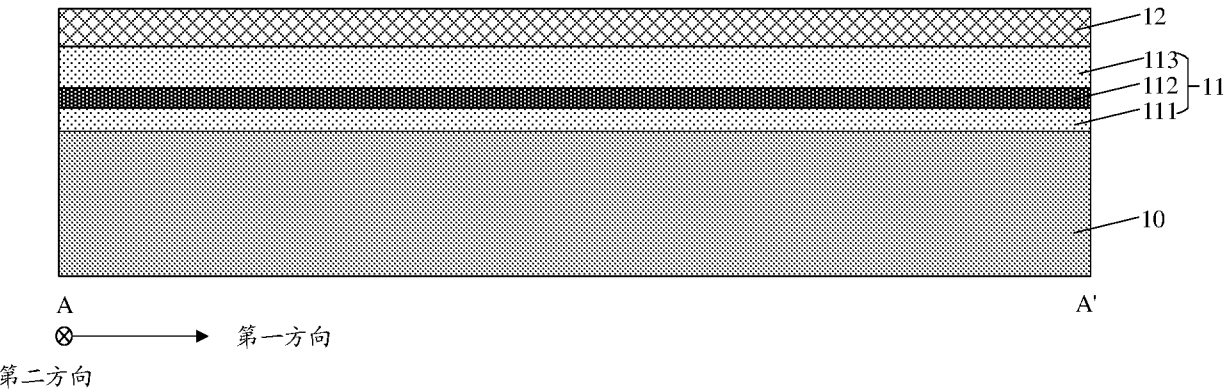


图 6b

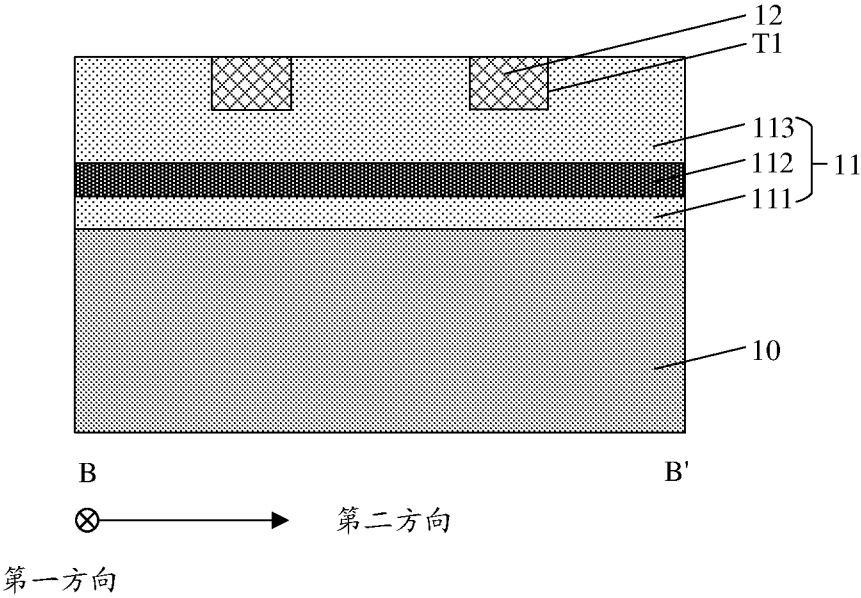


图 6c

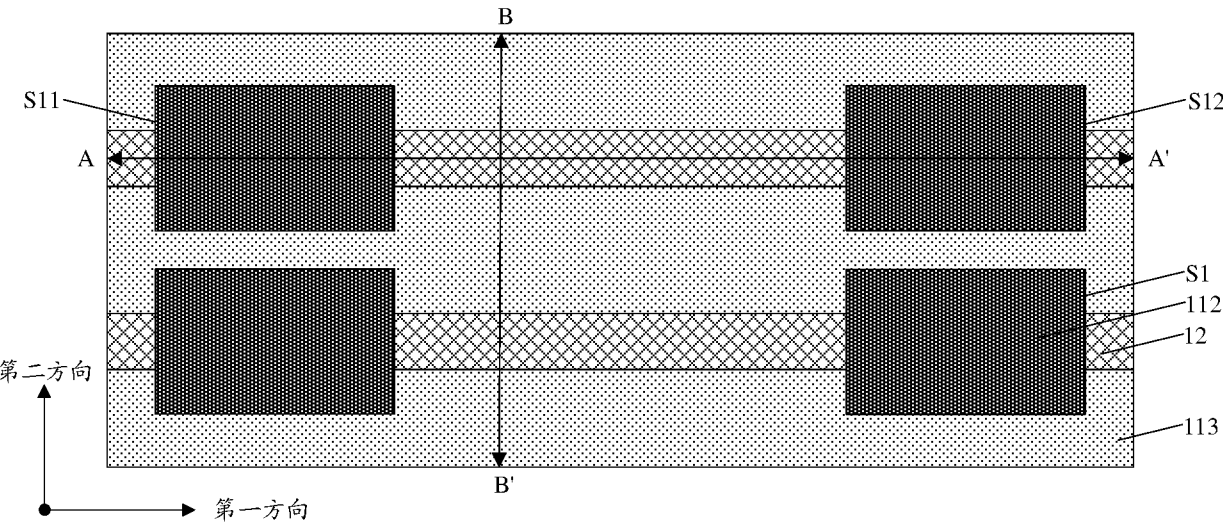


图 7a

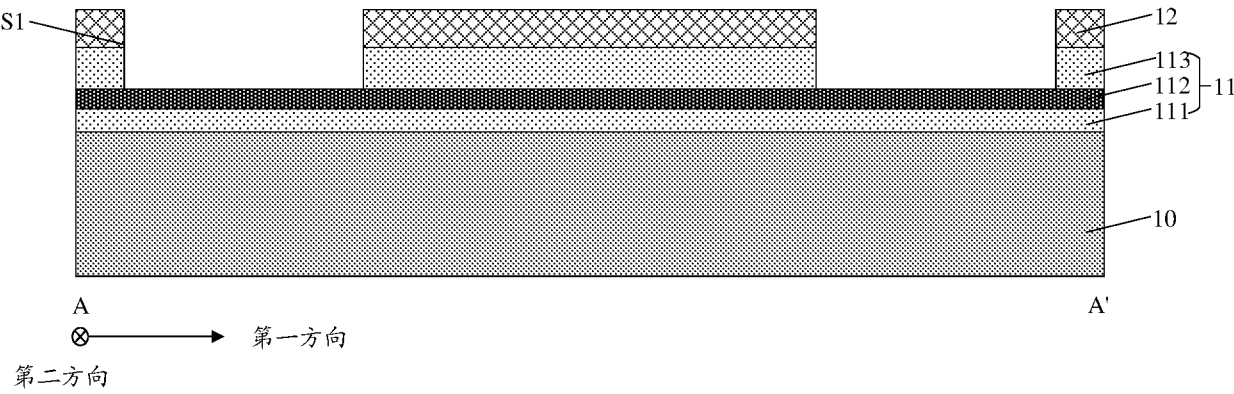


图 7b

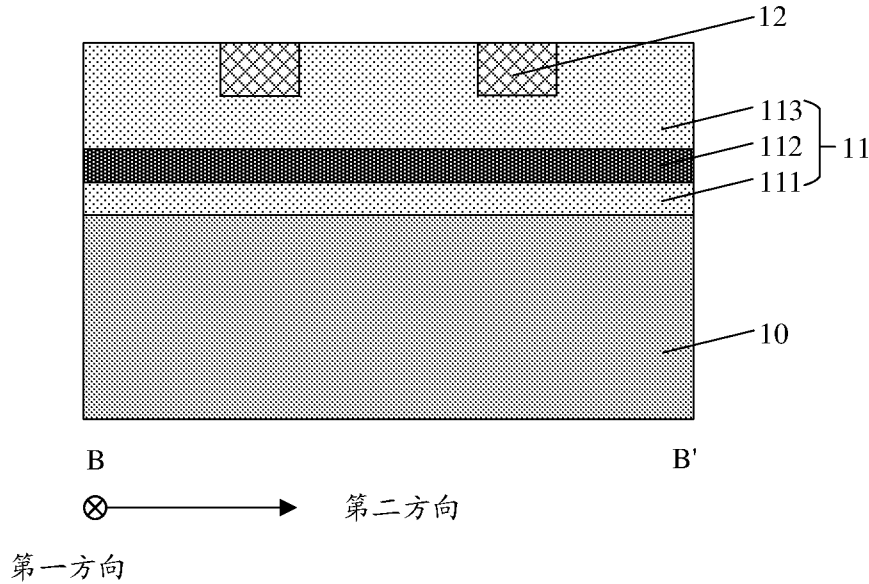


图 7c

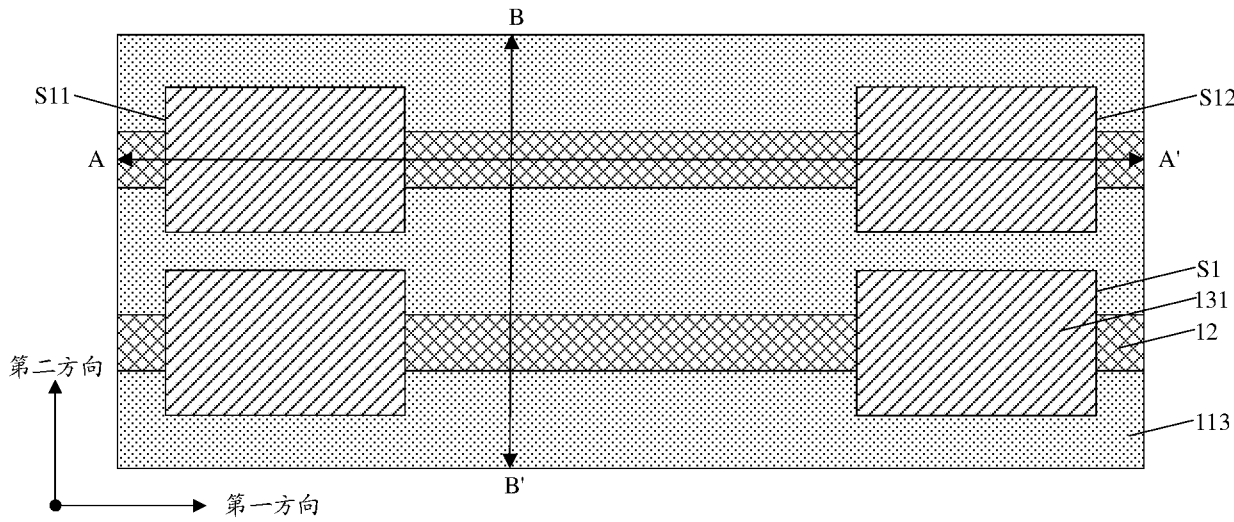


图 8a

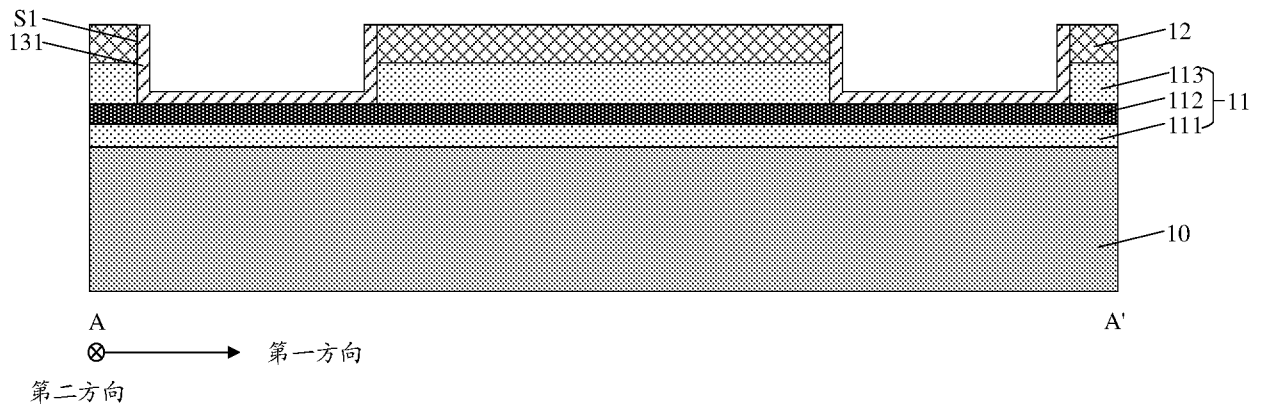


图 8b

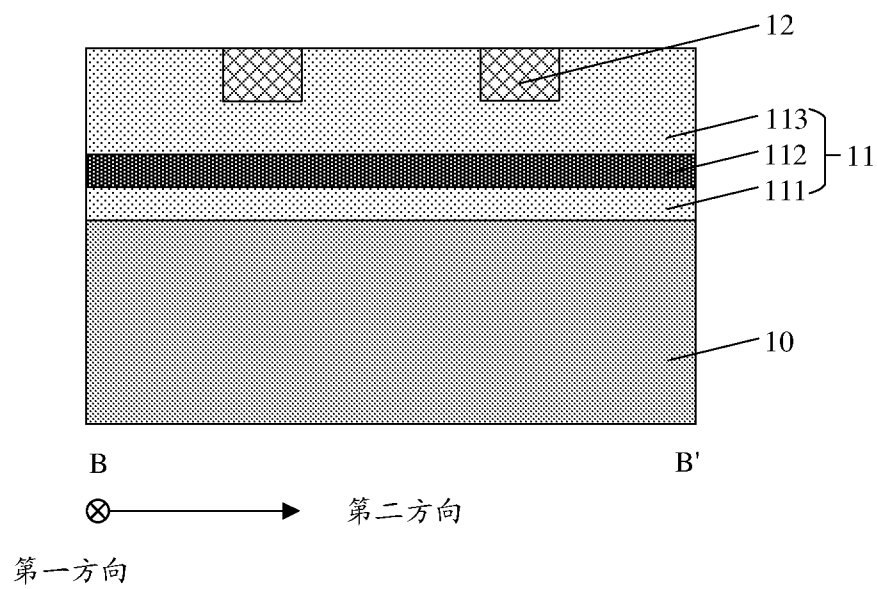


图 8c

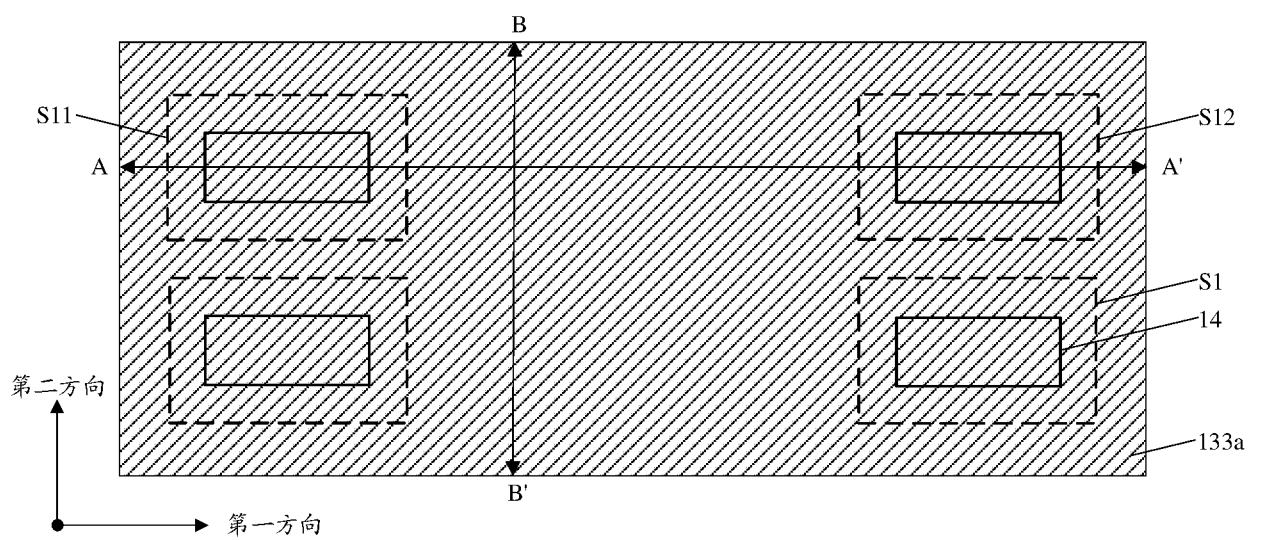


图 9a

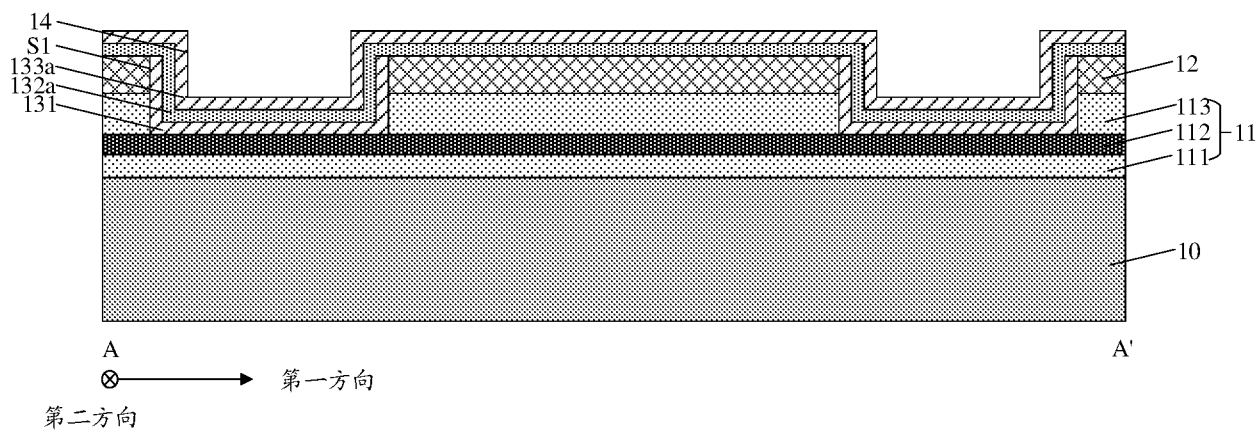


图 9b

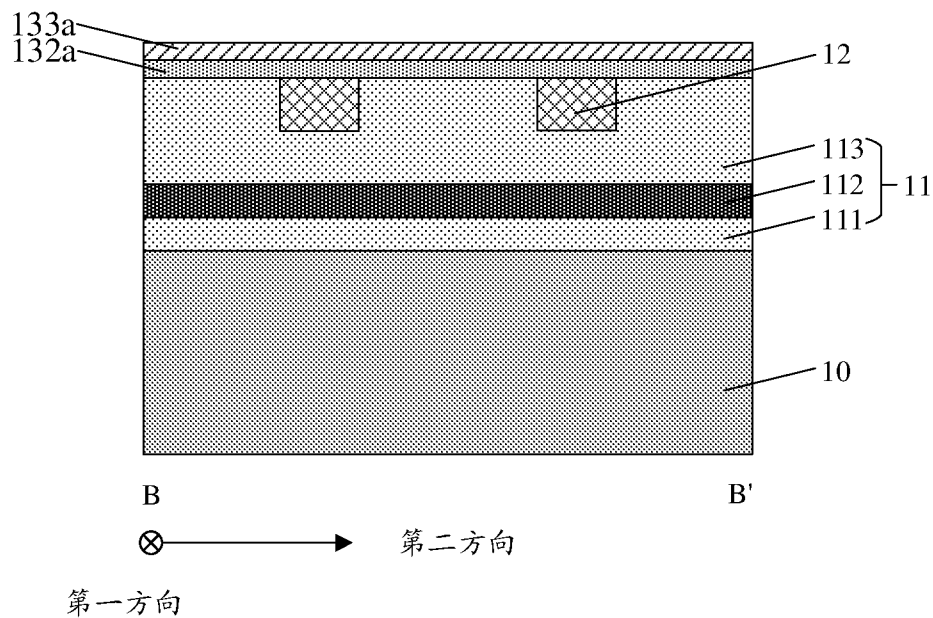


图 9c

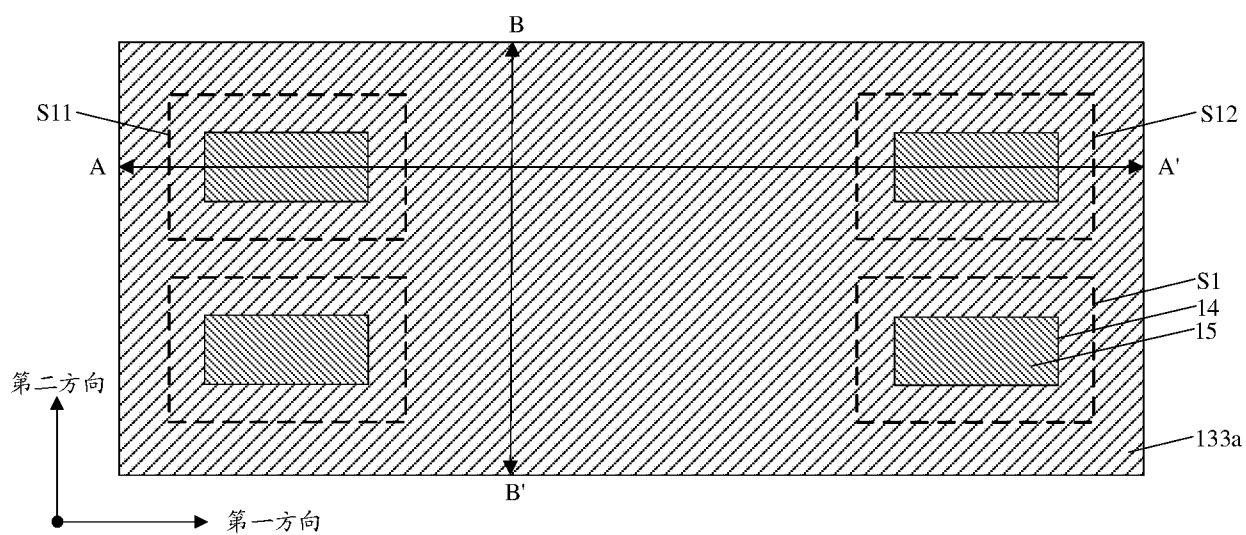


图 10a

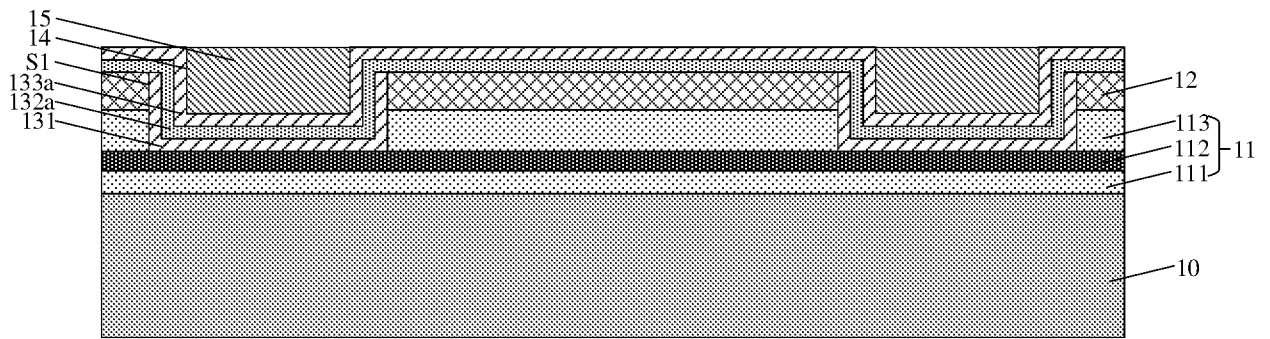


图 10b

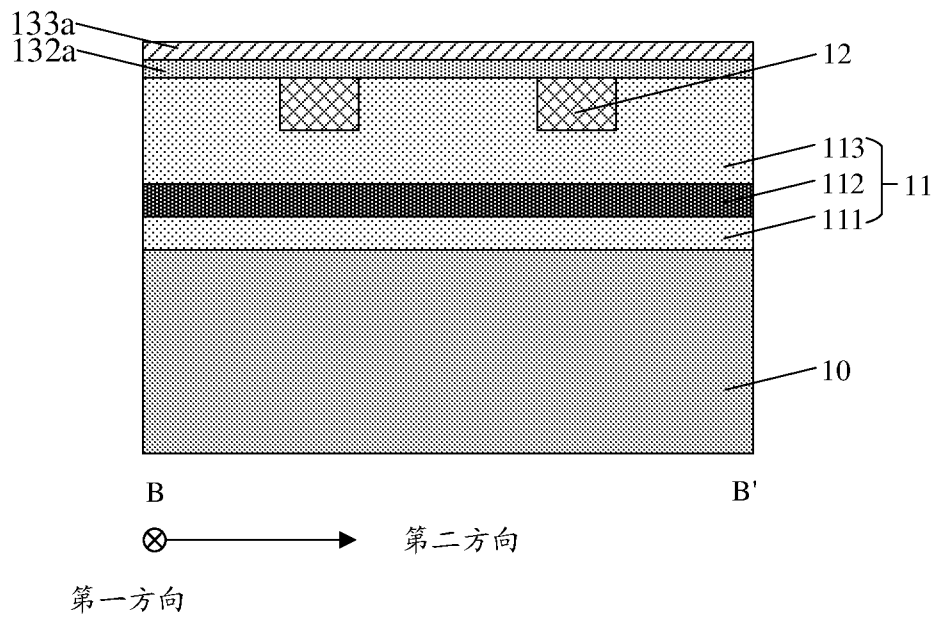


图 10c

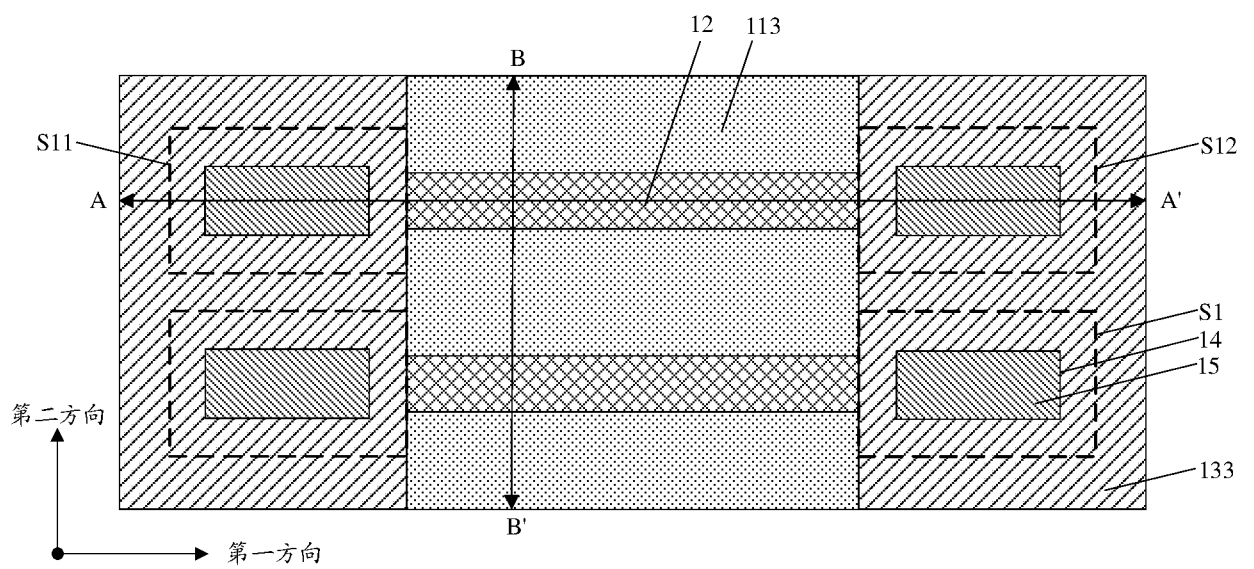


图 11a

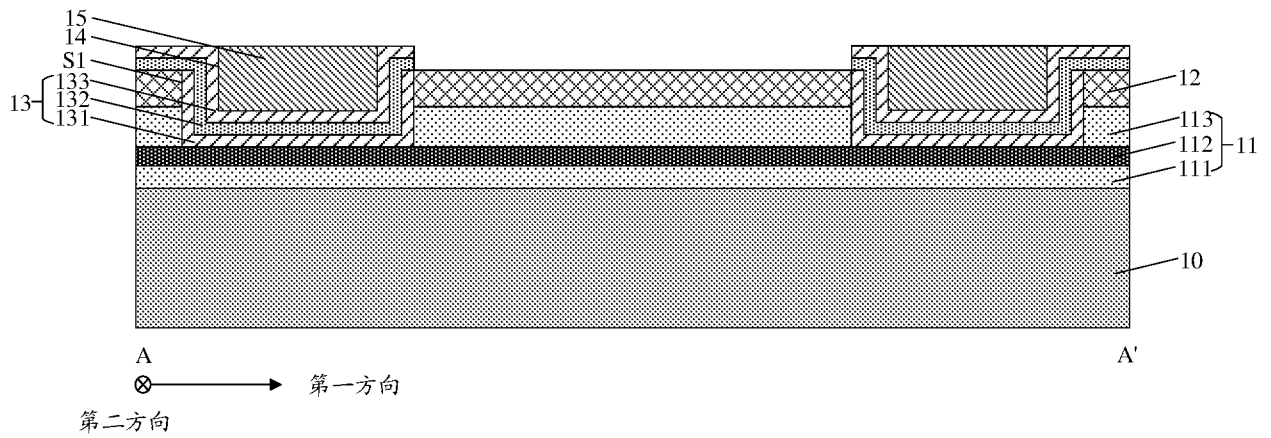


图 11b

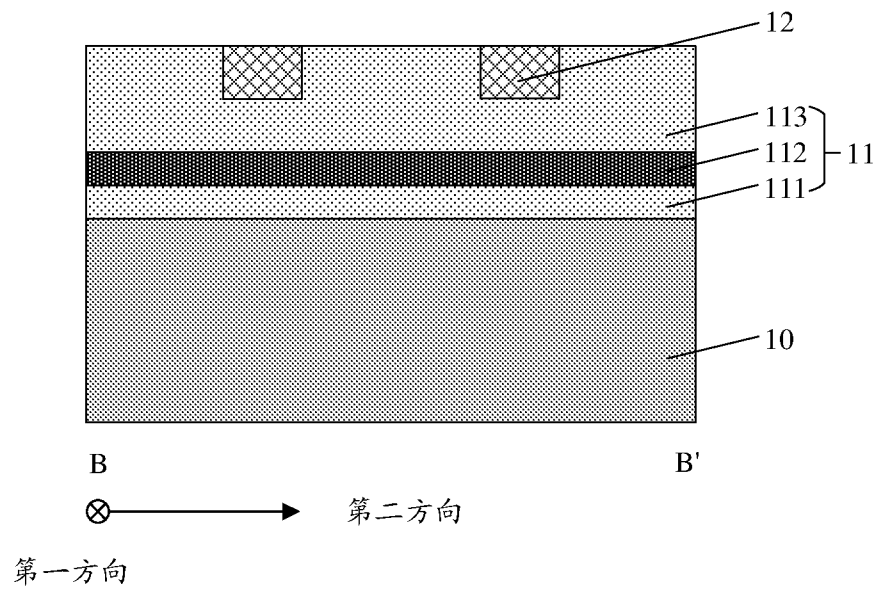


图 11c

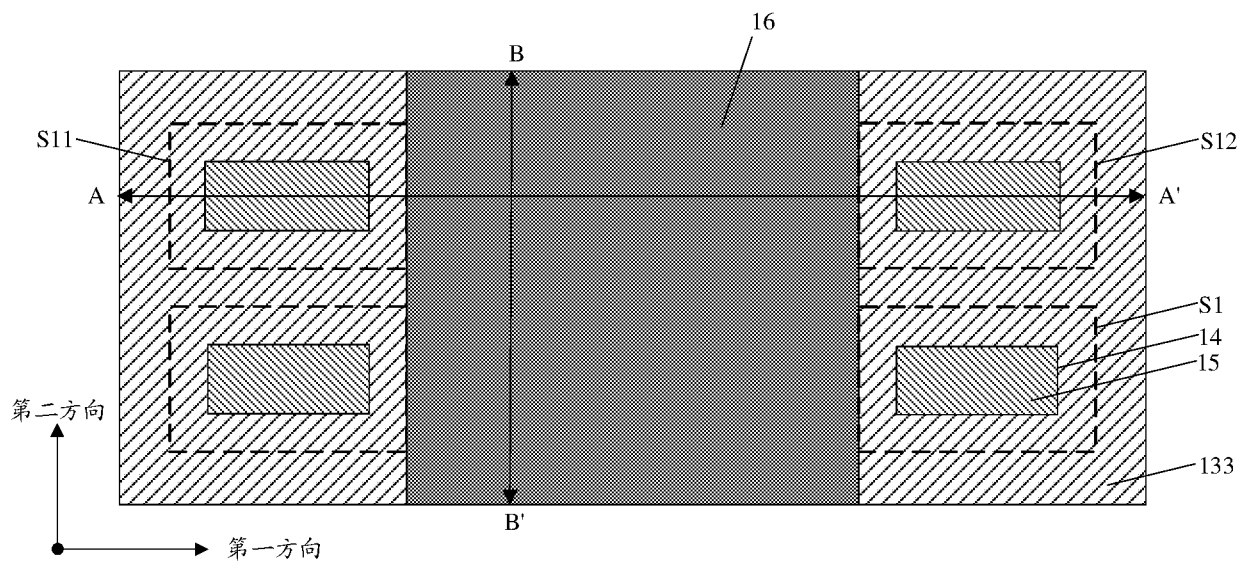


图 12a

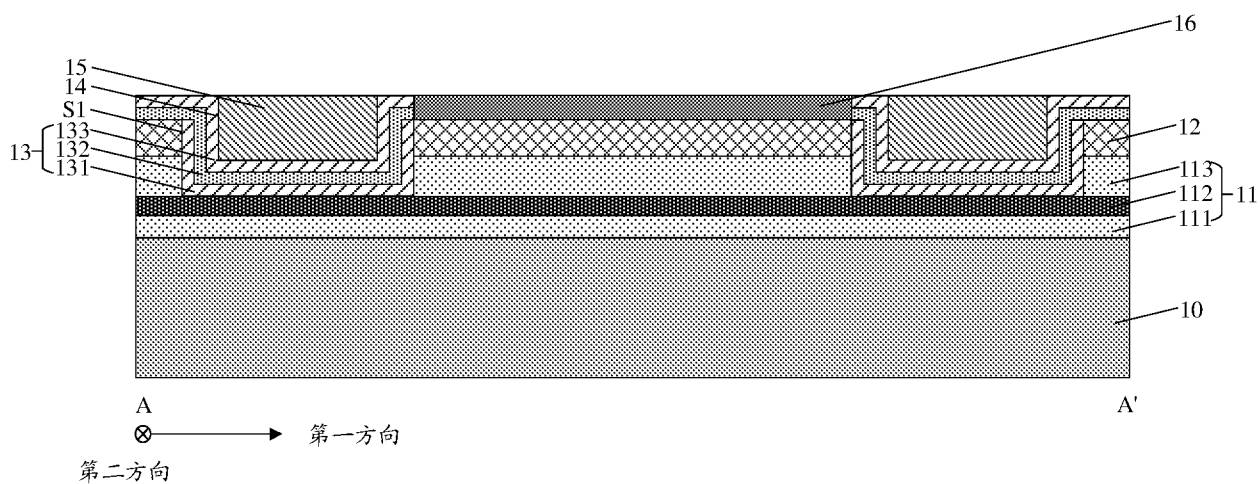


图 12b

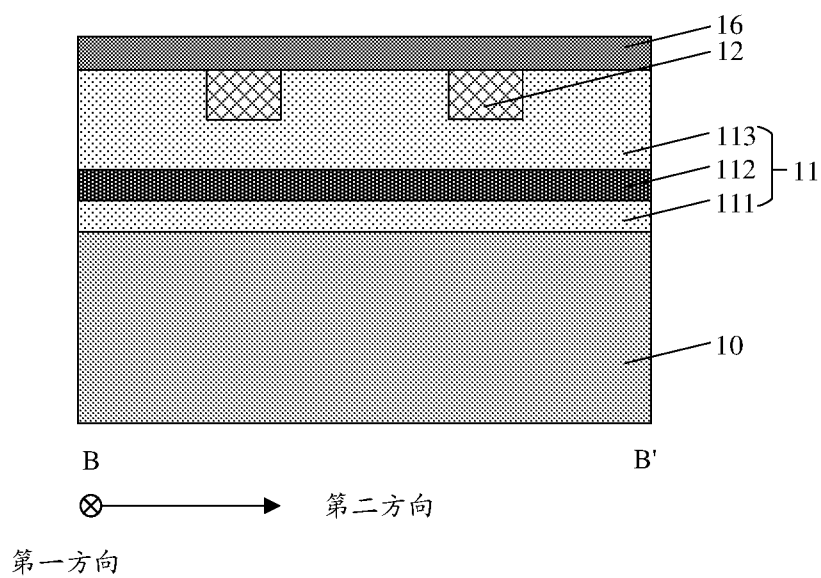


图 12c

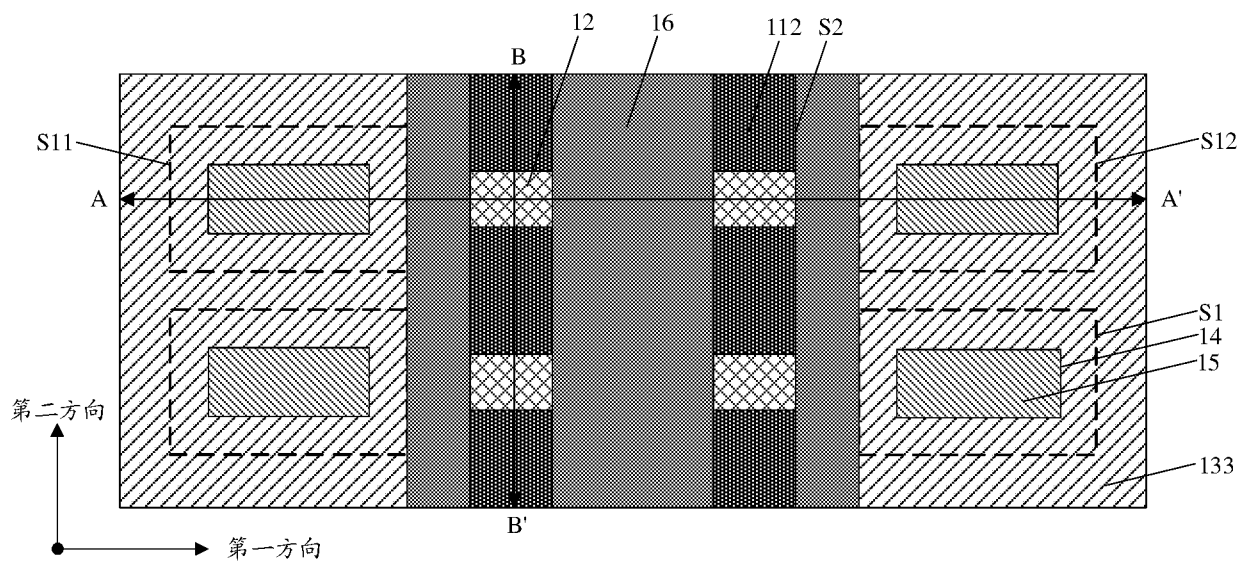


图 13a

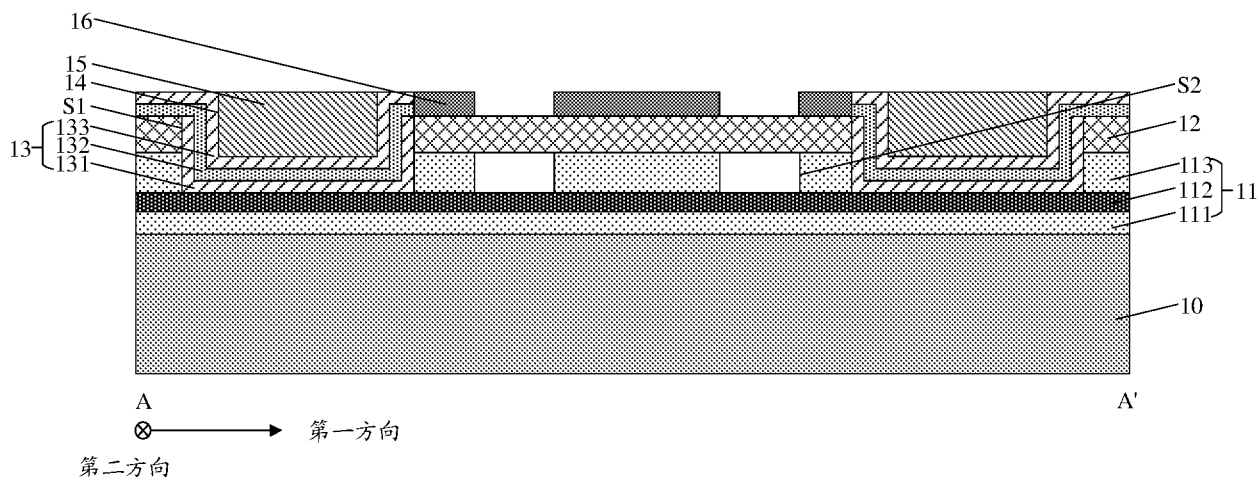


图 13b

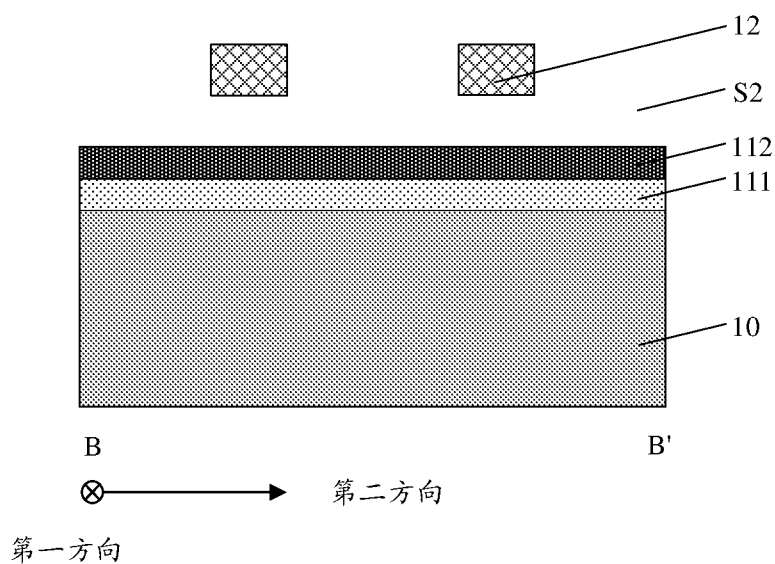


图 13c

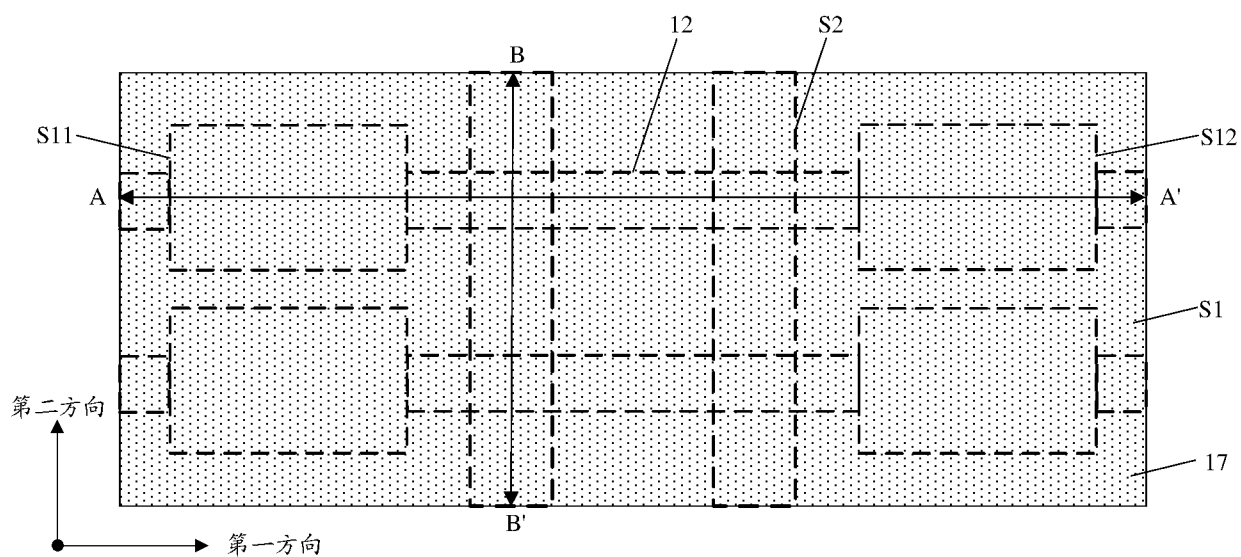


图 14a

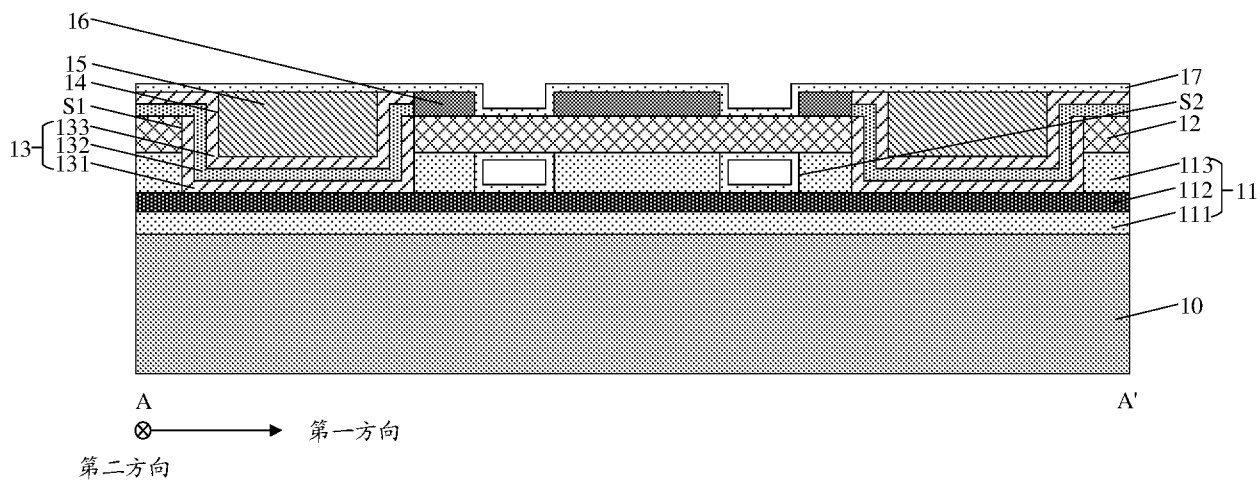


图 14b

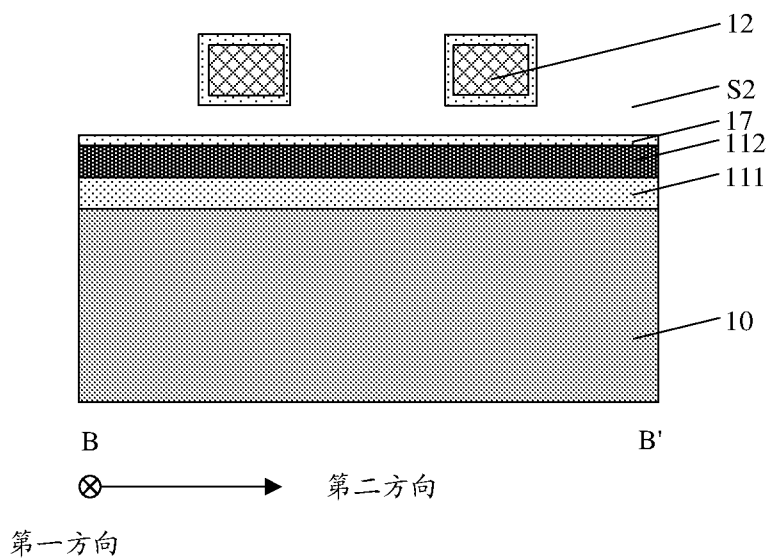


图 14c

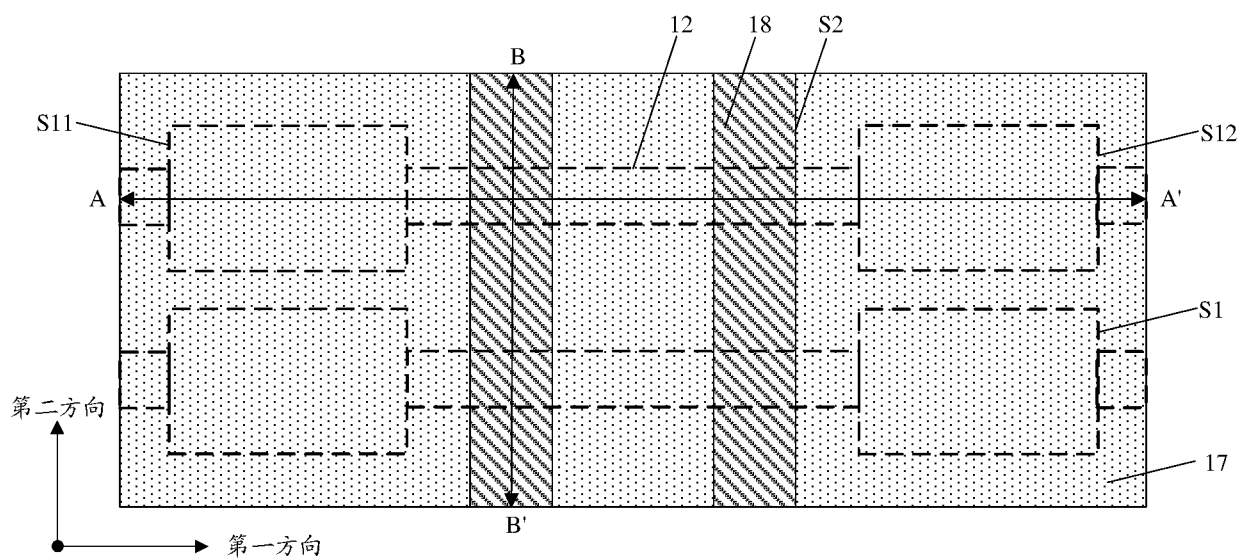


图 15a

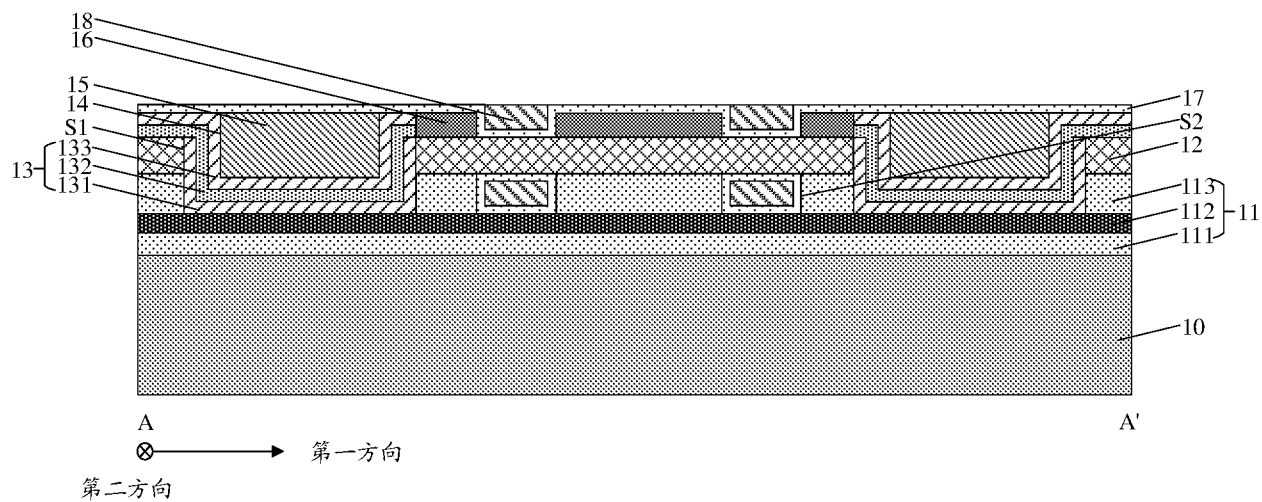


图 15b

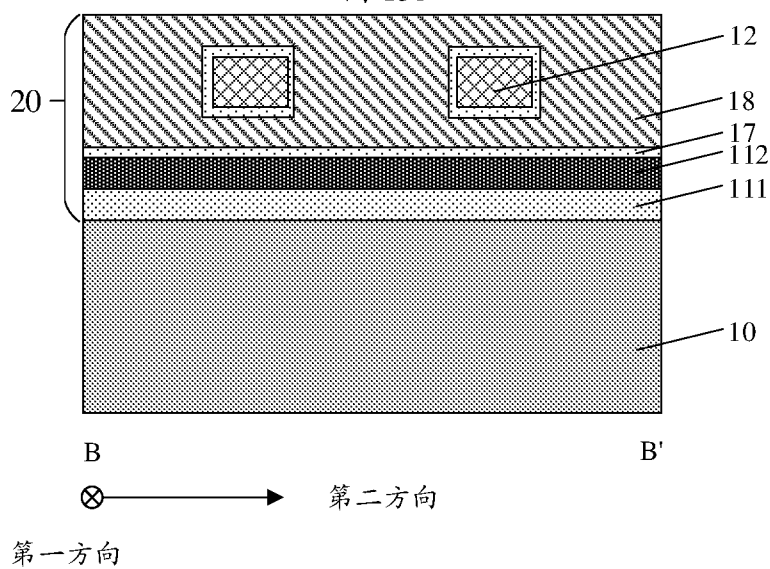


图 15c

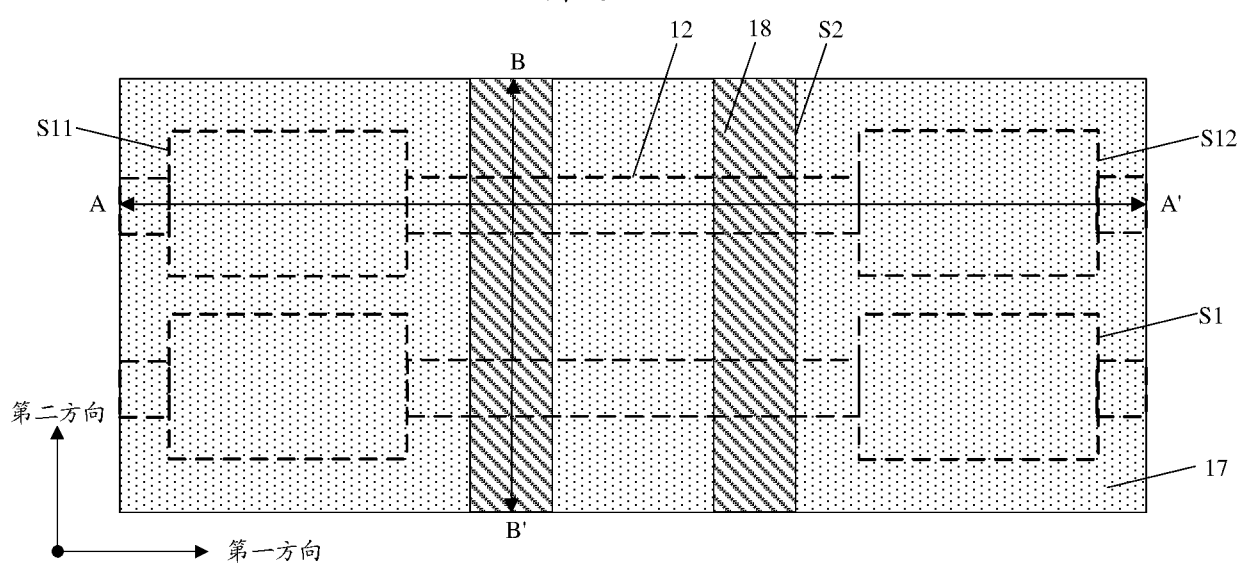


图 16a

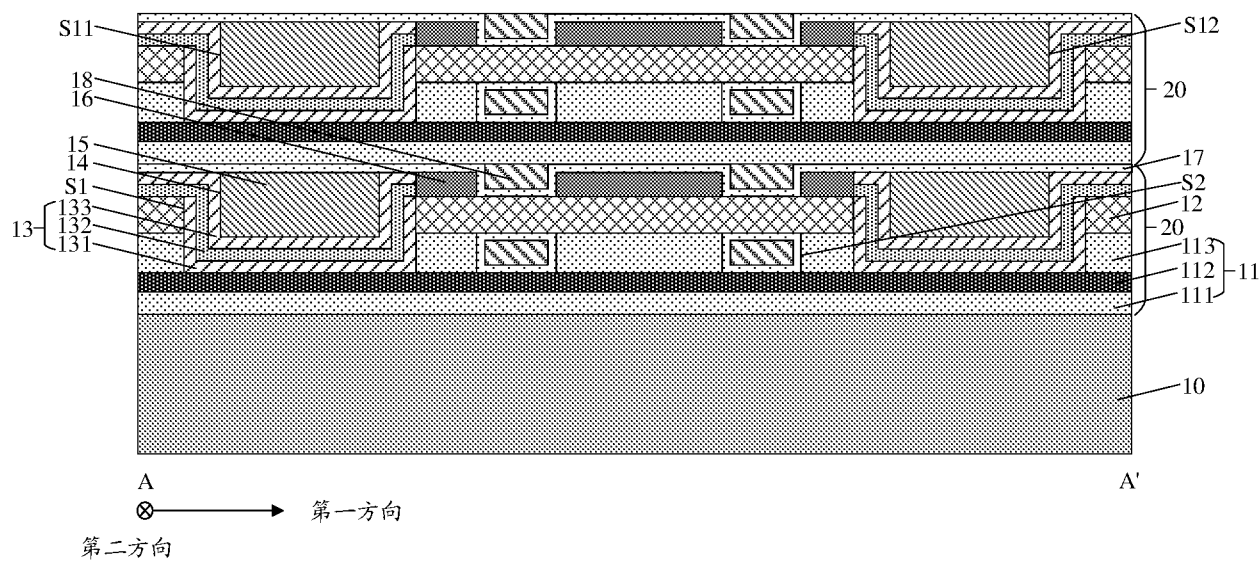


图 16b

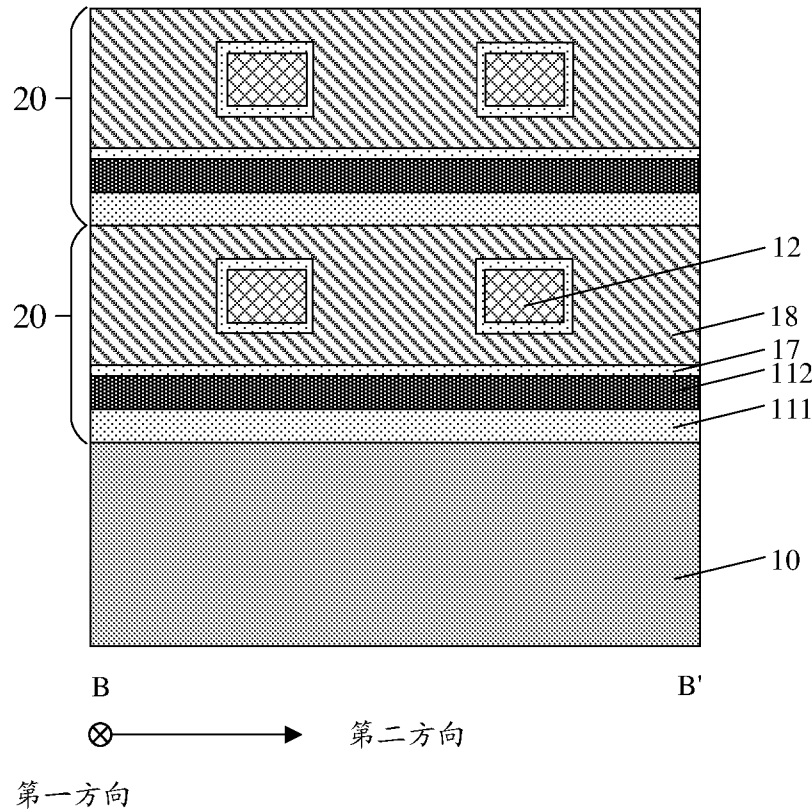


图 16c

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/094055

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/108(2006.01)i; H01L 21/8242(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 动态随机存储器, 沟道, 凹槽, 电容, 介质层, 电极, DRAM, channel, groove, recess, capacitance, dielectric layer, ILD, electrode

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 111326514 A (INTEL CORP.) 23 June 2020 (2020-06-23) description, paragraphs [0036]-[0057], and figures 1-2	1-19
A	CN 106910717 A (HEFEI ZHIJU INTEGRATED CIRCUIT CO., LTD.) 30 June 2017 (2017-06-30) entire document	1-19
A	CN 114284270 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 05 April 2022 (2022-04-05) entire document	1-19
A	CN 113284898 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 20 August 2021 (2021-08-20) entire document	1-19
A	CN 112635467 A (SHANGHAI WEIJIN ELECTRONIC TECHNOLOGY CO., LTD.) 09 April 2021 (2021-04-09) entire document	1-19
A	US 2018090373 A1 (SANDISK TECHNOLOGIES L.L.C.) 29 March 2018 (2018-03-29) entire document	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 January 2023

Date of mailing of the international search report

18 January 2023

Name and mailing address of the ISA/CN

**China National Intellectual Property Administration (ISA/
CN)**
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/094055

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	111326514	A	23 June 2020	DE	102019130775	A1	18 June 2020
				US	2020194434	A1	18 June 2020
CN	106910717	A	30 June 2017	None			
CN	114284270	A	05 April 2022	None			
CN	113284898	A	20 August 2021	US	2022285355	A1	08 September 2022
				KR	20210098834	A	11 August 2021
				DE	102020129019	A1	05 August 2021
CN	112635467	A	09 April 2021	None			
US	2018090373	A1	29 March 2018	US	2020105595	A1	02 April 2020

国际检索报告

国际申请号

PCT/CN2022/094055

A. 主题的分类

H01L 27/108(2006.01)i; H01L 21/8242(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 动态随机存储器, 沟道, 凹槽, 电容, 介质层, 电极, DRAM, channel, groove, recess, capacitance, dielectric layer, ILD, electrode

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 111326514 A (英特尔公司) 2020年6月23日 (2020 - 06 - 23) 说明书第[0036]-[0057]段, 图1-2	1-19
A	CN 106910717 A (合肥智聚集成电路有限公司) 2017年6月30日 (2017 - 06 - 30) 全文	1-19
A	CN 114284270 A (长鑫存储技术有限公司) 2022年4月5日 (2022 - 04 - 05) 全文	1-19
A	CN 113284898 A (台湾积体电路制造股份有限公司) 2021年8月20日 (2021 - 08 - 20) 全文	1-19
A	CN 112635467 A (上海微阱电子科技有限公司) 2021年4月9日 (2021 - 04 - 09) 全文	1-19
A	US 2018090373 A1 (SANDISK TECHNOLOGIES LLC) 2018年3月29日 (2018 - 03 - 29) 全文	1-19

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2023年1月11日

国际检索报告邮寄日期

2023年1月18日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

王光军

电话号码 86-(10)-53961225

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/094055

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	111326514	A	2020年6月23日	DE	102019130775	A1	2020年6月18日
				US	2020194434	A1	2020年6月18日
CN	106910717	A	2017年6月30日	无			
CN	114284270	A	2022年4月5日	无			
CN	113284898	A	2021年8月20日	US	2022285355	A1	2022年9月8日
				KR	20210098834	A	2021年8月11日
				DE	102020129019	A1	2021年8月5日
CN	112635467	A	2021年4月9日	无			
US	2018090373	A1	2018年3月29日	US	2020105595	A1	2020年4月2日