

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4453702号  
(P4453702)

(45) 発行日 平成22年4月21日(2010.4.21)

(24) 登録日 平成22年2月12日(2010.2.12)

(51) Int. Cl.	F I
H05K 3/46 (2006.01)	H05K 3/46 Q
H05K 1/14 (2006.01)	H05K 3/46 L
H05K 3/36 (2006.01)	H05K 1/14 E
	H05K 3/36 Z

請求項の数 5 (全 15 頁)

(21) 出願番号	特願2006-527819 (P2006-527819)	(73) 特許権者	000006231
(86) (22) 出願日	平成17年7月27日(2005.7.27)		株式会社村田製作所
(86) 国際出願番号	PCT/JP2005/013724		京都府長岡京市東神足1丁目10番1号
(87) 国際公開番号	W02006/011508	(74) 代理人	100096910
(87) 国際公開日	平成18年2月2日(2006.2.2)		弁理士 小原 肇
審査請求日	平成18年11月14日(2006.11.14)	(72) 発明者	野田 悟
(31) 優先権主張番号	PCT/JP2005/011358		京都府長岡京市東神足1丁目10番1号
(32) 優先日	平成17年6月21日(2005.6.21)		株式会社村田製作所内
(33) 優先権主張国	日本国(JP)	(72) 発明者	原田 淳
(31) 優先権主張番号	特願2004-224922 (P2004-224922)		京都府長岡京市東神足1丁目10番1号
(32) 優先日	平成16年7月30日(2004.7.30)		株式会社村田製作所内
(33) 優先権主張国	日本国(JP)	審査官	藤田 和英

最終頁に続く

(54) 【発明の名称】 複合型電子部品及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

複数の絶縁層が積層され且つ配線パターンを有する多層配線ブロック、複数の絶縁層が積層され且つ配線パターンを有すると共に第1のチップ型電子部品を内蔵するチップ型電子部品内蔵多層ブロック、及び受動部品または能動部品からなる第2のチップ型電子部品が樹脂封止されたチップ型電子部品ブロックの少なくともいずれか2つを備え、上記多層配線ブロック、上記チップ型電子部品内蔵型多層ブロック、及び第2のチップ型電子部品が樹脂封止されたチップ型電子部品ブロックの少なくともいずれか2つは、接続用配線を有する樹脂ブロックを介して互いに電氣的に接続されて一体化して同一平面上に配置されていることを特徴とする複合型電子部品。

【請求項2】

上記多層配線ブロック、上記チップ型電子部品内蔵多層ブロック、及び上記チップ型電子部品ブロックは、上記樹脂ブロックを介して一体化していることを特徴とする請求項1に記載の複合型電子部品。

【請求項3】

上記多層配線ブロックと上記チップ型電子部品内蔵多層ブロックとは、互いに異なる材料で形成されていることを特徴とする請求項1または請求項2に記載の複合型電子部品。

【請求項4】

複数の絶縁層が積層され且つ配線パターンを有する多層配線ブロック、複数の絶縁層が積層され且つ配線パターンを有すると共に第1のチップ型電子部品を内蔵するチップ型電

10

20

子部品内蔵多層ブロック、及び第2のチップ型電子部品が樹脂封止されたチップ型電子部品ブロックの少なくともいずれか2つと、配線パターンを有する樹脂ブロックと、をそれぞれ同一平面上に配置する工程と、上記多層配線ブロック、上記チップ型電子部品内蔵多層ブロック、及び上記チップ型電子部品ブロックの少なくともいずれか2つを、上記樹脂ブロックを介して互いに圧着して電氣的に接続する工程と、を備えたことを特徴とする複合型電子部品の製造方法。

【請求項5】

上記多層配線ブロック、上記チップ型電子部品内蔵多層ブロック、上記チップ型電子部品ブロック、及び上記樹脂ブロックをそれぞれ配置する工程と、上記多層配線ブロック、上記チップ型電子部品内蔵多層ブロック、及び上記チップ型電子部品ブロックを、上記樹脂ブロックを介して互いに圧着して電氣的に接続する工程と、を備えたことを特徴とする請求項4に記載の複合型電子部品の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複合型電子部品及びその製造方法に関し、更に詳しくは、特性を異にする複数種の基板を一体化して所望の機能を付与すると共に小型化、低背化を実現することができる複合型電子部品及びその製造方法に関するものである。

【背景技術】

【0002】

近年、携帯電話等の移動体通信機器や電子機器の小型化、高機能化に伴い、電子部品の小型化、高機能化が急速に進展している。例えば特許文献1では回路部品を内蔵してモジュール化された回路部品内蔵モジュール及びその製造方法が提案されている。

20

【0003】

特許文献1に記載の回路部品内蔵モジュールは、無機フィラーと熱硬化性樹脂とを含む混合物からなる電気絶縁性基板と、前記電気絶縁性基板の少なくとも一方の主面に形成された複数の配線パターンと、前記電気絶縁性基板に埋設され前記配線パターンに電氣的に接続された回路部品とを含み、前記回路部品と前記配線パターンとが導電性接着剤（またはペース）を介して電氣的に接続されている。また、特許文献1には電気絶縁性基板を複数層に渡って積層された多層構造の回路部品内蔵モジュールが提案されている。特許文献1では、回路部品を高密度、高機能化する方法としてインナーピアホール接続法が用いられ、信頼性を高める方法として電気絶縁性基板の材料として無機フィラーと熱硬化性樹脂とを含む混合物が用いられている。

30

【0004】

【特許文献1】特許第3375555号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、従来の複合型電子部品は、特許文献1に記載の回路部品内蔵モジュールのように電気絶縁性基板の少なくとも一方の主面に複数の配線パターンを形成し、これらの配線パターンと接続される回路部品を電気絶縁性基板内に埋設しているため、種々の機能を付与するために異なる複数種の回路部品を電気絶縁性基板に内蔵させるにしても回路部品の高さが電気絶縁性基板の高さに制限され、しかも高密度配線になっても回路部品が埋設された電気絶縁性基板の内部に配線層を設け難く、その電気絶縁性基板の上下に配線層を設けざるを得ず、低背化が難しいという課題があった。

40

【0006】

本発明は、上記課題を解決するためになされたもので、機能を異にする種々の基板や電子部品を組み合わせることで種々の機能を付与できると共に小型化、低背化を促進することができる複合型電子部品及びその製造方法を提供することを目的としている。

【課題を解決するための手段】

50

## 【0007】

本発明の請求項1に記載の複合型電子部品は、複数の絶縁層が積層され且つ配線パターンを有する多層配線ブロック、複数の絶縁層が積層され且つ配線パターンを有すると共に第1のチップ型電子部品を内蔵するチップ型電子部品内蔵多層ブロック、及び受動部品または能動部品からなる第2のチップ型電子部品が樹脂封止されたチップ型電子部品ブロックの少なくともいずれか2つを備え、上記多層配線ブロック、上記チップ型電子部品内蔵多層ブロック、及び第2のチップ型電子部品が樹脂封止されたチップ型電子部品ブロックの少なくともいずれか2つは、樹脂ブロックを介して一体化して同一平面上に配置されていることを特徴とするものである。

## 【0013】

また、本発明の請求項2に記載の複合型電子部品は、請求項1に記載の発明において、上記多層配線ブロック、上記チップ型電子部品内蔵多層ブロック、及び上記チップ型電子部品ブロックは、上記樹脂ブロックを介して一体化していることを特徴とするものである。

## 【0014】

また、本発明の請求項3に記載の複合型電子部品は、請求項1または請求項2に記載の発明において、上記多層配線ブロックと上記チップ型電子部品内蔵多層ブロックとは、互いに異なる材料で形成されていることを特徴とするものである。

## 【0017】

また、本発明の請求項4に記載の複合型電子部品の製造方法は、複数の絶縁層が積層され且つ配線パターンを有する多層配線ブロック、複数の絶縁層が積層され且つ配線パターンを有すると共に第1のチップ型電子部品を内蔵するチップ型電子部品内蔵多層ブロック、及び第2のチップ型電子部品が樹脂封止されたチップ型電子部品ブロックの少なくともいずれか2つと、配線パターンを有する樹脂ブロックと、をそれぞれ同一平面上に配置する工程と、上記多層配線ブロック、上記チップ型電子部品内蔵多層ブロック、及び上記チップ型電子部品ブロックの少なくともいずれか2つを、上記樹脂ブロックを介して互いに圧着して電氣的に接続する工程と、を備えたことを特徴とするものである。

## 【0018】

また、本発明の請求項5に記載の複合型電子部品の製造方法は、請求項4に記載の発明において、上記多層配線ブロック、上記チップ型電子部品内蔵多層ブロック、上記チップ型電子部品ブロック、及び上記樹脂ブロックをそれぞれ配置する工程と、上記多層配線ブロック、上記チップ型電子部品内蔵多層ブロック、及び上記チップ型電子部品ブロックを、上記樹脂ブロックを介して互いに圧着して電氣的に接続する工程と、を備えたことを特徴とするものである。

## 【発明の効果】

## 【0019】

本発明によれば、機能を異にする種々の基板や電子部品を適宜組み合わせると共に同一平面上に配列して互いに電氣的に接続して種々の機能を付与することができると共に小型化、低背化を促進することができる複合型電子部品及びその製造方法を提供することができる。

## 【図面の簡単な説明】

## 【0020】

【図1】(a)、(b)はそれぞれ本発明の複合型電子部品の一実施形態を示す図で、(a)はその断面図、(b)はその一部を拡大して示す断面図である。

【図2】(a)~(c)はそれぞれ図1に示す複合型電子部品の製造方法の一実施形態を工程順に示す斜視図である。

【図3】(a)、(b)はそれぞれ図2に示す工程における断面図で、(a)は多層配線ブロック等を支持基板上に実装した状態を示す図、(b)は樹脂シートを圧着した状態を示す図である。

【図4】本発明の複合型電子部品の他の実施形態を示す断面図である。

【図5】本発明の複合型電子部品の更に他の実施形態を示す断面図である。

10

20

30

40

50

【図 6】本発明の複合型電子部品の更に他の実施形態を示す断面図である。

【図 7】本発明の複合型電子部品の更に他の実施形態を示す斜視図である。

【図 8】本発明の複合型電子部品の更に他の実施形態を示す斜視図である。

【図 9】( a )、( b )はそれぞれ本発明の複合型電子部品の更に他の実施形態を示す図で、( a )は本発明の複合型電子部品の製造方法の他の実施形態の工程の要部に示す斜視図、( b )は( a )に示す製造方法によって作製された複合型電子部品を示す断面図である。

【図 10】本発明の複合型電子部品の更に他の実施形態を示す斜視図である。

【図 11】本発明の複合型電子部品の更に他の実施形態を示す斜視図である。

【図 12】本発明の複合型電子部品の更に他の実施形態を示す断面図である。

10

【図 13】本発明の複合型電子部品の更に他の実施形態を示す断面図である。

【図 14】本発明の複合型電子部品の更に他の実施形態を示す断面図である。

【符号の説明】

【0021】

10、10A、10B、10C、10D、10E、10F、10G、10H、10I、  
10J、10K 複合型電子部品

11 多層配線ブロック

11B 配線パターン

12 チップ型電子部品内蔵多層ブロック

12C 配線パターン

20

13 第2のチップ型電子部品

14 支持基板

18 チップ型電子部品ブロック

18A 熱硬化性樹脂

19、20、21、22 樹脂ブロック

【発明を実施するための最良の形態】

【0022】

第1の実施形態

以下、図1～図14に示す実施形態に基づいて本発明を説明する。

本実施形態の複合型電子部品10は、例えば図1の( a )、( b )に示すように、多層配線ブロック11と、第1のチップ型電子部品12Aを内蔵するチップ型電子部品内蔵多層ブロック12と、第2のチップ型電子部品13と、これら三者11、12、13が実装されてこれら三者を支持する支持基板14と、支持基板14上で多層配線ブロック11、チップ型電子部品内蔵多層ブロック12及び第2のチップ型電子部品13の三者を被覆して一体化する樹脂部15と、を備え、多層配線ブロック11、チップ型電子部品内蔵多層ブロック12及び第2のチップ型電子部品13の三者は支持基板14上でその表面に形成された表面配線パターン14Aを介して互いに電氣的に接続されている。

30

【0023】

多層配線ブロック11は、主として複合型電子部品10の配線部分をブロック化したもので、基本的には配線パターンとして受動機能部を受け持つブロックである。この多層配線ブロック11は、図1の( a )に示すように、例えば複数の絶縁層11Aが積層された積層体と、積層体の内部に所定のパターンで形成された配線パターン11Bと、を有している。この配線パターン11Bは、各絶縁層11Aの間に設けられた複数の面内導体11Cと、各絶縁層11Aを貫通し上下の面内導体11Cを電氣的に接続するビアホール導体11Dとから形成されている。多層配線ブロック11は、適宜の面内導体11Cに接続されたインダクタやキャパシタ等の受動素子を含むものであっても良い。多層配線ブロック11は、下面に形成された外部端子電極11Eを介して支持基板14の表面配線パターン14Aに接続されている。

40

【0024】

絶縁層11Aは、例えばエポキシ樹脂、フェノール樹脂、シアネート樹脂等の熱硬化性

50

樹脂によって形成することができる。この場合には、多層配線ブロック 11 は例えばビルドアップ法によって形成することができ、面内導体 11C は例えば銅箔等の金属箔をパターンニングすることによって形成することができる。また、ビアホール導体 11D は絶縁層 11A に形成されたビアホール内に導電性ペーストを充填することによって形成することができる。導電性ペーストは、例えば金属粒子と熱硬化性樹脂とを含む導電性樹脂組成物である。金属粒子としては、例えば金、銀、銅、ニッケル等の金属を用いることができ、熱硬化性樹脂としては、例えばエポキシ樹脂、フェノール樹脂、シアネート樹脂等の樹脂を用いることができる。

#### 【0025】

また、絶縁層 11A は、誘電率の低いセラミック材料によって形成することができ、セラミック材料としては低温焼結セラミック材料が好ましい。低温焼結セラミック材料としては、例えば、アルミナやフォルステライト、コージェライト等のセラミック粉末やこれらのセラミック粉末にホウ珪酸系ガラスを混合したガラス複合系材料、 $ZnO - MgO - Al_2O_3 - SiO_2$  系の結晶化ガラスを用いた結晶化ガラス系材料、 $BaO - Al_2O_3 - SiO_2$  系セラミック粉末や  $Al_2O_3 - CaO - SiO_2 - MgO - B_2O_3$  系セラミック粉末等を用いた非ガラス系材料等を挙げることができる。この場合には、面内導体 11C 及びビアホール導体 11D は Ag または Cu 等の低抵抗で低融点をもつ金属を低温で低温焼結セラミック材料と同時焼成して一体化することができる。

#### 【0026】

また、チップ型電子部品内蔵多層ブロック 12 は、多層配線ブロック 11 と同様に、主として複合型電子部品 10 の受動機能部を受け持つブロックである。このチップ型電子部品内蔵多層ブロック 12 は、図 1 の (a)、(b) に示すように、第 1 のチップ型電子部品 12A を内蔵すると共に多層配線ブロック 11 と同様に複数の絶縁層 12B が積層された積層体として形成され、内部に配線パターン 12C が形成されている。

#### 【0027】

第 1 のチップ型電子部品 12A は、例えばチップ型コンデンサ、チップ型インダクタ、チップ型抵抗等のセラミック焼結体によって形成されている。絶縁層 12B は、基本的には無機フィラーとエポキシ樹脂等の熱硬化性樹脂との混合物によって形成されていることが好ましい。絶縁層 12B は、例えばセラミックと樹脂、あるいはエポキシ樹脂と無機フィラーを含有するエポキシ樹脂等のように、上述の絶縁層 11A とは異なる材料によって形成されていても良い。配線パターン 12C は、同図の (b) に示すように、例えば各絶縁層 12B の間に設けられた複数の面内導体 12D と、各絶縁層 12A を貫通し上下の面内導体 12D を電氣的に接続するビアホール導体 12E と、積層体の下面に形成された第 1 の外部端子電極 12F と、積層体の上面に形成された第 2 の外部端子電極 12G とから構成されている。そして、面内導体 12D の適宜の場所に第 1 のチップ型電子部品 12A が実装されている。チップ型電子部品内蔵多層ブロック 12 は、下面に形成された第 1 の外部端子電極 12F を介して支持基板 14 の表面配線パターン 14A に接続されている。チップ型電子部品内蔵ブロック 12 上面の第 2 の外部端子電極 12G には必要に応じてシリコン半導体等の能動素子を実装しても良い。

#### 【0028】

第 2 のチップ型電子部品 13 は、例えば、セラミック焼結体を素体とする受動素子またはシリコン半導体を素体とする能動素子からなり、図 1 の (a) に示すように下面の外部端子電極 13A を介して支持基板 14 の表面配線パターン 14A に電氣的に接続されている。この第 2 のチップ型電子部品 13 は、多層配線ブロック 11 及びチップ型電子部品内蔵多層ブロック 12 と支持基板 14 を介して互いに電氣的に接続されて協働し、複合型電子部品 10 に種々の機能を付与する。

#### 【0029】

第 2 のチップ型電子部品 13 とチップ型電子部品内蔵多層ブロック 12 に内蔵された第 1 のチップ型電子部品 12A とは、基本的にはサイズによって分類される。チップ型電子部品は、例えば厚みが 0.8 mm、長さが 1.6 mm、幅が 0.8 mm より大きくなると

10

20

30

40

50

、積層体に内蔵させることが難しいため、第2のチップ型電子部品13として多層配線ブロック11等と一緒に配置する。従って、上記サイズより小さなチップ型電子部品は第1のチップ型電子部品12Aとしてチップ型電子部品内蔵多層ブロック12として内蔵させて使用する。

【0030】

また、支持基板14は、表面配線パターン14Aを有するものであれば特に制限されないが、例えば樹脂多層基板であってもセラミック多層基板であっても良い。

【0031】

以上説明したように本実施形態によれば、機能を異にする、多層配線ブロック11、チップ型電子部品内蔵多層ブロック12及び第2のチップ型電子部品13を備え、これらが互いに電氣的に接続されて同一平面上に配置されているため、複数の機能を付与して高機能化を実現することができると共に基板の小型化、低背化を促進することができる複合型電子部品10を得ることができる。

10

【0032】

更に、本実施形態によれば、必要に応じて多層配線ブロック11の絶縁層11Aとチップ型電子部品内蔵多層ブロック12の絶縁層12Bとを異なる材料、例えば有機材料と無機材料に分けて構成することができるため、異種材料からなる支持基板14上に複合型電子部品10を搭載しても、複合型電子部品10を構成する各ブロック11、12の残留応力が異なり、それぞれの残留応力を支持基板14上で緩和して歪み等による物理特性の弊害を抑制することができ、信頼性を向上させることができる。

20

【0033】

次いで、図1に示す複合型電子部品10の製造方法の一実施形態について図2、図3を参照しながら説明する。複合型電子部品10を製造するに当たって、予め作製された多層配線ブロック11、チップ型電子部品内蔵多層ブロック12、第2チップ型電子部品13及び支持基板14を準備する。次いで、図2の(a)に示すように多層配線ブロック11、チップ型電子部品内蔵多層ブロック12及び第2チップ型電子部品13それぞれを、支持基板14の表面配線パターン14Aの所定の位置に合わせた後、図3の(a)に示すように支持基板14上に実装する。

【0034】

次いで、図2の(b)に示すように予め準備された未硬化状態(即ち、Bステージ状態)の樹脂プリプレグシート15Aを支持基板14の上方に配置して樹脂プリプレグシート15Aを多層配線ブロック11、チップ型電子部品内蔵多層ブロック12及び第2チップ型電子部品13上に被せた後、未硬化状態の樹脂部の硬化温度よりも高い温度で熱圧着すると、図2の(c)に示すように樹脂が流動し、樹脂によって多層配線ブロック11、チップ型電子部品内蔵多層ブロック12及び第2チップ型電子部品13それぞれの隙間を埋めると共にこれらの上面を被覆する。その後、未硬化状態の樹脂部が熱硬化することによって、多層配線ブロック11、チップ型電子部品内蔵多層ブロック12及び第2チップ型電子部品13が樹脂部15を介して一体化する。この処理によって図3の(b)に示す複合型電子部品10を得ることができる。

30

【0035】

従って、本実施形態の製造方法によれば、製法が異なる基板や電子部品、即ち多層配線ブロック11、チップ型電子部品内蔵多層ブロック12及び第2のチップ型電子部品13を適宜組み合わせ、種々の機能を付与した複合型電子部品10を製造することができる。

40

【0036】

第1の実施形態では、多層配線ブロック11、チップ型電子部品内蔵多層ブロック12、及び第2のチップ型電子部品13の三者が実装されて、これら三者11、12、13が支持基板14上で表面配線パターン14Aを介して互いに電氣的に接続された複合型電子部品10について説明した。しかし、本発明の複合型電子部品では、例えば図4~図6に示すように、多層配線ブロック11、チップ型電子部品内蔵多層ブロック12、及び第2のチップ型電子部品13の少なくともいずれか2つを必要に応じて適宜選択して、選択さ

50

れた2つを同一の支持基板14上に配置し、互いに電氣的に接続したものであっても良い。ここでも本実施形態と同一または相当部分には同一符号を付して変形例について説明する。

#### 【0037】

第1の変形例の複合型電子部品10Aは、図4に示すように、多層配線ブロック11と、チップ型電子部品内蔵多層ブロック12と、これら両者11、12を支持する支持基板14と、支持基板14上で多層配線ブロック11及びチップ型電子部品内蔵多層ブロック12を被覆する樹脂部15と、を備え、多層配線ブロック11及びチップ型電子部品内蔵多層ブロック12が支持基板14の表面に形成された表面配線パターン14Aを介して互いに電氣的に接続され、第1の実施形態に準じて構成されている。このようにチップ型電子部品内蔵型多層ブロック12の配線パターン12Cとは別に配線を分担する多層配線ブロック11をチップ型電子部品内蔵型多層ブロック12の側方に設けることによって、チップ型電子部品内蔵型多層ブロック12の配線パターン12Cを側方に拡張することができる。第1の実施形態と同様に、複合型電子部品10Aを低背化することができる。

10

#### 【0038】

第2の変形例の複合型電子部品10Bは、図5に示すように、チップ型電子部品内蔵多層ブロック12と、第2のチップ型電子部品13と、これら両者12、13を支持する支持基板14と、支持基板14上でチップ型電子部品内蔵多層ブロック12及び第2のチップ型電子部品13を被覆する樹脂部15と、を備え、チップ型電子部品内蔵多層ブロック12及び第2のチップ型電子部品13が支持基板14の表面に形成された表面配線パターン14Aを介して互いに電氣的に接続され、第1の実施形態に準じて構成されている。例えば第2のチップ型電子部品13がコイル成分を含む場合には、チップ型電子部品内蔵型多層ブロック12内の側方に第2のチップ型電子部品13を設けることで、コイル成分を含む第2のチップ型電子部品13の上下に配線パターンが形成されておらず、更にその周囲が樹脂部15で覆われているため、コイル成分に基づく磁界はチップ型電子部品内蔵型多層ブロック12の配線パターン12Cの影響を受け難くなり、複合型電子部品10Bの信頼性を向上させることができる。また、コイル成分を有するチップ型電子部品は、第1のチップ型電子部品12Aとしてではなく、第2のチップ型電子部品13として配線パターンから独立して設けることで、コイル成分に基づく磁界はチップ型電子部品内蔵型多層ブロック12内の配線パターン12Cの影響を受け難くなり、第1の実施形態と同様に、複合型電子部品10Bの信頼性を向上させることができる。

20

30

#### 【0039】

第3に示す変形例の複合型電子部品10Cは、図6に示すように、多層配線ブロック11と、第2のチップ型電子部品13と、これら両者11、13を支持する支持基板14と、支持基板14上で多層配線ブロック11及び第2のチップ型電子部品13を被覆する樹脂部15と、を備え、多層配線ブロック11及び第2のチップ型電子部品13が支持基板14の表面に形成された表面配線パターン14Aを介して互いに電氣的に接続され、第1の実施形態に準じて構成されている。第2のチップ型電子部品13がコイル成分を含む場合には、多層配線ブロック11を第2のチップ型電子部品13の側方に設けることで、第2のチップ型電子部品13の上下に配線パターンが形成されておらず、更にその周囲が樹脂部15で覆われているため、コイル成分に基づく磁界は多層配線ブロック11の配線パターン11Bの影響を受け難くなり、第1の実施形態と同様に、複合型電子部品10Cの信頼性を向上させることができる。

40

#### 【0040】

次に、図7～図14を参照しながら本発明の複合型電子部品の他の実施形態について上記実施形態と同一または相当部分には同一符号を附して説明する。

#### 【0041】

##### 第2の実施形態

本実施形態の複合型電子部品10Dは、例えば図7に示すようにシールド電極及びピアホール導体を有する以外は上記実施形態に準じて構成されている。即ち、本実施形態の複

50

合型電子部品10Dは、同図に示すように、多層配線ブロック11、チップ型電子部品内蔵多層ブロック12、第2のチップ型電子部品13及び支持基板14を備え、多層配線ブロック11、チップ型電子部品内蔵多層ブロック12及び第2チップ型電子部品13が支持基板14上でプリプレグシートからなる樹脂部15を介して一体化されている。樹脂部15の上面は平坦化されており、且つ、その上面にはシールド電極16が形成され、このシールド電極16と支持基板14は断面形状が例えば円形、楕円形状等に形成されたビアホール導体17によって電氣的に接続されている。

#### 【0042】

このように、樹脂部15の上面にシールド電極16を設けることによって外部の磁気環境から複合型電子部品10Dの内部を保護することができる。また、ビアホール導体17がチップ型電子部品内蔵多層ブロック12と第2のチップ型電子部品13との間に介在することによって、隣り合うチップ型電子部品内蔵多層ブロック12と第2のチップ型電子部品13との間での電磁氣的な相互干渉を抑制し、各ブロック11、12と第2のチップ型電子部品13との隙間を詰めて高密度実装を行うことができ、延いては複合型電子部品10Dを小型化することができる。

#### 【0043】

シールド電極16及びビアホール導体17を設ける場合には、例えば銅箔等の金属箔が被着された樹脂プリプレグシートを上記実施形態と同様に熱圧着した上面を平坦に形成した後、フォトリソグラフィ技術及びエッチング技術を用いて上面の金属箔を所定のパターンでエッチングする。次いで、CO<sub>2</sub>レーザ光を樹脂部15の所定箇所照射してビアホールを形成する。そして、各ビアホール内のデスミア処理を行った後、無電解銅めっき、電解銅めっきの順でビアホール内に銅金属を充填してビアホール導体17を形成し、シールド電極16と支持基板14の表面配線パターン14Aとを電氣的に接続する。

#### 【0044】

以上説明したように本実施形態によれば、上記実施形態と同一の作用効果を期することができる。しかもシールド電極16によって外部の磁気環境から複合型電子部品10D内を保護すると共にビアホール導体17によって隣接するチップ型電子部品内蔵多層ブロック12と第2のチップ型電子部品13との間の電磁氣的な相互干渉を防止してこれら両者12、13を高密度に詰めて高密度化することができる。

#### 【0045】

### 第3の実施形態

本実施形態の複合型電子部品10Eは、図7に示す複合型電子部品10Dから支持基板14を除いた以外は複合型電子部品10Dと同様に構成されている。本実施形態の複合型電子部品10Eは、図8に示すように、例えば剥離可能な転写用シート上または転写用フィルム(図示せず)上に形成することができる。複合型電子部品10Eをマザーボード等の実装基板に実装する場合には、複合型電子部品10Eから転写用シートまたは転写用フィルムを剥離して実装基板上に実装する。即ち、例えば銅箔等の金属箔を転写用シート上に剥離可能に貼り付ける。そして、フォトリソグラフィ技術及びエッチング技術を用いて所定のパターンで表面配線パターン14Aを形成した後、この表面配線パターン14Aに合わせて、多層配線ブロック11、チップ型電子部品内蔵多層ブロック12及び第2のチップ型電子部品13を実装する。次いで、樹脂プリプレグシートを圧着して多層配線ブロック11、チップ型電子部品内蔵多層ブロック12及び第2のチップ型電子部品13を一体化することによって複合型電子部品10Eを得ることができる。つまり、複合型電子部品10Eにおいては、マザーボード等の実装基板への実装は、各ブロックの外部端子電極に直接接続された配線パターン14Aによって行われる。

#### 【0046】

本実施形態によれば、上記各実施形態と同様の作用効果を期することができ、しかも予め複合型電子部品10Eを剥離可能な転写用シートまたは転写用フィルム上に作製しておくことにより、必要に応じて転写用シートまたは転写用フィルムを剥がすだけで複合型電子部品10Eを所定の実装基板上に実装することができる。

## 【 0 0 4 7 】

## 第 4 の実施形態

本実施形態においても上記各実施形態と同一または相当部分には同一符号を付して本実施形態について説明する。

本実施形態の複合型電子部品 10F は、図 9 の ( a )、( b ) に示すように、多層配線ブロック 11、チップ型電子部品内蔵多層ブロック 12 及び第 2 のチップ型電子部品 13 と、を備え、これら多層配線ブロック 11 及びチップ型電子部品内蔵多層ブロック 12 の絶縁層がそれぞれ熱硬化性樹脂によって形成されている。多層配線ブロック 11、チップ型電子部品内蔵多層ブロック 12 及び第 2 のチップ型電子部品 13 は、いずれも下面に外部端子電極 11E、12F、13A が形成され、上記各実施形態に用いられたものに準じた構成を有している。本実施形態では第 2 のチップ型電子部品 13 は予め熱硬化性樹脂 18A によって封止されてブロック状を呈するチップ型電子部品ブロック 18 として構成されている。そして、本実施形態の複合型電子部品 10F は、同図の ( b ) に示すように、それぞれ同一高さに形成された多層配線ブロック 11、チップ型電子部品内蔵多層ブロック 12 及びチップ型電子部品ブロック 18 がそれぞれ第 1、第 2 樹脂ブロック 19、20 を介して電氣的に接続されて一体化している。第 1、第 2 樹脂ブロック 19、20 も他のブロックと同一高さに形成されている。

10

## 【 0 0 4 8 】

而して、第 1 樹脂ブロック 19 は、図 9 の ( a )、( b ) に示すように、複数の絶縁層 (例えば、樹脂プリプレグシート) が積層された積層体 19A と、積層体 19A 内の所定の絶縁層に面内導体として一側面から他側面に渡って形成された接続用導体 19B と、を有し、接続用導体 19B が積層体の両側面に露呈し、両隣りの多層配線ブロック 11 とチップ型電子部品内蔵多層ブロック 12 とを接続するインターフェースとして形成されている。接続用導体 19B は、所定のパターンを有する面内導体として形成されている。また、例えば同図の ( b ) に示すように、多層配線ブロック 11 の第 1 樹脂ブロック 19 との接続面には必要に応じて側面導体 11F が形成され、チップ型電子部品内蔵多層ブロック 12 の第 1 樹脂ブロック 19 との接続面にも必要に応じて側面導体 12H が形成されている。そして、これらの側面導体 11F、12H を介して第 1 樹脂ブロック 19 の接続用導体 19A と、多層配線ブロックの面内導体 11C やチップ型電子部品内蔵多層ブロック 12 の面内導体 12D との間に段差があっても、第 1 樹脂ブロック 19 を介して多層配線ブロック 11 とチップ型電子部品内蔵多層ブロック 12 とを電氣的に確実に接続している。

20

30

## 【 0 0 4 9 】

図 9 の ( a )、( b ) に示すように、第 2 樹脂ブロック 20 は第 1 樹脂ブロック 19 に準じて構成され、積層体 20A の両側面から接続用導体 20B が露呈している。この接続用導体 20B は積層体 20A の下面として形成され、チップ型電子部品内蔵多層ブロック 12 の外部端子電極 12F とチップ型電子部品ブロック 18 の第 2 のチップ型電子部品 13 の外部端子電極 13A とを接続している。

## 【 0 0 5 0 】

本実施形態の複合型電子部品 10F を作製する場合には、まず、多層配線ブロック 11、チップ型電子部品内蔵多層ブロック 12、チップ型電子部品ブロック 18 及び第 1、第 2 樹脂ブロック 19、20 を作製する。これらのブロックはいずれも実質的に同一形状で形成されている。多層配線ブロック 11、チップ型電子部品内蔵多層ブロック 12、チップ型電子部品ブロック 18 はいずれも硬化した、あるいは焼成済みのブロックであるが、第 1、第 2 樹脂ブロック 19、20 は未硬化状態の熱硬化性樹脂によって形成されている。次いで、これらのブロック 11、12、18、19、20 を図 9 の ( a ) に示す順序で、例えば剥離自在なシート上に配列した後、これらのブロックの長手方向の両側面及び上下両面をそれぞれ拘束した状態で、接合用の第 1、第 2 樹脂ブロック 19、20 の硬化性樹脂が硬化する温度まで加熱すると共に残りの両側面から所定の圧力を加え、これらのブロックを熱圧着して一体化した後、冷却することによって複合型電子部品 10F を得ることができる。そして、複合型電子部品 10F を所定の実装基板 (図示せず) に実装する場

40

50

合には、複合型電子部品 10F からシートを剥離し、所定の実装基板にハンダ付けにより実装する。

【0051】

以上説明したように本実施形態によれば、上記各実施形態と同様の作用効果を期することができ、しかも各種の多層配線ブロック 11、チップ型電子部品内蔵多層ブロック 12、チップ型電子部品ブロック 18 及び第 1、第 2 樹脂ブロック 19、20 を組み合わせることによって各種の目的に応じた複合型電子部品 10F を得ることができる。

【0052】

本実施形態では、それぞれ同一高さに形成された多層配線ブロック 11、チップ型電子部品内蔵多層ブロック 12 及びチップ型電子部品ブロック 18 がそれぞれ第 1、第 2 樹脂ブロック 19、20 を介して電氣的に接続されて一体化した複合型電子部品 10F について説明した。しかし、本発明の複合型電子部品では、例えば図 10 ~ 図 12 に示すように、多層配線ブロック 11、チップ型電子部品内蔵多層ブロック 12、及びチップ型電子部品ブロック 18 の少なくともいずれか 2 つを必要に応じて適宜選択して、選択された 2 つを第 1 樹脂ブロック 19 または第 2 樹脂ブロック 20 を介して互いに電氣的に接続したものであっても良い。そこで、本実施形態と同一または相当部分には同一符号を付してその変形例について説明する。

【0053】

第 1 の変形例の複合型電子部品 10G は、図 10 に示すように、多層配線ブロック 11 と、チップ型電子部品内蔵多層ブロック 12 と、これら両者 11、12 を互いに電氣的に接続する第 1 樹脂ブロック 19 と、を備え、その他は図 9 に示す複合型電子部品 10F に準じて構成されている。チップ型電子部品内蔵多層ブロック 12 が複数の第 1 のチップ型電子部品 12A を内蔵する場合には、多層配線ブロック 11 がチップ型電子部品内蔵多層ブロック 12 の配線パターン 12C の一部を、あるいは多くを分担することができ、チップ型電子部品内蔵多層ブロック 12 の上下に配線パターンを拡張しなくても良い。従って、第 4 の実施形態と同様に、多層配線ブロック 11 がチップ型電子部品内蔵多層ブロック 12 の配線パターン 12C の一部を、あるいは多くを分担することができ、チップ型電子部品内蔵型多層ブロック 12 の配線パターン 12C を上下に拡張しなくても良く、複合型電子部品 10G の低背化を促進することができる。

【0054】

第 2 の変形例の複合型電子部品 10H は、図 11 に示すように、チップ型電子部品内蔵多層ブロック 12 と、チップ型電子部品ブロック 18 と、これら両者 12、18 を互いに電氣的に接続する第 2 樹脂ブロック 20 と、を備え、その他は図 9 に示す複合型電子部品 10F に準じて構成されている。チップ型電子部品がコイル成分を含む場合には、コイル成分を含むチップ型電子部品をチップ型電子部品ブロック 18 内の第 2 のチップ型電子部品 13 として構成し、チップ型電子部品内蔵型多層ブロック 12 内からコイル成分を含むチップ型電子部品を省くことができる。従って、コイル成分を含むチップ型電子部品をチップ型電子部品ブロック 18 として独立させることで、コイル成分を含むチップ型電子部品の上下に配線パターンが形成されておらず、更にその周囲が樹脂部 18A で覆われているため、第 4 の実施形態と同様に、コイル成分に基づく磁界はチップ型電子部品内蔵多層ブロック 12 の配線パターン 12C の影響を受け難くなり、信頼性の高い複合型電子部品 10H を得ることができる。

【0055】

第 3 の変形例の複合型電子部品 10I は、図 12 に示すように、多層配線ブロック 11 と、チップ型電子部品ブロック 18 と、これら両者 12、18 を互いに電氣的に接続する第 2 樹脂ブロック 20 と、を備え、その他は図 9 に示す複合型電子部品 10F に準じて構成されている。チップ型電子部品ブロック 18 内の第 2 のチップ型電子部品 13 がコイル成分を含む場合には、その配線部分を多層配線ブロック 11 として独立させて、チップ型電子部品ブロック 18 の側方に第 2 樹脂ブロック 20 を介して設けることで、コイル成分

10

20

30

40

50

を含む第2のチップ型電子部品13の上下に配線パターンが形成されておらず、更にその周囲が樹脂部18Aで覆われているため、第4の実施形態と同様に、コイル成分に基づく磁界は多層配線ブロック11の配線パターン11Bの影響を受け難い複合型電子部品10Iを得ることができる。

【0056】

本発明の複合型電子部品は、図13、図14に示すように、複合型電子部品の機能に応じて、多層配線ブロック11、チップ型電子部品内蔵多層ブロック12及びチップ型電子部品ブロック18をそれぞれ適宜の数を選択し、あるいは適宜の大きさに形成されたものを適宜の数だけ配置して一体化したものであっても良い。また、同種類のブロックのみを適宜の数だけ配置して一体化したものであっても良い。

10

【0057】

第5の実施形態

本実施形態の複合型電子部品10Jは、図13に示すように、高さ、幅、長さがそれぞれ略同一大きさに形成された多層配線ブロック11、チップ型電子部品内蔵多層ブロック12、チップ型電子部品ブロック18、及び隣接するブロックを電気的、機械的に接続する樹脂ブロック21を備え、これらのブロックが目的に応じた配列で配置されて全体として矩形状に形成されている。

【0058】

本実施形態によれば、第4の実施形態と同様の作用効果を期することができ、しかも各種の多層配線ブロック11、チップ型電子部品内蔵多層ブロック12、チップ型電子部品ブロック18及び樹脂ブロック21を適宜組み合わせることによって各種の目的に応じた複合型電子部品10Jを得ることができる。

20

【0059】

第6の実施形態

本実施形態の複合型電子部品10Kは、図14に示すように、多層配線ブロック11、チップ型電子部品内蔵多層ブロック12及びチップ型電子部品ブロック18のいずれか2つが同一大きさに形成され、他の一つがその略倍の面積を持つ大きさに形成されて、全体として矩形状を呈している。そして、これらのブロック11、12、18が樹脂ブロック22を介して互いに電気的、機械的に接続されて一体化している。

【0060】

本実施形態によれば、第4の実施形態と同様の作用効果を期することができ、しかも各種の多層配線ブロック11、チップ型電子部品内蔵多層ブロック12、チップ型電子部品ブロック18及び樹脂ブロック22を適宜組み合わせることによって各種の目的に応じた複合型電子部品10Kを得ることができる。

30

【0061】

尚、本発明は上記各実施形態に何等制限されるものではない。例えば、多層配線ブロック、チップ型電子部品内蔵多層ブロック、チップ型電子部品は、それぞれ複数個あっても良く、また、各ブロックがそれぞれ異なる材料で形成されていても良く、あるいは、異なる性質を有していても良く、要は、機能を異にする、多層配線ブロック、チップ型電子部品内蔵多層ブロック及びチップ型電子部品を備え、多層配線ブロック、チップ型電子部品内蔵多層ブロック及びチップ型電子部品が互いに電気的に接続されて同一平面上に配置された複合型電子部品及びその製造方法、あるいは多層配線ブロック、チップ型電子部品内蔵多層ブロック及びチップ型電子部品が樹脂ブロックを介して互いに圧着された電気的に接続された複合型電子部品及びその製造方法であれば、全て本発明に包含される。また、多層配線ブロック、チップ型電子部品内蔵多層ブロック、チップ型電子部品は、それぞれ複数個ずつあっても良く、また、各ブロックがそれぞれ異なる材料で形成されていても良く、あるいは、異なる材質を有していても良い。

40

【産業上の利用可能性】

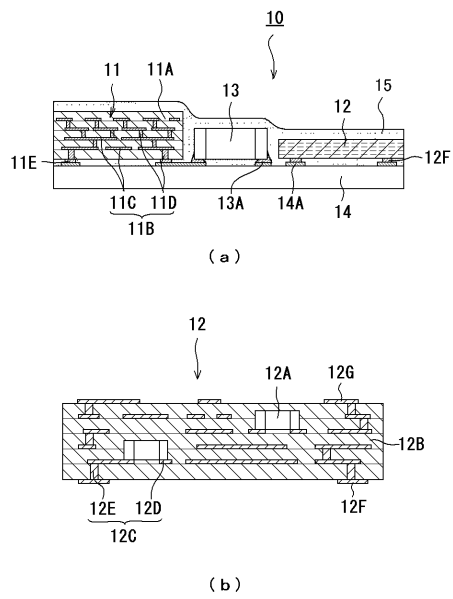
【0062】

本発明は、例えば携帯電話等の移動体通信装置や電子機器に用いられる複合型電子部品

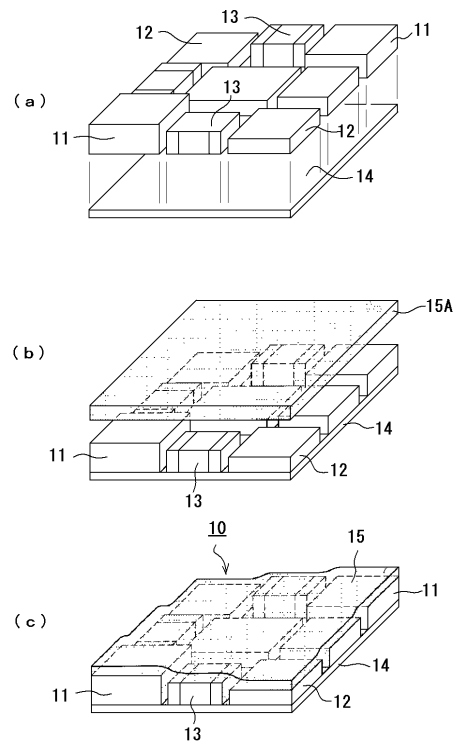
50

及びその製造方法に好適に用いることができる。

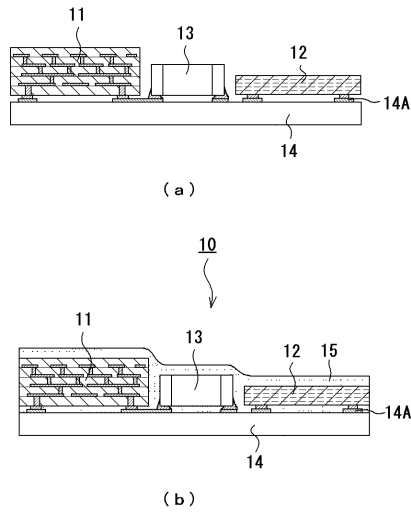
【図1】



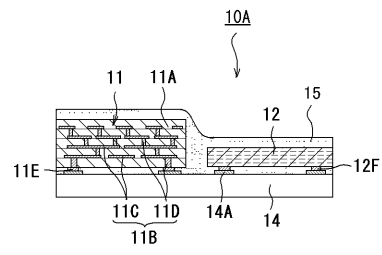
【図2】



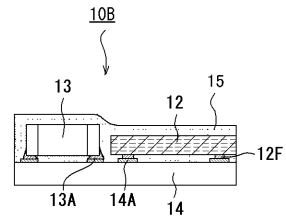
【 図 3 】



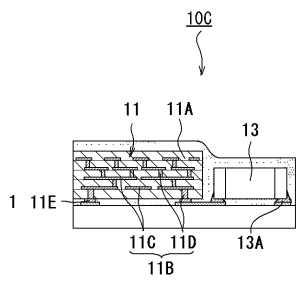
【 図 4 】



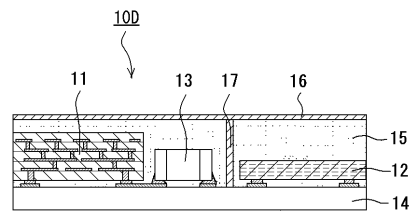
【 図 5 】



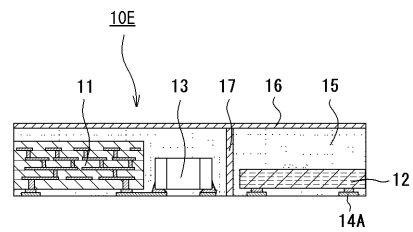
【 図 6 】



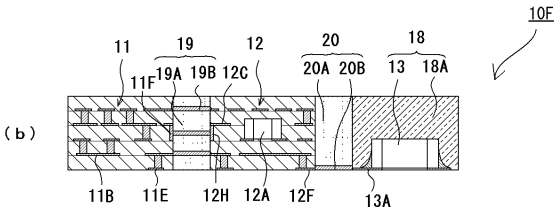
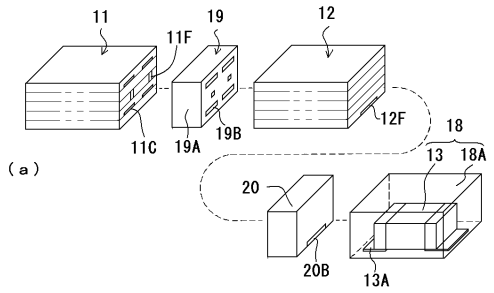
【 図 7 】



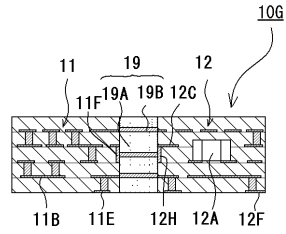
【 図 8 】



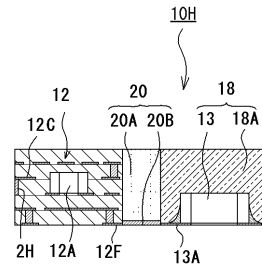
【 図 9 】



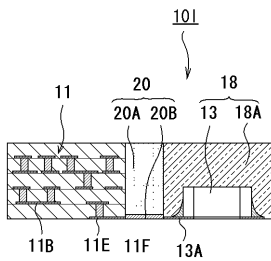
【 図 10 】



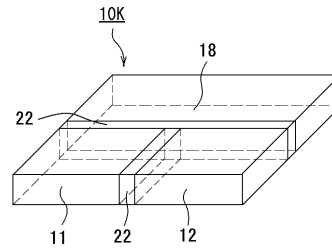
【 図 11 】



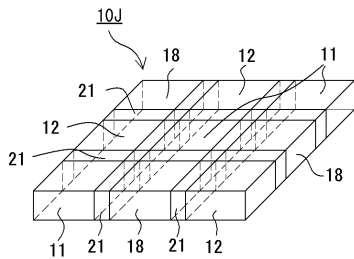
【 図 12 】



【 図 14 】



【 図 13 】



---

フロントページの続き

- (56)参考文献 特開2002-290051(JP,A)  
特開2003-163459(JP,A)  
特開2003-188338(JP,A)  
特開2002-261449(JP,A)  
特開2002-271038(JP,A)  
特開2003-100937(JP,A)  
特開2003-289128(JP,A)

(58)調査した分野(Int.Cl., DB名)

H05K 3/46  
H05K 1/14  
H05K 3/36