

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2020-0017593
(43) 공개일자 2020년02월19일

(51) 국제특허분류(Int. Cl.)
H03F 3/45 (2006.01) H03M 1/06 (2006.01)
(52) CPC특허분류
H03F 3/45753 (2013.01)
H03F 3/45192 (2013.01)
(21) 출원번호 10-2018-0088786
(22) 출원일자 2018년07월30일
심사청구일자 2018년07월30일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221, 401동 1003호
박윤수
서울특별시 성북구 보문로26길 49, 101호
(뒷면에 계속)
(74) 대리인
심경식, 홍성욱

전체 청구항 수 : 총 11 항

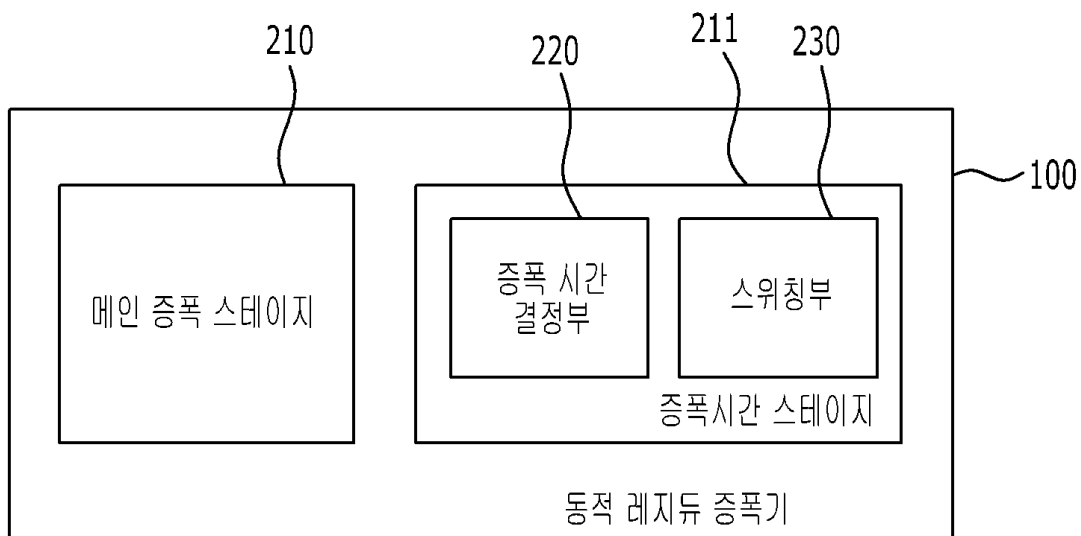
(54) 발명의 명칭 동적 레지듀 증폭기 및 이를 포함하는 파이프라인 아날로그-디지털 변환기

(57) 요약

본 발명에 따른 동적 레지듀 증폭기는, N 개의 스테이지로 구성된 파이프라인 아날로그-디지털 변환기의 동적 레지듀 증폭기에 있어서, 출력단에 V_{DD} 로 충전한 후, 첫 번째 스테이지의 디에이씨의 상단-노드 캐패시터 및 하단-노드 캐패시터로부터 입력단에 각각 아날로그 샘플링된 제1 입력 전압(Vip) 및 제2 입력 전압(Vin)을 입력받고,

(뒷면에 계속)

대표도 - 도2



제1 입력 전압(V_{ip})과 제2 입력 전압(V_{in})의 차이를 증폭하여 제1 출력노드전압(V_{outp})과 제2 출력노드전압(V_{outn}), 및 제3 출력 전압(V_{TP})을 출력하는 메인 증폭부; 상기 메인 증폭부의 출력단에 인가되는 V_{DD} 로 동시에 출력단에 충전한 후, 입력단에 일정 전압을 입력받고, 소정 시간 동안의 방전 시 상기 V_{DD} 값에 비례하여 제3 출력노드전압(V_p, t) 및 제4 출력노드전압(V_n, t)을 출력하는 증폭 시간 결정부; 및 상기 증폭 시간 결정부의 제3 출력노드전압(V_p, t) 및 제4 출력노드전압(V_n, t)을 입력받고, 기설정된 전압 값(V_{th} :threshold)에 해당될 때, 상기 메인 증폭부에 턴-오프(turn-off) 신호를 출력하는 인버터부를 포함하는 점에 그 특징이 있다.

본 발명에 의하면, 동적 레지듀 증폭기에 증폭 시간을 결정하는 구성을 마련함으로써 파이프라인 아날로그-디지털 변환기에 적합한 높은 선형성을 가지는 동적 레지듀 증폭기의 증폭시간을 조절하고, 증폭기 출력의 CM(common mode)을 특정 값으로 정의할 수 있다.

(52) CPC특허분류

H03M 1/0607 (2013.01)

임채강

인천광역시 남동구 선수촌로 75, 106동 702호

(72) 발명자

송재근

서울특별시 동대문구 회기로19길 7

최요한

서울특별시 성북구 화랑로37길 7, 201호

이 발명을 지원한 국가연구개발사업

과제고유번호 1711060727

부처명 과학기술정보통신부

연구관리전문기관 한국연구재단

연구사업명 전략공모_전략과제

연구과제명 해상도, 전압 및 동작 속도 조절 가능한 자동차 센서용 아날로그 IP 연구

기 여 율 1/1

주관기관 고려대학교 산학협력단

연구기간 2017.12.01 ~ 2018.09.30

명세서

청구범위

청구항 1

N 개의 스테이지로 구성된 파이프라인 아날로그-디지털 변환기의 동적 레지듀 증폭기에 있어서,

출력단에 V_{DD} 로 충전한 후, 첫 번째 스테이지의 디에이씨의 상단-노드 캐패시터 및 하단-노드 캐패시터로부터 입력단에 각각 아날로그 샘플링된 제1 입력 전압(V_{ip}) 및 제2 입력 전압(V_{in})을 입력받고, 제1 입력 전압(V_{ip})과 제2 입력 전압(V_{in})의 차이를 증폭하여 제1 출력노드전압(V_{outp})과 제2 출력노드전압(V_{outn}), 및 제3 출력 전압(V_{TP})을 출력하는 메인 증폭부;

상기 메인 증폭부의 출력단에 인가되는 V_{DD} 로 동시에 출력단에 충전한 후, 입력단에 일정 전압을 입력받고, 소정 시간 동안의 방전 시 입력 전압값에 비례하여 제3 출력노드전압($V_{p,t}$) 및 제4 출력노드전압($V_{n,t}$)을 출력하는 증폭 시간 결정부; 및

상기 증폭 시간 결정부의 제3 출력노드전압($V_{p,t}$) 및 제4 출력노드전압($V_{n,t}$)을 입력받고, 기설정된 전압 값(V_{th} :threshold)에 해당될 때, 상기 메인 증폭부에 턴-오프(turn-off) 신호를 출력하는 인버터부를 포함하는 동적 레지듀 증폭기.

청구항 2

제1항에 있어서,

상기 메인 증폭부는,

출력단에 마련되어 V_{DD} 를 충전하는 제1 캐패시터;

상기 제1 캐패시터와 연결된 샘플스위칭부;

상기 디에이씨로부터 아날로그 샘플링된 제1 입력 전압(V_{ip}) 및 제2 입력 전압(V_{in})을 입력받는 제1 입력단 스위칭부;

상기 인버터의 증폭 클럭 신호를 입력받아 상기 샘플스위칭부 및 상기 제1 입력단 스위칭부의 동작을 제어하는 제1 클럭 스위칭부; 및

상기 샘플스위칭부와 상기 제1 입력단 스위칭부 사이에 마련되어 상기 제1 클럭 스위칭부가 턴-오프될 때, 상기 제3 출력 전압(V_{TP})을 저장하는 제2 캐패시터를 포함하는 것을 특징으로 하는 동적 레지듀 증폭기.

청구항 3

제1항에 있어서,

상기 증폭 시간 결정부는,

출력단에 마련되어 V_{DD} 를 충전하는 제3 캐패시터;

일정 전압을 입력받아 동작하는 제2 입력단 스위칭부;

상기 아날로그-디지털 변환기로부터 클럭 신호를 입력받아 동작하는 제2 클럭 스위칭부;

상기 제3 캐패시터 및 상기 제2 입력단 스위칭부 사이에 마련되어 상기 V_{DD} 에서 방전될 때, 제3 출력노드전압($V_{p,t}$) 및 제4 출력노드전압($V_{n,t}$)을 출력하는 제4 캐패시터를 포함하는 것을 특징으로 하는 동적 레지듀 증폭

기.

청구항 4

제1항에 있어서,

상기 인버터부는,

상기 제3 출력노드전압($V_{p,t}$)을 입력받는 제1 인버터;

상기 제4출력노드전압($V_{n,t}$)을 입력받는 제2 인버터;

상기 제1 인버터 및 상기 제2 인버터의 출력 신호를 입력받아 선택적으로 출력 신호를 출력하는 제3 인버터; 및

상기 제3 인버터의 출력 신호 및 클럭 신호를 입력받아 증폭 클럭 신호를 출력하는 낸드게이트를 포함하는 것을 특징으로 하는 동적 레지듀 증폭기.

청구항 5

제1항에 있어서,

상기 메인 증폭부 및 상기 증폭 시간 결정부의 각 출력단에 V_{DD} 로 충전될 때, 클럭 신호는 "0"이 입력되는 것을 특징으로 하는 동적 레지듀 증폭기.

청구항 6

제1항에 있어서,

상기 메인 증폭부 및 상기 증폭 시간 결정부의 각 출력단에 V_{DD} 로 충전된 후, 클럭 신호가 "1"이 입력되면 상기 충전된 V_{DD} 에서 상기 메인 증폭부의 제1 출력노드전압(V_{outp}) 및 제2 출력노드전압(V_{outn}), 상기 증폭 시간 결정부의 제3 출력노드전압($V_{p,t}$) 및 제4 출력노드전압($V_{n,t}$)이 방전되는 것을 특징으로 하는 동적 레지듀 증폭기.

청구항 7

제1항에 있어서,

상기 인버터부는 상기 제3 출력노드전압($V_{p,t}$) 및 제4 출력노드전압($V_{n,t}$)은 기설정된 전압 값(V_{th} :threshold)에 해당될 때, N 개의 스테이지에서 두 번째 스테이지의 샘플 스위칭부를 턴-오프(turn-off)하도록 제어 신호를 출력하는 것을 특징으로 하는 동적 레지듀 증폭기.

청구항 8

제1항에 있어서,

상기 메인 증폭부는,

상기 인버터부로부터 턴-오프(turn-off) 신호가 입력되는 시점에 상기 제1 입력 전압(V_{ip}) 및 제2 입력 전압(V_{in})을 증폭하여 제1 출력노드전압(V_{outp})과 제2 출력노드전압(V_{outn})의 전압차($V_{outp} - V_{outn}$)를 저장하는 것을 특징으로 하는 동적 레지듀 증폭기.

청구항 9

제8항에 있어서,

상기 증폭된 전압($V_{outp} - V_{outn}$)은 두 번째 스테이지의 하단-노드 캐패시터에 입력되는 것을 특징으로 하는 동적 레지듀 증폭기.

청구항 10

제9항에 있어서,

상기 두 번째 스테이지의 상단-노드 캐패시터에는 상기 하단-노드 캐패시터에 입력되는 상기 증폭된 전압($V_{outp} - V_{outn}$)의 중간값이 입력되는 것을 특징으로 하는 동적 레지듀 증폭기.

청구항 11

복수의 스테이지로 구성되는 파이프라인 구조를 가지며, 각단은,

아날로그 입력신호를 디지털 신호로 변환하고, 아날로그 입력신호에 해당하는 디지털비트를 디택팅하는 서브플래쉬 아날로그-디지털 변환기;

상기 출력된 디지털비트에 대응하여 상기 디지털 신호를 아날로그 샘플링 신호로 변환하는 디지털-아날로그 변환기; 및

상기 아날로그 입력신호와 상기 아날로그 샘플링 신호의 차이를 증폭하는 동적 레지듀 증폭기를 포함하며,

상기 동적 레지듀 증폭기는, 아날로그 샘플링된 제1 입력 전압(V_{ip}) 및 제2 입력 전압(V_{in})을 입력받고, 제1 입력 전압(V_{ip})과 제2 입력 전압(V_{in})의 차이를 증폭하여 제1 출력노드전압(V_{outp})과 제2 출력노드전압(V_{outn}), 제3 출력 전압(V_{TP})을 출력하는 메인 증폭부; 및 상기 메인 증폭부의 출력단에 인가되는 V_{DD} 로 동시에 출력단에 충전한 후, 입력단에 상기 제3 기준 전압(V_{cm})을 입력받고, 소정 시간 동안의 방전 시 상기 V_{DD} 값에 비례하여 제3 출력노드전압($V_{p,t}$) 및 제4 출력노드전압($V_{n,t}$)을 출력하고 이에 대응하여 기설정된 전압 값(V_{th} :threshold)에 해당될 때, 상기 메인 증폭부에 턴-오프(turn-off) 신호를 출력하는 증폭 시간 결정부를 포함하는 파이프라인 아날로그-디지털 변환기.

발명의 설명

기술 분야

[0001] 본 발명은 동적 레지듀 증폭기 및 이를 포함하는 파이프라인 아날로그-디지털 변환기에 관한 것으로, 특히 파이프라인 아날로그-디지털 변환기에 적합한 높은 선형성을 가지는 동적 레지듀 증폭기의 증폭시간을 조절하고, 증폭기 출력의 CM(common mode)을 특정 값으로 정의할 수 있는 동적 레지듀 증폭기 및 이를 포함하는 파이프라인 아날로그-디지털 변환기에 관한 것이다.

배경 기술

[0002] 최근 CMOS(Complementary Metal Oxide Semiconductor) 공정기술과 디지털 신호처리 기술의 발전으로 차세대 개인 휴대용기기, 고속 디지털 통신망, 의료용 부품등 다양한 장치에 고속/고해상도의 아날로그-디지털 변환기(Analog to digital Converter)가 더욱 폭넓게 사용되고 있다. 특히 영상신호를 처리하는 이미지 시스템에서는 이미지 센서로부터 ADC에 전달되는 아날로그 신호가 아주 미세하기 때문에 작은 신호도 구별할 수 있는 고해상도의 ADC가 필요하다.

[0003] 또한, 디지털 캠코더, 이동통신등 통신 및 영상처리 응용 시스템에서도 12비트 내지 14비트 수준의 높은 해상도와 수십 MHz 수준의 높은 샘플링 속도를 가지는 고성능의 ADC가 요구된다.

[0004] 특히, 고속, 고해상도를 얻기 위해서 파이프라인 아날로그-디지털 변환기가 적용되고 있으며, 이러한 파이프라인 아날로그-디지털 변환기의 경우 전력 소모가 큰 스테티(static)증폭기가 필요하다. 따라서, 스테티(static)증폭

기를 대체하기 위하여 동적(dynamic) 증폭기가 개발되어 왔지만, 낮은 선형성 때문에 고해상도를 얻는데 어려움이 있었다.

- [0005] 이러한 동적 증폭기의 증폭 시간은 증폭기의 전압 이득과 선형적으로 비례하므로 정교해야 하고, 출력 CM 레벨은 정확하게 정의되어야 주변 회로가 문제를 발생하지 않고 작동하게 된다. 그러나, 동적 증폭기는 낮은 전력 소모와 낮은 노이즈 특성으로 저전력 반도체에 적용되고 있으나 증폭 시간, 출력 CM 레벨, 선형성 등 여러 문제점을 가지고 있다.

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) 한국등록특허 KR10-1811283 호

발명의 내용

해결하려는 과제

- [0007] 본 발명은 동적 레지듀 증폭기에 증폭 시간을 결정하는 구성을 마련함으로써 파이프라인 아날로그-디지털 변환기에 적합한 높은 선형성을 가지는 동적 레지듀 증폭기의 증폭 시간을 조절하고, 증폭기 출력의 CM(common mode)을 특정 값으로 정의할 수 있는 동적 레지듀 증폭기 및 이를 포함하는 파이프라인 아날로그-디지털 변환기를 제공하는데 그 목적이 있다.

과제의 해결 수단

- [0008] 상기의 목적을 달성하기 위해 본 발명의 일 실시 예에 따른 동적 레지듀 증폭기는, N 개의 스테이지로 구성된 파이프라인 아날로그-디지털 변환기의 동적 레지듀 증폭기에 있어서, 출력단에 V_{DD} 로 충전한 후, 첫 번째 스테이지의 디에이씨 캐피터 상단-노드 전압, 제1 입력 전압(V_{ip}) 및 제2 입력 전압(V_{in})을 입력단에 입력받고, 입력받은 전압의 차이를 제1 출력노드 전압(V_{outp})과 제2 출력노드 전압(V_{outn}), 및 그 중간값인 제3 출력 전압(V_{TP})을 출력하는 메인 증폭부; 상기 메인 증폭부의 출력단에 인가되는 V_{DD} 로 동시에 출력단에 충전한 후, 입력단에 일정 전압을 입력받고, 소정 시간 동안의 방전 시 상기 V_{DD} 값에 비례하여 제3 출력노드 전압($V_{p,t}$) 및 제4 출력노드 전압($V_{n,t}$)을 출력하는 증폭 시간 결정부; 및 상기 증폭 시간 결정부의 제3 출력노드 전압($V_{p,t}$) 및 제4 출력노드 전압($V_{n,t}$)을 입력받고, 기설정된 전압 값(V_{th} : threshold)에 해당될 때, 상기 메인 증폭부에 턴-오프(turn-off) 신호를 출력하는 인버터부를 포함하는 점에 그 특징이 있다.

- [0009] 바람직하게는, 상기 메인 증폭부는, 출력단에 마련되어 V_{DD} 를 충전하는 제1 캐패시터; 상기 제1 캐패시터와 연결된 샘플 스위칭부; 상기 디에이씨로부터 아날로그 샘플링된 제1 입력 전압(V_{ip}) 및 제2 입력 전압(V_{in})을 입력받는 제1 입력단 스위칭부; 상기 인버터의 증폭 클럭 신호를 입력받아 상기 샘플 스위칭부 및 상기 제1 입력단 스위칭부의 동작을 제어하는 제1 클럭 스위칭부; 및 상기 샘플 스위칭부와 상기 제1 입력단 스위칭부 사이에 마련되어 상기 제1 클럭 스위칭부가 턴-오프될 때, 상기 제3 출력 전압(V_{TP})을 저장하는 제2 캐패시터를 포함하는 점에 그 특징이 있다.

- [0010] 바람직하게는, 상기 증폭 시간 결정부는, 출력단에 마련되어 V_{DD} 를 충전하는 제3 캐패시터; 일정 전압을 입력받아 동작하는 제2 입력단 스위칭부; 상기 아날로그-디지털 변환기로부터 클럭 신호를 입력받아 동작하는 제2 클럭 스위칭부; 상기 제3 캐패시터 및 상기 제2 입력단 스위칭부 사이에 마련되어 상기 V_{DD} 에서 방전될 때, 제3 출력노드 전압($V_{p,t}$) 및 제4 출력노드 전압($V_{n,t}$)을 출력하는 제4 캐패시터를 포함하는 점에 그 특징이 있다.

- [0011] 바람직하게는, 상기 인버터부는, 상기 제3 출력노드 전압($V_{p,t}$)을 입력받는 제1 인버터; 상기 제4 출력노드 전압($V_{n,t}$)을 입력받는 제2 인버터; 상기 제1 인버터 및 상기 제2 인버터의 출력 신호를 입력받아 선택적으로 출력 신호를 출력하는 제3 인버터; 및 상기 제3 인버터의 출력 신호 및 클럭 신호를 입력받아 증폭 클럭 신호를 출력하는 낸드게이트를 포함하는 점에 그 특징이 있다.

- [0012] 바람직하게는, 상기 메인 증폭부 및 상기 증폭 시간 결정부의 각 출력단에 V_{DD} 로 충전될 때, 클럭 신호는 "0"이 입력되는 점에 그 특징이 있다.
- [0013] 바람직하게는, 상기 메인 증폭부 및 상기 증폭 시간 결정부의 각 출력단에 V_{DD} 로 충전된 후, 클럭 신호가 "1"이 입력되면 상기 충전된 V_{DD} 에서 상기 메인 증폭부의 제1 출력노드전압(V_{outp}) 및 제2 출력노드전압(V_{outn}), 상기 증폭 시간 결정부의 제3 출력노드전압($V_{p,t}$) 및 제4 출력노드전압($V_{n,t}$)으로 방전되는 점에 그 특징이 있다.
- [0014] 바람직하게는, 상기 인버터부는 상기 제3 출력노드전압($V_{p,t}$) 및 제4 출력노드전압($V_{n,t}$)은 기설정된 전압 값($V_{th}:threshold$)에 해당될 때, N 개의 스테이지에서 두 번째 스테이지의 샘플 스위칭부를 턴-오프(turn-off)하도록 제어 신호를 출력하는 점에 그 특징이 있다.
- [0015] 바람직하게는, 상기 메인 증폭부는, 상기 인버터부로부터 턴-오프(turn-off) 신호가 입력되는 시점에 상기 제1 입력 전압(V_{ip})과 제2 입력 전압(V_{in})을 증폭하여 제1 출력노드전압(V_{outp})과 제2 출력노드전압(V_{outn})의 전압차($V_{outp} - V_{outn}$)를 저장하는 저장하는 점에 그 특징이 있다.
- [0016] 바람직하게는, 상기 증폭된 전압($V_{outp} - V_{outn}$)은 두 번째 스테이지의 하단-노드 캐패시터에 입력되는 점에 그 특징이 있다.
- [0017] 바람직하게는, 상기 두 번째 스테이지의 상단-노드 캐패시터에는 상기 하단-노드 캐패시터에 입력되는 상기 증폭된 전압($V_{outp} - V_{outn}$)의 중간값이 입력되는 점에 그 특징이 있다.
- [0018] 또한, 상기의 목적을 달성하기 위해 본 발명의 일 실시 예에 따른 파이프라인 아날로그-디지털 변환기는, 복수의 스테이지로 구성되는 파이프라인 구조를 가지며, 각단은, 아날로그 입력신호를 디지털 신호로 변환하고, 아날로그 입력신호에 해당하는 디지털비트를 디택팅하는 서브플래쉬 아날로그-디지털 변환기; 상기 출력된 디지털 비트에 대응하여 상기 디지털 신호를 아날로그 샘플링 신호로 변환하는 디지털-아날로그 변환기; 및 상기 아날로그 입력신호와 상기 아날로그 샘플링 신호의 차이를 증폭하는 동적 레지듀 증폭기를 포함하며, 상기 동적 레지듀 증폭기는, 아날로그 샘플링된 제1 입력 전압(V_{ip}) 및 제2 입력 전압(V_{in})을 입력받고, 입력받은 제1 입력 전압(V_{ip}) 및 제2 입력 전압(V_{in})의 차이를 증폭하여 제1 출력노드전압(V_{outp})과 제2 출력노드전압(V_{outn}) 그리고 두 전압의 중간값인 제 3 출력 전압(V_{TP})을 출력하는 메인 증폭부; 및 상기 메인 증폭부의 출력단에 인가되는 V_{DD} 로 동시에 출력단에 충전한 후, 입력단에 일정 전압을 입력받고, 소정 시간 동안의 방전 시 상기 V_{DD} 값에 비례하여 제3 출력노드전압($V_{p,t}$) 및 제4 출력노드전압($V_{n,t}$)을 출력하고 이에 대응하여 기설정된 전압 값($V_{th}:threshold$)에 해당될 때, 상기 메인 증폭부에 턴-오프(turn-off) 신호를 출력하는 증폭 시간 결정부를 포함하는 점에 그 특징이 있다.

발명의 효과

- [0019] 본 발명에 의하면, 동적 레지듀 증폭기에 증폭 시간을 결정하는 구성을 마련함으로써 파이프라인 아날로그-디지털 변환기에 적합한 높은 선형성을 가지는 동적 레지듀 증폭기의 증폭시간을 조절하고, 증폭기 출력의 CM(common mode)을 특정 값으로 정의할 수 있다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 일 실시예에 따른 파이프라인 아날로그-디지털 변환기의 구성을 개략적으로 도시한 도면이다.
- 도 2는 상기 도 1의 각 스테이지의 동적 레지듀 증폭기의 구성을 개략적으로 도시한 도면이다.
- 도 3는 상기 도 1의 각 스테이지의 CDAC 및 샘플홀더의 회로 구성을 개략적으로 도시한 도면이다.
- 도 4는 상기 도 2의 메인 증폭부의 회로 구성을 개략적으로 도시한 도면이다.
- 도 5는 상기 도 2의 증폭 시간 결정부의 회로 구성을 개략적으로 도시한 도면이다.
- 도 6은 본 발명의 동적 레지듀 증폭기에 입력되는 신호의 파형을 도시한 도면이다.
- 도 7a 및 도 7b는 본 발명의 동적 레지듀 증폭기의 1단계 동작 과정 및 출력 파형을 도시한 도면이다.

도 8a 및 도 8b는 본 발명의 동적 레지듀 증폭기의 2단계 동작 과정 및 출력 파형을 도시한 도면이다.

도 9a 및 도 9b는 본 발명의 동적 레지듀 증폭기의 3단계 동작 과정 및 출력 파형을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면을 참조하여 상세하게 설명하도록 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.
- [0022] 제1, 제2, A, B 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 및/또는 이라는 용어는 복수의 관련된 기재 항목들의 조합 또는 복수의 관련된 기재 항목들 중의 어느 항목을 포함한다.
- [0023] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급될 때에는 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급될 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.
- [0024] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0025] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0026] 명세서 및 청구범위 전체에서, 어떤 부분이 어떤 구성 요소를 포함한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있다는 것을 의미한다.
- [0028] 이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다. 도 1은 본 발명의 일 실시예에 따른 파이프라인 아날로그-디지털 변환기의 구성을 개략적으로 도시한 도면이고, 도 2는 상기 도 1의 각 스테이지의 동적 레지듀 증폭기의 구성을 개략적으로 도시한 도면이고, 도 3은 상기 도 1의 각 스테이지의 CDAC 및 샘플홀더의 회로 구성을 개략적으로 도시한 도면이고, 도 4는 상기 도 2의 메인 증폭부의 회로 구성을 개략적으로 도시한 도면이고, 도 5는 상기 도 2의 증폭 시간 결정부의 회로 구성을 개략적으로 도시한 도면이고, 도 6은 본 발명의 동적 레지듀 증폭기에 입력되는 신호의 타이밍 파형을 도시한 도면이다.
- [0030] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 파이프라인 아날로그-디지털 변환기(이하 ADC라 칭함)(100)는, 2.5bit 로 구동되는 N 개의 스테이지(110, 110-1... 110-N)로 구성되는 파이프라인 구조를 가지며, 상기 파이프라인 ADC(100)는 N 개의 스테이지(STG1 내지 STGn)(110)로 구성되어 있고, 각 스테이지(STGi)(110)는, 서브플래쉬 아날로그-디지털변환기(sub-ADC)(111), CDAC 제어부(112), 디지털-아날로그 변환기(CDAC)(113) 및 동적 레지듀 증폭기(114)를 포함하여 구성된다. 여기서, 마지막 스테이지와 연결된 플래쉬 아날로그-디지털변환기(115)가 더 구성될 수 있다.
- [0031] 상기 서브플래쉬 아날로그-디지털변환기(sub-ADC)(111)는 아날로그 입력신호를 디지털 신호로 변환하고, 아날로그 입력신호에 해당하는 디지털 비트를 디택팅하게 된다.

- [0032] 상기 CDAC 제어부(112)는 상기 디지털-아날로그 변환기(113)의 동작을 제어하는 제어 신호를 출력하게 된다.
- [0033] 도 3에 도시된 바와 같이, 상기 디지털-아날로그 변환기(CDAC)(113)는 상기 출력된 디지털 비트에 대응하여 상기 디지털 신호를 아날로그 샘플링 신호로 변환하게 된다.
- [0034] 보다 구체적으로, 상기 디지털-아날로그 변환기(이하 CDAC: Capacitive Digital-to-Analog Converter)(113)로 각 단의 입력 아날로그 신호의 샘플링(Sampling)을 위한 샘플/홀더(S/H:sample-and-holder)와 상기 서브-플래쉬 ADC(111)의 출력에 해당하는 대표 아날로그값과 실제 신호의 차이를 얻기 위한 디지털 아날로그 변환기(DAC)로 구성될 수 있다. 여기서, 상기 샘플/홀더는 아날로그 입력 신호를 샘플링하여 후술할 캐패시터 어레이의 상부-노드 및 하부-노드에 선택적으로 연결한다.
- [0035] 상기 CDAC(113)가 정확히 동작하기 위해서는 각 스테이지에 사용된 커패시터를 구동하기 위한 정밀한 기준전압이 필요하다. 이러한 정밀한 기준전압을 얻기위해 일반적으로 집적회로(IC)에서는 단일피드 백버퍼(Unity-gain feedback Buffer)를 사용한다. 이러한 다단구조의 ADC는 그종류(예컨대, Pipeline, Two-step 및 Cyclic 등)에 따라 각각의 동작이 일어나는 타이밍은 다를 수 있다. 그러나, 상위 디지털코드는 첫번째단(STG1)(110)에서 얻어내고, 이에 따르는 하위단들(STG2 내지 STGn)(110-1,110-2..110-n)에서 나머지 코드들을 순차적으로 얻어낸다. 각단은 설계에 따라 일반적으로 최소 1-비트(bit)에서 최대 6-비트 정도까지의 디지털코드를 얻어낼 수 있다.
- [0036] 상기 CDAC(113)는 복수의 캐패시터를 포함하는 캐패시터 어레이로 구성되고, 상부-노드 및 하부-노드로 구분된다. 이러한, 복수의 캐패시터는 이진-가중(binary-weighted) 캐패시터로 구성될 수 있다. 이진-가중치 캐패시터는 디지털 신호의 상위 비트에 대응하는 캐패시터와 하위 비트에 대응하는 캐패시터가 2의 n제곱의 관계를 갖는 경우를 의미한다. 일 예로, 디지털 신호의 최상위 비트에 대응하는 캐패시터가 "C"의 캐패시턴스를 갖는다고 가정하면, 차상위 비트에 대응하는 캐패시터는 "1/2C"의 캐패시턴스를 갖는다.
- [0037] 상기 CDAC 제어부(112)는 상기 CDAC(113)의 캐패시터 어레이의 하부-노드에 인가되는 기준 전압을 제어한다. 본 명세서에서는 설명의 편의를 위하여 제1 입력 전압(Vip), 제2 입력 전압(Vin) 및 제3 기준 전압(예를 들면, V_{cm}) 중 하나를 각각의 캐패시터의 하부-노드에 인가하는 것으로 가정한다. 이 때, 제 3 기준 전압인 V_{cm} 은 제 1 입력 전압 및 제 2 입력 전압의 평균 값일 수 있다. 상기 CDAC 제어부(112)가 하부-노드에 인가하는 기준 전압의 종류는 일 예에 불과하며 실시예에 따라서 다양하게 설정할 수 있다.
- [0039] 도 2에 도시된 바와 같이, 상기 동적 레지듀 증폭기(Dynamic Residue Amplifier)(114)는 메인 증폭부(210), 증폭 시간 결정부(220) 및 인버터부(230)으로 구성하여 상기 아날로그 입력신호와 상기 아날로그 샘플링 신호의 차이를 증폭하여 출력하게 된다. 아날로그 입력신호와 해당 디지털코드의 차이(잔류전압)를 증폭하여, 다음 단계에 전달하는 역할을 한다. 예컨대, 2Bi-1의 이득을 얻는다면 Bi는 i번째 스테이지(STGi)의 해상도로써, 이상적인 경우의 이득의 1/2로 설계를 함으로써 각 스테이지에서 발생한 ADC의 에러를 보정할 수 있다.
- [0040] 도 4에 도시된 바와 같이, 메인 증폭부(210)는, 출력단에 마련되어 V_{DD} 를 충전하는 제1 캐패시터(C1, C2), 상기 제1 캐패시터(C1, C2)와 연결된 샘플 스위칭부(S1, S2), 상기 디에이씨로부터 아날로그 샘플링된 제1 입력 전압(Vip) 및 제2 입력 전압(Vin)을 입력받는 제1 입력단 스위칭부(M1, M2), 상기 인버터(230)의 증폭 클럭 신호를 입력받아 상기 샘플 스위칭부(S1, S2), 상기 제1 입력단 스위칭부(M1, M2)의 동작을 제어하는 제1 클럭 스위칭부(M3), 상기 샘플 스위칭부(S1, S2)와 상기 제1 입력단 스위칭부(M1, M2) 사이에 마련되어 상기 제1 클럭 스위칭부가 턴-오프될 때, 제3 출력 전압(예를 들면, V_{TP})을 저장하는 제2 캐패시터(C3, C4)를 포함하여 구성된다.
- [0041] 상기 메인 증폭기(210)는 출력단에 전원전압 V_{DD} 로 충전한 후, 첫 번째 스테이지의 디에이씨의 상단-노드 캐패시터 및 하단-노드 캐패시터로부터 입력단에 각각 아날로그 샘플링된 제1 입력 전압(Vip) 및 제2 입력 전압(Vin)을 입력받고, 제1 입력 전압(Vip) 및 제2 입력 전압(Vin)을 차이를 증폭하여 제1 출력노드전압(V_{outp})과 제2 출력노드전압(V_{outn})를 출력한다.
- [0042] 또한, 상기 인버터부로부터 턴-오프(turn-off) 신호가 입력되는 시점에 상기 제1 출력노드전압(V_{outp})과 제2 출력노드전압(V_{outn})의 전압차($V_{outp} - V_{outn}$)를 다음단의 CDAC에 저장할 수 있다.
- [0043] 도 5에 도시된 바와 같이, 증폭 시간 결정부(220)는, 출력단에 마련되어 V_{DD} 를 입력받는 제3 캐패시터, 상기 제

3 출력 전압(V_{TP})을 입력받아 동작하는 제2 입력단 스위칭부($M_{1,t}$, $M_{2,t}$), 상기 아날로그-디지털 변환기로부터 클럭 신호를 입력받아 동작하는 제2 클럭 스위칭부($M_{3,t}$), 상기 제3 캐패시터 및 상기 제2 입력단 스위칭부 사이에 마련되어 상기 V_{DD} 에서 방전될 때, 제3 출력노드전압($V_{p,t}$) 및 제4 출력노드전압($V_{n,t}$)을 출력하는 양단의 제4 캐패시터($C_{L,t}$)를 포함하여 구성된다.

[0044] 상기 증폭 시간 결정부(220)는 상기 메인 증폭부의 구성과 유사하게 구성될 수 있으며, 동일한 전원전압 V_{DD} 및 클럭 신호를 입력받고, 상기 메인 증폭부(210)의 전압 이득을 입력받아 그에 따른 증폭 시간을 결정하여 메인 증폭부(210)를 턴-오프시키게 된다.

[0045] 보다 구체적으로, 상기 메인 증폭부(210)의 출력단과 동시에 전원전압 V_{DD} 가 출력단에 인가되어 제3 캐패시터에 충전한 후, 제2 입력단 스위칭부($M_{1,t}$, $M_{2,t}$)에 일정 기준 전압(V_{CM})을 입력받고, 소정 시간 동안의 방전 시 V_{CM} 값에 비례하여 제4 캐패시터($C_{L,t}$)의 제3 출력노드전압($V_{p,t}$) 및 제4 출력노드전압($V_{n,t}$)을 출력하게 된다.

[0046] 상기 인버터부(230)는 상기 제3 출력노드전압($V_{p,t}$)을 입력받는 제1 인버터(231), 상기 제4 출력노드전압($V_{n,t}$)을 입력받는 제2 인버터(232), 상기 제1 인버터(231) 및 상기 제2 인버터(232)의 출력 신호를 입력받아 선택적으로 출력 신호를 출력하는 제3 인버터(233) 및 상기 제3 인버터(233)의 출력 신호 및 클럭 신호를 입력받아 증폭 클럭 신호를 출력하는 낸드게이트(234)를 포함하여 구성될 수 있다.

[0047] 이때, 상기 인버터부(230)에서는 상기 증폭 시간 결정부의 제3 출력노드전압($V_{p,t}$) 및 제4 출력노드전압($V_{n,t}$)을 입력받고, 기설정된 전압 값($V_{th}:\text{threshold}$)에 해당될 때, 상기 메인 증폭부(210)에 턴-오프(turn-off) 신호를 출력하게 된다.

[0048] 또한, 상기 인버터부(230)는 상기 제3 출력노드전압($V_{p,t}$) 및 제4 출력노드전압($V_{n,t}$)은 기설정된 전압 값($V_{th}:\text{threshold}$)에 해당될 때, N 개의 스테이지에서 두 번째 스테이지의 샘플 스위칭부를 턴-오프(turn-off)하도록 제어 신호를 출력하게 된다.

[0050] 이하, 본 발명의 동적 레지듀 증폭기의 3단계 동작에 대해 설명하기로 한다.

[0051] 도 7a 및 도 7b는 본 발명의 동적 레지듀 증폭기의 1단계 동작 과정 및 출력 파형을 도시한 도면이다.

[0052] 도 6 내지 도 7b에 도시된 바와 같이, 먼저 동적 레지듀 증폭기의 프리차지(충전) 단계에서의 동작 상태를 나타내고 있다.

[0053] 보다 구체적으로, 프리차지(precharge phase)로 메인 증폭부의 출력단(211), 증폭 시간 결정부의 출력단(221), 다음 스테이지의 CDAC의 상단-노드(Top plate) 및 하단-노드(bottom plate)(213)가 V_{DD} 로 충전된다.

[0055] 여기서, 상기 메인 증폭부(210) 및 상기 증폭 시간 결정부(220)의 각 출력단에 V_{DD} 로 충전될 때, 클럭 신호(CLK)는 "0"으로 입력된다. 다시 말해, 메인 증폭부(210)는 클럭신호(CLK)가 '로우'일 때, 샘플 스위칭부(S1, S2)가 턴온되어 제1 출력노드전압(V_{outp})과 제2 출력노드전압(V_{outn})이 전원전압(V_{DD})으로 프리차지(pre-charge)된다. 이때, 상기 제1 입력단 스위칭부(M1, M2)인 엔모스 트랜지스터 및 피모스 트랜지스터가 턴-오프된다. 여기서, 상기 증폭 시간 결정부도 메인 증폭부와 동일하게 프리차지 동작이 수행된다.

[0056] 도 8a 및 도 8b는 본 발명의 동적 레지듀 증폭기의 2단계 동작 과정 및 출력 파형을 도시한 도면이다. 도 8a에 도시된 바와 같이, 상기 메인 증폭부(210) 및 상기 증폭 시간 결정부(220)의 각 출력단에 V_{DD} 로 충전된 후, 클럭 신호가 "1"이 입력되면 상기 충전된 V_{DD} 에서 상기 메인 증폭부의 제1 출력노드전압(V_{outp}) 및 제2 출력노드전압(V_{outn}), 상기 증폭 시간 결정부의 제3 출력노드전압($V_{p,t}$) 및 제4 출력노드전압($V_{n,t}$)이 방전된다.

[0057] 즉, 클럭 신호(CLK)가 하이'일 때, 제1 입력단 스위칭부(M1, M2)가 턴온되고, 메인 증폭부의 출력단 및 증폭 시간 결정부의 출력단이 모두 V_{DD} 에서 입력에 비례하여 방전(discharge)된다.

[0058] 이때, 다음 스테이지(두번째 스테이지, 110-1)의 CDAC 하단-노드(bottom plate)의 경우 메인 증폭부의 출력단에

직접 연결되어 있기 때문에 메인 증폭부의 출력 전압이 입력되고, 상단-노드(top plate)의 경우에는 메인 증폭부의 출력 전압의 중간값을 가지게 된다.

[0060] 도 8b에 도시된 바와 같이, 증폭 위상(amplification phase) 구간에서 메인

[0061] 증폭부(210)는 제1 입력 전압(V_{ip}) 및 제2 입력 전압(V_{in})에 따라 제1 출력노드전압(V_{outp})과 제2 출력노드전압(V_{outn})이 접지전압으로 디스차지(dis-charge)가 된다. 상기 디스차지가 진행되는 동안 제3 출력 전압(V_{TP})은 제1 출력노드전압(V_{outp})과 제2 출력노드전압(V_{outn})의 중간값을 가지게 된다.

[0062] 도 9a 및 도 9b는 본 발명의 동적 레지듀 증폭기의 3단계 동작 과정 및 출력 파형을 도시한 도면이다.

[0063] 도 9a에 도시된 바와 같이, 상기 메인 증폭부(210)는 상기 인버터부(230)로부터 턴-오프(turn-off) 신호가 입력되는 시점에 상기 제1 출력노드전압(V_{outp})과 제2 출력노드전압(V_{outn})의 전압차(V_{outp} - V_{outn})를 저장하게 된다.

[0064] 보다 구체적으로, 증폭시간 결정부(220)의 출력 전압이 인버터(230)의 문턱 전압을 지날 때 동작하게 된다. 다시 말해, 증폭 시간 결정부(220)에서 나온 출력이 메인 증폭부의 제1 입력단 스위칭부(M1, M2)를 턴오프하여 증폭 시간을 결정하여 전압 이득을 정확하게 출력하도록 하고, 두 번째 스테이지(다음단)의 CDAC의 샘플 스위치를 턴-오프시키게 된다. 이 때, CDAC에는 메인 증폭부의 출력 전압이 저장될 수 있다. 각 캐패시터에 저장된 값은 증폭기의 출력의 절반씩이 된다. 이후 CDAC의 하단-노드(bottom plate)(V_{DAC})(217)에 서브 플래시 ADC의 결과에 따라 적절한 기준전압을 연결하게 된다.

[0065] 하기 수학적 식 1은 일반적인 CMD와 비교한 선형성에 관한 수식이다. CMD구조의 경우엔 (I_{D1}+I_{D2})가 증폭기의 입력 전압과 관련된 term으로 정의되지만 본 발명의 동적 레지듀 증폭기에서는 입력과 관련된 term을 제거함으로써 선형성이 개선된다.

수학적 식 1

• Linearity

$$\text{Conventional structure : } T_{amp,CMD} = (V_{DD} - V_{CM}) \cdot \frac{C_L}{I_{D1} + I_{D2}}$$

$$\text{Proposed structure : } T_{amp} = (V_{DD} - V_{CM}) \cdot \frac{C_L}{I_{CM}}$$

[0066]

[0067] 또한, 순차적으로 위의 동작을 통해 각 스테이지의 출력값의 CM(Common Mode)이 원하는 값으로 정의할 수 있다.

[0068] 다시 말해, 파이프라인 아날로그-디지털 변환기(Pipeline analog-to-digital converter)에서 첫 번째 스테이지 뒷단에서 아날로그 전압을 많이 분해할수록 에너지 효율이 좋다. 동적 레지듀 증폭기는 잔류전압을 증폭하여, 다음 단에 전달하게 된다. 이때, 선형성이 낮으면 동적 레지듀 증폭기의 입력, 즉 레지듀 전압이 작아야한다. 이는 각 스테이지에서 높은 분해능을 필요로 함을 의미한다. 따라서, 첫 번째 스테이지에서 높은 분해능을 갖기 때문에 전체적인 에너지 효율이 낮게 된다.

[0070] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 사람이라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

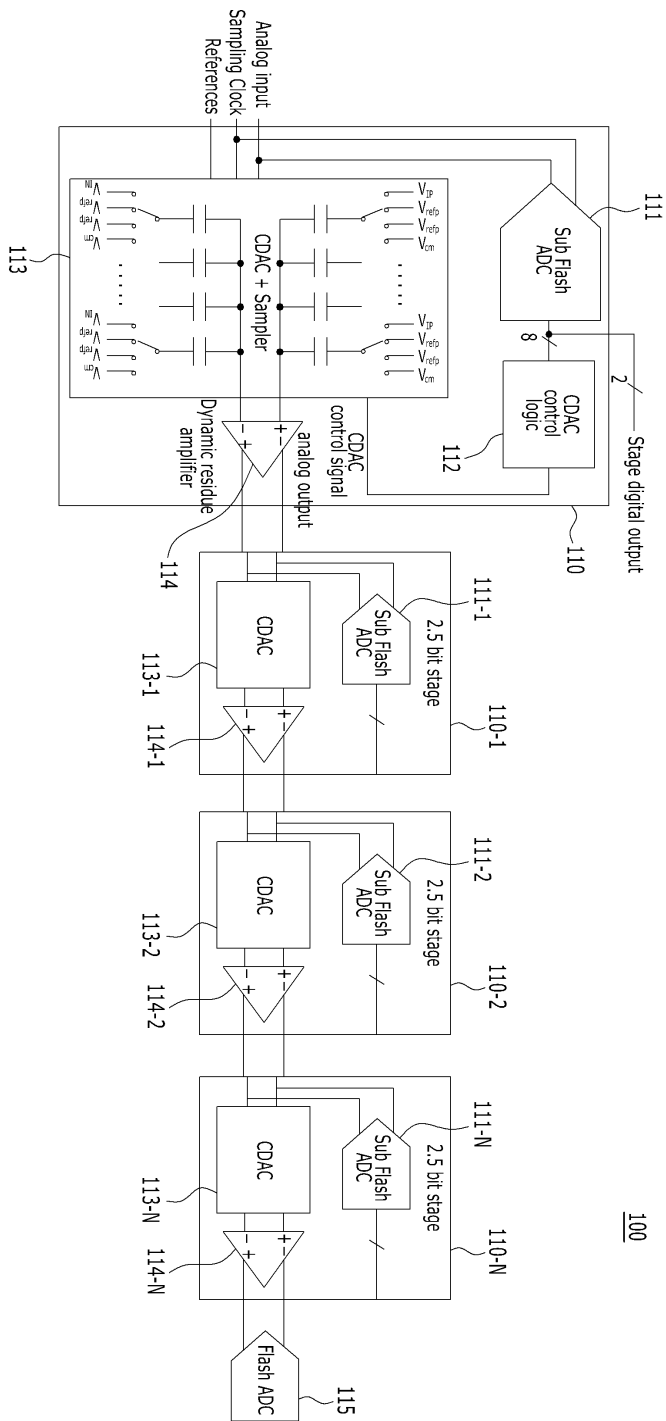
부호의 설명

[0071] 110 : 파이프라인 ADC

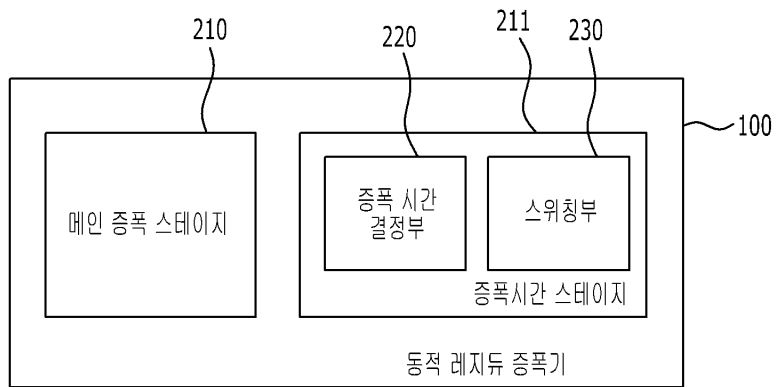
- 111 : 서브플래쉬 ADC
- 112 : CDAC 제어부
- 113 : CDAC
- 114 : 동적 레지듀 증폭기
- 210 : 메인 증폭부
- 220 : 증폭 시간 결정부
- 230 : 인버터부

도면

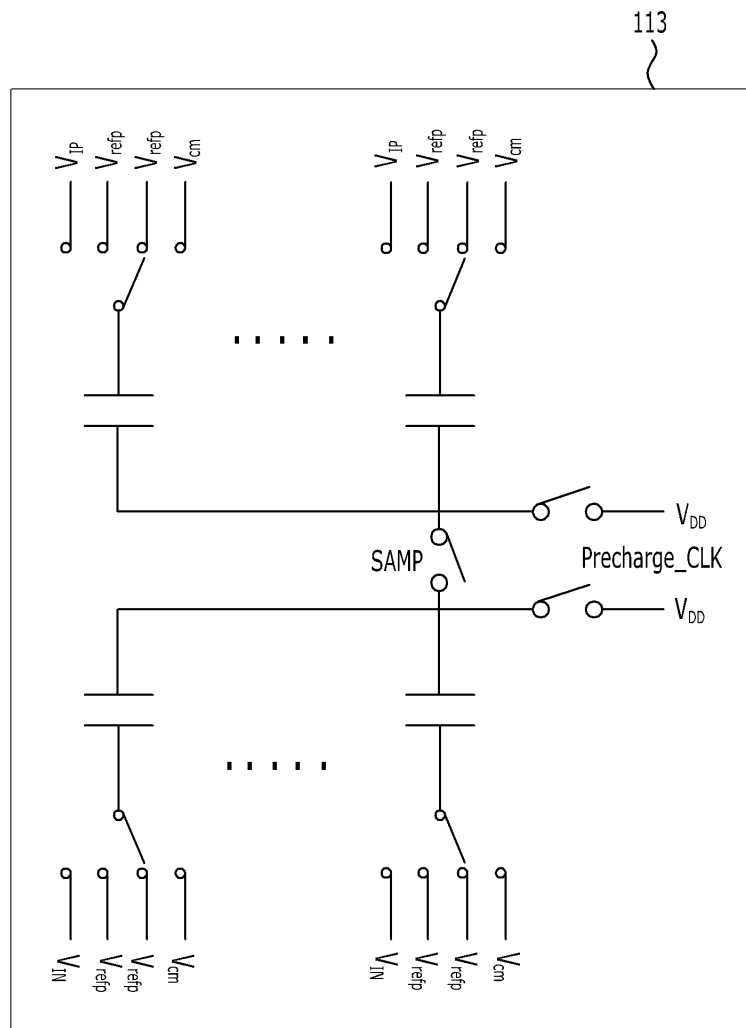
도면1



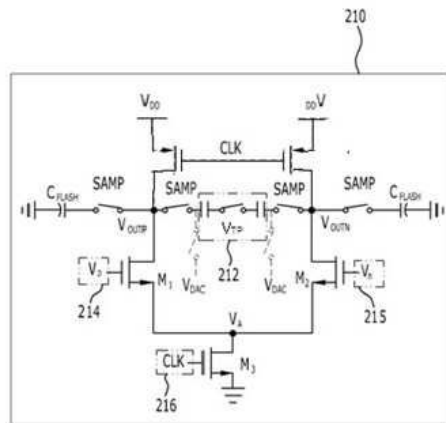
도면2



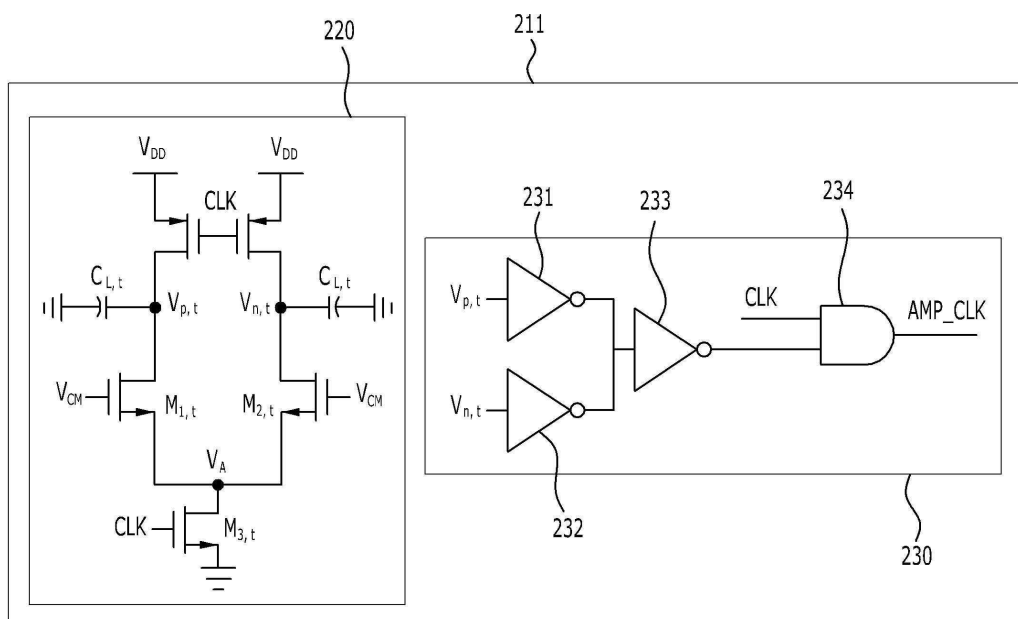
도면3



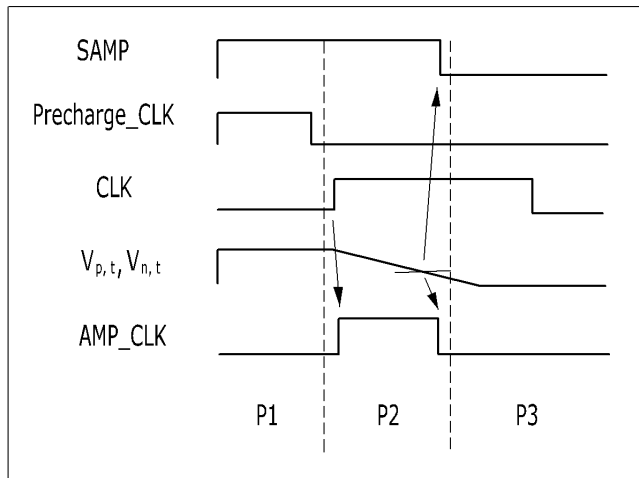
도면4



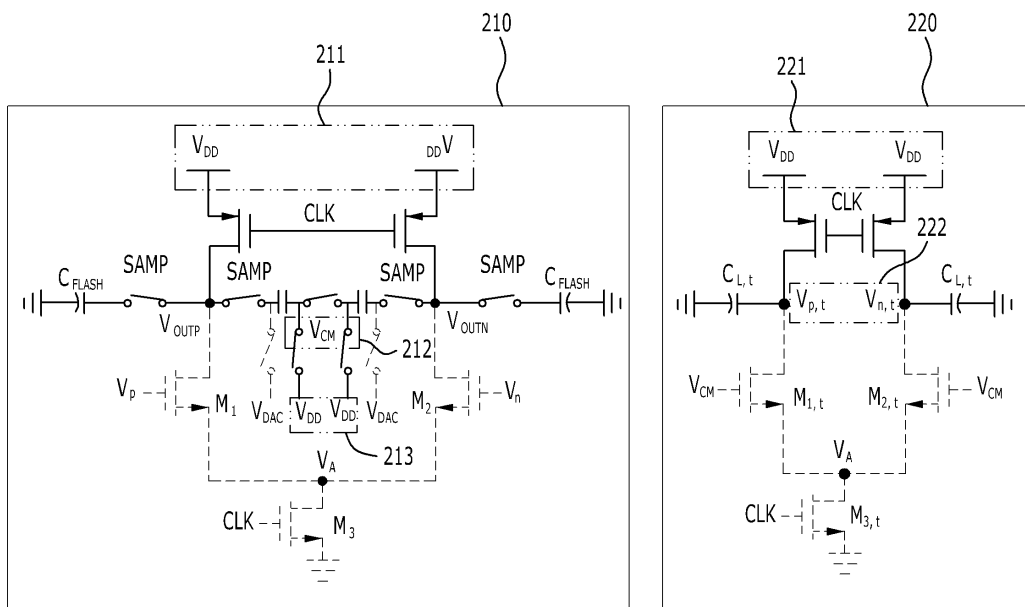
도면5



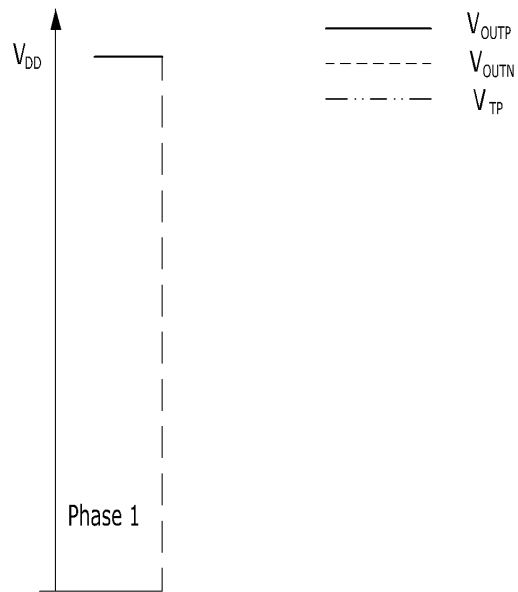
도면6



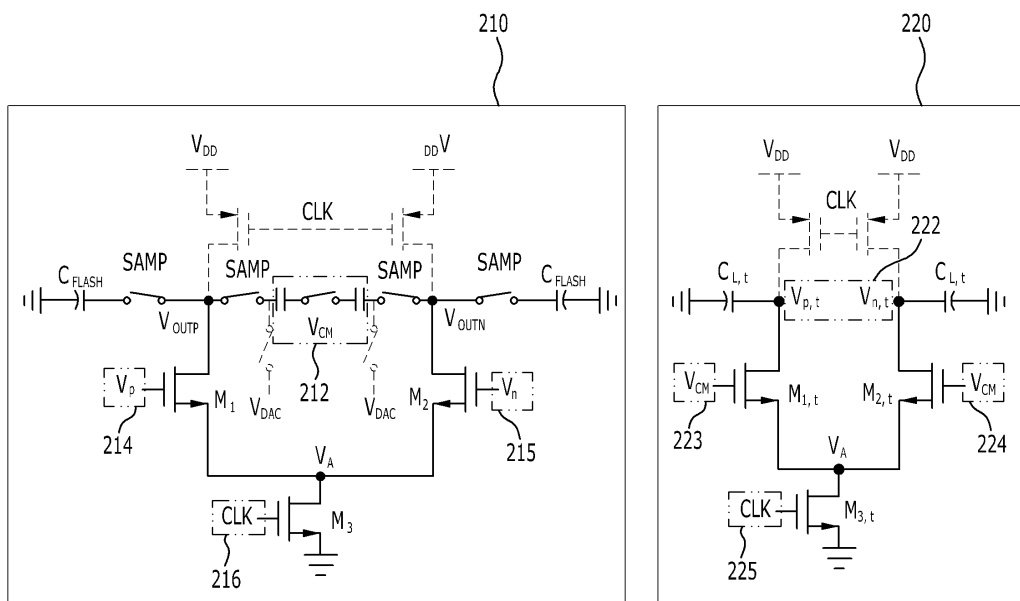
도면7a



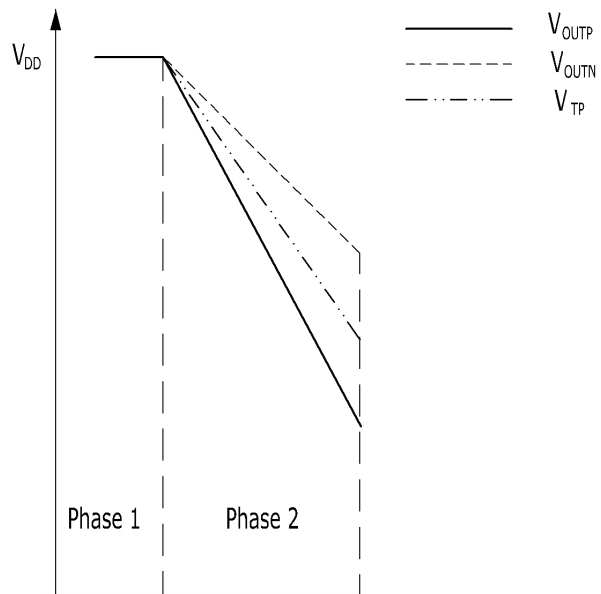
도면7b



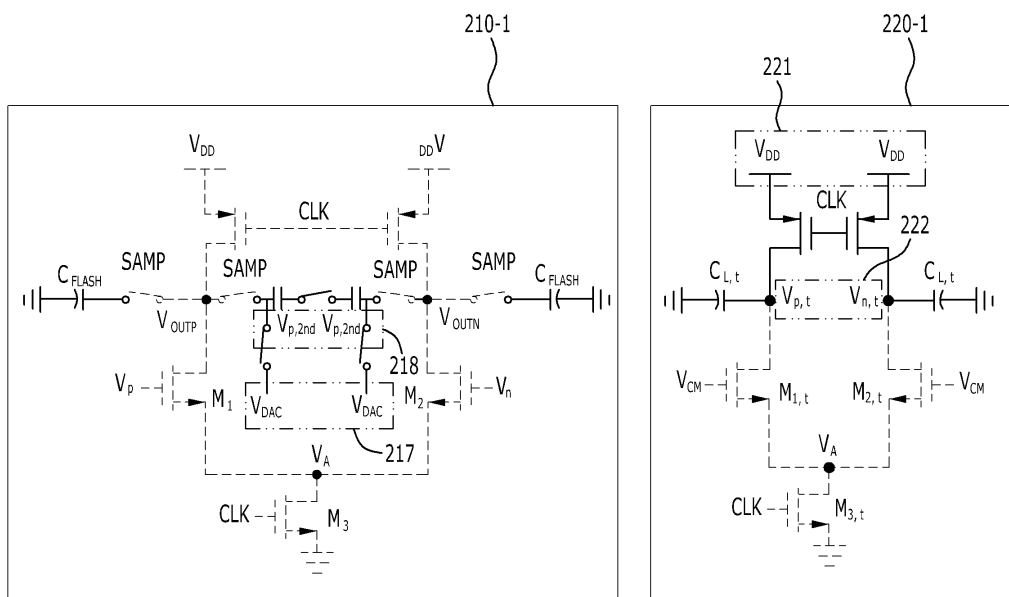
도면8a



도면8b



도면9a



도면9b

