(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0004015
(43) 공개일자 2023년01월06일

(51) 국제특허분류(Int. Cl.)
H01L 29/739 (2006.01) *H01L 27/085* (2006.01)
H01L 29/08 (2006.01)
(52) CPC특허분류
H01L 29/7391 (2013.01)
H01L 27/085 (2013.01)
(21) 출원번호 10-2021-0085769
(22) 출원일자 2021년06월30일
심사청구일자 2021년06월30일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
김경록
울산광역시 울주군 언양읍 유니스트길 50
장지원
울산광역시 울주군 언양읍 유니스트길 50
(뒷면에 계속)
(74) 대리인
리앤목특허법인

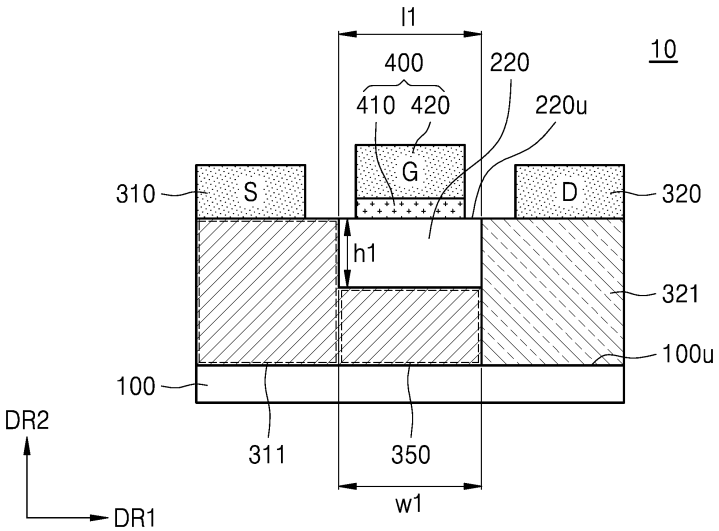
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 **터널 전계효과 트랜지스터 및 이를 포함하는 삼진 인버터**

(57) 요 약

본 발명의 일 실시예에 따른 터널 전계효과 트랜지스터는 기판 상에 위치하는 소스 영역 및 드레인 영역; 상기 소스 영역 및 상기 드레인 영역 사이에 위치하고 제1 방향으로 제1 길이를 가지는 채널 영역; 상기 채널 영역 상에 위치하는 게이트 전극; 및 상기 채널 영역과 상기 게이트 전극 사이에 위치하는 게이트 절연막;을 포함하고, 상기 소스 영역은 제1 도전형으로 도핑되고, 상기 드레인 영역은 상기 제1 도전형과 상이한 제2 도전형으로 도핑되며, 상기 소스 영역 및 상기 드레인 영역 중 어느 하나는 다른 영역 쪽을 향하여 확장된 확장 영역을 포함하고, 상기 확장 영역은 상기 채널층 하부에 위치하여 상기 게이트 전극의 게이트 전압에 독립적인 정전류를 형성한다.

대 표 도 - 도1



(52) CPC특허분류
H01L 29/0843 (2013.01)
(72) 발명자
정재원
울산광역시 울주군 언양읍 유니스트길 50
최영은
울산광역시 울주군 언양읍 유니스트길 50
김우석
울산광역시 울주군 언양읍 유니스트길 50

이 발명을 지원한 국가연구개발사업

과제고유번호	1711128659
과제번호	2016M3A7B4909943
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	나노·소재기술개발(R&D)
연구과제명	그래핀 배리스터 기반 삼진로직 아키텍쳐 연구
기 여 율	1/2
과제수행기관명	울산과학기술원
연구기간	2021.01.01 ~ 2021.07.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711129075
과제번호	2015M3D1A1068062
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	미래소재디스커버리지원(R&D)
연구과제명	멀티레벨 소재 설계 및 응용연구
기 여 율	1/2
과제수행기관명	포항공과대학교
연구기간	2021.01.04 ~ 2021.12.03

명 세 서

청구범위

청구항 1

기판 상에 위치하는 소스 영역 및 드레인 영역;

상기 소스 영역 및 상기 드레인 영역 사이에 위치하고 제1 방향으로 제1 길이를 가지는 채널 영역;

상기 채널 영역 상에 위치하는 게이트 전극; 및

상기 채널 영역과 상기 게이트 전극 사이에 위치하는 게이트 절연막;을 포함하고,

상기 소스 영역은 제1 도전형으로 도핑되고, 상기 드레인 영역은 상기 제1 도전형과 상이한 제2 도전형으로 도핑되며,

상기 소스 영역 및 상기 드레인 영역 중 어느 하나는 다른 영역 쪽을 향하여 확장된 확장 영역을 포함하고, 상기 확장 영역은 상기 채널층 하부에 위치하여 상기 게이트 전극의 게이트 전압에 독립적인 정전류를 형성하는, 터널 전계효과 트랜지스터.

청구항 2

제1항에 있어서,

상기 확장 영역의 상부면은 상기 채널 영역의 상부면으로부터 상기 제1 방향과 교차하는 제2 방향으로 소정의 간격만큼 이격되어 위치하는, 터널 전계효과 트랜지스터.

청구항 3

제2항에 있어서,

상기 소스 영역이 상기 확장 영역으로서 제1 확장 영역을 포함하고,

상기 제1 확장 영역은 상기 제1 방향으로 확장 폭을 가지고 상기 확장 폭은 상기 채널 영역의 제1 길이보다 작거나 같은, 터널 전계효과 트랜지스터.

청구항 4

제3항에 있어서,

상기 제1 확장 영역은 상기 제1 도전형과 동일한 종류의 도전형을 가지는, 터널 전계효과 트랜지스터.

청구항 5

제3항에 있어서,

상기 제1 확장 영역은 상기 제2 도전형과 동일한 종류의 도전형을 가지되, 상기 제1 확장 영역의 도핑 농도는 상기 드레인 영역의 도핑 농도보다 작은, 터널 전계효과 트랜지스터.

청구항 6

제2항에 있어서,

상기 드레인 영역이 상기 확장 영역으로서 제2 확장 영역을 포함하고,

상기 제2 확장 영역은 상기 제1 방향으로 확장 폭을 가지고 상기 확장 폭은 상기 채널 영역의 제1 길이보다 작거나 같은, 터널 전계효과 트랜지스터.

청구항 7

제6항에 있어서,

상기 제2 확장 영역은 상기 제2 도전형과 동일한 종류의 도전형을 가지는, 터널 전계효과 트랜지스터.

청구항 8

제6항에 있어서,

상기 제2 확장 영역은 상기 제1 도전형과 동일한 종류의 도전형을 가지되, 상기 제2 확장 영역의 도핑 농도는 상기 소스 영역의 도핑 농도보다 작은, 터널 전계효과 트랜지스터.

청구항 9

제1 웰 영역 및 상기 제1 웰 영역과 제1 방향으로 나란하게 배치되는 제2 웰 영역을 포함하고,

상기 제1 웰 영역 상에 위치하는 제1 소스 영역, 제1 채널 영역 및 제1 드레인 영역, 상기 제1 채널 영역 상에 위치하는 제1 게이트 전극,

상기 제2 웰 영역 상에 위치하는 제2 소스 영역, 제2 채널 영역 및 제2 드레인 영역, 상기 제2 채널 영역 상에 위치하는 제2 게이트 전극을 포함하고,

상기 제1 소스 영역 및 상기 제1 드레인 영역은 각각 서로 다른 도전형으로 도핑되고, 상기 제2 소스 영역 및 상기 제2 드레인 영역은 각각 서로 다른 도전형으로 도핑되며,

상기 제1 소스 영역 및 상기 제1 드레인 영역 중 어느 하나는 다른 영역 쪽을 향하여 확장된 제1 확장 영역을 포함하고, 상기 제2 소스 영역 및 상기 제2 드레인 영역 중 어느 하나는 다른 영역 쪽을 향하여 확장된 제2 확장 영역을 포함하며, 상기 제1 확장 영역 및 상기 제2 확장 영역 각각은 상기 제1 채널 영역 및 상기 제2 채널 영역 각각의 하부에 위치하여 게이트 전압에 독립적인 정전류를 형성하는, 삼진 인버터.

청구항 10

제9항에 있어서,

상기 제1 확장 영역은 상기 제1 소스 영역과 직접 접촉하고, 상기 제2 확장 영역은 상기 제2 소스 영역과 직접 접촉할 때,

상기 제1 소스 영역 및 상기 제1 확장 영역은 제1 도전형으로 도핑되고,

상기 제1 드레인 영역은 상기 제1 도전형과 다른 제2 도전형으로 도핑되고,

상기 제2 소스 영역 및 상기 제2 확장 영역은 상기 제2 도전형으로 도핑되며,

상기 제2 드레인 영역은 상기 제1 도전형으로 도핑되는, 삼진 인버터.

청구항 11

제9항에 있어서,

상기 제1 확장 영역은 상기 제1 드레인 영역과 직접 접촉하고, 상기 제2 확장 영역은 상기 제2 드레인 영역과 직접 접촉할 때,

상기 제1 소스 영역은 제1 도전형으로 도핑되고,

상기 제1 드레인 영역 및 상기 제1 확장 영역은 상기 제1 도전형과 다른 제2 도전형으로 도핑되고,

상기 제2 소스 영역은 상기 제2 도전형으로 도핑되며,

상기 제2 드레인 영역 및 상기 제2 확장 영역은 상기 제1 도전형으로 도핑되는, 삼진 인버터.

발명의 설명

기 술 분 야

[0001] 본 발명은 터널 전계효과 트랜지스터 및 이를 포함하는 삼진 인버터에 관한 것이다.

배 경 기 술

[0002] 종래 2진수 논리 기반의 디지털 시스템은 많은 양의 데이터를 빠르게 처리하기 위하여 CMOS 소자의 소형화를 통한 정보의 밀도 (bit density) 높이는데 주력하였다. 하지만 최근 30-nm 이하로 집적되면서 양자적 터널링 효과에 의한 누설전류와 전력 소비의 증가로 인해 bit density 를 높이는데 제약을 받았다. 이러한 bit density의 한계를 극복하기 위하여 다중 값 논리 (multi-valued logic) 중 하나인 3진수 논리 소자 및 회로에 대한 관심이 급증하고 있으며, 특히 3진수 논리 구현을 위한 기본 단위로써 표준 3진수 인버터(STI)에 대한 개발이 활발하게 진행되어 오고 있다. 하지만 하나의 전압원에 두 개의 CMOS를 사용하는 기존의 2진수 인버터와 달리, STI에 관한 종래 기술들은 보다 많은 전압원을 필요로 하거나 복잡한 회로 구성이 요구되거나 제조 공정이 복잡한 문제점이 있다.

[0003] 한편, 3진수 인버터(STI)의 3진 데이터 처리에 있어서 게이트 전압에 의존적인 전류 성분과 게이트 전압에 무관한 정전류의 두가지 성분의 전류 특성을 이용한다. 종래의 STI 소자의 경우 게이트 의존적 전류는 CMOS 소자의 열확산 메커니즘으로 구현되고, 게이트에 무관한 정전류는 PN 접합에서의 양자역학적 밴드 간 터널링 메커니즘으로 구현되었다. 종래의 CMOS 소자 기반의 STI 공정은 게이트 의존적 전류를 CMOS와 같은 원리로 구현함에 따라, 열확산 메커니즘의 특성 상 스위칭 능력에 한계가 있었다. 삼진 소자의 초저전력 특성을 더욱 향상시키기 위해서는 동작 전압 스케일링이 필수적이며, 이를 위하여 종래 스위칭 능력의 한계를 극복할 수 있는 기술이 필요하다.

발명의 내용

해결하려는 과제

[0004] 전술한 문제점을 해결하기 위해, 본 발명은 스위칭 능력이 향상될 뿐만 아니라 공정의 간소화를 도모할 수 있는 터널 전계효과 트랜지스터 및 이를 이용하여 정전류 특성 및 초저전력 특성이 확보된 삼진 인버터를 제공하고자 한다.

과제의 해결 수단

[0005] 본 발명의 일 실시예에 따른 터널 전계효과 트랜지스터는 기판 상에 위치하는 소스 영역 및 드레인 영역; 상기 소스 영역 및 상기 드레인 영역 사이에 위치하고 제1 방향으로 제1 길이를 가지는 채널 영역; 상기 채널 영역 상에 위치하는 게이트 전극; 및 상기 채널 영역과 상기 게이트 전극 사이에 위치하는 게이트 절연막;을 포함하고, 상기 소스 영역은 제1 도전형으로 도핑되고, 상기 드레인 영역은 상기 제1 도전형과 상이한 제2 도전형으로 도핑되며, 상기 소스 영역 및 상기 드레인 영역 중 어느 하나는 다른 영역 쪽을 향하여 확장된 확장 영역을 포함하고, 상기 확장 영역은 상기 채널층 하부에 위치하여 상기 게이트 전극의 게이트 전압에 독립적인 정전류를 형성한다.

[0006] 상기 확장 영역의 상부면은 상기 채널 영역의 상부면으로부터 상기 제1 방향과 교차하는 제2 방향으로 소정의 간격만큼 이격되어 위치할 수 있다.

[0007] 상기 소스 영역이 상기 확장 영역으로서 제1 확장 영역을 포함하고, 상기 제1 확장 영역은 상기 제1 방향으로 확장 폭을 가지고 상기 확장 폭은 상기 채널 영역의 제1 길이보다 작거나 같을 수 있다.

[0008] 상기 제1 확장 영역은 상기 제1 도전형과 동일한 종류의 도전형을 가질 수 있다.

[0009] 상기 제1 확장 영역은 상기 제2 도전형과 동일한 종류의 도전형을 가지되, 상기 제1 확장 영역의 도핑 농도는 상기 드레인 영역의 도핑 농도보다 작을 수 있다.

[0010] 상기 드레인 영역이 상기 확장 영역으로서 제2 확장 영역을 포함하고, 상기 제2 확장 영역은 상기 제1 방향으로 확장 폭을 가지고 상기 확장 폭은 상기 채널 영역의 제1 길이보다 작거나 같을 수 있다.

[0011] 상기 제2 확장 영역은 상기 제2 도전형과 동일한 종류의 도전형을 가질 수 있다.

[0012] 상기 제2 확장 영역은 상기 제1 도전형과 동일한 종류의 도전형을 가지되, 상기 제2 확장 영역의 도핑 농도는 상기 소스 영역의 도핑 농도보다 작을 수 있다.

[0013] 본 발명의 일 실시예에 따른 삼진 인버터는 제1 웰 영역 및 상기 제1 웰 영역과 제1 방향으로 나란하게 배치되는 제2 웰 영역을 포함하고, 상기 제1 웰 영역 상에 위치하는 제1 소스 영역, 제1 채널 영역 및 제1 드레인 영역, 상기 제1 채널 영역 상에 위치하는 제1 게이트 전극, 상기 제2 웰 영역 상에 위치하는 제2 소스 영역, 제2 채널 영역 및 제2 드레인 영역, 상기 제2 채널 영역 상에 위치하는 제2 게이트 전극을 포함하고, 상기 제1 소스

영역 및 상기 제1 드레인 영역은 각각 서로 다른 도전형으로 도핑되고, 상기 제2 소스 영역 및 상기 제2 드레인 영역은 각각 서로 다른 도전형으로 도핑되며, 상기 제1 소스 영역 및 상기 제1 드레인 영역 중 어느 하나는 다른 영역 쪽을 향하여 확장된 제1 확장 영역을 포함하고, 상기 제2 소스 영역 및 상기 제2 드레인 영역 중 어느 하나는 다른 영역 쪽을 향하여 확장된 제2 확장 영역을 포함하며, 상기 제1 확장 영역 및 상기 제2 확장 영역 각각은 상기 제1 채널 영역 및 상기 제2 채널 영역 각각의 하부에 위치하여 게이트 전압에 독립적인 정전류를 형성한다.

[0014] 상기 제1 확장 영역은 상기 제1 소스 영역과 직접 접촉하고, 상기 제2 확장 영역은 상기 제2 소스 영역과 직접 접촉할 때, 상기 제1 소스 영역 및 상기 제1 확장 영역은 제1 도전형으로 도핑되고, 상기 제1 드레인 영역은 상기 제1 도전형과 다른 제2 도전형으로 도핑되고, 상기 제2 소스 영역 및 상기 제2 확장 영역은 상기 제2 도전형으로 도핑되며, 상기 제2 드레인 영역은 상기 제1 도전형으로 도핑될 수 있다.

[0015] 상기 제1 확장 영역은 상기 제1 드레인 영역과 직접 접촉하고, 상기 제2 확장 영역은 상기 제2 드레인 영역과 직접 접촉할 때, 상기 제1 소스 영역은 제1 도전형으로 도핑되고, 상기 제1 드레인 영역 및 상기 제1 확장 영역은 상기 제1 도전형과 다른 제2 도전형으로 도핑되고, 상기 제2 소스 영역은 상기 제2 도전형으로 도핑되며, 상기 제2 드레인 영역 및 상기 제2 확장 영역은 상기 제1 도전형으로 도핑될 수 있다.

발명의 효과

[0016] 본 발명의 실시예들에 따르면, 스위칭 능력이 향상될 뿐만 아니라 공정의 간소화를 도모할 수 있는 터널 전계효과 트랜지스터, 및 이를 이용하여 정전류 특성 및 초저전력 특성이 확보된 상기 터널 전계효과 트랜지스터를 포함하는 삼진 인버터를 제공할 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 일 실시예에 따른 터널 전계효과 트랜지스터의 단면도이다.

도 2는 본 발명의 일 실시예에 따른 터널 전계효과 트랜지스터의 일 동작을 설명하기 위한 도면이다.

도 3은 본 발명의 일 실시예에 따른 엔모스 트랜지스터들과 종래의 엔모스 트랜지스터들의 게이트 전압-드레인 전류 그래프들을 나타낸다.

도 4는 본 발명의 일 실시예에 따른 피모스 트랜지스터들과 종래의 피모스 트랜지스터들의 게이트 전압-드레인 전류 그래프들을 나타낸다.

도 5는 본 발명의 일 실시예에 따른 삼진(Ternary) 인버터의 회로도이다.

도 6은 본 발명의 일 실시예에 따른 삼진 인버터의 단면도이다.

도 7은 본 발명의 다른 실시예에 따른 터널 전계효과 트랜지스터의 단면도이다.

도 8은 본 발명의 다른 실시예에 따른 터널 전계효과 트랜지스터의 단면도이다.

도 9는 본 발명의 일 실시예에 따른 삼진 인버터들과 종래의 이진(Binary) 인버터들의 게이트 전압-드레인 전류 그래프를 나타낸다.

도 10은 본 발명의 일 실시예에 따른 삼진 인버터와 종래의 이진 인버터의 입력 전압(Vin)-출력 전압(Vout) 그래프를 나타낸다.

도 11은 본 발명의 일 실시예에 따른 터널 전계효과 트랜지스터와 종래의 엔모스 트랜지스터들의 게이트 전압-드레인 전류 그래프를 나타낸다.

도 12는 본 발명의 일 실시예에 따른 터널 전계효과 트랜지스터의 드레인 전압에 따른 게이트 전압-드레인 전류 그래프를 나타낸다.

도 13은 본 발명의 다른 실시예에 따른 삼진 인버터의 전압의 입출력 특성을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0018] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과

함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0019] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0020] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.

[0021] 이하에서, "상부" 나 "상"이라고 기재된 것은 접촉하여 바로 위에 있는 것뿐만 아니라 비접촉으로 위에 있는 것도 포함할 수 있다.

[0022] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.

[0023] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 형태는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0024] 또한, 본 명세서에 기재된 “…부”, “…영역” 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미할 수 있다.

[0025] 도 1은 본 발명의 일 실시예에 따른 터널 전계효과 트랜지스터(Tunneling Field Effect Transistor; 이하, 'TFET'로 지칭할 수 있다.)의 단면도이다.

[0026] 도 1을 참조하면, 일 실시예에 따른 TFET(10)는 기판(100), 소스 영역(311), 드레인 영역(321), 채널 영역(220) 및 게이트 구조체(400)를 포함할 수 있다. 이때 소스 영역(311) 및 드레인 영역(321) 중 적어도 하나는 확장 영역(350)을 포함할 수 있다. 실시예에 따라서, TFET(10)는 소스 전극(310) 및 드레인 전극(320)을 더 포함할 수 있다.

[0027] 기판(100)은 반도체 기판일 수 있다. 기판(100)은 실리콘(Si)을 포함할 수 있다. 기판(100)은 3~5족 화합물 반도체 물질들을 포함할 수도 있다. 기판(100)은 밴드 갭이 약 1 eV 이하인 narrow band gap 특성을 가지는 물질을 이용하여 반도체 특성이 강화될 수 있으며, 상기 물질은 단원소 반도체 물질, 화합물 반도체 물질일 수 있다. 일 예로, 상기 물질은 300 K에서 Ge, SiGe, InGaAs 및 InAs 중 적어도 하나를 포함할 수 있다. 이때, 기판(100)은 상기 물질들 중 적어도 하나 이상을 결합하여 포함할 수도 있고, 이종 접합(Heterojuction)을 포함할 수도 있으며, 기판(100)의 종류는 본 발명을 한정하지 않는다.

[0028] 기판(100)은 제1 도전형을 가질 수 있다. 예를 들어, 제1 도전형은 n형 또는 p형일 수 있다. 기판(100)의 도전형이 n형인 경우, 기판(100)은 V족 원소(예를 들어, P, As)를 불순물로 포함할 수 있다. 기판(100)의 도전형이 p형인 경우, 기판(100)은 III족 원소(예를 들어, B, In)를 불순물로 포함할 수 있다. 이하에서, 도전형이 n형인 영역은 V족 원소(예를 들어, P, As)를 불순물로 포함할 수 있고, 도전형이 p형인 영역은 III족 원소(예를 들어, B, In)를 불순물로 포함할 수 있다. 이하에서, 제1 도전형 또는 제2 도전형 각각은 n형 또는 p형 각각에 대응할 수 있다. 가령, 제1 도전형이 n형인 경우 제2 도전형은 p형이고, 제1 도전형이 p형인 경우 제2 도전형은 n형을 의미한다.

[0029] 기판(100) 상에 소스 영역(311), 드레인 영역(321) 및 확장 영역(350)이 위치할 수 있다. 이때, 확장 영역(350)은 소스 영역(311) 및 드레인 영역(321) 중 어느 하나가 포함하는 영역일 수 있다. 소스 영역(311) 및 드레인 영역(321)은 기판(100)의 상면(100u)에 평행한 제1 방향(DR1)을 따라 서로 이격되어 위치할 수 있다. 소스 영역(311)은 제1 도전형으로 도핑될 수 있다. 드레인 영역(321)은 소스 영역(311)과 다른 제2 도전형으로 도핑될 수 있다. 가령, 제1 도전형이 n형인 경우 제2 도전형은 p형이고, 제1 도전형이 p형인 경우 제2 도전형은 n형일 수 있다.

[0030] 소스 영역(311) 및 드레인 영역(321)은 기판(100)과 전기적으로 연결될 수 있다. 예를 들어, 소스 영역(311) 및 드레인 영역(321)은 기판(100)과 직접 접촉할 수 있다. 드레인 영역(321)과 기판(100) 사이에 전기장이 형성될 수 있다. 상기 전기장의 세기는 일 예로 약 10^6 V/cm 이상일 수 있다.

[0031] 이때, 소스 영역(311) 및 드레인 영역(321) 중 어느 하나는 다른 영역 쪽을 향하여 확장된 확장 영역(350)을 포

함할 수 있다. 확장 영역(350)은 후술하는 채널 영역(220) 하부에 위치하여 게이트 전극(420)의 게이트 전압에 독립적인 정전류를 형성한다.

[0032] 확장 영역(350)의 상부면은 채널 영역(220)의 상부면(220u)으로부터 제1 방향(DR1)과 교차하는 제2 방향(DR2)으로 소정의 간격만큼 이격되어 위치할 수 있다. 이때 소정의 간격은 제1 높이(h1)일 수 있으며, 일 예로 제1 높이(h1)는 약 3 ㎚ 이상 약 1 ㎛ 이하일 수 있다. 다시 말해, 확장 영역(350)은 게이트 의존적 전류를 흐르게 하기 위해 채널 영역(220)의 상부 표면으로부터 일정 간격 이격되어 배치될 수 있다. 이하, 확장 영역(350)의 여러 실시예에 관하여 설명한다.

[0033] 이하, 소스 영역(311)이 확장 영역(350)을 포함하는 제1 실시예에 관하여 설명한다.

[0034] 소스 영역(311)이 확장 영역(350)을 포함할 때, 이를 제1 확장 영역이라 한다. 제1 확장 영역은 제1 방향(DR1)으로 확장 폭(w1)을 가지며, 상기 확장 폭(w1)은 채널 영역(220)의 제1 길이(l1)보다 작거나 같을 수 있다. 본 도면에서는 확장 영역(350)의 확장 폭(w1)이 채널 영역(220)의 제1 길이(l1)와 같은 경우(w1=l1), 즉 확장 영역(350)과 드레인 영역(321)이 직접 접하는 경우를 예시로 도시하였다. 확장 폭(w1)이 제1 길이(l1)보다 작은 실시예(w1<l1)에 관하여는 후술하는 도 7에서 더 상세히 설명한다.

[0035] 특히 소스 영역(311)이 확장 영역(350)을 포함하는 제1 실시예의 경우, 소스 영역(311)으로부터 채널 영역(220) 쪽으로 오버랩되는 길이, 즉 확장 폭(w1)에 따라 게이트 의존적 전류의 흐름을 더욱 향상시킬 수 있다.

[0036] 일 예로, 제1 확장 영역(350)은 소스 영역(311)과 동일한 종류의 도전형을 가질 수 있다. 가령, 소스 영역(311)이 제1 도전형으로 도핑된 경우 제1 확장 영역 또한 이와 동일하게 제1 도전형으로 도핑될 수 있다.

[0037] 실시예에 따라서, 제1 확장 영역은 소스 영역(311)과 다른 종류의 도전형을 가질 수도 있다. 이러한 실시예에 관하여는 후술하는 도 7에서 더 상세히 설명한다.

[0038] 다음으로, 드레인 영역(321)이 확장 영역(350)을 포함하는 제2 실시예에 관하여 설명한다.

[0039] 드레인 영역(321)이 확장 영역(350)을 포함할 때, 이를 제2 확장 영역이라 한다. 제2 확장 영역의 확장 폭(w1)과 채널 영역(220)의 제1 길이(l1) 간의 관계에 관하여는 전술한 제1 실시예에서 설명한 바와 동일한 실시예가 적용되므로 설명을 간략히 한다. 제2 확장 영역은 제1 방향(DR1)으로 확장 폭(w1)을 가지고, 상기 확장 폭(w1)은 채널 영역(220)의 제1 길이(l1)보다 작거나 같을 수 있다.

[0040] 일 예로, 제2 확장 영역(350)은 드레인 영역(321)과 동일한 종류의 도전형을 가질 수 있다. 가령, 드레인 영역(321)이 제2 도전형으로 도핑된 경우 제2 확장 영역 또한 이와 동일하게 제2 도전형으로 도핑될 수 있다.

[0041] 실시예에 따라서, 제2 확장 영역은 드레인 영역(321)과 다른 종류의 도전형을 가질 수도 있다. 이러한 실시예에 관하여는 후술하는 도 7에서 더 상세히 설명한다.

[0042] 소스 영역(311) 상에 소스 전극(310)이 위치하고, 드레인 영역(321) 상에 드레인 전극(320)이 위치할 수 있다. 소스 전극(310) 및 드레인 전극(320)은 전기 전도성 물질을 포함할 수 있다. 소스 전극(310), 드레인 전극(320)은 후술하는 게이트 전극(420)과 동일한 물질을 포함할 수도 있고, 서로 다른 물질을 포함할 수도 있음은 물론이다.

[0043] 소스 영역(311) 및 드레인 영역(321) 사이에 채널 영역(220)이 배치될 수 있다. 채널 영역(220)은 기판(100)과 실질적으로 동일한 물질을 포함할 수 있다. 예를 들어, 채널 영역(220)은 실리콘(Si)을 포함할 수 있다. 채널 영역(220)은 기판(100)과 동일하게 제1 도전형으로 도핑되고, 채널 영역(220)의 도핑 농도는 기판(100)의 도핑 농도와 실질적으로 동일할 수 있다.

[0044] 채널 영역(220)은 제1 방향(DR1)으로 제1 길이(l1)을 가질 수 있으며, 일 예로 상기 제1 길이(l1)는 약 10 ㎚이하일 수 있다.

[0045] 채널 영역(220) 상에 게이트 구조체(400)가 위치할 수 있다. 제1 방향(DR1)을 따르는 관점에서, 게이트 구조체(400)는 소스 영역(311) 및 드레인 영역(321) 사이에 위치할 수 있다. 일 예로, 게이트 구조체(400)는 부분적으로 소스 영역(311) 및 드레인 영역(321)과 제2 방향(DR2)으로 중첩할 수 있다. 게이트 구조체(400)는 게이트 절연막(410) 및 게이트 전극(420)을 포함할 수 있다. 본 도면에 도시하지는 않았으나 게이트 구조체(400)는 스페이서 등의 다른 구성요소를 포함할 수도 있다.

[0046] 게이트 전극(420)은 전기 전도성 물질을 포함할 수 있다. 예를 들어, 게이트 전극(420)은 도핑된 반도체 물질,

금속, 합금, 또는 이들의 조합을 포함할 수 있다. 예를 들어, 게이트 전극(420)은 도핑된 폴리실리콘(Doped-Polysilicon), 텅스텐(W), 티타늄나이트라이드(TiN), 또는 이들의 조합을 포함할 수 있다.

[0047] 게이트 전극(420)과 채널 영역(220) 사이에 게이트 절연막(410)이 제공될 수 있다. 게이트 절연막(410)은 게이트 전극(420)과 채널 영역(220)을 서로 전기적으로 절연시킬 수 있다. 예를 들어, 게이트 절연막(410)은 채널 영역(220)의 상면에 직접 접할 수 있다.

[0048] 게이트 절연막(410)은 게이트 전극(420)과 채널 영역(220) 사이에 제공될 수 있다. 예를 들어, 게이트 절연막(410)은 채널 영역(220) 및 게이트 전극(420)에 직접 접할 수 있다. 게이트 절연막(410)은 원하는 커패시턴스를 구현할 수 있는 재질을 가질 수 있다. 게이트 절연막(410)은 고유전율의 물질을 포함할 수 있다. 고유전율은 실리콘 산화물의 유전율보다 높은 유전율을 의미할 수 있다. 일 실시예에서, 게이트 절연막(410)은 Ca, Sr, Ba, Sc, Y, La, Ti, Hf, Zr, Nb, Ta, Ce, Pr, Nd, Gd, Dy, Yb, 및 Lu 중에서 선택되는 적어도 하나의 금속을 포함하는 금속 산화물이 사용될 수 있다. 예를 들어, 게이트 절연막(410)은 SiO_2, SiON, HfO_2, ZrO_2, CeO_2, La_2O_3, Ta_2O_3, 또는 TiO_2를 포함할 수 있다. 게이트 절연막(410)은 단층 구조 또는 다중층 구조를 가질 수도 있다.

[0049] 일 예에서, 터널 전계효과트랜지스터(10)의 문턱 전압은 기판(100)의 도핑 농도 및/또는 게이트 전극(420)의 일함수(Work function)에 의해 조절될 수 있다. 예를 들어, 게이트 전극(420)의 일함수는 게이트 전극(420)의 물질에 의해 조절되거나, 추가적인 일함수 조절막(미도시)에 의해 조절될 수 있다. 예를 들어, 추가적인 일함수 조절막은 게이트 절연막(410)과 기판(100) 사이에 개재될 수 있다.

[0050] 본 도면에 도시하지는 않았으나, 기판(100) 상에 한 쌍의 소자 분리 영역들이 위치할 수 있다. 한 쌍의 소자 분리 영역들은 제1 방향(DR1)을 따라 서로 이격될 수 있다. 한 쌍의 소자 분리 영역들은 기판(100)의 상면(100u)에 수직한 제2 방향(DR2)을 따라 연장될 수 있다. 예를 들어, 한 쌍의 소자 분리 영역들의 제2 방향(DR2)의 두께는 채널 영역(220)의 제2 방향(DR2)의 두께보다 클 수 있다. 한 쌍의 소자 분리 영역들은 전기 절연 물질로서, 일 예로 SiO_2 또는 고유전 물질(예를 들어, SiON, HfO_2, ZrO_2)을 포함할 수 있다.

[0051] 여기서, 도 2를 함께 참조하여 TFET(10)의 채널 형성 원리에 대하여 설명한다. 도 2는 본 발명의 일 실시예에 따른 터널 전계효과 트랜지스터의 일 동작을 설명하기 위한 도면이다.

[0052] TFET(10)는 소스 영역(311)과 채널 영역(220) 사이에서 발생하는 밴드간 터널링에 의해 채널이 형성될 수 있다. 밴드간 터널링이 발생하는 경우가 TFET(10)가 온(on) 상태를 갖는 경우로 정의될 수 있다. 반대로 밴드간 터널링이 발생하지 않는 경우는 TFET(10)가 오프(off) 상태를 갖는 경우로 정의될 수 있다. TFET(10)가 엔모스(NMOS) 트랜지스터인 경우 드레인 영역(321)의 도전형은 N형이고, 반대로 TFET(10)가 피모스(PMOS) 트랜지스터인 경우 드레인 영역(321)의 도전형은 P형일 수 있다.

[0053] 소스 영역(311) 및 드레인 영역(322) 중 어느 하나의 확장 영역(350)은 드레인 영역(321)과 기판(100) 사이에 정전류를 형성할 수 있다. 정전류는 도 2에서 후술하겠지만 드레인 영역(321)과 기판(100) 사이를 흐르는 BTBT(Band-to-Band Tunneling) 전류일 수 있다. 본 발명의 정전류는 게이트 전극(420)에 인가되는 게이트 전압으로부터 독립적일 수 있다. 즉, 정전류는 게이트 전압과 무관하게 흐를 수 있다. TFET(10)가 엔모스(NMOS) 트랜지스터인 경우, 정전류는 드레인 영역(321)으로부터 기판(100)으로 흐를 수 있다. 반대로 TFET(10)가 피모스(PMOS) 트랜지스터인 경우 정전류는 기판(100)으로부터 드레인 영역(321)으로 흐를 수 있다. 도 2를 참조하면, 본 발명의 정전류는 소스 영역(311)과 드레인 영역(321) 간의 다이렉트 터널링(direct tunneling)에 의해 구현될 수 있다.

[0054] 본 발명의 일 실시예에 따르면 소스 영역(311)이나 드레인 영역(321) 중 어느 하나를 반대 영역 쪽으로 확장시킨 도핑 영역, 즉 확장 영역(350)을 형성함으로써 게이트 전압에 무관한 정전류를 형성하는 터널 전계효과 트랜지스터(10)가 제공될 수 있다. 이와 같이, 본 발명의 실시예들에 따르면 추가적인 정전류 형성층을 형성하지 않더라도 소스 영역(311)이나 드레인 영역(321) 형성과 동시에 구비되는 확장 영역(350)을 통해 정전류를 구현하여 공정의 간소화를 도모할 수 있다. 또한, 본 발명과 같이 확장 영역(350)을 포함하고 소스, 드레인이 서로 다른 도전형을 가지는 TFET를 사용함으로써 드레인 전류-게이트 전압 간의 steep slope 특성을 확보하여 스위칭 능력을 향상시킬 수 있다.

[0055] 도 3은 본 발명의 일 실시예에 따른 엔모스(NMOS) 트랜지스터들과 종래의 엔모스(NMOS) 트랜지스터들의 게이트 전압-드레인 전류 그래프들을 나타낸다.

[0056] 도 3을 참조하면, 종래의 엔모스 트랜지스터들의 게이트 전압-드레인 전류 그래프들(NGR1, NGR2) 및 본 발명에

따른 엔모스 트랜지스터들의 게이트 전압-드레인 전류 그래프들(NGR3, NGR4, NGR5)이 도시되었다.

[0057] 종래의 엔모스 트랜지스터들의 드레인 전류들은 게이트 전압과 무관하게 흐르는 정전류 성분을 갖지 않았다.

[0058] 본 발명의 엔모스 트랜지스터들의 드레인 전류들은 게이트 전압과 무관하게 흐르는 정전류 성분을 가졌다. 예를 들어, 본 개시의 엔모스 트랜지스터들이 오프(Off) 상태를 가질 때에도, 본 발명의 엔모스 트랜지스터들에 정전류가 흐르는 것을 확인할 수 있다.

[0059] 도 4는 본 발명의 일 실시예에 따른 피모스(PMOS) 트랜지스터들과 종래의 피모스(PMOS) 트랜지스터들의 게이트 전압-드레인 전류 그래프들을 나타낸다.

[0060] 도 4를 참조하면, 종래의 피모스 트랜지스터들의 게이트 전압-드레인 전류 그래프들(PGR1, PGR2) 및 본 발명의 피모스 트랜지스터들의 게이트 전압-드레인 전류 그래프들(PGR3, PGR4, PGR5)이 도시되었다.

[0061] 종래의 피모스 트랜지스터들의 드레인 전류들은 게이트 전압과 무관하게 흐르는 정전류 성분을 갖지 않았다.

[0062] 본 발명의 피모스 트랜지스터들의 드레인 전류들은 게이트 전압과 무관하게 흐르는 정전류 성분을 가졌다. 예를 들어, 본 발명의 피모스 트랜지스터들이 오프(Off) 상태를 가질 때에도, 본 발명의 피모스 트랜지스터들에 정전류가 흐르는 것을 확인할 수 있다.

[0063] 도 5는 본 발명의 일 실시예에 따른 삼진(Ternary) 인버터(20)의 회로도이다. 도 1에서 설명한 것과 중복되는 내용은 설명을 간략히 하거나 생략할 수 있다.

[0064] 도 5를 참조하면, 본 발명의 일 실시예에 따른 삼진 인버터(20)는 엔모스 트랜지스터(이하, 'N형 TFET'로 지칭한다.) 및 피모스 트랜지스터(이하, 'P형 TFET'로 지칭한다.)를 포함할 수 있다. N형 TFET 및 P형 TFET 각각은 도 1에서 설명한 TFET(10)와 실질적으로 동일한 소자일 수 있다. N형 TFET의 기판(100), 소스 영역(311) 및 채널 영역(220)의 도전형은 p형이고, N형 TFET의 드레인 영역(321)의 도전형은 n형일 수 있다. 반대로 P형 TFET의 기판(100), 소스 영역(311) 및 채널 영역(220)의 도전형은 n형이고, P형 TFET의 드레인 영역(321)의 도전형은 p형일 수 있다.

[0065] N형 TFET의 소스 및 기판에 접지 전압이 인가될 수 있다. 설명의 간결함을 위해, 이하에서 접지 전압은 0 볼트(V)인 것으로 가정한다. P형 TFET의 소스 및 기판에 구동 전압(V_{DD})이 인가될 수 있다. N형 TFET의 게이트 전극과 P형 TFET의 게이트 전극의 각각에 입력 전압(Vin)이 인가될 수 있다.

[0066] N형 TFET의 드레인은 P형 TFET의 드레인과 전기적으로 연결되어, 동일한 전압들을 각각 가질 수 있다. N형 TFET의 드레인과 P형 TFET의 드레인의 전압은 삼진 인버터(20)의 출력 전압(Vout)일 수 있다.

[0067] N형 TFET의 드레인에서 기판으로 정전류가 흐를 수 있다. P형 TFET의 기판에서 드레인으로 정전류가 흐를 수 있다. 상기 정전류들은 입력 전압(Vin)으로부터 독립적일 수 있다.

[0068] 일 예에서, P형 TFET가 채널 전류보다 우세한 정전류를 갖고 N형 TFET가 정전류보다 우세한 채널 전류를 갖도록, P형 TFET의 게이트 전극과 N형 TFET의 게이트 전극에 제1 입력 전압이 인가될 수 있다. 이때, 삼진 인버터(20)의 출력 전압(Vout)은 제1 전압일 수 있다.

[0069] 다른 예에서, N형 TFET가 채널 전류보다 우세한 정전류를 갖고 P형 TFET가 정전류보다 우세한 채널 전류를 갖도록, P형 TFET의 게이트 전극과 N형 TFET의 게이트 전극에 제2 입력 전압이 인가될 수 있다. 이때, 삼진 인버터(20)의 출력 전압은 상기 제1 전압보다 큰 제2 전압일 수 있다.

[0070] 또 다른 예에서, N형 TFET와 P형 TFET의 각각이 채널 전류보다 우세한 정전류를 갖도록, P형 TFET의 게이트 전극과 N형 TFET의 게이트 전극에 제3 입력 전압이 인가될 수 있다. 이때, 삼진 인버터(20)의 출력 전압은 상기 제1 전압과 제2 전압 사이의 제3 전압일 수 있다.

[0071] N형 TFET의 드레인에서 기판으로 흐르는 정전류 및 P형 TFET의 기판에서 드레인으로 흐르는 정전류는 P형 TFET와 N형 TFET의 게이트 전극들에 인가되는 게이트 전압들과 무관하게 흐를 수 있다. 삼진 인버터(20) 내의 전류는 P형 TFET의 기판으로부터 P형 TFET의 드레인과 N형 TFET의 드레인을 거쳐서 N형 TFET의 기판으로 흐를 수 있다. P형 TFET의 기판에 인가되는 구동 전압(V_{DD})은 P형 TFET의 기판과 P형 TFET의 드레인 사이의 저항 및 N형 TFET의 기판과 N형 TFET의 드레인 사이의 저항에 분배될 수 있다. 출력 전압(Vout)은 N형 TFET의 기판과 N형 TFET의 드레인 사이의 저항에 인가된 전압일 수 있다. 출력 전압(Vout)은 구동 전압(V_{DD})과 0 V 사이의 값을 가

질 수 있다.

[0072] 출력 전압(Vout)은 입력 전압(Vin)에 따라 0 V('0' 상태), 구동 전압(V_{DD})과 0 V 사이의 전압('1' 상태), 또는 구동 전압(V_{DD})('2' 상태)을 가질 수 있다. 본 개시는 입력 전압(Vin)에 따라 3가지 상태를 갖는 삼진 인버터(20)를 제공할 수 있다.

[0073] 도 6은 본 발명의 일 실시예에 따른 삼진 인버터(30)의 단면도이다. 도 1에서 설명한 내용과 중복되는 내용은 설명을 생략하거나 간단히 할 수 있다.

[0074] 도 6을 참조하면, 본 발명의 일 실시예에 따른 삼진 인버터(30)는 기판(1100), 제1 웰 영역(1102), 제2 웰 영역(1104), 소자 분리막(SL), 제1 채널 영역(1222), 제2 채널 영역(1224), 제1 소스 영역(1312), 제1 드레인 영역(1314), 제2 소스 영역(1322), 제2 드레인 영역(1324), 제1 게이트 구조체(1402), 및 제2 게이트 구조체(1404)를 포함할 수 있다.

[0075] 기판(1100)은 반도체 기판일 수 있다. 예를 들어, 기판(1100)은 실리콘(Si)을 포함할 수 있다. 기판(1100)은 진성 반도체 기판이거나 도전형을 갖는 반도체 기판일 수 있다.

[0076] 제1 웰 영역(1102) 및 제2 웰 영역(1104)은 기판(1100)의 상부에 제공될 수 있다. 제1 웰 영역(1102) 및 제2 웰 영역(1104)은 기판(1100)의 상면(1100u)에 평행한 제1 방향(DR1)을 따라 서로 이격될 수 있다. 제1 웰 영역(1102)은 p형 영역일 수 있다. 제2 웰 영역(1104)은 n형 영역일 수 있다.

[0077] 기판(1100) 상에 제1 웰 영역(1102) 및 제2 웰 영역(1104)을 노출하는 소자 분리막(SL)이 제공될 수 있다. 소자 분리막(SL)은 도 1을 참조하여 설명된 한 쌍의 소자 분리 영역들과 실질적으로 동일한 물질을 포함할 수 있다.

[0078] 제1 웰 영역(1102) 상에 제1 소스 영역(1312) 및 제1 드레인 영역(1314)이 위치할 수 있고, 양 영역(1312, 1314) 사이에 제1 채널 영역(1222)이 위치할 수 있다. 마찬가지로 제2 웰 영역(1104) 상에 제2 소스 영역(1322) 및 제2 드레인 영역(1324)이 위치할 수 있고, 양 영역(1322, 1324) 사이에 제2 채널 영역(1224)이 위치할 수 있다.

[0079] 본 도면에서는 소스 영역(1312, 1322)이 확장 영역(1212, 1214)을 포함하는 제1 실시예를 도시하였다. 이때 확장 영역(1212, 1214)은 소스 영역(1312, 1324)과 동일한 도전형을 가질 수 있다. 그 외에 확장 영역(1212, 1214)에 관한 실시예는 전술한 실시예에서 설명한 것과 동일한 내용이 적용될 수 있음은 물론이다.

[0080] 제1 채널 영역(1222)은 에피택시얼 층 일 수 있다. 예를 들어, 제1 채널 영역(1222)은 실리콘(Si)을 포함할 수 있다. 제1 채널 영역(1222)의 도전형은 기판(1100) 또는 확장 영역(1212)의 도전형과 실질적으로 동일할 수 있다. 일 예로, 기판(1100)의 도전형이 p형인 경우 제1 채널 영역(1222)의 도전형은 p형이고, 도핑 농도는 확장 영역(1212)의 도핑 농도보다 낮을 수 있다. 다른 예로, 기판(1100)의 도전형이 n형인 경우 제1 채널 영역(1222)의 도전형은 n형이고, 도핑 농도는 확장 영역(1212)의 도핑 농도보다 낮을 수 있다. 일 예로, 제1 채널 영역(1222)의 도핑 농도는 제1 웰 영역(1102)의 도핑 농도와 실질적으로 동일할 수 있다.

[0081] 제2 채널 영역(1224)은 에피택시얼 층 일 수 있다. 예를 들어, 제2 채널 영역(1224)은 실리콘(Si)을 포함할 수 있다. 제2 채널 영역(1224)의 도전형은 기판(1100) 또는 확장 영역(1214)의 도전형과 실질적으로 동일할 수 있다. 제2 채널 영역(1224)의 도전형은 n형이고, 도핑 농도는 확장 영역(1214)의 도핑 농도보다 낮을 수 있다. 일 예로, 제2 채널 영역(1224)의 도핑 농도는 제2 웰 영역(1104)의 도핑 농도와 실질적으로 동일할 수 있다.

[0082] 제1 소스 영역(1312)은 확장 영역(1212)과 동일한 도전형을 가질 수 있다. 제1 소스 영역(1312)의 도전형은 p형일 수 있다. 제1 소스 영역(1312)의 도핑 농도는 확장 영역(1212)의 도핑 농도보다 높을 수 있다. 제1 드레인 영역(1314)은 확장 영역(1212)과 다른 도전형을 가질 수 있다. 제1 드레인 영역(1314)의 도전형은 n형일 수 있다.

[0083] 제2 소스 영역(1322)은 확장 영역(1214)과 동일한 도전형을 가질 수 있다. 제2 소스 영역(1322)의 도전형은 n형일 수 있다. 제2 소스 영역(1322)의 도핑 농도는 확장 영역(1214)의 도핑 농도보다 높을 수 있다. 제2 드레인 영역(1324)은 확장 영역(1214)과 다른 도전형을 가질 수 있다. 제2 드레인 영역(1324)의 도전형은 p형일 수 있다.

[0084] 제1 채널 영역(1222) 상에 제1 게이트 구조체(1402)가 제공될 수 있다. 제1 게이트 구조체(1402)는 제1 게이트 절연막(1412), 제1 게이트 전극(1422), 및 제1 한 쌍의 스페이서들(미도시)을 포함할 수 있다. 제1 게이트 절연막(1412), 제1 게이트 전극(1422), 및 제1 한 쌍의 스페이서들은 각각 도 1을 참조하여 설명된 게이트 절연막

(410), 게이트 전극(420), 및 한 쌍의 스페이서들과 실질적으로 동일할 수 있다.

[0085] 제2 채널 영역(1224) 상에 제2 게이트 구조체(1404)가 제공될 수 있다. 제2 게이트 구조체(1404)는 제2 게이트 절연막(1414), 제2 게이트 전극(1424), 및 제2 한 쌍의 스페이서들(미도시)을 포함할 수 있다. 제2 게이트 절연막(1414), 제2 게이트 전극(1424), 및 제2 한 쌍의 스페이서들(미도시)은 각각 도 1을 참조하여 설명된 게이트 절연막(410), 게이트 전극(420), 및 한 쌍의 스페이서들과 실질적으로 동일할 수 있다.

[0086] 본 발명은 전술한 트랜지스터들을 포함하는 삼진 인버터(30)를 제공할 수 있다. 제1 웰 영역(1102), 확장 영역(1212), 제1 채널 영역(1222), 제1 소스 영역(1312), 제1 드레인 영역(1314), 및 제1 게이트 구조체(1402)는 N형 TFET를 구성할 수 있다. 제2 웰 영역(1104), 확장 영역(1214), 제2 채널 영역(1224), 제2 소스 영역(1322), 제2 드레인 영역(1324), 및 제2 게이트 구조체(1404)는 P형 TFET를 구성할 수 있다. 제1 웰 영역(1102) 및 N형 TFET의 소스에 접지 전압이 인가될 수 있다. 제2 웰 영역(1104) 및 P형 TFET의 소스에 구동 전압이 인가될 수 있다. N형 TFET의 제1 게이트 전극(1432)과 P형 TFET의 제2 게이트 전극(1434)의 각각에 입력 전압(Vin)이 인가될 수 있다.

[0087] N형 TFET의 드레인(즉, 제1 드레인 영역(1314) 및 P형 TFET의 드레인(즉, 제2 드레인 영역(1324))은 서로 전기적으로 연결될 수 있다. N형 TFET의 드레인 및 P형 TFET의 드레인의 전압은 삼진 인버터(30)의 출력 전압(Vout)일 수 있다. 삼진 인버터에 대한 설명은 도 5를 참조하여 설명된 것과 실질적으로 동일할 수 있다.

[0088] 도 7은 본 발명의 다른 실시예에 따른 터널 전계효과 트랜지스터(40)의 단면도이다. 전술한 도 1의 실시예에서 설명한 내용과 중복되는 내용은 설명을 생략하거나 간단히 하고, 차이점을 위주로 설명한다. 동일한 구성요소는 동일한 도면부호를 사용하여 설명할 수 있다.

[0089] 도 7을 참조하면, 일 실시예에 따른 TFET(40)는 기판(100), 소스 영역(311), 드레인 영역(321), 채널 영역(220) 및 게이트 구조체(400)를 포함할 수 있다.

[0090] 소스 영역(311) 및 드레인 영역(321)은 각각 서로 다른 도전형으로 도핑될 수 있다. 가령, 소스 영역(311)이 제1 도전형 또는 제2 도전형으로 도핑된 경우, 반대로 드레인 영역(321)은 제2 도전형 또는 제1 도전형으로 도핑될 수 있다.

[0091] 이때, 소스 영역(311) 및 드레인 영역(321) 중 어느 하나는 확장 영역(350)을 포함할 수 있다. 확장 영역(350)은 채널 영역(220) 하부에 위치하여 게이트 전극(420)의 게이트 전압에 독립적인 정전류를 형성한다.

[0092] 확장 영역(350)의 상부면은 채널 영역(220)의 상부면(220u)으로부터 제2 방향(DR2)으로 소정의 간격인 제1 높이(h1) 만큼 이격될 수 있다.

[0093] 본 도면에서는 확장 영역(350)의 제1 방향(DR1)으로의 확장 폭(w1)이 채널 영역(220)의 제1 길이(l1)보다 작은 실시예에 관하여 설명한다.

[0094] 본 도면의 실시예에 따르면, 소스 영역(311)이 확장 영역(350)(이하, 제1 확장 영역으로 지칭할 수 있다.)을 포함할 수 있다. 즉, 확장 영역(350)은 소스 영역(311)과 직접 접할 수 있다.

[0095] 가령, 소스 영역(311)이 제1 도전형을 가지고 드레인 영역(321)이 제2 도전형을 가지는 경우, 제1 확장 영역은 드레인 영역(321)과 동일한 제2 도전형을 가질 수 있다. 다만 이때 제1 확장 영역의 도핑 농도는 같은 제2 도전형을 가지는 드레인 영역(321)의 도핑 농도보다 작을 수 있다.

[0096] 본 도면에 도시된 바와 반대로 드레인 영역(321)이 확장 영역(350)(이하, 제2 확장 영역으로 지칭할 수 있다.)을 포함할 수 있다. 즉, 확장 영역(350)은 드레인 영역(321)과 직접 접할 수 있다.

[0097] 가령, 소스 영역(311)이 제1 도전형을 가지고 드레인 영역(321)이 제2 도전형을 가지는 경우, 제2 확장 영역은 반대로 제1 도전형으로 도핑될 수 있다. 다만 이때 제2 확장 영역의 도핑 농도는 같은 제1 도전형을 가지는 소스 영역(311)의 도핑 농도보다 작을 수 있다.

[0098] 채널 영역(220)의 제1 길이(l1) 또는 상기 제1 길이(l1)에서 제1 방향(DR1)으로 확장 폭(w1)을 뺀 제2 길이(l2)는 약 10 ㎚이하일 수 있다.

[0099] 이상과 같이, 본 발명의 실시예들에 따르면 채널 영역(220) 상에 소스 영역(311) 또는 드레인 영역(321)의 형성을 위한 도핑 공정의 연장선 상에서 확장 영역(350)을 형성하여 소스, 드레인 간의 전기적 연결성을 향상시킴으로서 게이트 전압에 독립적인 정전류를 구현하고, 공정의 간소화를 도모할 수 있다. 이와 동시에, 확장 영역

(350)을 채널 영역(220)의 표면으로부터 이격되게 형성함으로서 게이트 의존적 전류의 경사 특성을 확보하여 스위칭 능력을 향상시키고 저전력 특성을 확보할 수 있다.

[0100] 도 8은 본 발명의 다른 실시예에 따른 터널 전계효과 트랜지스터(50)의 단면도이다. 전술한 실시예들에서 설명한 내용과 실질적으로 동일한 내용은 설명을 생략하거나 간단히 할 수 있고, 차이점을 위주로 설명한다. 동일한 구성요소는 동일한 도면부호를 사용하여 설명할 수 있다.

[0101] 도 8을 참조하면, 본 발명의 일 실시예에 따른 TFET(50)은 수직 구조의 TFET일 수 있다. 일 실시예에 따른 TFET(50)는 기판(100), 소스 영역(311), 드레인 영역(321) 및 게이트 구조체(401, 402)를 포함할 수 있다. 다만, 본 도면의 실시예에서 소스 영역(311)은 제1 방향(DR1)으로 연장되고, 소스 영역(311) 및 드레인 영역(321)은 제2 방향(DR2)으로 이격될 수 있다.

[0102] 소스 영역(311)은 확장 영역(351)을 포함할 수 있다. 확장 영역(351)은 제2 방향(DR2)으로 확장 폭(w3)을 가질 수 있다. 본 도면에서는 확장 폭(w3)이 채널 영역(220)의 제2 방향(DR2)으로의 길이(l3)보다 작은 실시예를 도시하였다.

[0103] 확장 영역(350)이 제2 방향(DR2)으로 연장되어 위치하는 경우 확장 영역(350)의 좌우 측면은, 채널 영역(220)의 좌우 표면(220r)으로부터 제2 높이(h2) 만큼 이격될 수 있다.

[0104] 이와 같은 본 발명의 확장 영역(350)은 소스 영역(311) 및 드레인 영역(321) 간의 전기적 연결성을 향상시킴으로서, 별도의 층 없이도 밴드간 터널링을 통해 게이트에 무관한 정전류를 형성시켜 공정의 간소화를 도모할 수 있다. 이와 동시에 채널 영역(220)과 확장 영역(350)을 이격되게 형성함으로써 게이트 의존적 전류의 흐름도 향상시키고 이에 따라 소자의 스위칭 능력 및 저전력 특성 또한 확보할 수 있다.

[0105] 게이트 구조체(401, 402)는 채널 영역(220)을 둘러싸는 형태로 위치할 수 있으며(Gate All Around; GAA 구조), 본 도면은 상기 GAA 구조의 단면도로서 게이트 구조체(401, 402)가 채널 영역(220)을 기준으로 양 측에 위치하는 것처럼 보일 수 있다. 게이트 구조체(401, 402)는 채널 영역(220)을 기준으로 기판(100)과 나란하게 배치된 소스 영역(311)의 일부, 채널 영역(220)의 양 측면 각각과 중첩할 수 있다. 게이트 구조체(401, 402)는 게이트 절연막(411, 412)과 게이트 전극(421, 422)를 포함할 수 있다. 게이트 절연막(411, 412)는 채널 영역(220)의 양 측 각각에서 소스 영역(311)의 일부, 이와 인접하는 채널 영역(220)의 양 측면 각각과 직접 접하여 해당하는 쪽의 게이트 전극(421, 422)과 소스 영역, 채널 영역을 전기적으로 절연시킨다.

[0106] 도 9는 본 발명의 일 실시예에 따른 삼진 인버터들과 종래의 이진(Binary) 인버터들의 게이트 전압-드레인 전류 그래프를 나타낸다.

[0107] 도 9를 참조하면, 이진 인버터들의 게이트 전압-드레인 전류 그래프들(IGR1, IGR2) 및 본 발명의 삼진 인버터들의 게이트 전압-드레인 전류 그래프들(IGR3, IGR4, IGR5)이 도시되어 있다.

[0108] 이진 인버터들의 드레인 전류들은 게이트 전압과 무관하게 흐르는 정전류 성분을 갖지 않았다.

[0109] 본 발명의 삼진 인버터들의 드레인 전류들은 게이트 전압과 무관하게 흐르는 정전류 성분을 가졌다. 예를 들어, 본 발명의 삼진 인버터들이 오프(Off) 상태를 가질 때에도, 본 발명의 삼진 인버터들에 정전류가 흐르는 것을 확인할 수 있다.

[0110] 도 10은 본 발명의 일 실시예에 따른 삼진 인버터와 종래의 이진 인버터의 입력 전압(Vin)-출력 전압(Vout) 그래프를 나타낸다.

[0111] 도 10을 참조하면, 본 발명의 삼진 인버터 및 이진 인버터의 구동 전압(V_{DD})은 1.0 V, 접지 전압(GND)은 0 V이었다. 삼진 인버터 및 이진 인버터의 입력 전압(Vin)은 0 V 내지 1.0 V이었다.

[0112] 이진 인버터의 경우, 입력 전압이 0 V에서 1 V로 변할 때, 0.5 V의 입력 전압 부근에서 출력 전압(Vout)이 1 V에서 0 V로 급격히 감소하였다. 즉, 이진 인버터는 두 가지 상태들(예를 들어, '0' 상태 및 '1' 상태)을 가졌다.

[0113] 본 발명의 삼진 인버터의 경우, 입력 전압이 0 V에서 1 V로 변할 때, 출력 전압(Vout)은 1 V에서 0.5 V로 급격히 감소하여 0.5 V를 유지하였다가, 0.5 V에서 0 V로 한번 더 급격히 감소하였다. 즉, 본 발명의 삼진 인버터는 세 가지 상태들(예를 들어, '0' 상태, '1' 상태, 및 '2' 상태)을 가졌다.

[0114] 도 11은 본 발명의 일 실시예에 따른 터널 전계효과 트랜지스터(TFET)와 종래의 엔모스 트랜지스터들의 게이트

전압-드레인 전류 그래프를 나타낸다.

[0115] 도 11을 참조하면, 종래의 엔모스 트랜지스터들의 게이트 전압-드레인 전류 그래프인 제1 프로파일(P1)과, 본 발명의 TFET의 게이트 전압-드레인 전류 그래프인 제2 프로파일(P2)이 도시되어 있다.

[0116] 제1 프로파일(P1)을 참조하면, 종래의 엔모스 트랜지스터들은 게이트 전압에 무관한 정전류를 가졌다. 즉, 종래의 엔모스 트랜지스터가 오프(off) 상태일 때에도 해당 트랜지스터에 정전류가 흐르는 것을 확인할 수 있다. 다만, 종래의 엔모스 트랜지스터들에 흐르는 정전류는, 엔모스 트랜지스터의 소스 영역과 드레인 영역이 동일한 종류의 도전형을 가지므로 소스 영역에서 드레인 영역으로의 열확산에 의해 구현될 수 있다.

[0117] 제2 프로파일(P2)을 참조하면, 본 발명의 TFET들 또한 게이트 전압에 무관한 정전류를 가졌다. 즉, 본 발명의 TFET가 오프(off) 상태일 때에도 해당 트랜지스터에 정전류가 흐르는 것을 확인할 수 있다. 그러나, 본 발명의 TFET들에 흐르는 정전류는, TFET의 소스 영역과 드레인 영역이 서로 다른 종류의 도전형을 가짐에 따라 소스 영역에서 드레인 영역으로의 밴드간 터널링(BTBT)에 의해 구현되는 점에서 제1 프로파일(P1)과 상이하다.

[0118] 한편, 도 11의 그래프 중앙에 인가 전압(V_{DD})에 따른 SSW(Subthreshold Swing)의 값인 SSW-V_{DD} 그래프가 삽입되어 있다. SSW(mV/dec)란 전류 값이 10배 증가하는데 필요한 전압 값을 의미할 수 있다. 다시 말해, SSW 값이 작을수록 원하는 전류를 얻는데 더 작은 전압이 필요하고, 이에 따라 요구되는 소비 전력 또한 감소됨을 의미한다. 두 프로파일(P1, P2) 각각의 우측에 도시된 기울기들의 역수값(S1, S2)이 전술한 SSW 값을 의미한다. 도 11의 중앙에 삽입된 SSW-V_{DD} 그래프는 정적 노이즈 마진(Static Noise Margin; SNM)을 약 2 kBt 내지 약 52 mV 이상 확보할 수 있는 SSW 량에 따른 V_{DD}를 의미하는 것이다. 다시 말해, SSW 값이 작을수록 같은 SNM을 유지하면서 더 작은 V_{DD}를 구현할 수 있고, 동작전압 스케일링 능력이 향상된 것을 의미한다.

[0119] 제1 프로파일(P1)의 우측에 제1 기울기의 역수값인 제1 스윙값(S1)이 도시되어 있으며, 상기 제1 스윙값(S1)은 일 예로 약 75 mV/dec로 측정되었다. 한편, 제2 프로파일(P2)의 우측에 제2 기울기의 역수값인 제2 스윙값(S2)이 도시되어 있으며, 상기 제2 스윙값(S2)은 일 예로 약 10 mV/dec로 측정되어 제1 프로파일(P1)보다 작은 값을 가지는 것을 확인할 수 있다. 기울기 측면에서는 약 7.7배 증가하여 본 발명의 확장 영역(350)을 포함하는 TFET(P2)가 종래의 엔모스 트랜지스터(P1)보다 더 가파른 경사 특성을 가진다. 즉, 본 발명의 TFET의 경우 약 60mV/dec 미만의 더욱 가파른 경사 특성(steep-slope characteristics)을 확보할 수 있고, 이에 따라 해당 트랜지스터 및 이를 포함하는 인버터에 있어서 동작 전압의 스케일링 능력을 향상시킬 수 있다.

[0120] 도 12는 본 발명의 일 실시예에 따른 터널 전계효과 트랜지스터의 드레인 전압에 따른 게이트 전압-드레인 전류 그래프를 나타낸다. 본 도면은 도 11의 제2 프로파일(P2)과 동일한 맥락의 그래프이므로 도 11에서 설명한 것과 중복되는 내용은 설명을 생략한다.

[0121] 도 12를 참조하면, 본 발명의 TFET들의 드레인 전압(V_{DS})에 따른 게이트 전압-드레인 전류 그래프들이 도시되어 있다. 본 발명의 TFET들은 게이트 전압에 무관한 정전류를 가지며, 모두 스윙 값이 기존에 CMOS의 열방출 확산 메커니즘에 의한 한계 스윙 값인 약 60 mV/dec 미만으로서 가파른 경사 특성을 갖는 것을 확인할 수 있다. 그리고, 드레인 전압(V_{DS})이 클수록 TFET에 흐르는 정전류 값이 큰 것을 확인할 수 있다.

[0122] 도 13은 본 발명의 다른 실시예에 따른 삼진 인버터의 전압의 입출력 특성을 나타낸 그래프이다. 본 도면은 도 10과 동일한 맥락의 그래프이므로 도 10에서 설명한 것과 중복되는 내용은 설명을 생략하고, 특징이 되는 점을 위주로 설명한다.

[0123] 본 발명의 삼진 인버터는 입력 전압이 0 V에서 0.3 V로 변할 때, 출력 전압(Vout)은 1 V에서 0.15 V로 급격히 감소하여 0.15 V를 유지하였다가, 0.15 V에서 0 V로 한번 더 급격히 감소하였다. 즉, 본 발명의 삼진 인버터는 세 가지 상태들(예를 들어, '0' 상태, '1' 상태, 및 '2' 상태)을 가지는 것을 확인할 수 있다. 다만, 도 10의 실시예와 다른 점은, 약 60 mV/dec 미만의 더욱 가파른 경사 특성(steep slope)에 기인하여 입력 전압(V_{IN})과 출력 전압(V_{OUT})의 범위가 0~1 V에서 0~0.3 V로 작아졌으며, 이에 따라 본 발명의 삼진 인버터의 동작 전압 스케일링 능력이 향상된 것을 확인할 수 있다.

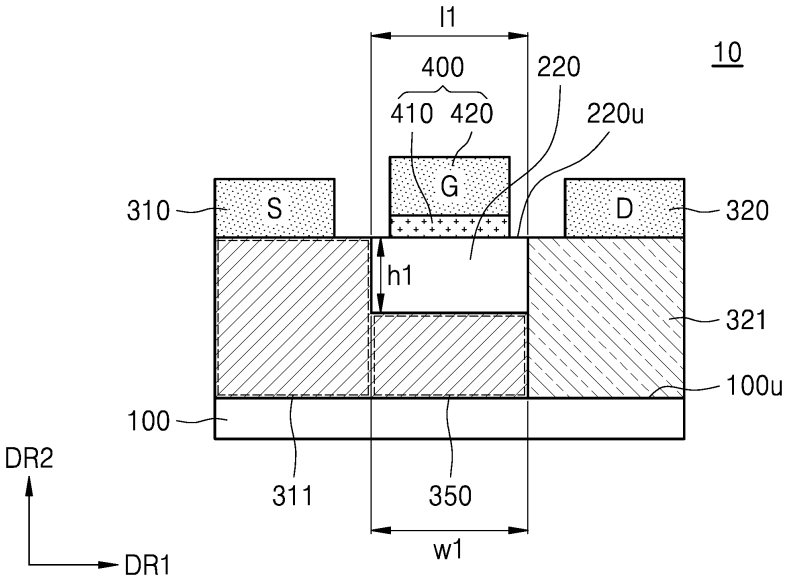
[0124] 또한, 이상에서는 본 발명의 바람직한 실시예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특정의 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 발명의

기술적 사상이나 전망으로부터 개별적으로 이해되어져서는 안될 것이다.

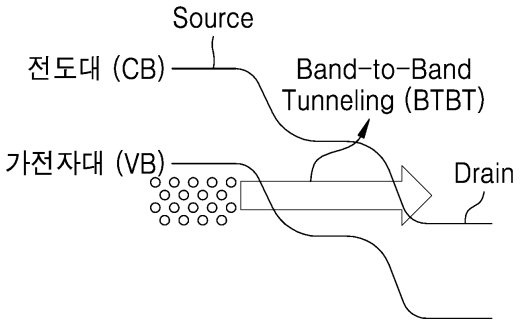
[0125] 따라서, 본 발명의 사상은 앞에서 설명된 실시예들에 국한하여 정해져서는 아니되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 또는 이로부터 등가적으로 변경된 모든 범위가 본 발명의 사상의 범주에 속한다고 할 것이다.

도면

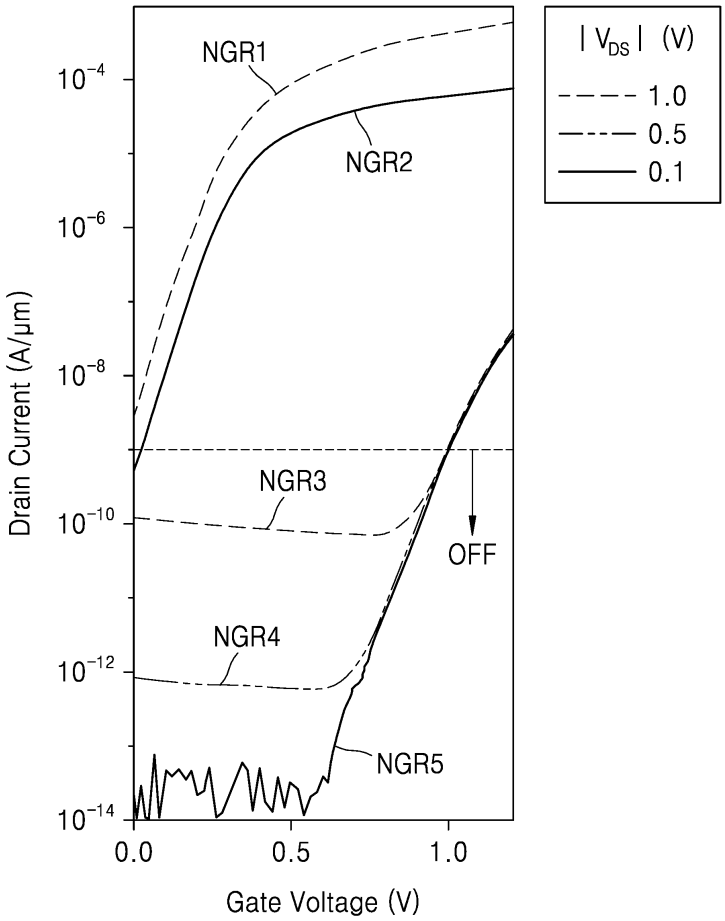
도면1



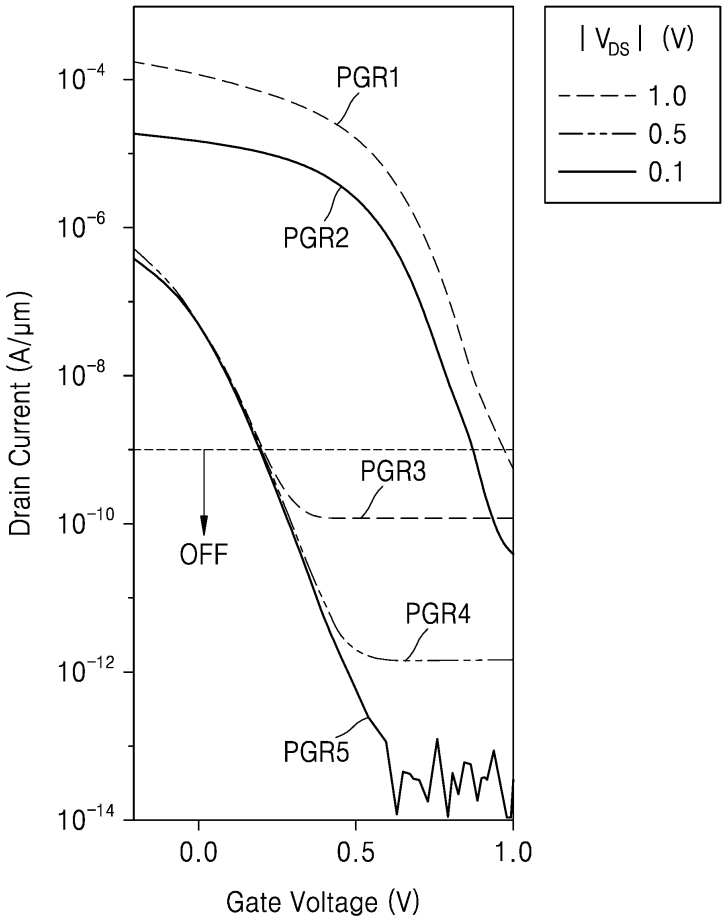
도면2



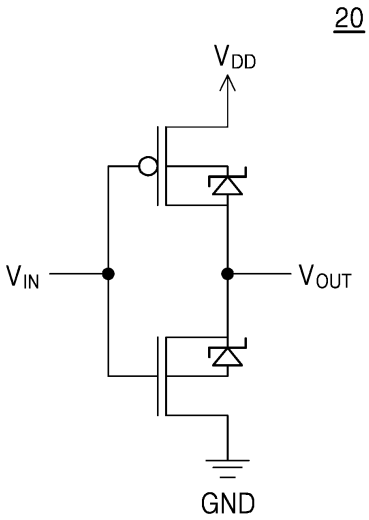
도면3


| V_{DS} | (V)
1.0
0.5
0.1
NGR1
NGR2
NGR3
NGR4
NGR5
OFF
Drain Current (A/μm)
10^{-4}
10^{-6}
10^{-8}
10^{-10}
10^{-12}
10^{-14}
0.0
0.5
1.0
Gate Voltage (V)

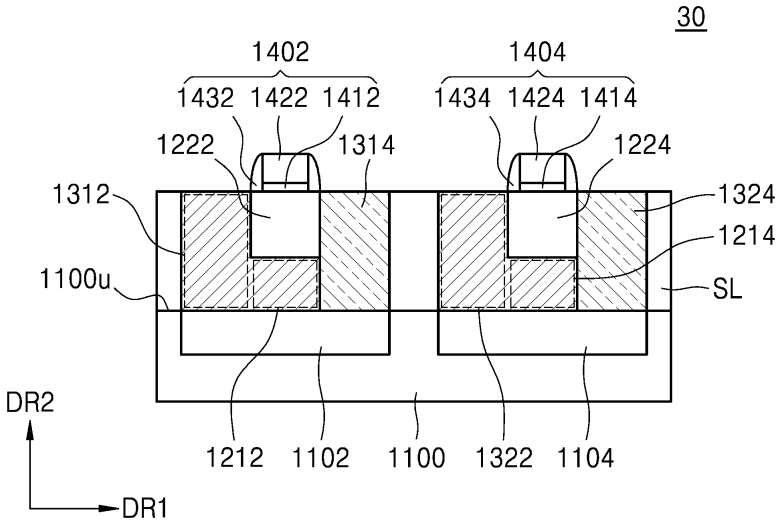
도면4


| V_{DS} | (V)
1.0
0.5
0.1
PGR1
PGR2
PGR3
PGR4
PGR5
OFF
10^{-4}
10^{-6}
10^{-8}
10^{-10}
10^{-12}
10^{-14}
Drain Current (A/μm)
0.0
0.5
1.0
Gate Voltage (V)

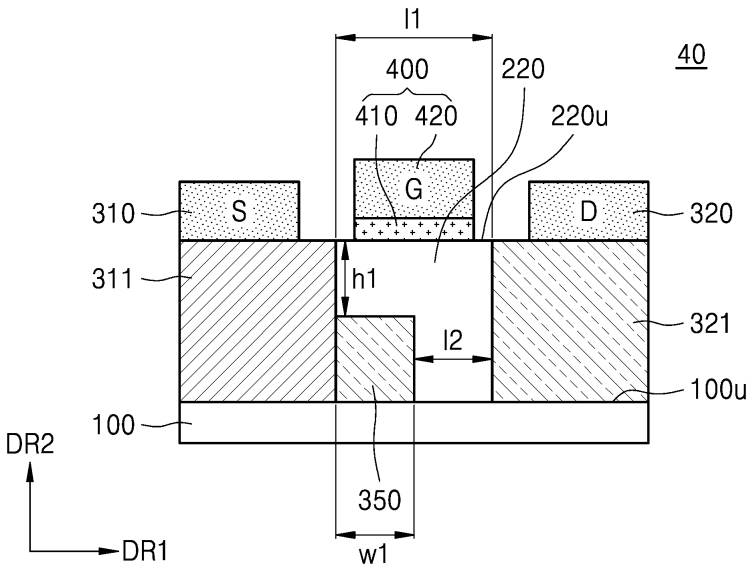
도면5


20
V_{DD}
V_{IN}
V_{OUT}
GND

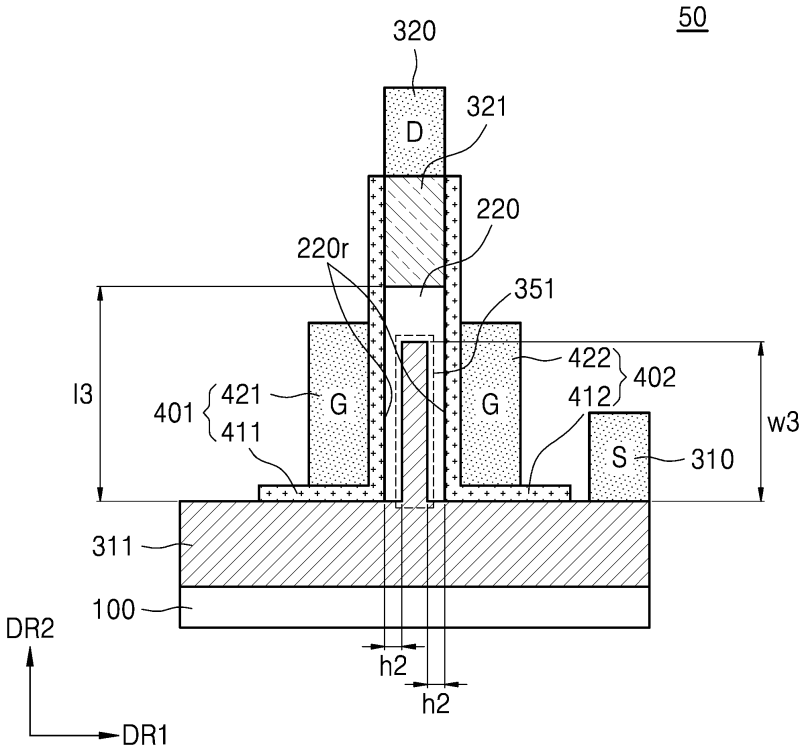
도면6


30
1402
1404
1432 1422 1412
1434 1424 1414
1222
1314
1224
1312
1324
1214
1100u
SL
DR2
DR1
1212 1102 1100 1322 1104

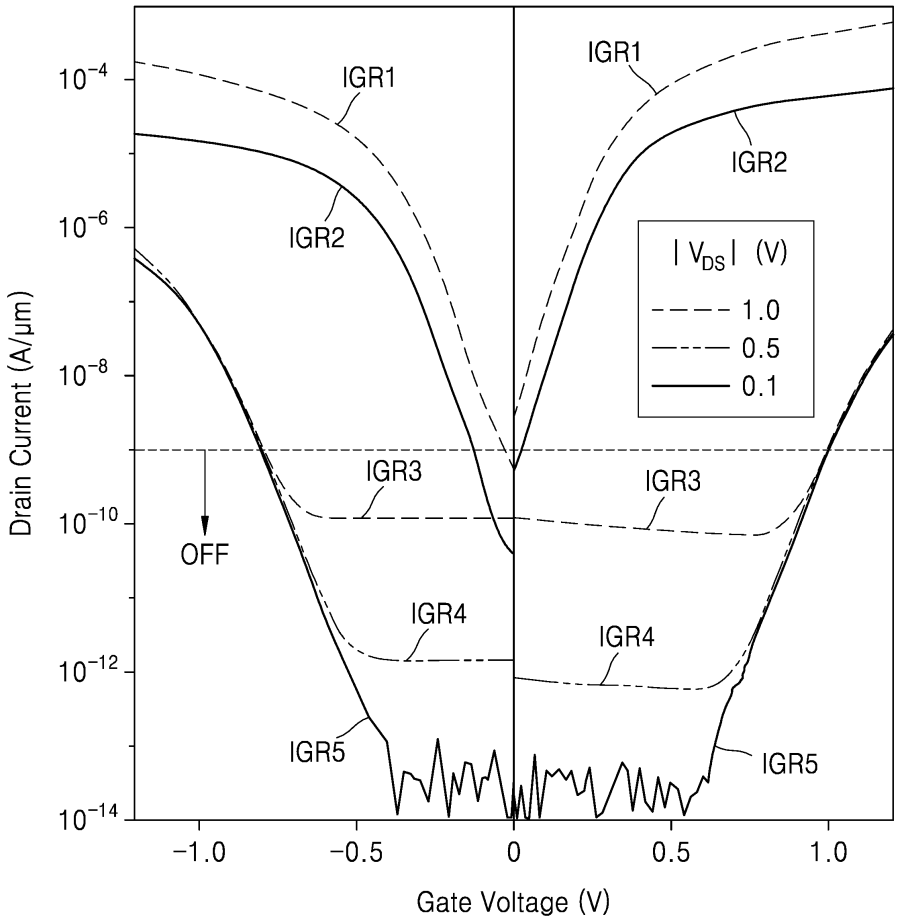
도면7


l1
40
400
220
410 420
220u
G
310
S
D
320
311
h1
321
l2
100u
100
DR2
DR1
350
w1

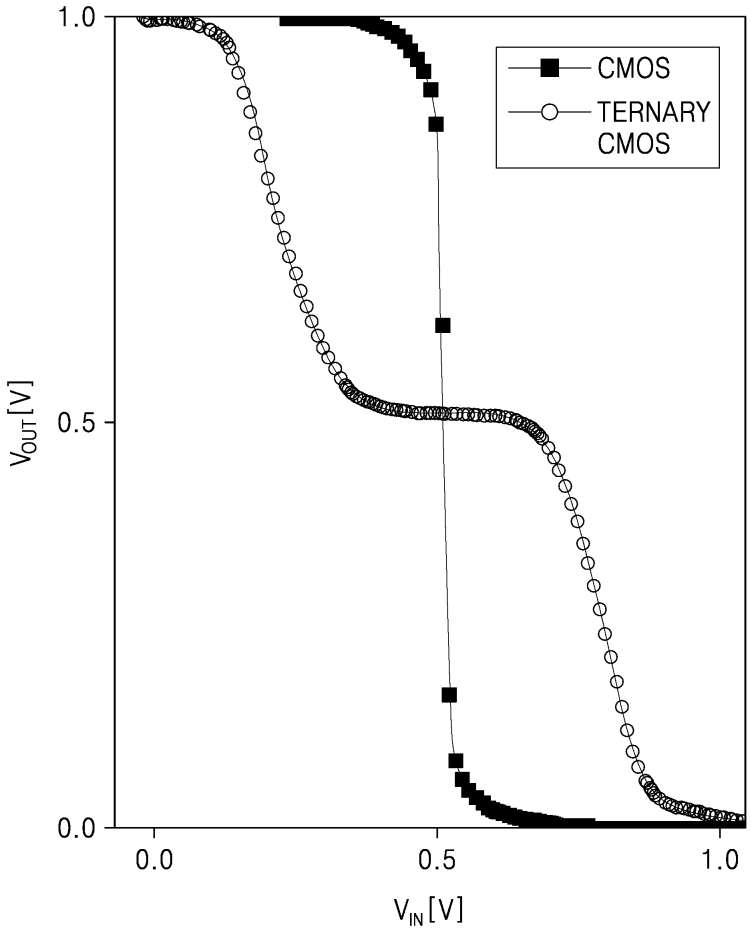
도면8


50
320
321
D
220
220r
351
422
402
412
l3
401
421
411
G
G
S
310
w3
311
100
DR2
DR1
h2
h2

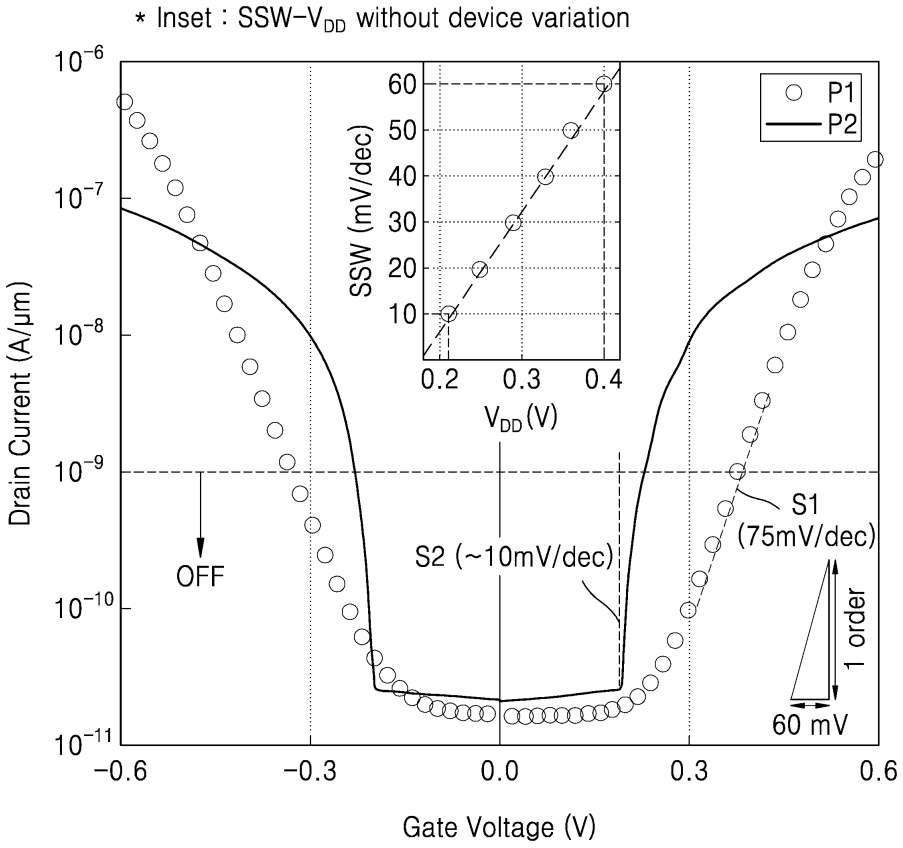
도면9


IGR1
IGR2
IGR3
IGR4
IGR5
OFF
| V_DS | (V)
1.0
0.5
0.1
Drain Current (A/μm)
Gate Voltage (V)
10^-4
10^-6
10^-8
10^-10
10^-12
10^-14
-1.0
-0.5
0
0.5
1.0

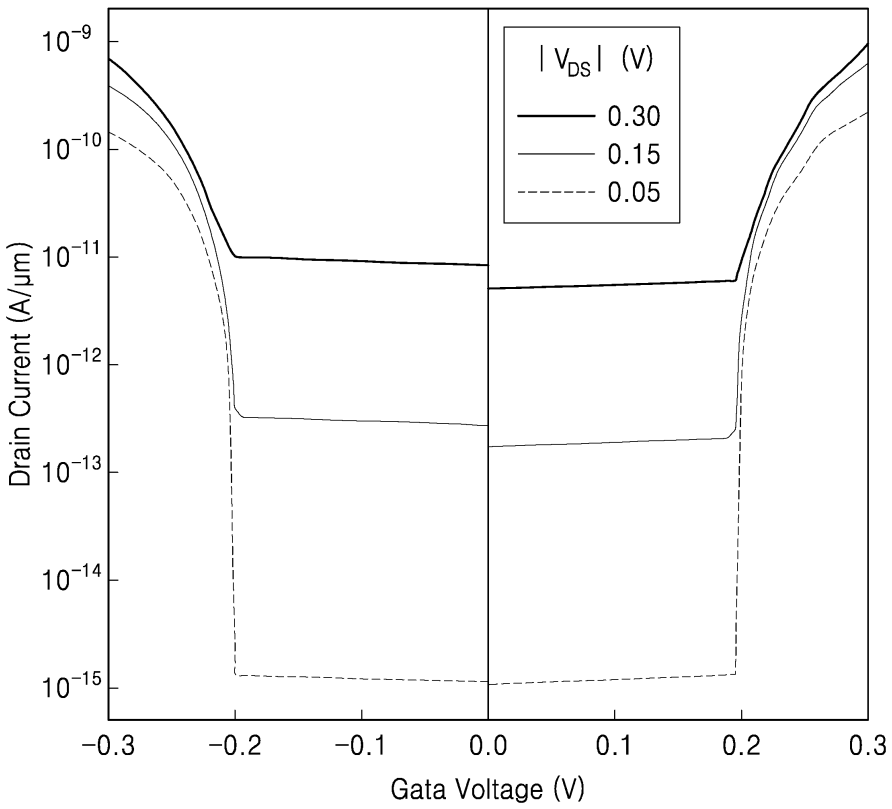
도면10



도면11


* Inset : SSW-V_{DD} without device variation
Drain Current (A/μm)
Gate Voltage (V)
P1
P2
SSW (mV/dec)
V_{DD}(V)
OFF
S2 (~10mV/dec)
S1
(75mV/dec)
1 order
60 mV

도면12


| V_{DS} | (V)
0.30
0.15
0.05
Drain Current (A/μm)
Gata Voltage (V)

도면13

