

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY 128440

Patent dodatkowy
do patentu _____

Zgłoszono: 79 04 25 /P.215137/

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 81 01 02

Opis patentowy opublikowano: 1985 08 30

CZYTELNIJA

!! do Patentowego
- - - - -

³
Int. Cl. H03K 13/08

Twórca wynalazku: Andrzej Zauszkiewicz

Uprawniony z patentu: Instytut Technologii Elektronowej, Warszawa /Polska/

SZYBKI PRZETWORNIK ANALOGOWO-CYFROWY

Przedmiotem wynalazku jest szybki przetwornik analogowo-cyfrowy, przetwarzający prąd lub napięcie wejściowe na kombinację $m \times n$ bitów. Przetworniki takie stosowane są w technice pomiarowej i w automatyce, a zwłaszcza przy numerycznej obróbce sygnałów w czasie rzeczywistym.

Przetworniki analogowo-cyfrowe, których szybkość działania jest istotna i podlega optymalizacji są odrębną klasą urządzeń, różniącą się w istotny sposób od innych przetworników. Maksymalną szybkość zapewniają dwa zasadniczo odmienne rozwiązania, w praktyce różniące się szybkością i dokładnością, a przede wszystkim - złożonością układu. Pierwszy rodzaj to przetwornik bezpośredni złożony z wielu komparatorów porównujących wielkość wejściową /napięcie lub prąd/, każdy ze swoją odrębną wielkością odniesienia. Komparatorów jest tyle, ile różnych poziomów powinien wyodrębnić przetwornik w całym zakresie zmienności wielkości wejściowej. Poziomy te odpowiadają wielkościom odniesienia, niezmiennym w czasie przetwarzania, dostarczonym przez odpowiednie układy stabilizujące.

Wynik określony jest zależnością pomiędzy ilością lub wagą komparatorów sygnalizujących "Wielkość wejściowa większa..." i "Wielkość wejściowa mniejsza od zadanej wielkości odniesienia". Dla celów dalszej obróbki wyniku, wyjścia komparatorów łączy się z siecią logiczną przekształcającą wynik do postaci kombinacji n - bitów, a niekiedy z rejestrem wyjściowym, jeżeli urządzenia współpracujące z przetwornikiem wymagają odczytu w określonych momentach czasowych. Struktura logiczna przetwornika jest bardzo prosta: stabilizatory wielkości odniesienia - komparatory - sieć logiczna i ewentualnie rejestr wyjściowy, a szybkość bardzo znaczna, ograniczona jedynie szybkością jednokrotnego porównania i czasem propagacji sieci logicznej, jednakże ilość komparatorów i złożoność sieci rośnie wykładniczo ze wzrostem ilości bitów wyniku. Zwiększa się również złożoność układów zasilających i dopasowujących. Przetwornik np. 8 - bitowy wymagałby 256 komparatorów.

Drugi rodzaj to przetwornik ze sprzężeniem zwrotnym dokonujący przetwarzania cyklicznie, wyposażony w jeden komparator dokonujący wielokrotnego porównania wielkości wejściowej ze zmieniającą się w trakcie przetwarzania wielkością odniesienia. Wynik ustalony jest w kolejnych krokach, bit po bicie poczynając od najstarszego, przy czym bity już określone i zapisane w rejestrze wyjściowym poprzez układ sprzężenia zwrotnego tj. przetwornik cyfrowo-analogowy wpływają na wielkość odniesienia.

Urządzenie przypomina układ regulacji nadążnej, w którym w miarę kolejnych kroków cyklu przetwarzania chwilowy wynik coraz dokładniej odpowiada wartości końcowej, a wielkość odniesienia zbliża do wielkości wejściowej. Układ ma bardziej skomplikowaną strukturę logiczną, z uzależnieniem czasowym - kolejne stany na wyjściu komparatora, będące wynikiem porównania w kolejnych krokach cyklu przetwarzania muszą być zapisywane na odpowiednich pozycjach rejestru wyjściowego w określonym porządku; od najstarszego.

Na początku kroku stany te są wpisywane "na próbę", a następnie, stosownie do wyniku porównania, podtrzymywane lub wymazywane. Stan rejestru w każdej chwili powinien być odwzorowany na wejściu odniesienia komparatora. Wyjście komparatora połączone jest poprzez układ rozrządu z wejściami rejestru wyjściowego. Wyjścia rejestru, niezależnie od współpracujących urządzeń zewnętrznych, połączone są z wejściami układu sprzężenia zwrotnego /przetwornika cyfrowo-analogowego/, z którego wyjścia podawana jest do komparatora aktualna wielkość odniesienia, tj. przetwarzane w poprzednich krokach bity starsze + bit aktualny "na próbę". Wynik porównania akceptuje lub wymazuje "próbę".

Układ rozrządu ma wewnętrzny generator taktujący /zegar/ określający czas kolejnych kroków oraz początek i koniec cyklu przetwarzania. W porównaniu z przetwornikiem bezpośrednim układ ze sprzężeniem zwrotnym cechuje znaczne zmniejszenie szybkości działania - czas porównania w każdym kroku, obok opóźnienia komparatora i sieci logicznej, zbliżonych w obu układach, zwiększa się w drugim przypadku o czas ustalenia wielkości odniesienia, a ponadto cykl przetwarzania składa się z tylu kroków, ile jest bitów wyniku. Jednakże zaletą układu ze sprzężeniem zwrotnym jest prostota konstrukcyjna, widoczna już przy względnie małej dokładności. Przy około 3 - 4 bitach wyniku obydwa rodzaje układów wykonane przy użyciu standardowych, produkowanych seryjnie układów scalonych są podobnej wielkości.

W znanych układach możliwe jest więc osiągnięcie dużej szybkości przetwarzania kosztem dokładności wyniku lub zachowanie dużej dokładności przy znacznie zmniejszonej szybkości działania.

Istotą rozwiązania według wynalazku jest układ szybkiego przetwornika analogowo-cyfrowego z układem komparatorów i z układem sprzężenia zwrotnego, w którym każde z n wyjść sieci logicznej komparatorów jest połączone z wejściem każdej z m sekcji rejestru wyjściowego, a następnie przez ten rejestr z wejściami układu sprzężenia zwrotnego. Wyjścia kolejnych m sekcji rejestru są dołączone do wejść układu sprzężenia zwrotnego o 2^n - krotnie niższej wadze.

Układ według wynalazku umożliwia n - krotne zwiększenie szybkości przetwarzania przy utrzymaniu stopnia złożoności konstrukcji. Układ według wynalazku zostanie bliżej objaśniony na przykładzie wykonania przedstawionym na rysunku, którego fig. 1 pokazuje przetwornik napięcia na kombinację $8 = 4 \times 2$ bitów, a fig. 2 na kombinację $9 = 3 \times 3$ bitów.

Pokazany na fig. 1 przetwornik 8-bitowy, określający w każdym z $m = 2$ kroków cyklu przetwarzania $n = 4$ bitów wyniku zawiera w układzie przetwornik bezpośredni 1 i elementy, z wyjątkiem komparatora, przetwornika ze sprzężeniem zwrotnym 2. 16 komparatorów 1.1, których wyjścia połączone są z siecią logiczną 1.2 daje każdorazowo 4-bitowy wynik porównania. Wyjścia sieci logicznej 1.2 połączone są z wejściami starszej i młodszej sekcji rejestru wyjściowego 2.1. Wejścia zapisujące i zerujące połączone są z wyjściami układu rozrządu 2.3. Do wyjść rejestru 2.1 dołączone są urządzenia zew-

nętrzne i równocześnie przetwornik cyfrowo-analogowy będący elementem sprzężenia zwrotnego 2.2 o 16 wyjściach, dołączonych do wejść odniesienia komparatorów 1.1 i dostarczających napięcie odniesienia.

Specyficzna konstrukcja przetwornika umożliwia oddzielne sumowanie napięcia określonego starszymi bitami ze źródła napięciowego i napięcie "na próbę" z dzielnika oporowego złożonego z 16 jednakowych rezystorów, przez który płynie prąd ze źródła prądowego, inny w każdym kroku. Pozwala to uprościć wytwarzanie napięć "na próbę", a w szczególności pominąć przetwarzanie najmłodszych bitów. Na początku cyklu rejestr 2.1 jest wyzerowany, źródło napięciowe podaje napięcie równe zeru, natomiast źródło prądowe wymusza prąd taki, że łączny spadek na rezystorach dzielnika jest równy maksymalnej wartości napięcia wejściowego. Napięcie na wejściu odniesienia dowolnego komparatora k wynosi:

$$U_k = k \frac{U_{\max.}}{16} ; \quad 0 \leq k \leq 15$$

Wynik porównania N_1 w postaci 4 starszych bitów zapisywany na pozycjach starszej sekcji rejestru 2.1 i z początkiem drugiego kroku ustala napięcie źródła napięciowego na wartości $U_{N_1} = N_1 \frac{U_{\max.}}{16} ; 0 \leq N_1 \leq 15$. Źródło prądowe wymusza teraz prąd 16-krotnie mniejszy, a napięcie odniesienia k - tego komparatora wynosi:

$$U_k = U_{N_1} + k \frac{U_{\max.}}{256} ; \quad 0 \leq k \leq 15$$

Wynik porównania określa 4 młodsze bity, zapisywane na pozycjach drugiej sekcji rejestru 2.1. Koniec cyklu przetwarzania i początek nowego wyznacza impuls z układu rozrządu 2.3, zerujący obie sekcje rejestru i zwiększający prąd źródła prądowego.

Fig. 2 przedstawia przetwornik 9 bitowy, określający w $m = 3$ krokach, a = 3 bity wyniku. Rejestr wyjściowy 2.1 składa się z trzech sekcji, z których dwie starsze sterują źródłem napięciowym. Źródło prądowe, sterowane impulsami z układu rozrządu 2.3 dostarcza napięcie "na próbę" wymuszając w kolejnych krokach wartość prądu, dającą na dzielniku spadek napięcia równy $U_{\max.}$ oraz 8 i 64-krotnie mniejszy. Element sprzężenia zwrotnego 2.2 przetwarza 6 starszych bitów wyniku i 3 impulsy kroków z układu rozrządu 2.3 na 8 napięć odniesienia podawane osiemu komparatorom 1.1. Cykl przetwarzania również zaczyna się od wyzerowania rejestrów i maksymalnego prądu ustalającego napięcia "na próbę". Każdy krok, uściślając postać wyniku o kolejne 3 bity i przybliżając wartość U_N do U_{we} , osmiokrotnie zmniejsza prąd dzielnika oporowego i napięcia "na próbę".

Z a s t r z e ż e n i e p a t e n t o w e

Szybki przetwornik analogowo-cyfrowy zawierający układ komparatorów z siecią logiczną dającą n - bitowy wynik porównania i układ sprzężenia zwrotnego, przetwarzający w m krokach cyklu przetwarzania napięcie lub prąd wejściowy, z n a m i e n n y t y m, że każde z $/n/$ wyjść sieci logicznej $/1.2/$ komparatorów $/1.1/$ jest połączone z wejściem każdej z $/m/$ sekcji rejestru wyjściowego $/2.1/$, a następne poprzez ten rejestr z wejściami układu sprzężenia zwrotnego $/2.2/$, przy czym wyjścia każdej następnej z $/m/$ sekcji rejestru dołączone są do wejść układu sprzężenia zwrotnego $/2.2/$ o 2^n - krotnie niższej wadze.

