

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-135112

(P2005-135112A)

(43) 公開日 平成17年5月26日(2005.5.26)

(51) Int. Cl.⁷

G05F 3/24
H03F 3/345

F I

G05F 3/24
H03F 3/345

テーマコード(参考)

5H420
5J500

審査請求 未請求 請求項の数 18 O L (全 18 頁)

(21) 出願番号 特願2003-369464 (P2003-369464)
(22) 出願日 平成15年10月29日(2003.10.29)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(74) 代理人 100090479
弁理士 井上 一
(74) 代理人 100090387
弁理士 布施 行夫
(74) 代理人 100090398
弁理士 大淵 美千栄
(72) 発明者 ニノ宮 正也
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
Fターム(参考) 5H420 NA13 NA17 NA24 NB02 NB12
NB22 NB25 NC02 NC38 NE02

最終頁に続く

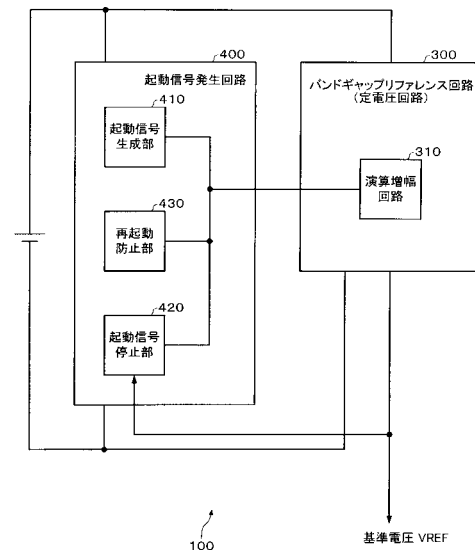
(54) 【発明の名称】 基準電圧発生回路及びこれを用いた電源電圧監視回路

(57) 【要約】

【課題】 安定した起動回路を備える基準電圧発生回路、及びこれを用いた電源電圧監視回路を提供すること

【解決手段】 起動信号発生回路400と、定電圧回路300と、前記起動信号発生回路400及び前記定電圧回路300に供給する第1の電源及び第2の電源とを含む基準電圧発生回路100であって、前記定電圧回路300は、演算増幅回路310を含み、前記演算増幅回路310の出力は、第1の安定期間及び第2の安定期間で所定の電圧に安定し、前記起動信号発生回路400は、前記定電圧回路300によって出力される基準電圧に基づいて、前記定電圧回路300を起動制御する起動信号SSSを発生し、その後少なくとも前記第1の安定期間を経過するまで前記定電圧回路300へアクティブな起動信号SSSを出力し、前記起動信号発生回路400は、前記第1の安定期間を経過した後に前記定電圧回路300へノンアクティブな起動信号SSSを出力することを特徴とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

起動信号発生回路と、定電圧回路と、前記起動信号発生回路及び前記定電圧回路に供給する第1の電源及び第2の電源とを含む基準電圧発生回路であって、

前記定電圧回路は、演算増幅回路を含み、

前記演算増幅回路の出力は、第1の安定期間及び第2の安定期間で所定の電圧に安定し

、
前記起動信号発生回路は、前記定電圧回路によって出力される基準電圧に基づいて、前記定電圧回路を起動制御する起動信号SSSを発生し、その後少なくとも前記第1の安定期間を経過するまで前記定電圧回路へアクティブな起動信号SSSを出力し、

10

前記起動信号発生回路は、前記第1の安定期間を経過した後に前記定電圧回路へノンアクティブな起動信号SSSを出力することを特徴とする基準電圧発生回路。

【請求項 2】

請求項 1 において、

前記定電圧回路は、電流モード型バンドギャップリファレンス回路を含み、

前記電流モード型バンドギャップリファレンス回路は、前記演算増幅回路と、第1のPN接合と、前記第1のPN接合とは電流密度の異なる第2のPN接合と、複数のトランジスタと、複数の抵抗器とを含み、

前記複数のトランジスタは、第1の電流制御用トランジスタと、第2の電流制御用トランジスタと、P型トランジスタとを含み、

20

前記複数の抵抗器は、第1の基準電圧発生用抵抗器と、第2の基準電圧発生用抵抗器とを含み、

前記第1の電流制御用トランジスタは、前記第1のPN接合に供給する電流を制御し、

前記第2の電流制御用トランジスタは、前記第2の基準電圧発生用抵抗器及び前記第2のPN接合に供給する電流を制御し、

前記P型トランジスタは、前記第1の基準電圧発生用抵抗器に供給する電流を制御することを特徴とする基準電圧発生回路。

【請求項 3】

請求項 2 において、

前記演算増幅回路は、前記演算増幅回路の出力信号を前記複数のトランジスタの各々のゲート電極に出力し、

30

前記第1の電流制御用トランジスタと、第2の電流制御用トランジスタ及び前記P型トランジスタは、前記アクティブな起動信号SSSに応じてON状態に設定されることを特徴とする基準電圧発生回路。

【請求項 4】

請求項 2 または 3 において、

前記第1の電流制御用トランジスタは、前記第1の電源と第1のPN接合との間に設けられ、

前記第1のPN接合は、前記第1の電流制御用トランジスタと前記第2の電源との間に設けられ、

40

前記第2の電流制御用トランジスタは、前記第1の電源と第2のPN接合との間に設けられ、

前記第2のPN接合及び前記第2の基準電圧発生用抵抗器は、前記第2の電流制御用トランジスタと前記第2の電源との間に設けられていることを特徴とする基準電圧発生回路。

【請求項 5】

請求項 1 乃至 4 のいずれかにおいて、

前記起動信号発生回路は、起動信号生成部と、起動信号停止部とを含み、

前記起動信号生成部は、前記第1の電源の電圧と前記第2の電源の電圧との差の電圧に基づいて前記アクティブな起動信号SSSを生成し、

50

前記起動信号停止部は、前記起動信号生成部によって生成された前記アクティブな起動信号 S S S を、前記基準電圧に基づいて前記ノンアクティブな起動信号 S S S に設定することを特徴とする基準電圧発生回路。

【請求項 6】

請求項 5 において、

前記起動信号生成部は負荷抵抗器を含むことを特徴とする基準電圧発生回路。

【請求項 7】

請求項 6 において、

前記負荷抵抗器は、P 型 MOS F E T で構成されることを特徴とする基準電圧発生回路

10

【請求項 8】

請求項 5 乃至 7 のいずれかにおいて、

前記起動信号停止部は、第 1 の N 型 MOS F E T を含み、

前記第 1 の N 型 MOS F E T のゲート電極には、前記基準電圧が供給されることを特徴とする基準電圧発生回路。

【請求項 9】

請求項 5 乃至 8 のいずれかにおいて、

前記起動信号発生回路は、再起動防止部を含み、

前記再起動防止部は、前記起動信号生成部によって生成された前記アクティブな起動信号 S S S を、前記第 1 の電源の電圧と前記第 2 の電源の電圧との差の電圧に基づいて前記

20

【請求項 10】

請求項 9 において、

前記第 1 の電源の電圧と前記第 2 の電源の電圧との差の電圧が第 1 の設定電圧 V_1 以上のときは、前記再起動防止部は、前記起動信号生成部によって生成された前記アクティブな起動信号 S S S を前記ノンアクティブな起動信号 S S S に再設定し、

前記第 1 の電源の電圧と前記第 2 の電源の電圧との差の電圧が第 2 の設定電圧 V_2 ($V_2 < V_1$) 以下のときは、前記再起動防止部は前記起動信号生成部によって生成された前記アクティブな起動信号 S S S に対して前記ノンアクティブな起動信号 S S S への再設定を行わないことを特徴とする基準電圧発生回路。

30

【請求項 11】

請求項 10 において、

前記再起動防止部は、第 1 の抵抗器と、第 2 の抵抗器と、第 2 の N 型 MOS F E T とを含み、

前記第 1 の抵抗器の一方の端子は前記第 2 の抵抗器の一方の端子に接続され、

前記第 1 の抵抗器の他方の端子には、前記第 1 の電源の電圧と前記第 2 の電源の電圧との差の電圧が供給され、

前記第 2 の抵抗器の他方の端子は接地され、

前記第 2 の N 型 MOS F E T のゲート電極には、前記第 1 の抵抗器及び前記第 2 の抵抗器により抵抗分割された分圧電圧が供給されることを特徴とする基準電圧発生回路。

40

【請求項 12】

請求項 11 において、

前記第 2 の N 型 MOS F E T は、前記第 1 の電源の電圧と前記第 2 の電源の電圧との差の電圧が前記第 1 の設定電圧 V_1 以上の時、オン状態に設定されることを特徴とする基準電圧発生回路。

【請求項 13】

請求項 11 において、

前記第 2 の N 型 MOS F E T は、前記第 1 の電源の電圧と前記第 2 の電源の電圧との差の電圧が前記第 2 の設定電圧 V_2 以下のとき、オフ状態に設定されることを特徴とする基準電圧発生回路。

50

【請求項 14】

請求項 11 乃至 13 のいずれかにおいて、
前記第 2 の抵抗器は、第 3 の抵抗器と、第 4 の抵抗器と、スイッチ素子とを含み、
前記第 3 の抵抗器と前記第 4 の抵抗器は互いに直列接続され、
前記第 4 の抵抗器と前記スイッチ素子は並列接続されていることを特徴とする基準電圧発生回路。

【請求項 15】

請求項 14 において、
前記第 1 の抵抗器は、第 5 の抵抗器と、第 6 の抵抗器とを含み、
前記第 5 の抵抗器と前記第 6 の抵抗器は互いに直列接続されていることを特徴とする基準電圧発生回路。 10

【請求項 16】

請求項 15 の基準電圧発生回路と、コンパレータとを含み、
前記コンパレータは前記第 5 の抵抗器と前記第 6 の抵抗器及び第 2 の抵抗器によって抵抗分割された分圧電圧と前記基準電圧との比較結果を前記スイッチ素子に出力することを特徴とする電源電圧監視回路。

【請求項 17】

請求項 16 において、
前記第 2 の N 型 MOSFET の閾値が、最小閾値 V_{thmin} から最大閾値 V_{thmax} のまでの範囲内であるとき、 20

前記第 1 の抵抗器の抵抗値 R_1 、前記第 3 の抵抗器の抵抗値 R_2 及び前記第 4 の抵抗器の抵抗値 R_3 は、次の 2 式

$$V_{thmin} > V_2 \times R_2 \div (R_1 + R_2)$$

$$V_{thmax} < V_1 \times (R_2 + R_3) \div (R_1 + R_2 + R_3)$$

を満たすことを特徴とする電源電圧監視回路。

【請求項 18】

請求項 1 乃至 13 のいずれかの基準電圧発生回路を含み、
前記基準電圧に基づいて前記第 1 の電源の電圧と前記第 2 の電源の電圧との差の電圧を監視し、前記第 1 の電源の電圧と前記第 2 の電源の電圧との差の電圧が所定の検出電圧に達した場合、検出信号を出力することを特徴とする電源電圧監視回路。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基準電圧発生回路及びこれを用いた電源電圧監視回路に関する。

【背景技術】

【0002】

従来、基準電圧発生回路の改良型に、電流モード型基準電圧発生回路がある。これは、低電圧での動作が可能であり、さらに発生される基準電圧を可変にできるという特徴がある（非特許文献 1 参照）。

【非特許文献 1】IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 34, NO. 5, MAY 1999, "A CMOS Bandgap Reference Circuit with Sub-1-V Operation" 40

【発明の開示】

【発明が解決しようとする課題】

【0003】

前述の従来技術における基準電圧発生回路では、電源投入時等に回路を安定して起動させるために、スタート信号が必要になる。ところが、電源投入時等の電源電圧が低い段階では、このようなスタート信号を生成するのは容易ではない。従って、このようなスタート信号を生成できない場合には、回路の安定した起動を実現できないという課題がある。 50

【0004】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、低い電源電圧でも高精度な基準電圧を発生できると共に、回路の安定した起動を実現できる基準電圧発生回路、及びこれを用いた電源電圧監視回路を提供することにある。

【課題を解決するための手段】

【0005】

本発明は、起動信号発生回路と、定電圧回路と、前記起動信号発生回路及び前記定電圧回路に供給する第1の電源及び第2の電源とを含む基準電圧発生回路であって、

前記定電圧回路は、演算増幅回路を含み、前記演算増幅回路の出力は、第1の安定期間及び第2の安定期間で所定の電圧に安定し、前記起動信号発生回路は、前記定電圧回路によって出力される基準電圧に基づいて、前記定電圧回路を起動制御する起動信号SSSを発生し、その後少なくとも前記第1の安定期間を経過するまで前記定電圧回路へアクティブな起動信号SSSを出力し、前記起動信号発生回路は、前記第1の安定期間を経過した後に前記定電圧回路へノンアクティブな起動信号SSSを出力する基準電圧発生回路に関する。

10

【0006】

これにより、本発明に関する基準電圧発生回路は、定電圧回路を確実に起動することができる。

【0007】

また、本発明に関する前記定電圧回路は、電流モード型バンドギャップリファレンス回路を含み、前記電流モード型バンドギャップリファレンス回路は、前記演算増幅回路と、第1のPN接合と、前記第1のPN接合とは電流密度の異なる第2のPN接合と、複数のトランジスタと、複数の抵抗器とを含み、前記複数のトランジスタは、第1の電流制御用トランジスタと、第2の電流制御用トランジスタと、P型トランジスタとを含み、前記複数の抵抗器は、第7の抵抗器と、第8の抵抗器と、第9の抵抗器と、基準電圧発生用抵抗器とを含み、前記第1の電流制御用トランジスタは、前記第1のPN接合及び前記第7の抵抗器に供給する電流を制御し、前記第2の電流制御用トランジスタは、前記第8の抵抗器と前記第2のPN接合及び前記第9の抵抗器に供給する電流を制御し、前記P型トランジスタは、前記基準電圧発生用抵抗器に供給する電流を制御してもよい。これにより、前記P型トランジスタは、前記基準電圧発生用抵抗器へ任意の電流を流すことができ、定電圧回路は基準電圧を発生することができる。

20

30

【0008】

また、本発明に関する前記演算増幅回路は、前記演算増幅回路の出力信号を前記複数のトランジスタの各々のゲート電極に出力し、前記第1の電流制御用トランジスタと前記第2の電流制御用トランジスタ及び前記P型トランジスタは、前記アクティブな起動信号SSSに応じてON状態に設定されてもよい。これにより、アクティブな起動信号SSSに応じて、前記第1のPN接合と前記第7の抵抗器に、また前記第2のPN接合と前記第8の抵抗器及び前記第9の抵抗器に、さらに前記基準電圧発生用抵抗器に電流を供給することができる。

【0009】

また、本発明に関する前記第1の電流制御用トランジスタは、第1の電源と第1のPN接合との間に設けられ、前記第1のPN接合と前記第7の抵抗器は、前記第1の電流制御用トランジスタと第2の電源との間に設けられ、前記第2の電流制御用トランジスタは、第1の電源と第2のPN接合との間に設けられ、前記第2のPN接合と前記第8の抵抗器及び第9の抵抗器は、前記第2の電流制御用トランジスタと第2の電源との間に設けられてもよい。

40

【0010】

また、本発明に関する前記起動信号発生回路は、起動信号生成部と、起動信号停止部とを含み、前記起動信号生成部は、前記第1の電源の電圧と前記第2の電源の電圧との差の電圧に基づいて前記アクティブな起動信号SSSを生成し、前記起動信号停止部は、前記

50

起動信号生成部によって生成された前記アクティブな起動信号 S S S を、前記基準電圧に基づいて前記ノンアクティブな起動信号 S S S に設定してもよい。これにより、起動信号発生回路は起動信号 S S S を出力することができ、前記定電圧回路を起動させることができる。また、前記定電圧回路を起動させた後、起動信号発生回路は基準電圧に基づいて起動信号 S S S をノンアクティブな起動信号 S S S に設定するので、定電圧回路は安定した基準電圧を発生することができる。

【0011】

また、本発明に関する前記起動信号生成部は負荷抵抗器を含んでもよい。これにより、起動信号生成部はアクティブな起動信号 S S S を生成することができる。

【0012】

また、本発明に関する前記負荷抵抗器は、P型MOSFETで構成されてもよい。

【0013】

また、前記起動信号停止部は、第1のN型MOSFETを含み、前記第1のN型MOSFETのゲート電極には、前記基準電圧が供給されてもよい。これにより、起動信号停止部は、基準電圧に基づいて起動信号 S S S をノンアクティブな起動信号 S S S に設定することができる。

【0014】

また、本発明に関する前記起動信号発生回路は、再起動防止部を含み、前記再起動防止部は、前記起動信号生成部によって生成された前記アクティブな起動信号 S S S を、前記前記第1の電源の電圧と前記第2の電源の電圧との差の電圧に基づいて前記ノンアクティブな起動信号 S S S に再設定してもよい。これにより、前記定電圧回路が起動し起動信号 S S S がノンアクティブな起動信号 S S S に設定された後に、再度アクティブな起動信号 S S S が発生することを抑えることができる。

【0015】

また、本発明において、前記第1の電源の電圧と前記第2の電源の電圧との差の電圧が第1の設定電圧 V_1 以上のときは、前記再起動防止部は、前記起動信号生成部によって生成された前記アクティブな起動信号 S S S を前記ノンアクティブな起動信号 S S S に再設定し、前記第1の電源の電圧と前記第2の電源の電圧との差の電圧が第2の設定電圧 V_2 ($V_2 < V_1$) 以下のときは、前記再起動防止部は前記起動信号生成部によって生成された前記アクティブな起動信号 S S S に対して前記ノンアクティブな起動信号 S S S への再設定を行わないようにしてもよい。

【0016】

これにより、前記第1の電源の電圧と前記第2の電源の電圧との差の電圧が第1の設定電圧 V_1 以上の時でも、前記定電圧回路は安定した基準電圧を発生することができる。また、前記第1の電源の電圧と前記第2の電源の電圧との差の電圧が第2の設定電圧以下の時は、再起動防止部は起動信号 S S S の再設定を行わないので、起動信号発生回路は前記定電圧回路を確実に起動させることができる。

【0017】

また、本発明に関する前記再起動防止部は、第1の抵抗器と、第2の抵抗器と、第2のN型MOSFETとを含み、前記第1の抵抗器の一方の端子は前記第2の抵抗器の一方の端子に接続され、前記第1の抵抗器の他方の端子には、前記第1の電源の電圧と前記第2の電源の電圧との差の電圧が供給され、前記第2の抵抗器の他方の端子は接地され、前記第2のN型MOSFETのゲート電極には、前記第1の抵抗器及び前記第2の抵抗器により抵抗分割された分圧電圧が供給されてもよい。これにより、再起動防止部は前記第1の電源の電圧と前記第2の電源の電圧との差の電圧に基づいて起動信号 S S S を調整することができる。

【0018】

また、本発明に関する前記第2のN型MOSFETは、前記第1の電源の電圧と前記第2の電源の電圧との差の電圧が前記第1の設定電圧 V_1 以上の時、オン状態に設定されてもよい。これにより、再起動防止部は、前記第1の電源の電圧と前記第2の電源の電圧と

10

20

30

40

50

の差の電圧に基づいて、起動信号 S S S をノンアクティブな起動信号 S S S に設定できる。

【0019】

また、本発明に関する前記第2のN型MOSFETは、前記第1の電源の電圧と前記第2の電源の電圧との差の電圧が前記第2の設定電圧V2以下のとき、オフ状態に設定されてもよい。これにより、第1の安定期間にアクティブな起動信号 S S S をノンアクティブな起動信号 S S S に設定されるのを防ぐことができる。

【0020】

また、本発明に関する前記第2の抵抗器は、第3の抵抗器と、第4の抵抗器と、スイッチ素子とを含み、前記第3の抵抗器と前記第4の抵抗器は互いに直列接続され、前記第4の抵抗器と前記スイッチ素子は並列接続されてもよい。

10

【0021】

また、本発明に関する前記第1の抵抗器は、第5の抵抗器と、第6の抵抗器とを含み、前記第5の抵抗器と前記第6の抵抗器は互いに直列接続されてもよい。

【0022】

本発明に関する電源電圧監視回路は、前記基準電圧発生回路と、コンパレータとを含み、前記コンパレータは前記第5の抵抗器と前記第6の抵抗器及び前記第2の抵抗器によって抵抗分割された分圧電圧と前記基準電圧との比較結果を前記スイッチ素子に出力してもよい。これにより、前記比較結果に基づいて第2の抵抗器の抵抗値を変更することができる。

20

【0023】

また、本発明に関する電源電圧監視回路は、前記第2のN型MOSFETの閾値が、最小閾値V_{thmin}から最大閾値V_{thmax}のまでの範囲内であるとき、前記第1の抵抗器の抵抗値R1、前記第3の抵抗器の抵抗値R2及び前記第4の抵抗器の抵抗値R3は、次の2式、 $V_{thmin} > V2 \times R2 \div (R1 + R2)$ 、 $V_{thmax} < V1 \times (R2 + R3) \div (R1 + R2 + R3)$ を満たすように設定されてもよい。これにより、使用するトランジスタの個体差に柔軟に対応することができる。

【0024】

本発明に関する電源電圧監視回路は、上記のいずれかの基準電圧発生回路を含み、前記基準電圧に基づいて前記第1の電源の電圧と前記第2の電源の電圧との差の電圧を監視し、前記第1の電源の電圧と前記第2の電源の電圧との差の電圧が所定の検出電圧に達した場合、検出信号を出力してもよい。

30

【発明を実施するための最良の形態】

【0025】

以下、本発明の一実施形態について、図面を参照して説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成のすべてが本発明の必須構成要件であるとは限らない。

【0026】

1. 基準電圧発生回路

図1は本実施形態における基準電圧発生回路100の全体構成図である。基準電圧発生回路100は、バンドギャブリファレンス回路300（広義には、定電圧回路）と、起動信号発生回路400とを含む。基準電圧発生回路100は、第1の電源と、第2の電源が供給される。第1の電源の発生する電圧と第2の電源の発生する電圧との差の電圧は電圧VDDである。第1の電源は例えば電圧VDDを発生する。第2の電源は例えば電圧VSSを発生する。バンドギャブリファレンス回路300（以下、BGR回路300と表す）は演算増幅回路310を含む。起動信号発生回路400は、起動信号生成部410と、起動信号停止部420と、再起動防止部430とを含む。

40

【0027】

定電圧回路300からは、基準電圧VREFが出力される。また、基準電圧VREFは、起動信号発生回路400内の起動信号停止部420にフィードバックされる。以下の図

50

において、同符号のものは同様の意味を表す。

【0028】

図2は、BGR回路300と、起動信号発生回路400を示す回路図である。

【0029】

BGR回路300は、P型トランジスタPT10（広義には第1の電流制御用トランジスタ）、P型トランジスタPT11（広義には第2の電流制御用トランジスタ）及びP型トランジスタPT12を含む。また、BGR回路300は、ダイオードD1（広義には第1のPN接合）及びダイオードD2（広義には第2のPN接合）を含む。また、BGR回路300は、抵抗器RI1、抵抗器RI21（広義には、第2の基準電圧発生用抵抗器）及び抵抗器RI22を含む。各P型トランジスタPT10～12には電圧VDD（広義には第1の電源の電圧と第2の電源の電圧との差の電圧）が供給される。各ダイオードD1、D2の電流密度は互いに異なるように設定されている。各P型トランジスタPT10～PT12のソース・ドレイン間に流れる電流は、オペアンプOP1の出力によって制御される。その結果、BGR回路300は基準電圧VREFを発生する。

10

【0030】

具体的には、各P型トランジスタPT10～PT12のソース・ドレイン間に電流が流れると、ノードN1とノードN2との電位差に応じて、オペアンプOP1の出力が変化する。このオペアンプOP1の出力は、各P型トランジスタPT10～PT12のゲートに入力される。オペアンプOP1は、ノードN1とノードN2のそれぞれの電位が互いに等しくなるように、各P型トランジスタPT10～12を制御する。また、各P型トランジスタPT10～PT12をカレントミラー回路と見なすことができ、各P型トランジスタPT10～PT12の能力が同じであればソース・ドレイン間に流れる電流は、それぞれ同値である。これにより、P型トランジスタPT12のソース・ドレイン間に流れる電流が負荷抵抗R01によって調整されることで、BGR回路300は基準電圧VREFを発生する。ただし、このBGR回路300を安定起動するためには次に説明する起動信号発生回路400が必要である。

20

【0031】

起動信号発生回路400は、起動信号SSSを発生し、BGR回路300に起動信号SSSを供給する。起動信号SSSがBGR回路300に入力されると、BGR回路300内のN型トランジスタNT10がON状態となり、P型トランジスタのゲート電圧PREF（以下、ゲート電圧PREFともいう）が電圧VSSとなる。これにより各P型トランジスタPT10～PT12のゲートがON状態となり、各P型トランジスタPT10～PT12のソース・ドレイン間に電流が流れる。つまり、起動信号SSSは、BGR回路300内の各P型トランジスタPT10～PT12のソース・ドレイン間に電流を流すための信号とすることができる。

30

【0032】

起動信号発生回路400は、起動信号生成部410と、起動信号停止部420と、再起動防止部430とを含む。起動信号生成部410は負荷抵抗R11を含み、起動信号SSSを生成する。起動信号停止部420は第1のN型MOSFETとしてN型トランジスタNT11を含む。N型トランジスタNT11のゲートにはBGR回路300から出力される基準電圧VREFがフィードバックされる。起動信号停止部420は、基準電圧VREFの電圧値に応じて起動信号SSSを電圧VSSに調整する。再起動防止部430は、第2のN型MOSFETとしてN型トランジスタNT12を含む。さらに、再起動防止部430は第1の抵抗器である負荷抵抗R20と、第2の抵抗器である負荷抵抗R30とを含む。起動信号SSSが一度電圧VSSに調整された後、起動信号SSSが所定の電圧値を越えないように、再起動防止部430は起動信号SSSを調整する。

40

【0033】

次に、図2及び図3を用いて、起動信号発生回路400とBGR回路300の動作を説明する。図3は、電源電圧VDDと、基準電圧VREFと、起動信号SSSと、ゲート電圧PREFと、N型トランジスタNT11のON/OFFとのそれぞれの関係を横方向に

50

同時間軸で表したグラフである。符号 T 1 ~ T 3 はそれぞれ期間を表す。図 3 は、電源投入時に、電源電圧 V D D が徐々に上昇していくときを表す。なお、図 3 によると期間 T 1 ~ T 2 にかけて図 2 のオペアンプ O P 1 の第 1 の安定期間が示されている。この第 1 の安定期間は一例であり、回路素子の調整等により第 1 の安定期間の期間の長さは変更可能である。

【 0 0 3 4 】

まず、電源投入直後の電源電圧 V D D は徐々に上昇する。このとき期間 T 1 では、電源電圧 V D D と、図 2 の起動信号生成部 4 1 0 の負荷抵抗 R 1 1 によって、起動信号 S S S が生成される。負荷抵抗 R 1 1 は固定抵抗素子で構成されてもよいし、トランジスタにて構成されてもよい。負荷抵抗 R 1 1 がトランジスタで構成される場合は、負荷抵抗 R 1 1 は、P 型トランジスタをゲート接地することで構成されてもよいし、N 型トランジスタをゲート・ドレイン接続することで構成されてもよい。起動信号 S S S の電圧値は、電源電圧 V D D の電圧値と負荷抵抗 R 1 1 の抵抗値によって決まる。よって、起動信号 S S S の電圧値は、電源電圧 V D D の上昇に伴って上昇する。図 3 によると、ゲート電圧 P R E F は電源投入後にオペアンプ O P 1 の出力電圧まで鋭く立ち上がる。このとき、図 2 の B G R 回路 3 0 0 内の各 P 型トランジスタ P T 1 0 ~ P T 1 2 のソース・ドレイン間にはほとんど電流が流れない。

10

【 0 0 3 5 】

次に期間 T 2 では、起動信号 S S S が N 型トランジスタ N T 1 0 のゲート電圧閾値（例えば図 3 では 0 . 6 V ）を越えると、N 型トランジスタ N T 1 0 が O N 状態となり、ゲート電圧 P R E F は電圧 V S S まで下がる。これにより、各 P 型トランジスタ P T 1 0 ~ P T 1 2 は O N 状態となり、各 P 型トランジスタ P T 1 0 ~ P T 1 2 のソース・ドレイン間に流れる電流が増加する。この電流の増加に伴って、基準電圧 V R E F が上昇する。

20

【 0 0 3 6 】

基準電圧 V R E F は、起動信号停止部 4 2 0 の N 型トランジスタ N T 1 1 のゲート電極にフィードバックされている。このため、基準電圧 V R E F が N 型トランジスタ N T 1 1 のゲート閾値電圧（例えば図 3 では 0 . 6 V ）を越えると、N 型トランジスタ N T 1 1 が O N 状態となり、起動信号 S S S は徐々に電圧 V S S まで下がる。起動信号 S S S が、N 型トランジスタ N T 1 0 のゲート閾値電圧（例えば図 3 では 0 . 6 V ）を下回ると、N 型トランジスタ N T 1 0 が O F F 状態となり、ゲート電圧 P R E F はオペアンプ O P 1 の出力電圧まで立ち上がる。これにより、B G R 回路 3 0 0 は正常に起動される。

30

【 0 0 3 7 】

次に期間 T 3 では、オペアンプ O P 1 がノード N 1 とノード N 2 との電位差に応じて、各 P 型トランジスタ P T 1 0 ~ P T 1 2 のゲート電圧をコントロールするので、P 型トランジスタ P T 1 2 に流れる電流が所定の値まで増加する。こうして、各 P 型トランジスタ P T 1 0 ~ P T 1 2 のソース・ドレイン間に流れる電流は一定の値に収束する。このようにして、B G R 回路 3 0 0 は基準電圧 V R E F を発生する。

【 0 0 3 8 】

電源電圧 V D D が、電圧 V S U B （第 1 の設定電圧）以上（例えば図 3 では 2 . 4 V ）になると、図 2 の起動信号生成部 4 1 0 の負荷抵抗 R 1 1 と起動信号停止部 4 2 0 の N 型トランジスタ N T 1 1 との電流能力差により、起動信号 S S S が図 3 のように電圧 V S S から徐々に上昇し始める。ところが、本実施形態によると、この起動信号 S S S が図 2 の N 型トランジスタ N T 1 0 のゲート閾値電圧（例えば図 3 では 0 . 6 V ）を越える前に、図 2 の再起動防止部 4 3 0 が作用する。

40

【 0 0 3 9 】

具体的には、電源電圧 V D D が電圧 V S U B （例えば図 3 では 2 . 4 V ）を越えると、再起動防止部 4 3 0 は、起動信号 S S S を電圧 V S S に下げる。電源電圧 V D D が電圧 V S U B （例えば図 3 では 2 . 4 V ）を越えると、図 2 のノード N 3 の電圧が N 型トランジスタ N T 1 2 のゲート閾値電圧（例えば図 3 では 0 . 6 V ）を越えるように、再起動防止部 4 3 0 の負荷抵抗 R 2 0 及び負荷抵抗 R 3 0 は抵抗値設定されている。つまり、再起動

50

防止部 430 は、電源電圧 V_{DD} が電圧 V_{SUB} (例えば図 3 では $2.4V$) を越えた時に対して、その電源電圧 V_{DD} を抵抗分圧することで、図 2 の N 型トランジスタ N_{12} のゲート閾値電圧 (例えば図 3 では $0.6V$) を越える電圧を図 2 のノード N_3 に発生させる。これにより、図 3 の期間 T_3 のように、起動信号 SSS の上昇を図 2 の N 型トランジスタ N_{10} のゲート閾値電圧 (例えば図 3 では $0.6V$) 未満に抑えることができる。なお、電源電圧 V_{DD} が電圧 V_{MIN} (第 2 の設定電圧) 以下 (図 3 では例えば $1.4V$) のとき、再起動防止部 430 が起動信号 SSS を電圧 V_{SS} にしてしまわないように再起動防止部 430 の負荷抵抗 R_{20} 及び負荷抵抗 R_{30} は抵抗値設定されている。

【0040】

次に図 4 を参照して、BGR 回路 300 の特性を説明する。図 4 は図 2 のノード N_1 及びノード N_2 に定電流源が接続された場合の電圧-電流曲線である。ノード N_1 を示す曲線 (以降、曲線 C_1 ともいう) とノード N_2 を示す曲線 (以降、曲線 C_2 ともいう) とが重なっている部分は、図 2 のオペアンプ OP_1 が安定な状態にある時を示す。図 4 で破線で囲んだ部分は、オペアンプ OP_1 の安定状態を意味する安定点とすることができる。図 4 によると、BGR 回路 300 には、2 つの安定点があり、一つは点で示され、他方は線で示されている。これは低電圧型バンドギャップリファレンス回路の特徴でもある。ここでは線で表される安定点を第 1 の安定期間、点で表される安定点を第 2 の安定期間と呼ぶ。なお、図 4 では横軸は電流を示すので、点で示されている安定点を第 2 の安定期間と呼んでも問題ない。

【0041】

第 1 の安定期間及び第 2 の安定期間では、各ノード N_1 、 N_2 に流れる電流が同じなため、図 2 のオペアンプ OP_1 は安定状態にある。ところが、電源投入時は電源電圧 V_{DD} は電圧 V_{SS} から徐々に上昇するので、かならず図 2 のオペアンプ OP_1 は第 1 の安定期間に突入する。第 1 の安定期間では、図 2 の BGR 回路 300 内の各 P 型トランジスタ $P_{10} \sim P_{12}$ のソース・ドレイン間に、電流がほとんど流れていない状態である。そのため、図 2 のオペアンプ OP_1 が安定してしまい、期待した基準電圧 V_{REF} が発生されない。つまり、第 1 の安定期間から脱出する (言い換えれば、図 2 の BGR 回路 300 を安定起動させる) ためには、図 2 の BGR 回路 300 に起動信号 SSS を出力する必要がある。

【0042】

なお、本実施形態では、起動信号 SSS が図 2 の BGR 回路 300 に入力されるので、BGR 回路 300 は安定起動される。

【0043】

図 2 の BGR 回路 300 が安定起動した後、電源電圧 V_{DD} の上昇に伴って図 2 のオペアンプ OP_1 が第 2 の安定期間に突入すると、BGR 回路 300 は所望の基準電圧 V_{REF} を発生する。

【0044】

2. 電源電圧監視回路

図 5 は図 1 の基準電圧発生回路 100 を用いた電源電圧監視回路 1000 を示すブロック図である。電源電圧監視回路 1000 は、電源電圧 V_{DD} と所定の電圧との比較を行い、その結果を外部システムに出力する。電源電圧監視回路 1000 は、基準電圧発生回路 100 の他に、コンパレータ $COMP_1$ を含む。コンパレータ $COMP_1$ には、基準電圧発生回路 100 から基準電圧 V_{REF} と電圧 V_{DIV} が入力される。電圧 V_{DIV} は第 1 の抵抗器 (例えば図 2 の抵抗器 R_{20}) によって抵抗分割された分圧電圧である。コンパレータ $COMP_1$ は、基準電圧 V_{REF} と電圧 V_{DIV} とを比較し、その結果を外部システムに出力する。具体的には、基準電圧 V_{REF} と電圧 V_{DIV} とが一致した場合、コンパレータ $COMP_1$ は外部システムをアクティブにする信号を外部システム及び再起動防止部 430 に出力する。

【0045】

図 6 を参照して、再起動防止部 430 の負荷抵抗 R_{20} 及び R_{30} について説明する。

負荷抵抗 R_{20} は抵抗値 R_{R1} である抵抗 R_{1-1} 及び抵抗値 R_{R2} である抵抗 R_{1-2} で構成される。また、負荷抵抗 R_{30} は抵抗値 R_{R3} である抵抗 R_{2-1} 及び抵抗値 R_{R4} である抵抗 R_{2-2} と、N型トランジスタ N_{T13} で構成される。再起動防止部 430 は、電源電圧 V_{DD} 、負荷抵抗 R_{20} 及び負荷抵抗 R_{30} に基づいて、電圧 V_{DIV} を発生する。N型トランジスタ N_{T13} のゲート電極には、図5のコンパレータ $COMP1$ の出力がフィードバックされる。

【0046】

電源投入後、基準電圧 V_{REF} は所定の電圧に安定する。このときの、電圧 V_{DIV} は、N型トランジスタ N_{T13} がオン状態のため、電圧 $V_{DIV} = \text{電源電圧 } V_{DD} \times (R_{R2} + R_{R3}) \div (R_{R1} + R_{R2} + R_{R3})$ で表される。その後、電圧 V_{DIV} が所定の値の基準電圧 V_{REF} にまで達すると、図6のN型トランジスタ N_{T13} のゲート電極には外部システムをアクティブにする信号が図5のコンパレータ $COMP1$ からフィードバックされる。これにより、図6のN型トランジスタ N_{T13} はオフ状態となり、このときの電圧 V_{DIV} は、電圧 $V_{DIV} = \text{電源電圧 } V_{DD} \times (R_{R2} + R_{R3} + R_{R4}) \div (R_{R1} + R_{R2} + R_{R3} + R_{R4})$ で表される。その後電源電圧 V_{DD} は安定状態に入る。

10

【0047】

電源電圧 V_{DD} が低下し、電圧 $V_{DIV} = \text{電源電圧 } V_{DD} \times (R_{R2} + R_{R3} + R_{R4}) \div (R_{R1} + R_{R2} + R_{R3} + R_{R4})$ で表される電圧 V_{DIV} が再び基準電圧 V_{REF} と一致すると、図5のコンパレータ $COMP1$ の出力から外部システムをノンアクティブにする信号が図6のN型トランジスタ N_{T13} のゲート電極にフィードバックされる。これにより、N型トランジスタ N_{T13} はオン状態となり、このときの電圧 V_{DIV} は、電圧 $V_{DIV} = \text{電源電圧 } V_{DD} \times (R_{R2} + R_{R3}) \div (R_{R1} + R_{R2} + R_{R3})$ で表される。

20

【0048】

上述のように、抵抗 R_{2-2} がシュミット抵抗として機能することで、電源電圧 V_{DD} の立ち上がり・立ち下りのそれぞれを区別して、外部システムの起動のオン・オフの切換を行う電源電圧 V_{DD} を決定することができる。

【0049】

電源電圧 V_{DD} 、電圧 V_{DIV} 及び基準電圧 V_{REF} の関係を図7に示す。

【0050】

図7の縦軸は電圧 (V) を、図7の横軸は時間 (T) をそれぞれ表す。各期間 $T_1 \sim T_3$ は、図3の各期間 $T_1 \sim T_3$ に相当する。電源投入時、電源電圧 V_{DD} は徐々に上昇する。電源電圧 V_{DD} が所定の電圧に達すると、基準電圧 V_{REF} は急激に上昇し、所定の電圧値に安定する。電源電圧 V_{DD} の上昇に伴い電圧 V_{DIV} は上昇する。その後、所定の電圧に達した基準電圧 V_{REF} と、電圧 V_{DIV} とが一致したときに外部システムがアクティブにされる。図7によると、このときの電源電圧 V_{DD} は電圧 V_{ON} である。

30

【0051】

その後、電源電圧 V_{DD} が低下すると、電圧 V_{DIV} も徐々に低下する。電圧 V_{DIV} が、基準電圧 V_{REF} と一致したとき、外部システムはノンアクティブにされる。図7によると、この時の電源電圧 V_{DD} は電圧 V_{OFF} である。

40

【0052】

図7によると、電圧 V_{ON} と電圧 V_{OFF} は、異なる電圧値である。外部システムの起動のオン・オフは、電源電圧 V_{DD} が任意の電圧 (検出電圧) であるかどうかを判断して行われる。このとき、外部システムをアクティブにするときの電源電圧 V_{DD} と、外部システムをノンアクティブにするときの電源電圧 V_{DD} とをずらすことで、電源ノイズなどによる外部システムの起動のオン・オフの誤動作を防ぐことができる。

【0053】

次に各抵抗値 $R_{R1} \sim R_{R4}$ の設定方法を説明する。

【0054】

抵抗値の設定方法を説明するためには、まず、トランジスタのチャンネル長 L とゲート閾

50

値 V_{TH} の関係を説明する必要がある。図 8 は N 型トランジスタのチャンネル長 L とゲート閾値 V_{TH} の関係を示すグラフである。トランジスタには、製造工程の影響により各素子でばらつきが生じる。曲線 1 及び曲線 2 は、そのばらつきによるゲート閾値 V_{TH} の変化の上限と下限をそれぞれ示す。図 8 によるとトランジスタのゲート閾値は、チャンネル長に依存している。チャンネル長が長くなると、ゲート閾値は下降する。

【0055】

抵抗の設定方法は、図 6 の N 型トランジスタ NT12 の特性を考慮する必要がある。再起動防止部 430 は、電源電圧 V_{DD} が、図 3 の電圧 V_{MIN} と電圧 V_{SUB} に対して、 $V_{MIN} < V_{DD} < V_{SUB}$ を満たすときに再起動防止信号を出力する。図 6 の N 型トランジスタ NT12 のゲート閾値に対して、最小値を V_{THMIN} 、最大値を V_{THMAX} とする。抵抗の設定条件として、電源電圧 V_{DD} が電圧 V_{MIN} の時に N 型トランジスタ NT12 のゲート電極にはゲート閾値 V_{THMIN} 以下の電圧が入力されることが必須である。さらに、電源電圧 V_{DD} が電圧 V_{SUB} の時に N 型トランジスタ NT12 のゲート電極にはゲート閾値 V_{THMAX} 以上の電圧が入力されることも抵抗の設定条件として必須である。

10

【0056】

上述の条件を式にすると、以下の 2 式になる。

【0057】

$$\text{式(1)} : V_{THMIN} > V_{MIN} \times R_{R3} \div (R_{R1} + R_{R2} + R_{R3})$$

$$\text{式(2)} : V_{THMAX} < V_{SUB} \times (R_{R3} + R_{R4}) \div (R_{R1} + R_{R2} + R_{R3} + R_{R4})$$

20

さらに、外部システムをアクティブにするときの電圧 V_{ON} と、外部システムをノンアクティブにするときの電圧 V_{OFF} とのそれぞれに対応した電圧 V_{DIV} をコンパレータ COMP1 に出力する場合の抵抗の設定条件を式に表すと以下の 2 式になる。なお、以下の式の V_{REF} は所定の基準電圧値を示す。

【0058】

$$\text{式(3)} : V_{REF} = V_{OFF} \times (R_{R2} + R_{R3} + R_{R4}) \div (R_{R1} + R_{R2} + R_{R3} + R_{R4})$$

$$\text{式(4)} : V_{REF} = V_{ON} \times (R_{R2} + R_{R3}) \div (R_{R1} + R_{R2} + R_{R3})$$

上記の各式 (1) ~ 式 (4) を満たすように各抵抗値 $R_{R1} \sim R_{R4}$ を設定すればよい

30

【0059】

3. 基準電圧発生回路の変形例

図 9 は基準電圧発生回路 110 の全体ブロック図である。基準電圧発生回路 110 において、基準電圧発生回路 100 との相違点は、再起動防止部 430 の有無である。基準電圧発生回路 110 は、再起動防止部 430 を含まない。その他の構成は基準電圧発生回路 100 と同様である。

【0060】

図 10 は基準電圧発生回路 110 の回路図である。BGR 回路 300、起動信号生成部 410 及び起動信号停止部 420 の各動作は、基準電圧発生回路 100 のものと同様である。但し、起動信号 S_{SS} の電圧値が再度上昇してしまう現象を抑える機能を持たない。

40

【0061】

図 11 に基準電圧発生回路 110 の電源電圧 V_{DD} 、基準電圧 V_{REF} 及び起動信号 S_{SS} の関係を示した。図 11 の縦軸は電圧 (V) を、図 11 の横軸は時間 (T) をそれぞれ示す。電源電圧 V_{DD} の上昇に伴って、起動信号 S_{SS} の電圧が上昇する。基準電圧 V_{REF} が閾値電圧 (例えば、図 11 では 0.6V) を越えると同時に、起動信号 S_{SS} の電圧は立ち下がり始める。起動信号 S_{SS} は、電圧 V_{SS} まで下がり、その後、基準電圧 V_{REF} は所定の電圧 (例えば図 11 では 0.9V) で安定する。

【0062】

しかし、このとき電源電圧 V_{DD} は上昇中であるため、負荷抵抗 R_{11} に流れる電流の

50

量が上昇する。さらに、このとき、図10のN型トランジスタNT11のゲート電極には、所定の電圧（例えば図11では0.9V）に安定した基準電圧VREFが入力されているので、N型トランジスタNT11のソース・ドレイン間にはある一定の電流以上は流れない。N型トランジスタNT11のソース・ドレイン間に流れる電流量より、負荷抵抗R11に流れる電流量が上回ったとき、起動信号SSSの電圧は上昇する。つまり、電源電圧VDDの上昇に伴って、電圧VSSに抑えられていた起動信号SSSが徐々に上昇してしまう現象が生じる。

【0063】

この起動信号SSSが閾値（例えば図11では0.6V）を越えたとき、BGR回路300内の演算増幅回路310の動作が不安定になり、基準電圧VREFの値が振動してしまう。この状態を回避するために、変形例では、仕様範囲を設けた。たとえば、図11では、仕様範囲を1.4V～2.3Vと設定した。

10

【0064】

図12は、起動信号発生回路400のさらなる変形例を示す図である。図12の起動信号発生回路401は、起動信号PREFを発生し、起動信号PREFをBGR回路300内の各P型トランジスタPT10～PT12のゲート電極に出力する。起動信号生成部411は、負荷抵抗R40及びN型トランジスタNT20を含む。起動信号停止部421はP型トランジスタPT20（ゲート閾値電圧が例えば0.6Vである）を含む。この構成によると、電源投入後、P型トランジスタPT20はオン状態である。このとき、電源電圧VDDの上昇に伴って、起動信号生成部411内のN型トランジスタNT20のゲート電極には、負荷抵抗R40によって調整された電圧が入力される。これにより、起動信号PREFが電圧VSSに設定される。その後、基準電圧VREFが発生し、起動信号停止部421内のP型トランジスタPT20のゲート電極に入力される。基準電圧VREFがP型トランジスタPT20の閾値電圧（例えば図12では0.6V）を上回ると、P型トランジスタPT20はオフ状態となり、起動信号PREFは電圧VSSからBGR回路300内の演算増幅回路310の出力値まで上昇する。

20

【0065】

上述のような動作により、より仕様範囲の広い電源電圧VDDにおいて、基準電圧VREFの安定した発生が可能となる。

【0066】

図13は、基準電圧発生回路110を用いた電源電圧監視回路1100である。コンパレータCOMP2は、電源電圧VDDから分圧出力する電圧VDIVと基準電圧VREFとを比較し、その結果に応じて外部システムの起動のオン・オフを切換える信号を出力する。

30

【0067】

4. 効果

BGR回路300は、BGR回路300内の演算増幅回路310の第1の安定期間（図4参照）から抜け出るために、起動信号を必要とする。例えば低電圧で動作するBGR回路300に対して、電源投入直後の電源電圧が低い状態で該起動信号を作り出すことが困難だった。

40

【0068】

ところが、例えば図9に示されている起動信号発生回路400は、基準電圧VREFに基づいてBGR回路300を起動することができる。図9の起動信号発生回路400は、電源投入後から基準電圧VREFが所定の電圧に達したときまでの期間、起動信号SSSを発生することができる。これにより、BGR回路300は安定起動することができる。その結果、安定した基準電圧VREFを出力することができる。つまり、BGR回路300を起動するためのBGR回路300と異なる電源回路を設ける必要がなくなり、特に、小型化などの要求に対して、対応しやすくなる。

【0069】

ただし、図9の起動信号発生回路400は、図11に示されているように電源電圧VD

50

Dが一定の電圧値を越えるとその後の電源電圧VDDの上昇に伴い、起動信号SSSの電圧が再度上昇してしまう。この現象が生じると、基準電圧VREFの値が振動し不安定になってしまう。これを回避するために、仕様範囲を設ける必要がある。例えば図11では、仕様範囲として電源電圧VDDを1.4V~2.3Vとし、この仕様範囲内であれば安定した基準電圧VREFを出力できる。

【0070】

一方、図1に示されている起動信号発生回路400は再起動防止部430を含むので、より幅広い範囲の電源電圧VDDで、安定した基準電圧VREFを出力できる。図3に示されているように、電源電圧VDDが電圧VSSBのときに、図1の再起動防止部430は電圧の再上昇した起動信号SSSを再度電圧VSSまで下げる事ができる。

10

【0071】

これにより、図11で設けられている電源電圧VDDの仕様範囲の上限よりも高い電源電圧VDDに対しても、図1のBGR回路300は安定した基準電圧VREFを出力することができる。

【図面の簡単な説明】

【0072】

【図1】本実施形態における基準電圧発生回路の全体構成図。

【図2】定電圧回路と、起動信号発生回路を示す回路図

【図3】本実施形態における電源電圧、基準電圧、起動信号の関係を示すグラフ。

【図4】定電圧回路の特性を示すグラフ。

20

【図5】図1の基準電圧発生回路を用いた電源電圧監視回路を示すブロック図。

【図6】本実施形態に係る再起動防止部を示す回路図。

【図7】電源電圧VDD、電圧VDIV及び基準電圧VREFの関係を示すグラフ。

【図8】N型トランジスタのチャンネル長Lとゲート閾値VTHの関係を示すグラフ。

【図9】本実施形態に関する変形例を示すブロック図。

【図10】本実施形態に関する変形例を示す回路図。

【図11】変形例における電源電圧、基準電圧、起動信号の関係を示すグラフ。

【図12】起動信号発生回路の変形例。

【図13】図9に示される変形例を用いた電源電圧監視回路を示すブロック図。

30

【符号の説明】

【0073】

100 基準電圧発生回路、300 定電圧回路、

310 演算増幅回路、400 起動信号発生回路、410 起動信号生成部、

420 起動信号停止部、430 再起動防止部、1000 電源電圧監視回路、

COMP1 コンパレータ、COMP2 コンパレータ、

NT11 第1のN型MOSFET、NT12 第2のN型MOSFET、

NT13 スイッチ素子、PT10 第1の電流制御用トランジスタ、

PT11 第2の電流制御用トランジスタ、PT12 P型トランジスタ、

R01 第1の基準電圧発生用抵抗器、R11 負荷抵抗器、R1-1 第5の抵抗器、

R1-2 第6の抵抗器、R20 第1の抵抗器、R2-1 第3の抵抗器、

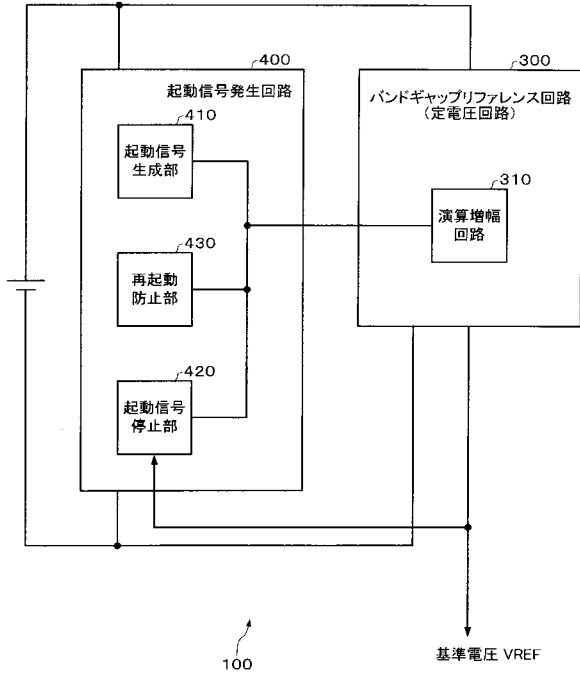
40

R2-2 第4の抵抗器、R30 第2の抵抗器、SSS 起動信号、

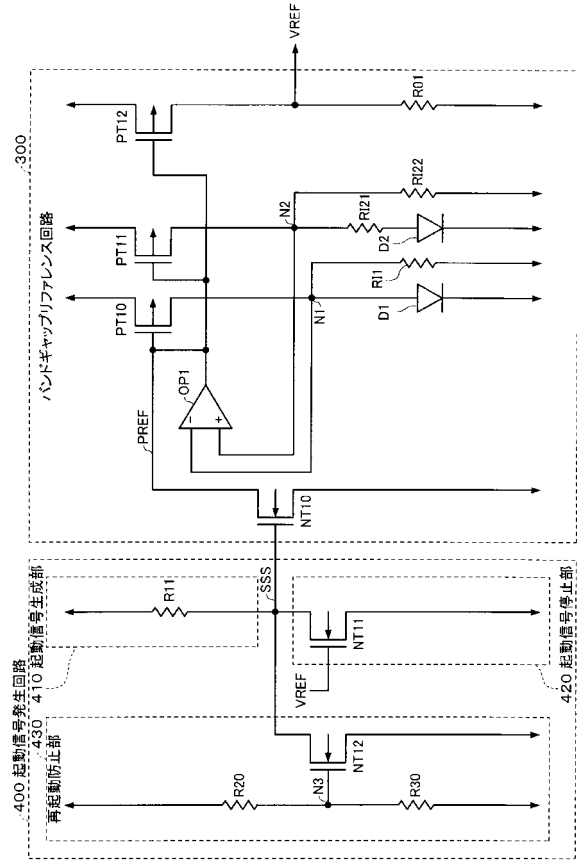
VREF 基準電圧、VSSB 第1の設定電圧V1、VMIN 第2の設定電圧V2、

RI21 第2の基準電圧発生用抵抗器、110 基準電圧発生回路、1100 電源電圧監視回路

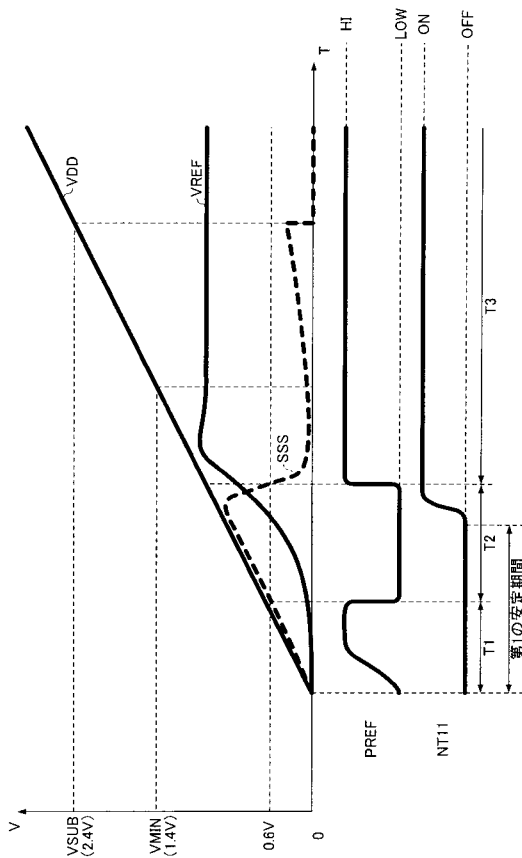
【 図 1 】



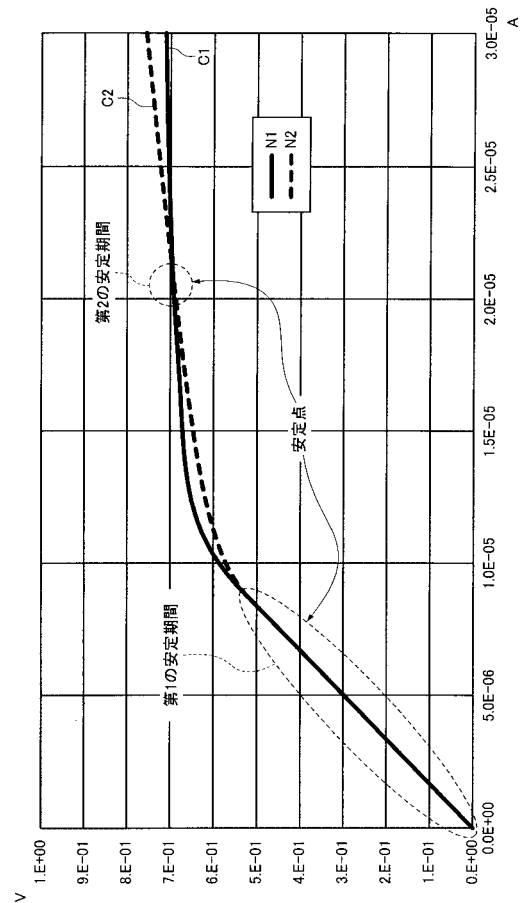
【 図 2 】



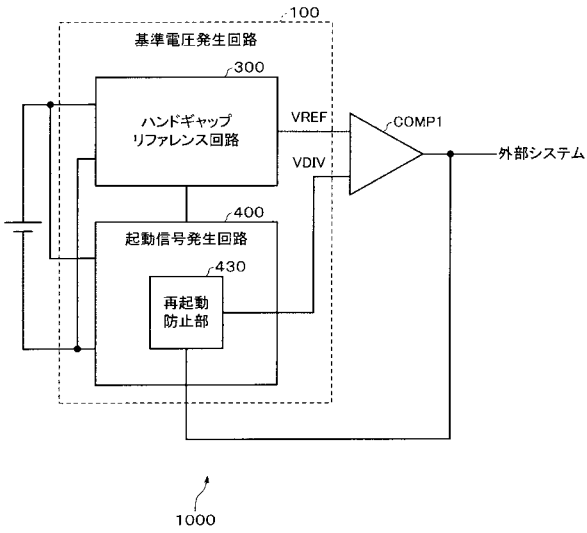
【 図 3 】



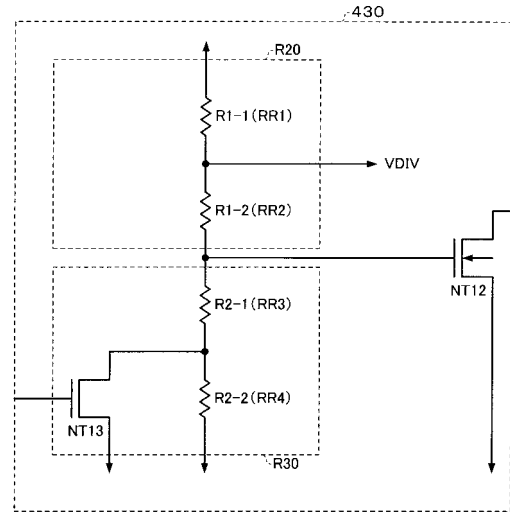
【 図 4 】



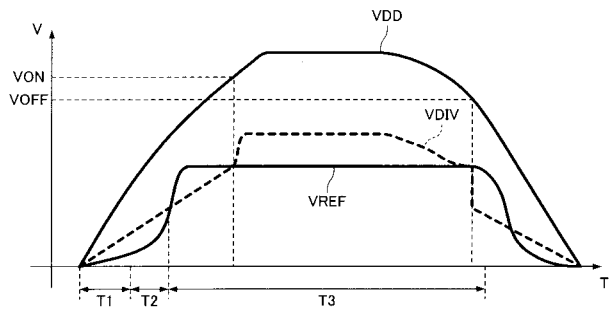
【図5】



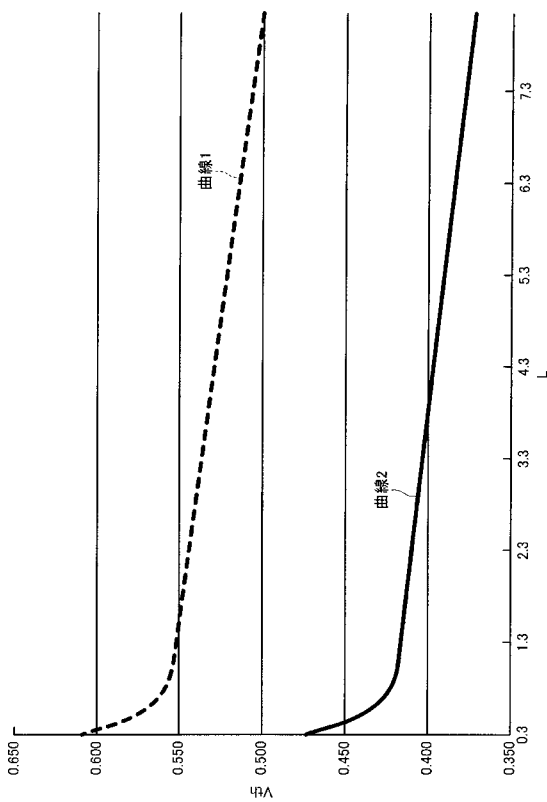
【図6】



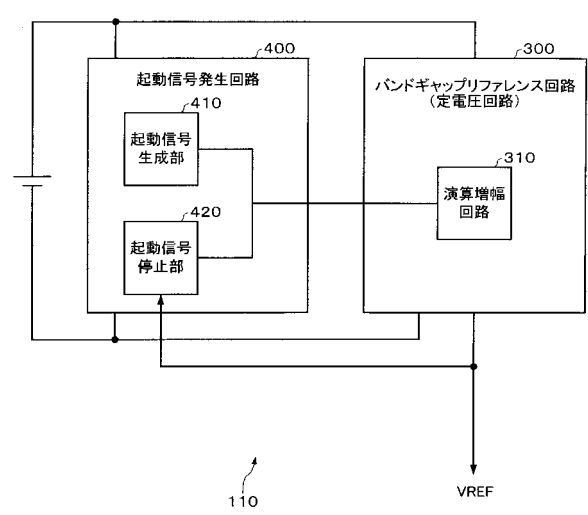
【図7】



【図8】



【図9】



フロントページの続き

Fターム(参考) 5J500 AA03 AA11 AA58 AC11 AF04 AH10 AH17 AH19 AH25 AH39
AK00 AK01 AK11 AK17 AK47 AM21 AT01 AT02 AT06