



(12)发明专利申请

(10)申请公布号 CN 110049263 A

(43)申请公布日 2019.07.23

(21)申请号 201910469549.8

(22)申请日 2019.05.31

(71)申请人 西安微电子技术研究所

地址 710065 陕西省西安市雁塔区太白南路198号

(72)发明人 曹天骄 刘晓轩 袁昕 李婷
李海松 吴龙胜

(74)专利代理机构 西安通大专利代理有限责任公司 61200

代理人 王艾华

(51)Int.Cl.

H04N 5/374(2011.01)

H04N 5/357(2011.01)

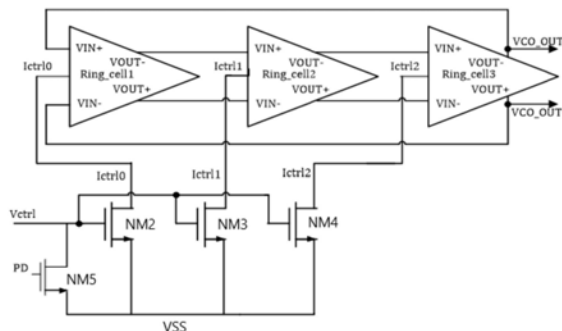
权利要求书2页 说明书5页 附图3页

(54)发明名称

一种用于超大面阵CMOS图像传感器的高速高精度锁相环电路

(57)摘要

本发明公开了一种用于超大面阵CMOS图像传感器的高速高精度锁相环电路,属于图像传感器技术领域。该锁相环电路,三级交叉耦合互补振荡单元依次反向级联;NM5的栅端接PD信号,NM5的漏端、NM2的栅端、NM3的栅端、NM4的栅端均与输入电压端相连接,NM2的源端、NM3的源端、NM4的源端均与的NM5源端相连,NM2的漏端输出Ictrl₁,Ictrl₁作为频率调节电流输入第一级;NM3的漏端输出Ictrl₂,Ictrl₂作为频率调节电流输入第二级;NM4的漏端输出Ictrl₃,Ictrl₃作为频率调节电流输入第三级。该锁相环电路,提高锁相环内压控振荡器的频率调节范围,并能调节锁相环的振荡器中心频率。



1. 一种用于超大面阵CMOS图像传感器的高速高精度锁相环电路,其特征在于,包括复位管NM5、晶体管NM2、晶体管NM3、晶体管NM4、第一级交叉耦合互补振荡单元、第二级交叉耦合互补振荡单元和第三级交叉耦合互补振荡单元;

第一级交叉耦合互补振荡单元、第二级交叉耦合互补振荡单元和第三级交叉耦合互补振荡单元依次反向级联;

复位管NM5的栅端接PowerDown信号,复位管NM5的漏端、晶体管NM2的栅端、晶体管NM3的栅端、晶体管NM4的栅端均与输入电压端相连接,晶体管NM2的源端、晶体管NM3的源端、晶体管NM4的源端、复位管NM5的源端均接地,晶体管NM2的漏端输出 I_{ctrl1} , I_{ctrl1} 作为频率调节电流输入第一级交叉耦合互补振荡单元;

晶体管NM3的漏端输出 I_{ctrl2} , I_{ctrl2} 作为频率调节电流输入第二级交叉耦合互补振荡单元;

晶体管NM4的漏端输出 I_{ctrl3} , I_{ctrl3} 作为频率调节电流输入第三级交叉耦合互补振荡单元。

2. 根据权利要求1所述的用于超大面阵CMOS图像传感器的高速高精度锁相环电路,其特征在于,第一级交叉耦合互补振荡单元包括晶体管PM0、晶体管PM2、晶体管PM3、晶体管PM4、晶体管PM5、晶体管NM0和晶体管NM1;

晶体管PM0的漏端与栅端相短接,两者均输入 I_{ctrl1} ,晶体管PM0的栅端还与晶体管PM2的栅端、晶体管PM3栅端相连接,晶体管PM0的源端、晶体管PM2的源端、晶体管PM3的源端、晶体管PM4的源端、晶体管PM5的源端均接供电端,晶体管PM3的漏端与晶体管PM5的漏端相连后接输出端,晶体管PM4的栅端与晶体管NM1的漏端相连后接输出端,输出端用于输出输出信号VOUT1+;

晶体管PM2的漏端与晶体管PM4的漏端相连后接输出端,晶体管PM5的栅端与晶体管NM0的漏端相连后接输出端,输出端用于输出输出信号VOUT1-;

晶体管NM0的源端和晶体管NM1的源端均接地。

3. 根据权利要求2所述的用于超大面阵CMOS图像传感器的高速高精度锁相环电路,其特征在于,第二级交叉耦合互补振荡单元、第三级交叉耦合互补振荡单元的电路结构均与第一级交叉耦合互补振荡单元的电路结构相同;

其中,第一级交叉耦合互补振荡单元的输出信号VOUT1-、VOUT1+分别作为第二级交叉耦合互补振荡单元的输入信号VIN2+、VIN2-;

第二级交叉耦合互补振荡单元的输出信号VOUT2-、VOUT2+分别作为第三级交叉耦合互补振荡单元的输入信号VIN3+、VIN3-。

4. 根据权利要求1所述的用于超大面阵CMOS图像传感器的高速高精度锁相环电路,其特征在于,第一级交叉耦合互补振荡单元、第二级交叉耦合互补振荡单元和第三级交叉耦合互补振荡单元的输出端均设有用于调节振荡单元负载电容的可配置中心频率调节模块。

5. 根据权利要求4所述的用于超大面阵CMOS图像传感器的高速高精度锁相环电路,其特征在于,所述可配置中心频率调节模块包括开关M0、开关M1、开关M2、开关M3、PMOS电容M4、PMOS电容M5、NMOS电容M6和NMOS电容M7,开关M0和开关M3均为NMOS,开关M1和开关M2均为PMOS;

开关M0的源端和开关M1的源端均与交叉耦合互补振荡单元的输出端相连,开关M0的栅

端和开关M1的栅端均接有配置信号,开关M0的漏端和开关M1的漏端相连后分别与PMOS电容M4的栅端、NMOS电容M6的栅端、开关M2的源端及开关M3的源端相连,开关M2的栅端、开关M3的栅端均接有配置信号,开关M2的漏端与开关M3的漏端连接后分别与PMOS电容M5的栅端、NMOS电容M7的栅端相连接,PMOS电容M4的源端和漏端接供电端,PMOS电容M5的源端和漏端接供电端,NMOS电容M6的源端和漏端接地,NMOS电容M7的源端和漏端接地;

当配置信号TR<1:0>为00或10时,开关M0、M1、M2、M3均处于关断状态;

当配置信号TR<1:0>为01时,开关M0、M1处于开启状态,开关M2、M3处于关闭状态;

当配置信号TR<1:0>为11时,开关M0、M1、M2、M3均处于开启状态。

一种用于超大面阵CMOS图像传感器的高速高精度锁相环电路

技术领域

[0001] 本发明属于CMOS图像传感器技术领域,具体涉及一种用于超大面阵CMOS图像传感器的高速高精度锁相环电路。

背景技术

[0002] 在大规模CMOS图像传感器中,高速读出电路主要是在时序控制的引导下,对面阵输出的弱电信号进行功能上的放大、降噪与驱动处理,同时实现性能上的黑电平校正与列FPN校正等处理,实现图像信号的高质量输出。

[0003] 锁相环电路作为一个高速时钟发生器,其在CMOS图像传感器中的主要作用就是提供满足各模块工作需求的时钟。随着CMOS图像传感器像素及帧频的提高,读出电路中的各模块也会有更高频的时钟需求,这就需要锁相环具有更高的频率、更大的锁定范围及更高的稳定性。压控振荡器作为锁相环电路中最重要的一部分,负责时钟的产生和频率实时调节,对锁相环的锁定范围、输出时钟质量及可靠性起决定性作用。

[0004] 时钟发生器电路的输出噪声绝大部分来自于压控振荡器的噪声,压控振荡器的噪声主要来源有热噪声和电源与地引起的噪声,后者是压控振荡器噪声的主要来源。所以压控振荡器对电源地噪声的抑制能力也是设计中很重要的一部分。

发明内容

[0005] 本发明的目的在于克服上述现有技术的缺点,提供一种用于超大面阵CMOS图像传感器的高速高精度锁相环电路。

[0006] 为达到上述目的,本发明采用以下技术方案予以实现:

[0007] 一种用于超大面阵CMOS图像传感器的高速高精度锁相环电路,包括复位管NM5、晶体管NM2、晶体管NM3、晶体管NM4、第一级交叉耦合互补振荡单元、第二级交叉耦合互补振荡单元和第三级交叉耦合互补振荡单元;

[0008] 第一级交叉耦合互补振荡单元、第二级交叉耦合互补振荡单元和第三级交叉耦合互补振荡单元依次反向级联;

[0009] 复位管NM5的栅端接PowerDown信号,复位管NM5的漏端、晶体管NM2的栅端、晶体管NM3的栅端、晶体管NM4的栅端均与输入电压端相连接,晶体管NM2的源端、晶体管NM3的源端、晶体管NM4的源端、复位管NM5的源端均接地,晶体管NM2的漏端输出 I_{ctrl1} , I_{ctrl1} 作为频率调节电流输入第一级交叉耦合互补振荡单元;

[0010] 晶体管NM3的漏端输出 I_{ctrl2} , I_{ctrl2} 作为频率调节电流输入第二级交叉耦合互补振荡单元;

[0011] 晶体管NM4的漏端输出 I_{ctrl3} , I_{ctrl3} 作为频率调节电流输入第三级交叉耦合互补振荡单元。

[0012] 进一步的,第一级交叉耦合互补振荡单元包括晶体管PM0、晶体管PM2、晶体管PM3、晶体管PM4、晶体管PM5、晶体管NM0和晶体管NM1;

[0013] 晶体管PM0的漏端与栅端相短接,两者均输入 I_{ctrl1} ,晶体管PM0的栅端还与晶体管PM2的栅端、晶体管PM3栅端相连接,晶体管PM0的源端、晶体管PM2的源端、晶体管PM3的源端、晶体管PM4的源端、晶体管PM5的源端均接供电端,晶体管PM3的漏端与晶体管PM5的漏端相连后接输出端,晶体管PM4的栅端与晶体管NM1的漏端相连后接输出端,输出端用于输出输出信号VOUT1+;

[0014] 晶体管PM2的漏端与晶体管PM4的漏端相连后接输出端,晶体管PM5的栅端与晶体管NM0的漏端相连后接输出端,输出端用于输出输出信号VOUT1-;

[0015] 晶体管NM0的源端和晶体管NM1的源端均接地。

[0016] 进一步的,第二级交叉耦合互补振荡单元、第三级交叉耦合互补振荡单元的电路结构均与第一级交叉耦合互补振荡单元的电路结构相同;

[0017] 其中,第一级交叉耦合互补振荡单元的输出信号VOUT1-、VOUT1+分别作为第二级交叉耦合互补振荡单元的输入信号VIN2+、VIN2-;

[0018] 第二级交叉耦合互补振荡单元的输出信号VOUT2-、VOUT2+分别作为第三级交叉耦合互补振荡单元的输入信号VIN3+、VIN3-。

[0019] 进一步的,第一级交叉耦合互补振荡单元、第二级交叉耦合互补振荡单元和第三级交叉耦合互补振荡单元的输出端均设有用于调节振荡单元负载电容的可配置中心频率调节模块。

[0020] 进一步的,所述可配置中心频率调节模块包括开关M0、开关M1、开关M2、开关M3、PMOS电容M4、PMOS电容M5、NMOS电容M6和NMOS电容M7,开关M0和开关M3均为NMOS,开关M1和开关M2均为PMOS;

[0021] 开关M0的源端和开关M1的源端均与交叉耦合互补振荡单元的输出端相连,开关M0的栅端和开关M1的栅端均接有配置信号,开关M0的漏端和开关M1的漏端相连后分别与PMOS电容M4的栅端、NMOS电容M6的栅端、开关M2的源端及开关M3的源端相连,开关M2的栅端、开关M3的栅端均接有配置信号,开关M2的漏端与开关M3的漏端连接后分别与PMOS电容M5的栅端、NMOS电容M7的栅端相连接,PMOS电容M4的源端和漏端接供电端,PMOS电容M5的源端和漏端接供电端,NMOS电容M6的源端和漏端接地,NMOS电容M7的源端和漏端接地;

[0022] 当配置信号TR<1:0>为00或10时,开关M0、M1、M2、M3均处于关断状态;

[0023] 当配置信号TR<1:0>为01时,开关M0、M1处于开启状态,开关M2、M3处于关闭状态;

[0024] 当配置信号TR<1:0>为11时,开关M0、M1、M2、M3均处于开启状态。

[0025] 与现有技术相比,本发明具有以下有益效果:

[0026] 一种用于超大面阵CMOS图像传感器的高速高精度锁相环电路,在满足CMOS图像传感器帧频及时序需求的基础上,通过可配置信号实现输出时钟振荡中心频率的实时调节,提高锁相环内压控振荡器的频率调节范围;另外针对CMOS图像传感器的不同输入时钟频率,通过可配置信号调节锁相环的带宽以满足不同工作条件下时钟发生器的稳定性要求;该锁相环具有高频输出、灵活可调、锁定范围大及低噪声高可靠等优点,可广泛用于高速低噪声读出电路,满足多种片上时钟发生器需求。

附图说明

[0027] 图1为第一类压控振荡单元结构图;

- [0028] 图2为第二类压控振荡单元结构图；
- [0029] 图3为本发明的用于超大面阵CMOS图像传感器的高速高精度锁相环电路结构图；
- [0030] 图4为本发明中的差分交叉耦合互补振荡单元的电路结构图；
- [0031] 图5为本发明中的可配置中心频率调节模块的电路结构图。
- [0032] 其中,PM_x表示第xPMOS晶体管；
- [0033] NM_x表示第xNMOS晶体管。

具体实施方式

[0034] 为了使本技术领域的人员更好地理解本发明方案,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分的实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都应当属于本发明保护的范围。

[0035] 需要说明的是,本发明的说明书和权利要求书及上述附图中的术语“第一”、“第二”等是用于区别类似的对象,而不必用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换,以便这里描述的本发明的实施例能够以除了在这里图示或描述的那些以外的顺序实施。此外,术语“包括”和“具有”以及他们的任何变形,意图在于覆盖不排他的包含,例如,包含了一系列步骤或单元的过程、方法、系统、产品或设备不必限于清楚地列出的那些步骤或单元,而是可包括没有清楚地列出的或对于这些过程、方法、产品或设备固有的其它步骤或单元。

[0036] 下面结合附图对本发明做进一步详细描述:

[0037] 参见图1,图1是第一类压控振荡单元结构图;图1是传统压控振荡器一级交叉耦合互补振荡单元结构图,受控管M3、M4工作在深线性区,电路的输出摆幅在整个频率调节过程中摆幅变化很大。在电路完全切换时,每级的差动输出摆幅达到 $2I_{ss}R_{on3,4}$,输出频率范围较小,不满足CMOS图像传感器中对锁相环的性能要求。

[0038] 参见图2,图2是第二类压控振荡单元结构图;图2是另一种压控振荡器一级交叉耦合互补振荡单元结构图,与传统振荡单元结构图相比,图2所示电路通过控制电压改变尾电流 I_{ss} 的大小,控制M3和M4的导通电阻跟踪M5的导通电阻,并通过同时调节 I_1 和 I_{ss} 改变振荡频率。如果M3、M4、M5尺寸完全相同, I_1 和 I_{ss} 为等尺寸电流镜,当M1和M2控制尾电流从一边切换到另一边时, V_{o+} 和 V_{o-} 就从VDD到 $VDD-V_{ref}$ 变化,使输出振幅变化降低。但图2中运放A1的带宽会影响此类型锁相环的稳定性,并且该类型锁相环对电源噪声抑制能力较弱。

[0039] 参见图3,图3是本发明的用于超大面阵CMOS图像传感器的高速高精度锁相环电路结构图;输入电压 V_{ctrl} 加在晶体管NM2、晶体管NM3、晶体管NM4的栅端产生三个与 V_{ctrl} 正相关的镜像电流 $I_{ctrl1,2,3}$,即每级交叉耦合互补振荡单元的频率调节电流,过程为:调节振荡单元信号翻转速度,达到调节输出频率的目的。

[0040] 参见图4,图4是本发明中的差分交叉耦合互补振荡单元的电路结构图;第一级交叉耦合互补振荡单元中,当 V_{IN1+} 由低向高变化、 V_{IN1-} 由高向低变化时, V_{OUT1+} 由高变为低, V_{OUT1-} 由低变为高;当 V_{IN1+} 由低向高变化、 V_{IN1-} 由高向低变化时, V_{OUT1+} 由高变为低, V_{OUT1-} 由低变为高;若 I_{ctrl1} 增大, I_{ct11} 通过晶体管PM0镜像给晶体管PM2和晶体管PM3,

导致流过晶体管PM2和晶体管PM3的漏电流增大,使得VOUT1+或VOUT1-由低变高的上拉电流增大,翻转速度更快;若Ictrl₁减小,Ictl₁通过晶体管PM0镜像给晶体管PM2和晶体管PM3,导致流过晶体管PM2和晶体管PM3的漏电流减小,使得VOUT1+或VOUT1-由低变高的上拉电流减小,翻转速度更慢。振荡单元信号翻转的快慢就决定了时钟产生模块-压控振荡器的输出时钟频率。

[0041] 三个交叉耦合互补振荡单元的电路结构相同,且呈反向级联关系,第二级振荡单元中,输入端VIN2+、VIN2-分别为第一级振荡单元的VOUT1-、VOUT1+;当VIN2+由低向高变化、VIN2-由高向低变化时,VOUT2+由高变为低,VOUT2-由低变为高;当VIN2+由低向高变化、VIN2-由高向低变化时,VOUT2+由高变为低,VOUT2-由低变为高;若Ictrl₂增大,Ictl₂通过晶体管PM0镜像给晶体管PM2和晶体管PM3,导致流过晶体管PM2和晶体管PM3的漏电流增大,使得VOUT2+或VOUT2-由低变高的上拉电流增大,翻转速度更快;若Ictrl₂减小,Ictl₂通过晶体管PM0镜像给晶体管PM2和晶体管PM3,导致流过晶体管PM2和晶体管PM3的漏电流减小,使得VOUT2+或VOUT2-由低变高的上拉电流减小,翻转速度更慢。

[0042] 第三级振荡单元中,输入端VIN3+、VIN3-分别为第二级振荡单元的VOUT2-、VOUT2+;若Ictrl₃增大,Ictl₃通过晶体管PM0镜像给晶体管PM2和晶体管PM3,导致流过晶体管PM2和晶体管PM3的漏电流增大,使得VOUT3+或VOUT3-由低变高的上拉电流增大,翻转速度更快;若Ictrl₃减小,Ictl₃通过晶体管PM0镜像给晶体管PM2和晶体管PM3,导致流过晶体管PM2和晶体管PM3的漏电流减小,使得VOUT3+或VOUT3-由低变高的上拉电流减小,翻转速度更慢。VOUT3+、VOUT3-又接到VIN1-、VIN1+,继续通过环路控制翻转速度。通过三级振荡单元方向级联的结构,可以实现控制电流Ictrl对输出时钟频率的精确控制,即控制电压与输出时钟频率的正相关。

[0043] 参见图5,图5是本发明中的可配置中心频率调节模块的电路结构图;每一级上述的交叉耦合振荡单元输出端都带一个可配置的中心频率调节模块;当配置信号TR<1:0>为00或10时,电路中所有开关管M0、M1、M2、M3都关断,中心频率调节模块不工作;当配置信号TR<1:0>为01时,开关管M0、M1打开,M2、M3关闭,MOS电容M4与M6开始作用,加大了每级振荡单元的负载电容,即增大了时间常数,使PLL的中心频率减小;当配置信号TR<1:0>为11时,开关管M0、M1、M2、M3都开启,MOS电容M4、M5、M6、M7开始作用,加大了每级振荡单元的负载电容,使PLL的中心频率进一步减小。

[0044] 本发明的用于超大面阵CMOS图像传感器的高速高精度锁相环电路,包括三级交叉耦合振荡器单元级联而成的压控振荡器,压控振荡器的输入电压Vctrl₁会转化为Ictrl₁,Ictrl₁通过镜像电流源,调节振荡单元信号翻转速度,达到调节输出频率的目的;控制电压转化为额外的反向电流后,振荡器工作频率可调节范围大大增大;其次受控电流源可以有效抑制电源地噪声的影响,采用三级交叉耦合互补结构,通过适当调整NMOS差动对与PMOS差动对尺寸,使振荡信号上升沿与下降沿保持一致,从而减小输出波形对相位噪声的影响。另外输出摆幅接近电源电压,也可以降低相位噪声。

[0045] 进一步的,可配置中心振荡频率调节电路,用于CMOS图像传感器的时钟发生器需要根据帧频的改变调整自身输出时钟频率,所以在锁相环时钟产生模块加入可配置中心振荡频率调节电路是很有必要的;具体实现方式是给每一级交叉耦合振荡器单元差分输出端加上可调节大小的电容,从而调节每一级振荡单元的翻转负载,达到调节输出时钟频率的

目的。

[0046] 本发明中的锁相环电路,其低通滤波器采用一个可配置调节大小的电容和电阻,目的在于根据不同的输入时钟和分频比,即压控振荡器不同的工作频率,动态调节锁相环电路的带宽,大大提高了时钟发生器的稳定性与可靠性。

[0047] 以上内容仅为说明本发明的技术思想,不能以此限定本发明的保护范围,凡是按照本发明提出的技术思想,在技术方案基础上所做的任何改动,均落入本发明权利要求书的保护范围之内。

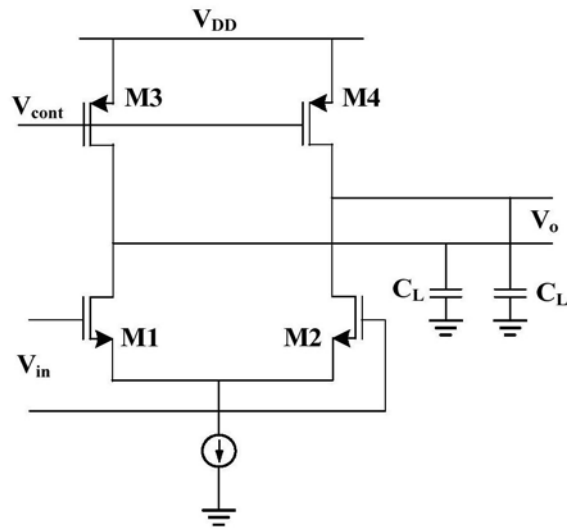


图1

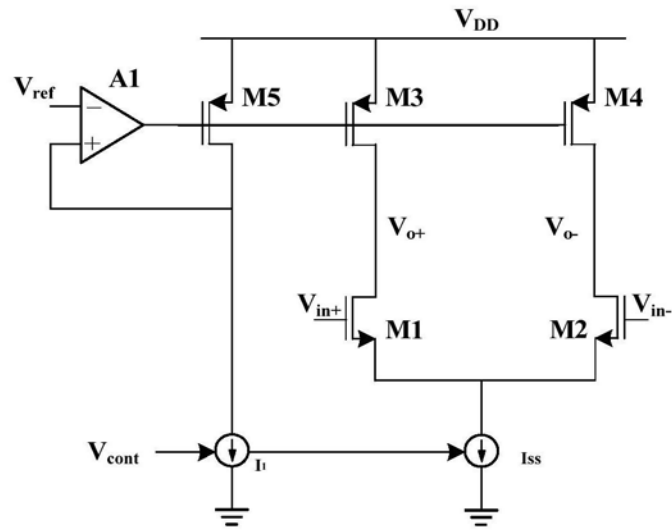


图2

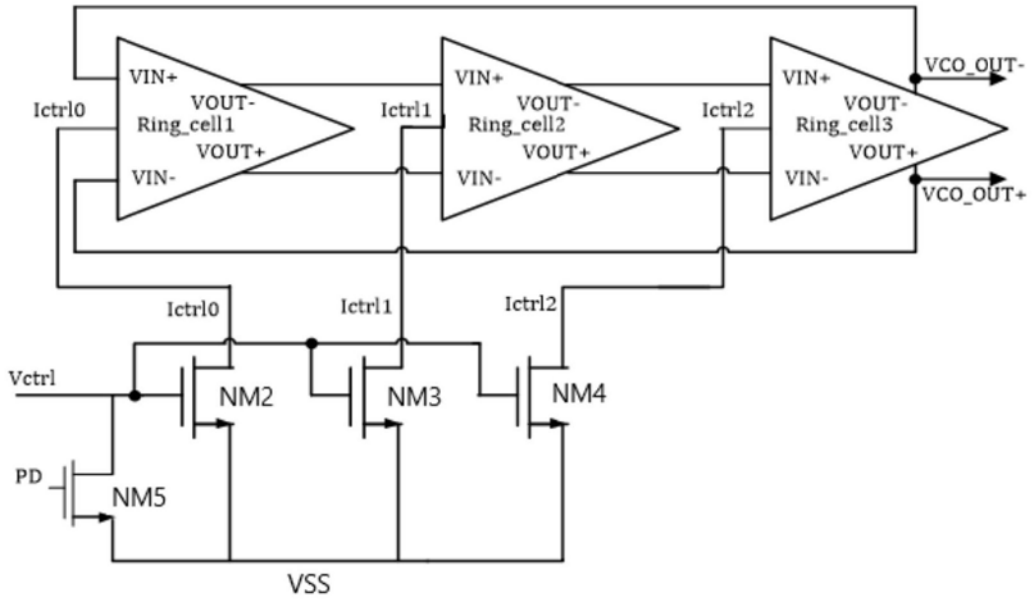


图3

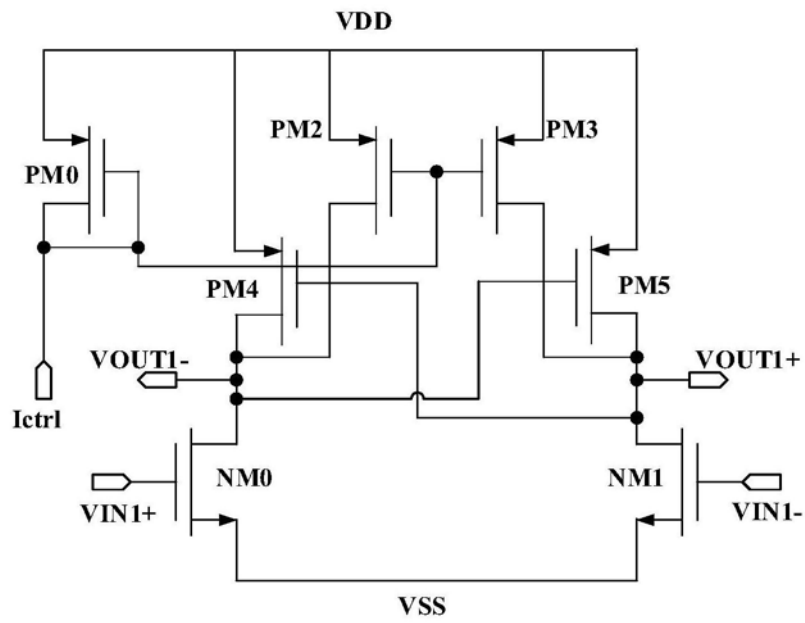


图4

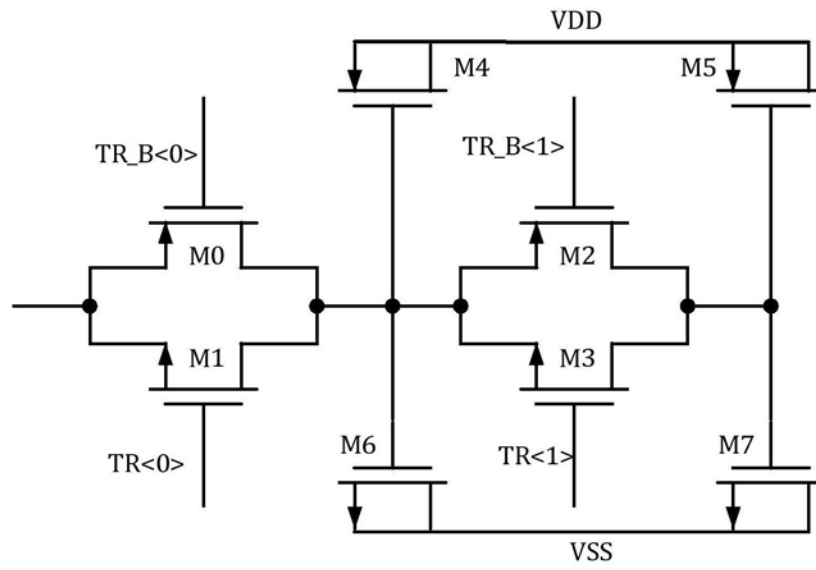


图5